



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117079
(43) 공개일자 2007년12월12일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0050797

(22) 출원일자 2006년06월07일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

모상문

충남 천안시 두정동 대우1차아파트 105동 2203호

강승재

충남 천안시 불당동 750번지 동일하이빌 309동 1003호

(74) 대리인

조희원

전체 청구항 수 : 총 8 항

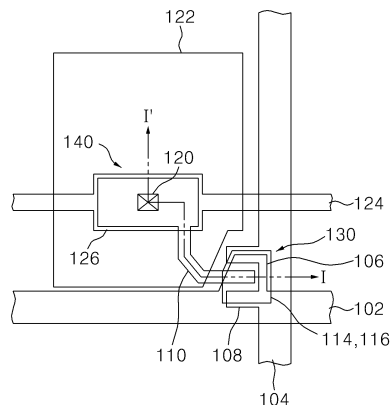
(54) 액정 표시 패널 및 그 제조 방법

(57) 요약

본 발명은 개구율 감소없이 스토리지 캐패시터를 증가시켜 변곡점 발생을 줄일 수 있는 액정 표시 패널 및 그 제조방법을 제공하는 것이다.

본 발명에 따른 액정 표시 패널의 제조방법은 기판 상에 게이트 전극 및 스토리지 캐패시터의 스토리지 전극을 형성하는 단계와; 상기 스토리지 전극 상에서의 두께가 다른 영역 상에서의 두께보다 얇은 게이트 절연막을 형성함과 아울러 상기 게이트 절연막 상에 반도체 패턴을 형성하는 단계와; 상기 반도체 패턴이 형성된 게이트 절연막 상에 소스 전극, 상기 소스 전극과 상기 반도체 패턴의 채널을 사이에 두고 마주봄과 아울러 상기 스토리지 전극과 중첩되어 스토리지 캐패시터를 이루는 드레인 전극을 형성하는 단계와; 상기 드레인 전극을 노출시키는 콘택홀을 가지는 보호막을 형성하는 단계와; 상기 콘택홀을 통해 상기 드레인 전극과 접속되는 화소 전극을 형성하는 단계를 포함하며, 상기 스토리지 캐패시터와 접속된 액정 캐패시터의 용량값에 대한 상기 스토리지 캐패시터의 용량값의 비율은 0.3~0.6인 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 게이트 전극 및 스토리지 캐패시터의 스토리지 전극을 형성하는 단계와;

상기 스토리지 전극 상에서의 두께가 다른 영역 상에서의 두께보다 얇은 게이트 절연막을 형성함과 아울러 상기 게이트 절연막 상에 반도체 패턴을 형성하는 단계와;

상기 반도체 패턴이 형성된 게이트 절연막 상에 소스 전극, 상기 소스 전극과 상기 반도체 패턴의 채널을 사이에 두고 마주봄과 아울러 상기 스토리지 전극과 중첩되어 스토리지 캐패시터를 이루는 드레인 전극을 형성하는 단계와;

상기 드레인 전극을 노출시키는 콘택홀을 가지는 보호막을 형성하는 단계와;

상기 콘택홀을 통해 상기 드레인 전극과 접속되는 화소 전극을 형성하는 단계를 포함하며,

상기 스토리지 캐패시터와 접속된 액정 캐패시터의 용량값에 대한 상기 스토리지 캐패시터의 용량값의 비율은 0.3~0.6인 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 2

제 1 항에 있어서,

상기 게이트 절연막 및 반도체 패턴을 형성하는 단계는

상기 게이트 전극 및 스토리지 전극이 형성된 기관 상에 게이트 절연막을 형성하는 단계와;

상기 게이트절연막 상에 제1 및 제2 실리콘층을 적층하는 단계와;

상기 제2 실리콘층 위에 두께가 다른 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 이용하여 상기 제1 및 제2 실리콘층을 패터닝하는 단계와;

상기 제1 및 제2 실리콘층이 제거된 부분을 통해 노출된 상기 스토리지 전극 상의 게이트 절연막의 두께를 얇게 형성하는 단계와;

상기 포토레지스트 패턴을 에칭하여 상대적으로 얇은 포토레지스터 패턴을 제거하는 단계와;

상기 얇은 포토레지스트 패턴이 제거된 부분을 통해 노출된 상기 제1 및 제2 실리콘층을 제거하는 단계와;

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 3

제 1 항에 있어서,

상기 게이트 절연막 및 반도체 패턴을 형성하는 단계는

상기 게이트 전극 및 스토리지 전극이 형성된 기관 상에 게이트 절연막을 형성하는 단계와;

상기 게이트절연막 상에 제1 및 제2 실리콘층을 적층하는 단계와;

상기 제2 실리콘층 위에 두께가 다른 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 이용하여 상기 제1 및 제2 실리콘층을 패터닝하는 단계와;

상기 포토레지스트 패턴을 에칭하여 상대적으로 얇은 포토레지스터 패턴을 제거하는 단계와;

상기 제1 및 제2 실리콘층이 제거된 부분을 통해 노출된 상기 스토리지 전극 상의 게이트 절연막의 두께를 얇게 형성하는 단계와;

상기 얇은 포토레지스트 패턴이 제거된 부분을 통해 노출된 상기 제1 및 제2 실리콘층을 제거하는 단계와;

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 4

제 1 항에 있어서,

상기 스토리지 전극 상에서의 두께가 다른 영역 상에서의 두께보다 얇은 게이트 절연막을 형성하는 단계는

상기 게이트 라인 및 데이터 라인 사이에서의 두께가 상기 스토리지 캐패시터의 두 전극 사이에서의 두께보다 두꺼운 상기 게이트 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 5

기관 상에 형성된 박막트랜지스터와;

상기 박막트랜지스터와 접속된 액정 캐패시터와;

상기 액정 캐패시터와 접속되어 상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터와;

상기 스토리지 캐패시터의 두 전극 사이에서의 두께가 다른 영역에서의 두께보다 얇은 유전막을 구비하며,

상기 액정 캐패시터에 대한 상기 스토리지 캐패시터의 비율은 0.3~0.6인 것을 특징으로 하는 액정 표시 패널.

청구항 6

제 5 항에 있어서,

상기 유전막은

상기 서브 화소 영역을 마련하도록 교차하는 게이트 라인과 데이터 라인 사이에 위치하는 게이트 절연막인 것을 특징으로 하는 액정 표시 패널.

청구항 7

제 6 항에 있어서,

상기 게이트 절연막은 상기 게이트 라인 및 데이터 라인 사이에서의 두께가 상기 스토리지 캐패시터의 두 전극 사이에서의 두께보다 두꺼운 것을 특징으로 하는 액정 표시 패널.

청구항 8

제 6 항에 있어서,

상기 스토리지 캐패시터는 상기 박막트랜지스터의 게이트 전극과 동일 평면 상에 동일 금속으로 위치하는 스토리지 전극과 상기 박막트랜지스터의 드레인 전극이 상기 게이트 절연막을 사이에 두고 중첩되는 것을 특징으로 하는 액정 표시 패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 액정 표시 패널 및 그 제조 방법에 관한 것으로, 특히 개구율 감소없이 스토리지 캐패시터를 증가시켜 번극점 발생을 줄일 수 있는 액정 표시 패널 및 그 제조방법에 관한 것이다.
- <24> 통상, 액정 표시 장치(Liquid Crystal Display; LCD)는 액정 패널에 매트릭스 형태로 배열된 액정셀들 각각이 비디오 신호에 따라 광투과율을 조절하게 함으로써 화상을 표시하게 된다.
- <25> 액정셀의 액정분자의 정렬 방향에 따라서 액정 분자의 유전율은 변하게 된다. 즉, 화소 전극과 공통 전극 사이에서 액정 분자의 장축 방향이 기관과 나란하게 정렬된 경우, 액정 분자의 유전율은 상대적으로 낮으며, 액정 분자의 장축 방향이 기관과 수직하게 정렬된 경우, 액정 분자의 유전율은 상대적으로 높다.

<26> 이러한 액정 분자의 유전율에 의해 액정셀에 저장된 전하의 양은 외부에서 전하의 유입이 없을 경우 전하 보존의 법칙[$Q(\text{전하})=C(\text{캐패시턴스}) \times V(\text{전압})$]에 따라 일정해야 하기 때문에 액정 분자의 양단에 걸린 전압은 변하게 된다. 즉, 블랙에서 화이트로 화상을 구현하는 경우, 액정 분자의 유전율은 낮아지므로 액정 캐패시턴스는 낮아진다. 이에 따라, 전하 보존의 법칙을 만족하도록 액정 분자의 양단에 걸리는 전압은 상대적으로 높아짐과 아울러 투과율도 높아진다. 그리고, 화이트에서 블랙으로 화상을 구현하는 경우, 액정 분자의 유전율은 높아지므로 액정 캐패시턴스는 높아진다. 이에 따라, 전하 보존의 법칙을 만족하도록 액정 분자의 양단에 걸리는 전압은 상대적으로 낮아짐과 아울러 투과율도 낮아진다.

<27> 그러나, 액정이 갖는 고유의 점성 및 탄성 등의 특성으로 인한 느린 응답 속도로 인해 액정에 인가된 전압이 변했을 때 목표치 계조로 휘도가 바로 변하지 않고 이전 프레임의 계조에서 목표치 계조까지 다단계로 변하게 된다. 이에 따라, 휘도 곡선의 파형에서 변곡점이 발생하게 됨과 아울러 변곡점 발생으로 인한 응답속도가 지연되는 문제점이 있다.

<28> 이 변곡점 현상은 액정의 유전율 이방성이 클수록, 셀갭이 작을수록, 액정 캐패시터(C_{lc})의 용량값에 대한 스토리지 캐패시터(C_{st})의 용량값의 비(C_{st}/C_{lc})가 작을수록 심해진다. 이러한 변곡점 현상을 줄이기 위해 액정 캐패시터(C_{lc})의 용량값에 대한 스토리지 캐패시터(C_{st})의 용량값의 비(C_{st}/C_{lc})를 증가시킬 경우, 액정 캐패시터의 용량값은 동일 크기와 해상도에서 거의 동일하므로 스토리지 캐패시터의 용량값을 증가시켜야 한다. 그러나, 스토리지 캐패시터의 용량값을 증가시키기 위해 스토리지 캐패시터를 이루는 전극의 중첩면적을 증가시킬 경우 개구율이 감소하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<29> 따라서, 본 발명이 이루고자 하는 기술적 과제는 개구율 감소없이 스토리지 캐패시터를 증가시켜 변곡점 발생을 줄일 수 있는 액정 표시 패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<30> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널의 제조방법은 기판 상에 게이트 전극 및 스토리지 캐패시터의 스토리지 전극을 형성하는 단계와; 상기 스토리지 전극 상에서의 두께가 다른 영역 상에서의 두께보다 얇은 게이트 절연막을 형성함과 아울러 상기 게이트 절연막 상에 반도체 패턴을 형성하는 단계와; 상기 반도체 패턴이 형성된 게이트 절연막 상에 소스 전극, 상기 소스 전극과 상기 반도체 패턴의 채널을 사이에 두고 마주봄과 아울러 상기 스토리지 전극과 중첩되어 스토리지 캐패시터를 이루는 드레인 전극을 형성하는 단계와; 상기 드레인 전극을 노출시키는 콘택홀을 가지는 보호막을 형성하는 단계와; 상기 콘택홀을 통해 상기 드레인 전극과 접속되는 화소 전극을 형성하는 단계를 포함하며, 상기 스토리지 캐패시터와 접속된 액정 캐패시터의 용량값에 대한 상기 스토리지 캐패시터의 용량값의 비율은 0.3~0.6인 것을 특징으로 한다.

<31> 상기 게이트 절연막 및 반도체 패턴을 형성하는 단계의 제1 실시 예는 상기 게이트 전극 및 스토리지 전극이 형성된 기판 상에 게이트 절연막을 형성하는 단계와; 상기 게이트절연막 상에 제1 및 제2 실리콘층을 적층하는 단계와; 상기 제2 실리콘층 위에 두께가 다른 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 이용하여 상기 제1 및 제2 실리콘층을 패터닝하는 단계와; 상기 제1 및 제2 실리콘층이 제거된 부분을 통해 노출된 상기 스토리지 전극 상의 게이트 절연막의 두께를 얇게 형성하는 단계와; 상기 포토레지스트 패턴을 에칭하여 상대적으로 얇은 포토레지스터 패턴을 제거하는 단계와; 상기 얇은 포토레지스터 패턴이 제거된 부분을 통해 노출된 상기 제1 및 제2 실리콘층을 제거하는 단계와; 상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 한다.

<32> 상기 게이트 절연막 및 반도체 패턴을 형성하는 단계의 제2 실시 예는 상기 게이트 전극 및 스토리지 전극이 형성된 기판 상에 게이트 절연막을 형성하는 단계와; 상기 게이트절연막 상에 제1 및 제2 실리콘층을 적층하는 단계와; 상기 제2 실리콘층 위에 두께가 다른 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 이용하여 상기 제1 및 제2 실리콘층을 패터닝하는 단계와; 상기 포토레지스트 패턴을 에칭하여 상대적으로 얇은 포토레지스터 패턴을 제거하는 단계와; 상기 제1 및 제2 실리콘층이 제거된 부분을 통해 노출된 상기 스토리지 전극 상의 게이트 절연막의 두께를 얇게 형성하는 단계와; 상기 얇은 포토레지스터 패턴이 제거된 부분을 통해 노출된 상기 제1 및 제2 실리콘층을 제거하는 단계와; 상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 한다.

<33> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 기판 상에 형성된 박막트랜지스터와;

상기 박막트랜지스터와 접속된 액정 캐패시터와; 상기 액정 캐패시터와 접속되어 상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터와; 상기 스토리지 캐패시터의 두 전극 사이에서의 두께가 다른 영역에서의 두께보다 얇은 유전막을 구비하며, 상기 액정 캐패시터에 대한 상기 스토리지 캐패시터의 비율은 0.3~0.6인 것을 특징으로 한다.

- <34> 여기서, 상기 유전막은 상기 서브 화소 영역을 마련하도록 교차하는 게이트 라인과 데이터 라인 사이에 위치하는 게이트 절연막인 것을 특징으로 한다.
- <35> 구체적으로, 상기 게이트 절연막은 상기 게이트 라인 및 데이터 라인 사이에서의 두께가 상기 스토리지 캐패시터의 두 전극 사이에서의 두께보다 두꺼운 것을 특징으로 한다.
- <36> 그리고, 상기 스토리지 캐패시터는 상기 박막트랜지스터의 게이트 전극과 동일 평면 상에 동일 금속으로 위치하는 스토리지 전극과 상기 박막트랜지스터의 드레인 전극이 상기 게이트 절연막을 사이에 두고 중첩되는 것을 특징으로 한다.
- <37> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <38> 이하, 본 발명의 바람직한 실시 예를 도 2 내지 도 9b를 참조하여 상세히 설명하기로 한다.
- <39> 도 2는 본 발명에 따른 박막트랜지스터 기판을 나타내는 평면도이며, 도 3은 도 2에서 선 "I-I'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.
- <40> 도 2 및 도 3에 도시된 박막트랜지스터 기판은 하부 기판(101) 위에 게이트 절연막(112)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부와 인접한 박막 트랜지스터(130)와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극(122)과, 화소전극(122)에 충전된 화소 전압의 변동을 방지하기 위한 스토리지 캐패시터(140)를 구비한다.
- <41> 게이트 라인(102)은 스캔 신호를 박막트랜지스터(130)의 게이트 전극(106)에 공급한다.
- <42> 데이터 라인(104)은 게이트 라인(102)과 교차하여 화소 영역을 마련하며 화소 신호를 박막트랜지스터(130)의 소스 전극(108)에 공급한다.
- <43> 박막 트랜지스터(130)는 게이트 라인(102)에 공급되는 스캔 신호에 응답하여 데이터 라인(104)에 공급되는 화소 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(130)는 게이트 라인(102)과 접속된 게이트 전극(106), 데이터 라인(104)과 접속된 소스 전극(108), 소스 전극(108)과 마주하며 화소 전극(108)과 접속된 드레인 전극(110), 게이트 절연막(112)을 사이에 두고 게이트 전극(106)과 중첩되어 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 활성층(114), 소스 전극(108) 및 드레인 전극(110)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(114) 위에 형성된 오믹 접촉층(116)을 구비한다. 그리고, 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴은 공정상 데이터 라인(104)과 중첩되게 형성된다.
- <44> 화소 전극(122)은 보호막(118)을 관통하는 콘택홀(120)을 통해 노출된 드레인 전극(110)과 접속된다. 이러한 화소 전극(122)은 박막 트랜지스터(130)로부터 공급된 화소 신호를 충전하여 도시하지 않은 칼라 필터 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 칼라 필터 기판에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(122)을 경유하여 입사되는 광량을 조절하여 칼라 필터 기판 쪽으로 투과시키게 된다.
- <45> 스토리지 캐패시터(140)는 화소 전극(122)에 충전된 화소 전압 신호가 다음 화소 전압 신호가 충전될 때까지 안정적으로 유지되게 한다. 이러한 스토리지 캐패시터(140)는 화소 전극(122)과 접속된 드레인 전극(110)과 스토리지 전극(126)이 게이트 절연막(112)을 사이에 두고 중첩됨으로써 형성된다. 스토리지 전극(126)은 스토리지 라인(124)과 연결되며 하부기판(101) 상에 게이트 라인(102)과 동일 금속, 즉 게이트 금속층으로 형성된다. 게이트 절연막(112)은 스토리지 전극(126)의 측면과 상부면을 덮도록 제1 두께(d1)로 형성되며 스토리지 전극(126)을 제외한 나머지 영역에서 제2 두께(d2)로 형성된다.
- <46> 이와 같이, 스토리지 캐패시터(140)의 용량값에 반비례하여 상대적으로 얇은 제1 두께(d1)의 게이트 절연막(112)을 이용하여 스토리지 전극(126)과 드레인 전극(110) 사이를 절연시킴으로써 스토리지 캐패시터(140)의 용량값이 상대적으로 커진다. 이 경우, 본 발명에 따른 스토리지 캐패시터(140)를 이루는 두 전극(126, 110)의 면적의 증가없이 스토리지 캐패시터(114)의 용량값이 커지므로 개구율 감소 현상을 방지할 수 있다.

- <47> 또한, 본 발명에 따른 박막트랜지스터 기판은 스토리지 캐패시터(Cst)의 용량값이 상대적으로 커짐에 따라서 휘도 곡선의 파형에서 변곡점 발생현상을 줄일 수 있어 변곡점 발생으로 인한 응답속도 지연현상이 방지된다. 여기서, 액정 캐패시터(Clc)의 용량값에 대한 스토리지 캐패시터(Cst)의 용량값의 비(Cst/Clc)는 0.3~0.6정도이다.
- <48> 구체적으로 도 2에 도시된 스토리지 캐패시터(Cst)는 도 2에 도시된 스토리지 캐패시터(Cst)와 마찬가지로 제1 및 제2 두께($d1, d2$)를 가지는 게이트 절연막(112)을 가지는 도 4a 및 도 4b에 도시된 스토리지 캐패시터(Cst)에 비해 스토리지 캐패시터(Cst)의 두 전극의 중첩 면적이 넓어 스토리지 캐패시터(Cst)의 용량값이 크다. 이 경우, 액정 캐패시터(Clc)에 대한 도 2에 도시된 스토리지 캐패시터(Cst)의 용량값의 비는 약 0.5, 도 4a에 도시된 스토리지 캐패시터(Cst)의 용량값의 비는 약 0.402, 도 4b에 도시된 스토리지 캐패시터(Cst)의 용량값의 비는 약 0.321이다. 그리고, 개구율은 도 2, 도 4a, 도 4b 구조 순으로 커진다. 한편, 액정 캐패시터(Clc)의 용량값에 대한 스토리지 캐패시터(Cst)의 용량값의 비(Cst/Clc)는 액정의 응답 속도 등에 따라서 달라지므로 상술한 비율로 한정되는 것은 아니다.
- <49> 또한, 본 발명에 따른 박막트랜지스터 기판은 게이트 라인(102)과 데이터 라인(104)이 제2 두께($d2$)의 게이트 절연막(112)을 사이에 두고 교차함으로써 이들(102, 104) 사이의 기생용량값 증가를 방지할 수 있어 기생용량값 증가로 인한 소비 전류 증가를 방지할 수 있다. 한편, 게이트 라인(102) 및 데이터 라인(104) 뿐만 아니라 게이트 금속층으로 이루어진 박막과 소스/드레인 금속층으로 이루어진 박막은 제2 두께($d2$)의 게이트 절연막(112)을 사이에 두고 중첩된다.
- <50> 도 5 내지 도 10은 본 발명에 따른 박막 트랜지스터 기판 제조 방법을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- <51> 도 5a 및 도 5b에 도시된 바와 같이 하부 기판(101) 상에 게이트 라인(102), 게이트 라인(102)과 접속된 게이트 전극(106), 게이트 라인(102)과 나란한 스토리지 라인 및 스토리지 라인과 접속된 스토리지 전극을 포함하는 게이트 금속 패턴이 형성된다.
- <52> 구체적으로, 하부 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같은 금속 물질이 단일층으로 이용되거나, 이들이 이중층 이상으로 적층된 구조로 이용된다. 이어서, 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(102), 게이트 전극(106), 스토리지 라인, 스토리지 전극(152)을 포함하는 게이트 금속 패턴이 형성된다.
- <53> 도 6a 및 도 6b에 도시된 바와 같이 게이트 금속 패턴이 형성된 하부 기판(101) 상에 게이트 절연막(112)이 형성되고, 그 위에 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴이 형성된다.
- <54> 구체적으로, 게이트 금속 패턴이 형성된 하부 기판(101) 상에 게이트 절연막(112), 비정질 실리콘층(115), 불순물($n+$ 또는 $p+$) 도핑된 비정질 실리콘층(117)이 도 7a에 도시된 바와 같이 순차적으로 적층된다. 예를 들면, 게이트 절연막(112), 비정질 실리콘층(115), 불순물이 도핑된 비정질 실리콘층(117)은 PECVD 방법으로 형성된다. 게이트 절연막(112)으로는 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질이 이용된다. 그리고, 불순물이 도핑된 비정질 실리콘층(117) 상에 포토레지스트(160)가 도포된 다음, 반투과 마스크 또는 회절 노광 마스크(150)가 정렬된다. 회절 노광 마스크(150)는 투명한 석영 기판(152)과, 그 위에 Cr, CrO_x 등과 같은 금속층으로 형성된 차단층(154) 및 회절 노광용 슬릿(156)을 구비한다. 이러한 회절 노광 마스크(150)를 이용한 포토리소그래피 공정으로 포토레지스트가 노광 및 현상됨으로써 도 7b에 도시된 바와 같이 단차를 갖는 포토레지스트 패턴(158)이 형성된다. 즉, 차단층(154)은 반도체 패턴이 형성되어질 영역에 위치하여 자외선을 차단함으로써 현상 후 제1 포토레지스트 패턴(158A)이 남게 한다. 회절 노광용 슬릿(156)은 게이트 절연막이 잔존해야 할 영역에 위치하여 자외선을 회절시킴으로써 현상 후 제1 포토레지스트 패턴(158A) 보다 얇은 제2 포토레지스트 패턴(158B)이 남게 한다. 그리고, 석영 기판(152)만 존재하는 회절 노광 마스크의 투과부는 자외선을 모두 투과시킴으로써 현상 후 포토레지스트가 제거되게 한다.
- <55> 단차를 갖는 포토레지스트 패턴(158)을 이용한 식각 공정으로 비정질 실리콘층(115), 불순물($n+$ 또는 $p+$)이 도핑된 비정질 실리콘층(117)이 패터닝됨으로써 도 7c에 도시된 바와 같이 활성층(114) 및 오믹접촉층(116)이 형성된다. 이 경우, 활성층(114) 및 오믹 접촉층(116)은 스토리지 전극(126) 상의 게이트 절연막(112)을 노출시키도록 스토리지 전극을 제외한 나머지 영역의 게이트 절연막(112) 상에 위치하게 된다.
- <56> 그런 다음, 산소(O_2) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴(158)을 애싱하여 제1 포토레지스트

패턴(158A)은 도 7d에 도시된 바와 같이 얇아지게 하고, 제2 포토레지스트 패턴(158B)은 제거되게 한다. 이어서, 활성층(114) 및 오믹 접촉층(116)에 의해 노출된 스토리지 전극(126) 상에 게이트 절연막(112)은 도 7e에 도시된 바와 같이 활성층(114) 및 오믹 접촉층(116)을 마스크로 이용한 식각 공정을 통해 일부 식각됨으로써 두께가 얇아지게 된다. 한편, 도 7e에 도시된 게이트 절연막(112)의 식각 공정은 도 7d에 도시된 애싱 공정과 순서가 바뀌어 진행되어도 무방하다.

<57> 이어서, 애싱된 제1 포토레지스트 패턴(158A)을 이용한 식각 공정으로 노출된 활성층(114) 및 오믹 접촉층(116)의 일부가 제거됨으로써 활성층(114) 및 오믹접촉층(116)은 도 7f에 도시된 바와 같이 게이트 전극(106)과 중첩되도록 형성된다. 이 후, 활성층(114) 및 오믹 접촉층(116) 위에 잔존하던 제1 포토레지스트 패턴(158A)은 도 7g에 도시된 바와 같이 스트립 공정으로 제거된다.

<58> 도 8a 및 도 8b에 도시된 바와 같이 반도체 패턴이 형성된 하부 기판(101) 상에 데이터 라인(104), 소스 전극(108) 및 드레인 전극(110)을 포함하는 소스/드레인 금속 패턴이 형성된다.

<59> 구체적으로, 반도체패턴이 형성된 하부 기판(101) 상에 소스/드레인 금속층이 형성된다. 소스/드레인 금속층으로는 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti) 등과 같은 금속 물질이 단일층으로 이용되거나, 이들이 이중층 이상으로 적층된 구조로 이용된다. 이어서, 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(104), 소스 전극(108) 및 드레인 전극(110)을 포함하는 소스/드레인 금속 패턴이 형성된다.

<60> 이 후, 소스 및 드레인 전극(108,110) 아래의 오믹접촉층(116)은 소스 및 드레인 전극(108,110)을 마스크로 이용한 식각 공정을 통해 식각됨으로써 박막 트랜지스터(130)의 채널 영역의 활성층(114)이 노출된다.

<61> 도 9a 및 도 9b에 도시된 바와 같이 소스/드레인 금속 패턴이 형성된 하부 기판(101) 상에 콘택홀(120)을 포함하는 보호막(118)이 형성된다.

<62> 구체적으로, 소스/드레인 금속 패턴이 형성된 게이트 절연막(112) 상에 PECVD, 스핀 코팅(Spin Coating), 스핀리스 코팅(Spinless Coating) 등의 방법으로 보호막(118)이 형성된다. 보호막(118)으로는 게이트 절연막(112)과 같은 무기 절연 물질, 또는 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다. 이어서, 보호막(118)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 콘택홀(120)이 형성된다. 콘택홀(120)은 보호막(118)을 관통하여 드레인 전극(110)을 노출시킨다.

<63> 도 10a 및 도 10b에 도시된 바와 같이 보호막(118)이 형성된 하부 기판(101) 상에 화소 전극(122)을 포함하는 투명 도전 패턴이 형성된다.

<64> 구체적으로, 보호막(118)을 덮도록 투명 도전막이 스퍼터링 등과 같은 증착 방법으로 전면 형성된다. 투명 도전막으로는 ITO, TO, IZO, ITZO 등이 이용된다. 이어서, 투명 도전막이 포토리소그래피공정과 식각공정으로 패터닝됨으로써 화소 전극(122)을 포함하는 투명 도전 패턴이 각각 형성된다.

<65> 한편, 본 발명에 따른 박막트랜지스터 기판은 스토리지 캐패시터의 두 전극이 게이트 절연막을 사이에 두고 중첩되는 것을 예로 들어 설명하였지만 보호막을 사이에 두고 중첩될 수도 있다. 이 경우, 보호막은 스토리지 캐패시터의 두 전극 사이에서 상대적으로 얇은 두께로 형성되고 나머지 영역에서 상대적으로 두꺼운 두께로 형성된다.

발명의 효과

<66> 상술한 바와 같이, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 상대적으로 얇은 두께의 게이트 절연막을 사이에 두고 스토리지 캐패시터의 두 전극이 중첩됨으로써 스토리지 캐패시터의 용량값이 상대적으로 커진다. 이에 따라, 액정에 인가되는 전압이 변할 때 휘도 곡선의 파형에 나타나는 변곡점 발생현상을 줄일 수 있으며, 변곡점 발생으로 인한 응답속도 지연현상도 방지된다.

<67> 또한, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 스토리지 캐패시터를 이루는 두 전극의 면적의 증가없이 스토리지 캐패시터의 용량값이 커지므로 개구율 감소 현상을 방지할 수 있다.

<68> 뿐만 아니라, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 필요한 부분, 예를 들어 스토리지 캐패시터부분만을 국부적으로 절연막의 두께를 얇게 하면서 절연막을 두껍게 해야 이점이 있는 부분을 두껍게 할 수 있다. 한 예로 데이터 라인과 게이트 라인이 교차되는 부분의 경우 절연막을 두껍게 형성함으로써 상호간에 발생하는 캐패시터를 작게 함으로써 데이터 라인과 게이트 라인의 부하를 감소시킬 수 있다. 특히 데이터 라인과 게이트

라인 간의 캐패시터 감소는 소비전류 감소에도 효과가 있다. 이는 액정 표시 패널에서 소비하는 대부분의 소비 전류가 데이터 라인의 캐패시터에 의해서 결정되기 때문이다.

<69> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정 되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

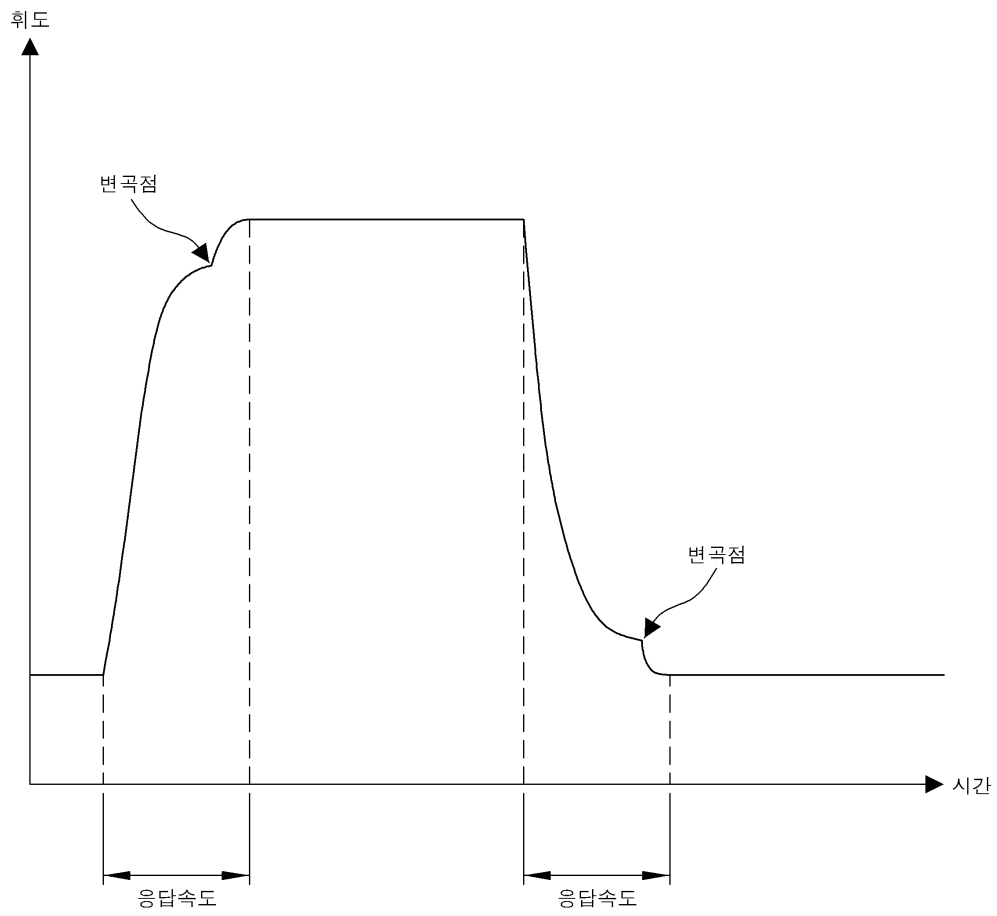
- <1> 도 1은 종래 액정 표시 패널의 시간에 따라 휘도 곡선을 나타내는 파형도이다.
- <2> 도 2는 본 발명에 따른 박막트랜지스터 기관을 나타내는 평면도이다.
- <3> 도 3은 도 2에서 선 "I-I'"를 따라 절취한 박막트랜지스터 기관을 나타내는 단면도이다.
- <4> 도 4a 및 도 4b는 본 발명에 따른 스토리지 캐패시터의 용량값에 대한 개구율을 설명하기 위한 도면들이다.
- <5> 도 5a 및 도 5b는 본 발명에 따른 박막트랜지스터 기관의 게이트 금속 패턴의 제조공정을 설명하기 위한 평면도 및 단면도이다.
- <6> 도 6a 및 도 6b는 본 발명에 따른 박막트랜지스터 기관의 게이트 절연막 및 반도체패턴의 제조공정을 설명하기 위한 평면도 및 단면도이다.
- <7> 도 7a 내지 도 7g는 도 6에 도시된 게이트 절연막 및 반도체 패턴의 제조공정을 상세히 설명하기 위한 단면도들이다.
- <8> 도 8a 및 도 8b는 본 발명에 따른 박막트랜지스터 기관의 소스/드레인 금속 패턴의 제조공정을 설명하기 위한 평면도 및 단면도이다.
- <9> 도 9a 및 도 9b는 본 발명에 따른 박막트랜지스터 기관의 콘택홀을 가지는 보호막의 제조공정을 설명하기 위한 평면도 및 단면도이다.
- <10> 도 10a 및 도 10b는 본 발명에 따른 박막트랜지스터 기관의 투명 도전 패턴의 제조공정을 설명하기 위한 평면도 및 단면도이다.

< 도면의 주요부분에 대한 설명 >

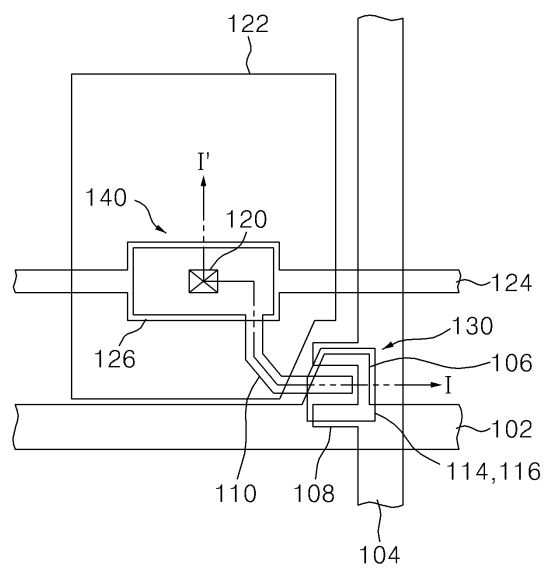
- | | |
|--|--|
| <ul style="list-style-type: none"> <11> <12> 101 : 기관 <13> 104 : 데이터 라인 <14> 108 : 소스 전극 <15> 112 : 게이트 절연막 <16> 115 : 반도체 패턴 <17> 118 : 보호막 <18> 122 : 화소전극 <19> 126 : 스토리지 전극 <20> 150 : 회절 노광 마스크 <21> 154 : 차단층 <22> 158 : 포토레지스트 패턴 | <ul style="list-style-type: none"> 102 : 게이트 라인 106 : 게이트 전극 110 : 드레인 전극 114 : 활성층 116 : 오믹접촉층 120 : 콘택홀 124 : 스토리지 라인 140 : 스토리지 캐패시터 152 : 마스크 기관 156 : 회절 노광용 슬릿 160 : 포토레지스트 |
|--|--|

도면

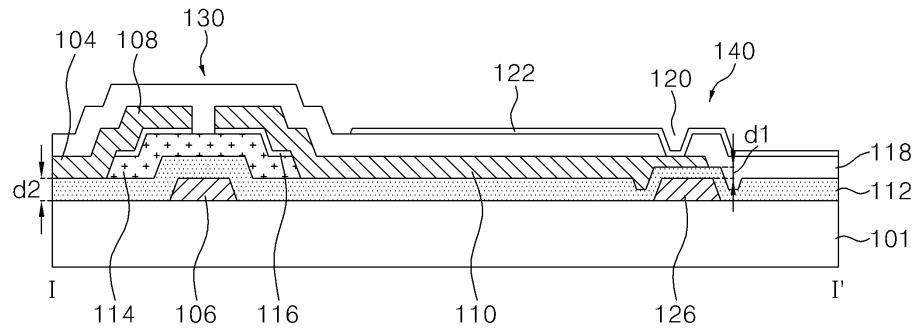
도면1



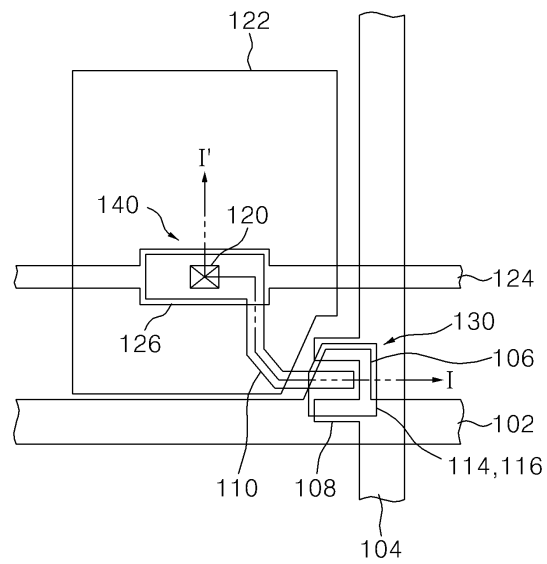
도면2



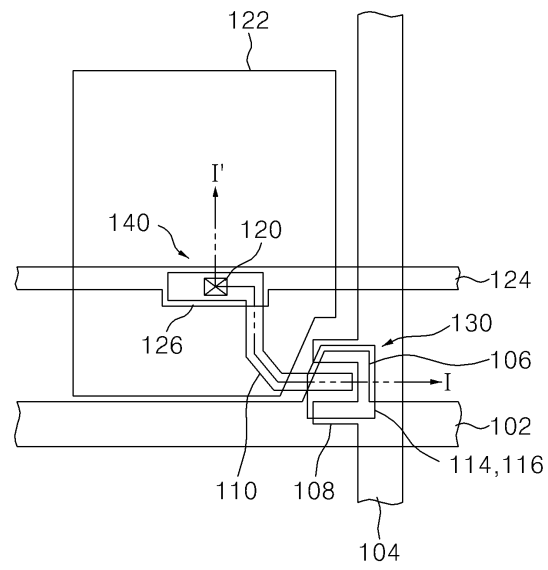
도면3



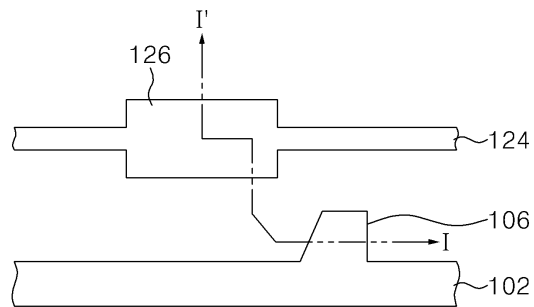
도면4a



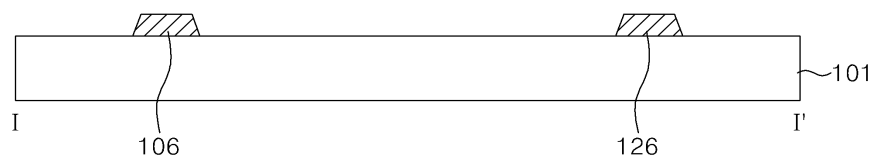
도면4b



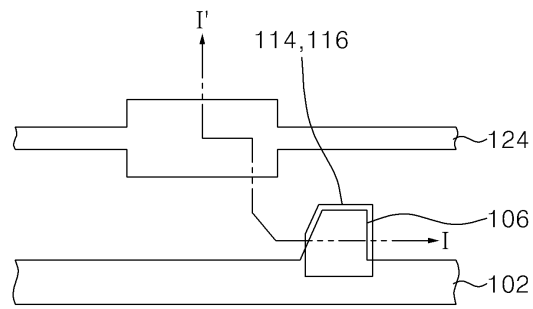
도면5a



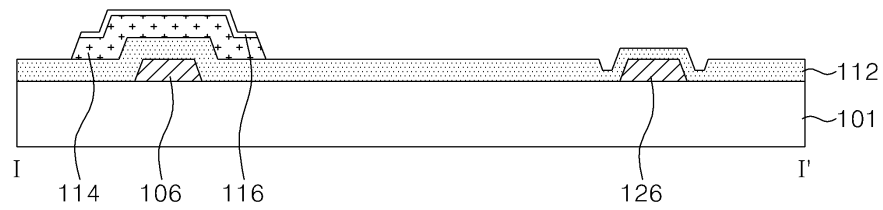
도면5b



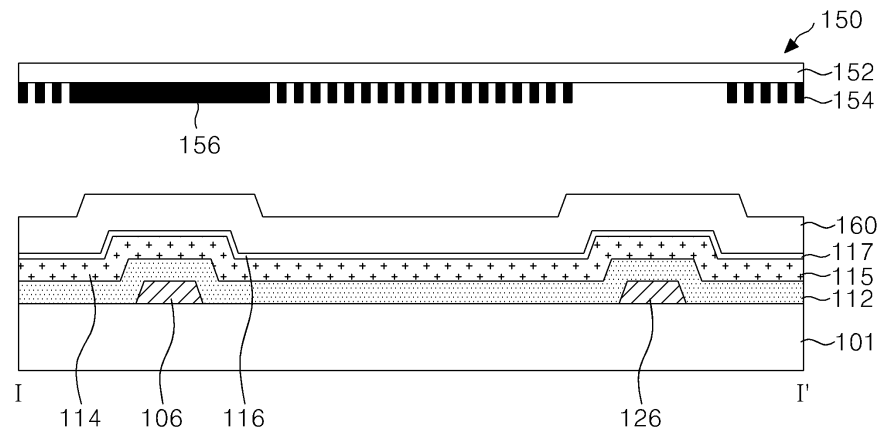
도면6a



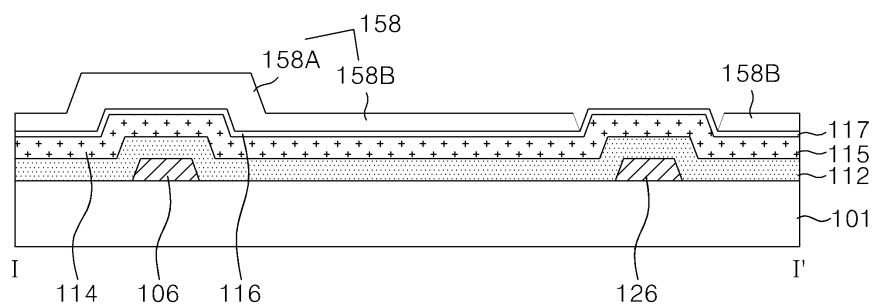
도면6b



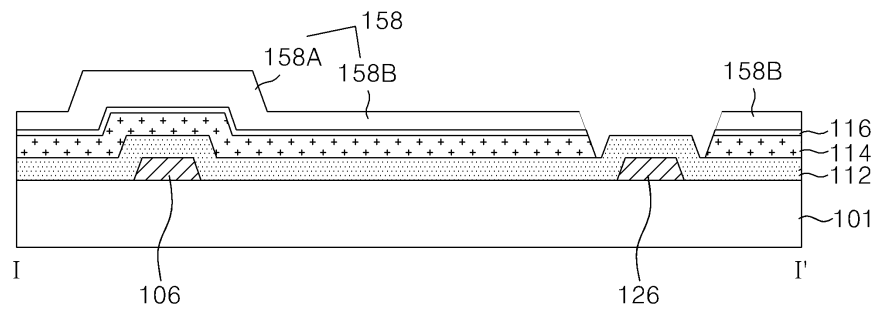
도면7a



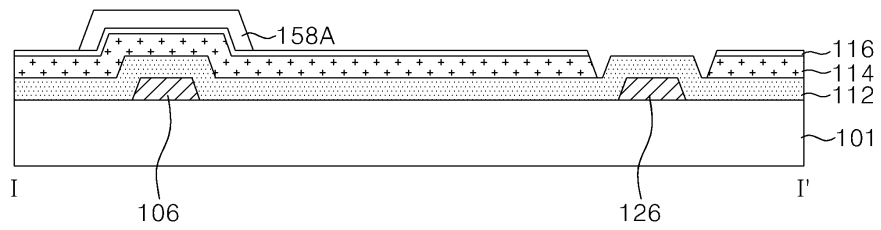
도면7b



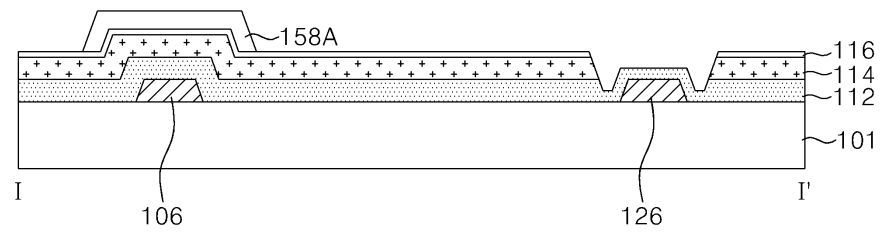
도면7c



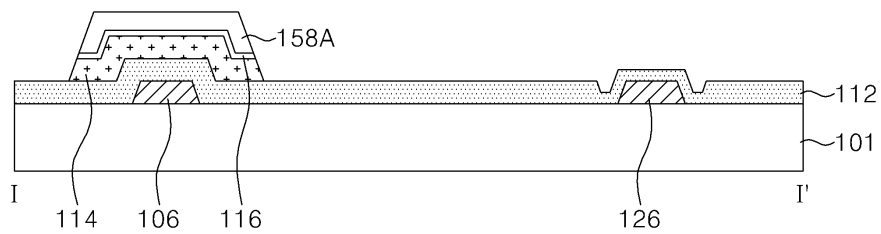
도면7d



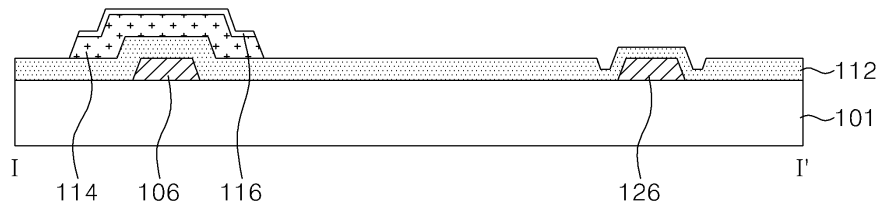
도면7e



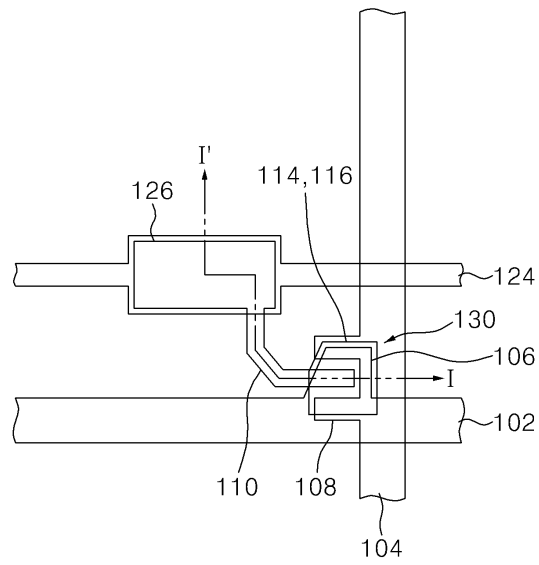
도면7f



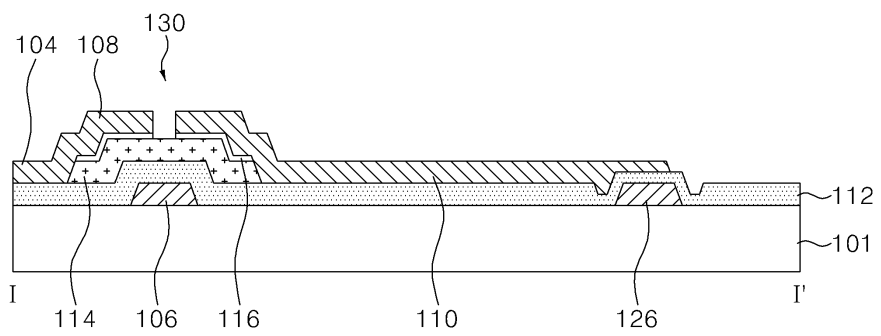
도면7g



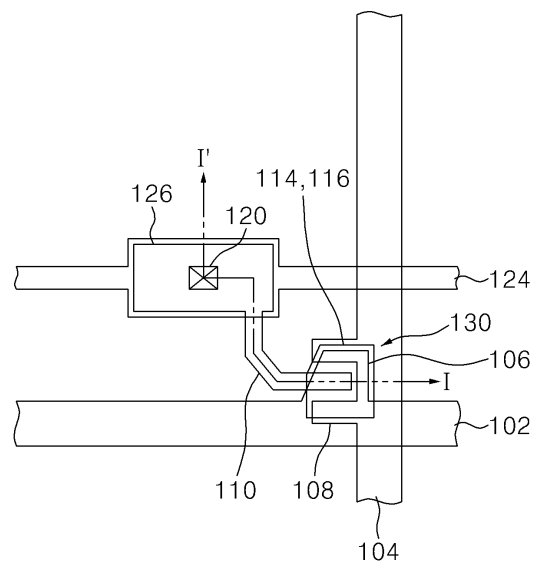
도면8a



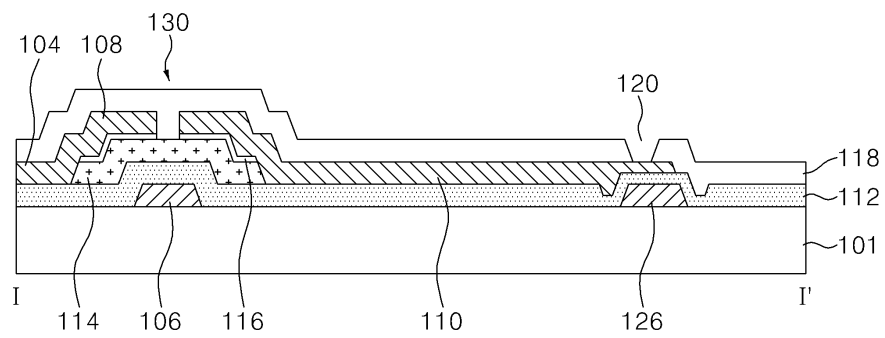
도면8b



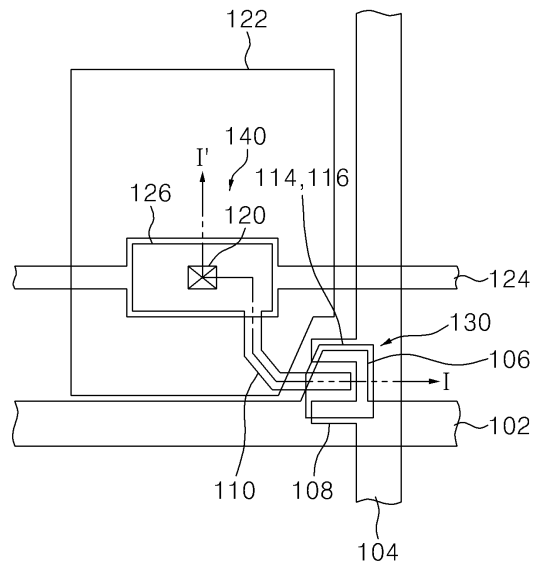
도면 9a



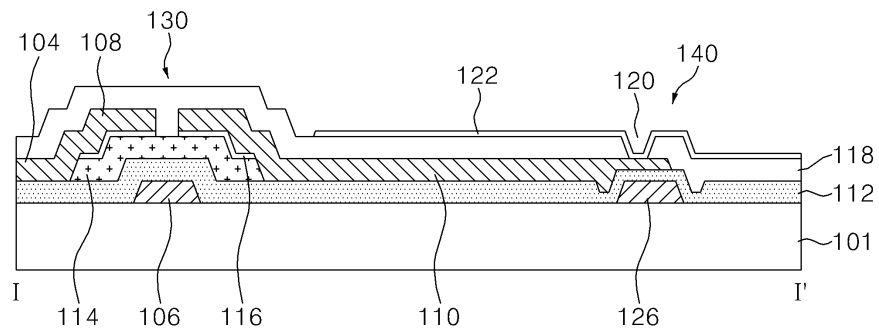
도면 9b



도면 10a



도면 10b



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020070117079A	公开(公告)日	2007-12-12
申请号	KR1020060050797	申请日	2006-06-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOH SANG MOON 모상문 KANG SEUNG JAE 강승재		
发明人	모상문 강승재		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示面板及其制造方法,其可以通过在不降低孔径比的情况下增加存储电容器来减少拐点的发生。根据本发明的制造液晶显示板的方法包括:在基板上形成存储电容器的栅电极和存储电极;在存储电极上的存储电极上形成厚度小于厚度的栅极绝缘膜,并在栅极绝缘膜上形成半导体图案;在其上形成有半导体图案的栅极绝缘膜上形成源电极,将存储电极与源电极重叠的漏电极和插入其间的半导体图案的沟道,并形成存储电容器;形成具有暴露漏电极的接触孔的保护膜;并且形成通过接触孔连接到漏电极的像素电极,其中存储电容器的电容值与连接到存储电容器的液晶电容器的电容值的比率是0.3到0.6的。

