(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0074344
(43) 공개일자 2007년07월12일

(21) 출원번호 10-2006-0002344
(22) 출원일자 2006년01월09일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 장종웅
충남 천안시 불당동 대동 다숲아파트 107-104

(74) 대리인 남승희

전체 청구항 수 : 총 20 항

(54) 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정표시 장치

(57) 요약

본 발명은 데이터 라인과 화소 전극 간의 커플링 커패시턴스를 감소시키기 위한 구조를 갖는 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치를 제공하기 위한 것으로, 기판 상에 일 방향으로 형성된 복수의 제1 게이트 라인과 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인으로 구성된 복수의 게이트 라인과, 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인과, 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소 및 단위 화소 사이에 형성되어 소정 전압이 인가되는 복수의 실딩 라인을 포함하는 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치가 제공된다.

대표도

도 1a

특허청구의 범위

청구항 1.

기판 상에 일 방향으로 형성된 복수의 제1 게이트 라인과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인으로 구성된 복수의 게이트 라인;

상기 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인;

상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소 및

상기 단위 화소 사이에 형성되어 소정 전압이 인가되는 복수의 실딩 라인(shielding line)을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 2.

제1항에 있어서,

상기 복수의 실딩 라인은 상기 데이터 라인 상부에 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 3.

제2항에 있어서,

상기 복수의 실딩 라인은 상기 데이터 라인과 평행하게 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 4.

제2항에 있어서,

상기 복수의 실딩 라인의 폭은 상기 데이터 라인의 폭 보다 작게 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 5.

제1항에 있어서,

상기 제1 단위 화소의 박막 트랜지스터는 상기 제1 게이트 라인에 연결되며, 상기 제2 단위 화소의 박막 트랜지스터는 상기 제2 게이트 라인에 연결된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 6.

제2항에 있어서,

상기 복수의 실딩 라인과 상기 데이터 라인 사이에 유기막이 형성되는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 7.

제2항에 있어서,

상기 복수의 실딩 라인은 상기 제1 게이트 라인과 제2 게이트 라인중 적어도 하나의 상부에 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 8.

제7항에 있어서,

상기 복수의 실딩 라인은 상기 게이트 라인과 평행하게 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 9.

제7항에 있어서,

상기 복수의 실딩 라인의 폭은 상기 게이트 라인의 폭 보다 작게 형성된 것을 특징으로 하는 박막 트랜지스터 기판

청구항 10.

제1항에 있어서,

상기 단위 화소는 액정에 인가된 전압을 유지시키기 위한 스토리지 커패시터 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 11.

제10항에 있어서,

상기 복수의 실딩 라인에 인가되는 소정 전압의 크기는 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 12.

기판 상에 일 방향으로 형성된 복수의 제1 게이트 라인과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인으로 구성된 복수의 게이트 라인과, 상기 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인과, 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소 및 상기 단위 화소 사이에 형성되어 소정 전압이 인가되는 복수의 실딩 라인(shielding line)을 포함한 박막 트랜지스터 기판을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제12항에 있어서,

상기 복수의 실딩 라인과 상기 데이터 라인 사이에 유기막이 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

기판 상에 일 방향으로 복수의 제1 게이트 라인과 상기 제1 게이트 라인과 소정 간격 이격된 복수의 제2 게이트 라인을 포함한 복수의 게이트 라인을 형성하는 단계;

상기 복수의 게이트 라인과 절연되어 교차되게 복수의 데이터 라인을 형성하는 단계;

상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 복수의 제1 단위 화소와 복수의 제2 단위 화소를 포함한 복수의 단위 화소를 형성하는 단계;

상기 복수의 데이터 라인 상에 유기막을 형성하는 단계 및

소정 전압이 인가되는 복수의 실딩 라인(shielding line)을 상기 단위 화소 사이에 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 기판 제조 방법.

청구항 15.

스위칭 소자를 구비하는 복수의 화소로 이루어진 복수의 화소행,

상기 스위칭 소자에 연결되어 있고 상기 스위칭 소자를 턴온시키는 게이트 온 전압을 전달하며 서로 분리되어 있는 복수 쌍의 제1 및 제2 게이트 라인, 상기 스위칭 소자에 연결 되어 화소 전압을 전달하고, 인접하는 두 화소열 에 연결되어 있는 데이터 라인,

상기 데이터 라인 위에 형성되는 유기막을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제15항에 있어서,

상기 유기막 위에 형성되는 실딩 라인을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

제15항에 있어서,

상기 각 쌍의 게이트 라인은 인접한 두 화소행 사이에 배치되어 있으며 하나의 화소행에 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 18.

제17항에 있어서,

상기 인접한 두 화소열은 상기 데이터 라인을 중심으로 서로 반대 쪽에 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 19.

제17항에 있어서,

상기 인접한 두 화소열은 상기 데이터 라인을 중심으로 같은 쪽에 위치하는 것을 특징으로 하는 액정 표시 장치.

청구항 20.

제15항에 있어서,

상기 액정 표시 장치는 열 반전을 수행하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치에 관한 것으로, 보다 상세하게는 데이터 라인과 화소 전극 간의 커플링 커패시턴스를 감소시키기 위한 구조를 갖는 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치에 관한 것이다.

최근 액정 표시 장치의 와이드화 추세에 따라, 데이터 라인의 수를 절반으로 줄여서 와이드 화면을 구현하는 액정 표시 장치가 개발되고 있다. 이러한 액정 표시 장치는 하나의 데이터 라인에 2개의 단위 화소가 연결되며, 상기 각 단위 화소는 동일한 데이터 라인을 이용하여 데이터 전압을 인가 받기 위하여, 한 쌍의 게이트 라인에 의해 구동된다.

상기와 같은 구성으로 인하여, 데이터 라인 사이에 배치된 2개의 단위 화소는 각각 화소 전극을 포함하는데, 데이터 라인과 각각의 화소 전극 간의 커플링 커패시턴스는 화소 전극간의 커플링 커패시턴스 보다 훨씬 크게 나타나며, 이러한 커플링 커패시턴스의 차이로 인하여 액정 표시 장치의 구동 시 세로줄 패턴이 나타나는 문제점이 발생하게 된다. 이러한 커플링 커패시턴스의 차이를 완화시키기 위하여, 데이터 라인과 화소 전극 간의 이격 거리를 넓힐 수도 있으나, 이럴 경우, 개구율이 저하가 불가피하게 되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 개구율을 저하시키기 않으면서, 데이터 라인과 단위 화소의 화소 전극간의 커플링 커패시턴스를 감소시키기 위한 실딩 라인을 포함한 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치를 제공하기 위한 것이다.

발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 기판 상에 일 방향으로 형성된 복수의 제1 게이트 라인과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인으로 구성된 복수의 게이트 라인; 상기 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인; 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소 및 상기 단위 화소 사이에 형성되어 소정 전압이 인가되는 복수의 실딩 라인(shielding line)을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판이 제공된다.

상기 복수의 실딩 라인은 상기 데이터 라인 상부에 형성된 것을 특징으로 한다.

상기 복수의 실딩 라인은 상기 데이터 라인과 평행하게 형성된 것을 특징으로 한다.

상기 복수의 실딩 라인의 폭은 상기 데이터 라인의 폭 보다 작게 형성된 것을 특징으로 한다.

상기 제1 단위 화소의 박막 트랜지스터는 상기 제1 게이트 라인에 연결되며, 상기 제2 단위 화소의 박막 트랜지스터는 상기 제2 게이트 라인에 연결된 것을 특징으로 한다.

상기 복수의 실딩 라인과 상기 데이터 라인 사이에 유기막이 형성되는 것을 특징으로 한다.

상기 복수의 실딩 라인은 상기 제1 게이트 라인과 제2 게이트 라인중 적어도 하나의 상부에 형성된 것을 특징으로 한다.

상기 복수의 실딩 라인은 상기 게이트 라인과 평행하게 형성된 것을 특징으로 한다.

상기 복수의 실딩 라인의 폭은 상기 게이트 라인의 폭 보다 작게 형성된 것을 특징으로 한다.

상기 단위 화소는 액정에 인가된 전압을 유지시키기 위한 스토리지 커패시터 전극을 더 포함하는 것을 특징으로 한다.

상기 복수의 실딩 라인에 인가되는 소정 전압의 크기는 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 것을 특징으로 한다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 기판 상에 일 방향으로 형성된 복수의 제1 게이트 라인과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인으로 구성된 복수의 게이트 라인과, 상기 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인과, 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소 및 상기 단위 화소 사이에 형성되어 소정 전압이 인가되는 복수의 실딩 라인(shielding line)을 포함한 박막 트랜지스터 기판을 포함하는 것을 특징으로 하는 액정 표시 장치가 제공된다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 측면에 따르면, 기판 상에 일 방향으로 복수의 제1 게이트 라인과 상기 제1 게이트 라인과 소정 간격 이격된 복수의 제2 게이트 라인을 포함한 복수의 게이트 라인을 형성하는 단계; 상기 복수의 게이트 라인과 절연되어 교차되게 복수의 데이터 라인을 형성하는 단계; 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 복수의 제1 단위 화소와 복수의 제2 단위 화소를 포함한 복수의 단위 화소를 형성하는 단계; 상기 복수의 데이터 라인 상에 유기막을 형성하는 단계 및 소정 전압이 인가되는 복수의 실딩 라인(shielding line)을 상기 단위 화소 사이에 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 기판 제조 방법이 제공된다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 측면에 따르면, 스위칭 소자를 구비하는 복수의 화소로 이루어진 복수의 화소행, 상기 스위칭 소자에 연결되어 있고 상기 스위칭 소자를 턴온시키는 게이트 온 전압을 전달하며 서로 분리되어 있는 복수 쌍의 제1 및 제2 게이트 라인, 상기 스위칭 소자에 연결 되어 화소 전압을 전달하고, 인접하는 두 화소열 에 연결되어 있는 데이터 라인, 상기 데이터 라인 위에 형성되는 유기막을 포함하는 것을 특징으로 하는 액정 표시 장치가 제공된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 1a는 본 발명의 일 실시예에 따른 액정 표시 장치의 개략 평면도이며, 도 1b 및 도 1c는 C-C선과 D-D선에 따른 개략 단면도이다.

상기 도 1a 내지 도 1c를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 하부 기판인 박막 트랜지스터 기판과, 이와 대향하여 배치되는 상부 기판인 공통 전극 기판과, 이들 두 기판 사이에 형성되며 두 기판에 대해서 원하는 방향으로 배향되는 액정층(미도시)으로 이루어진다.

상기 도 1a를 참조하면, 상기 박막 트랜지스터 기판은 투명 절연성 기판(300) 위에 게이트 신호를 전달하며, 기판 상에 가로 방향으로 형성된 복수의 제1 게이트 라인($GL_{1(n)}$, $GL_{1(n+1)}$) 과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인($GL_{2(n)}$, $GL_{2(n+1)}$)으로 구성된 복수의 게이트 라인과, 상기 복수의 게이트 라인에 평행하게 형성되며, 스토리지 커패시터 전극을 포함하는 스토리지 커패시터 전극 라인(330)과, 상기 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인(DL_n, DL_{n+1})과, 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소와, 상기 데이터 라인의 상부에 형성되어 소정 전압이 인가되는 복수의 실딩 라인(shielding line)(390)을 포함한다.

상기 제1 단위 화소와 제2 단위 화소로 구성된 단위 화소는 제1 및 제2 박막 트랜지스터($TFT_{1(n)}$, $TFT_{2(n)}$)와, 제1 화소 전극(380)과 제2 화소 전극(385) 및 스토리지 커패시터 전극 라인(330)으로부터 연장된 스토리지 커패시터 전극(341, 342, 343)을 포함한다. 상기 제1 및 제2 박막 트랜지스터(($TFT_{1(n)}$, $TFT_{2(n)}$) 각각은 게이트 라인에 접속된 게이트 전극과, 데이터 라인에 접속된 소스 전극과, 화소 전극에 접속된 드레인 전극과, 상기 게이트 전극과 소스 전극 및 드레인 전극 사이에 순차적으로 형성된 게이트 절연막 및 활성층과, 활성층의 적어도 일부에 형성된 오믹 접촉층을 포함한다. 이때, 오믹 접촉층은 채널부를 제외한 활성층 상에 형성될 수 있다. 상기 제1 박막 트랜지스터는 상기 제1 게이트 라인($GL_{1(n)}$)에

공급되는 신호에 응답하여 데이터 라인(DL_n)에 공급되는 화소 신호가 제1 화소 전극(380)에 충전되도록 한다. 그리고, 상기 제2 박막 트랜지스터는 상기 제2 게이트 라인($GL_{2(n)}$)에 공급되는 신호에 응답하여 데이터 라인(DL_n)에 공급되는 화소 신호가 제2 화소 전극(385)에 충전되도록 한다.

한편, 본 실시예에서, n번째 데이터 라인(DL_n)과 n+ 1번째 데이터 라인(DL_{n+1}) 사이에 배치된 상기 제1 단위 화소와 제2 단위 화소 모두는 상기 n번째 데이터 라인(DL_n)에 연결되어 있으나, 이에 한정되는 것은 아니며, n-1번째 데이터 라인(DL_{n-1})과 n번째 데이터 라인(DL_n) 사이에 배치된 제2 단위 화소와 n번째 데이터 라인(DL_n)과 n+ 1번째 데이터 라인(DL_{n+1}) 사이에 배치된 상기 제1 단위 화소가 n번째 데이터 라인(DL_n)에 연결될 수도 있다. 또한, 본 발명에 따른 액정 표시 장치는 열 반전을 수행하는 것이 바람직하나, 이에 한정되는 것은 아니다.

상기 스토리지 커패시터 전극 라인(330)은 상기 제2 게이트 라인($GL_{2(n)}$, $GL_{2(n+1)}$)과 소정 간격 이격된 채, 평행하게 형성되며, 상기 스토리지 커패시터 전극(341, 342, 343)은 상기 스토리지 커패시터 전극 라인(330)으로부터 연장되어 상기 데이터 라인과 평행하고, 상기 화소 전극(380, 385)과 일부 중첩되게 형성된다. 이때, 상기 스토리지 커패시터 전극은 상기 화소 전극(380)과 일부 중첩되게 형성된 제1 스토리지 커패시터 전극(341)과, 상기 화소 전극(385)과 일부 중첩되게 형성된 제2 스토리지 커패시터 전극(342) 및 상기 화소 전극(380, 385)과 일부가 공통되게 중첩되도록 형성된 제3 스토리지 커패시터 전극(343)을 포함한다.

또한, 상기 스토리지 커패시터 전극 라인(330)은 컬리 필터 기판에 인가될 공통 전압(Vcom)과 연결될 수도 있으며, 이와는 달리 공통 전압과 동일한 전압을 별도로 인가할 수도 있다. 본 실시예에서는 별도의 스토리지 커패시터 전극 라인이 형성되나, 이에 한정되는 것은 아니며, 상기 스토리지 커패시터 전극(341, 342, 342)은 제1 게이트 라인($GL_{1(n)}$) 또는 제2 게이트 라인($GL_{2(n)}$)에서 연장되어 형성될 수도 있다.

상기 복수의 실딩 라인(390)은 상기 데이터 라인 상부에, 상기 데이터 라인과 평행하게 형성되며, 상기 복수의 실딩 라인(390)의 폭은 상기 데이터 라인의 폭 보다 작게 형성된다. 바람직하게는, 상기 데이터 라인의 폭은 5.5㎛가 되도록 하며, 상기 실딩 라인의 폭은 5㎛가 되도록 한다. 그리고, 상기 복수의 실딩 라인(390)은 상기 화소 전극(380, 385)과 동일한 재료로 형성된다. 일반적으로 상기 화소 전극(380, 385)은 투명한 전도성 재질의 인듐 틴 옥사이드(indium tin oxide: ITO) 또는 인듐 징크 옥사이드(indium zinc oxide: IZO)를 사용한다. 또한, 상기 데이터 라인에 인가되는 화소 신호에 의한 데이터 라인과 화소 전극 간의 커플링 커패시턴스를 최소화하기 위하여, 상기 복수의 실딩 라인(390)에는 상기 스토리지 커패시터 전극 라인(330)을 통하여, 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 크기의 전압을 인가한다. 즉, 컬러 필터 기판에 인가되는 공통 전압과 동일한 크기의 전압이 상기 복수의 실딩 라인(390)에 인가된다.

상기 도 1b를 참조하면, 상기 도 1b에는 C-C선에 따른 액정 표시 장치의 개략 단면도가 도시되며, 상기 액정 표시 장치의 박막 트랜지스터 기판은 투명 절연성 기판(300), 상기 투명 절연성 기판 상에 형성된 스토리지 커패시터 전극(341, 342)과, 상기 스토리지 커패시터 전극 상에 형성된 게이트 절연막(350)과, 상기 게이트 절연막 상에 형성되며, 상기 제1 스토리지 커패시터 전극(341)과 제2 스토리지 커패시터 전극(342) 사이에 배치된 데이터 라인(DL_{n+1})과, 상기 데이터 라인 상에 형성된 유기막(370)과, 상기 유기막 상에 형성되며 상기 제1 스토리지 커패시터 전극(341)과 일부 중첩되게 배치된 제1 화소 전극(380)과 상기 제2 스토리지 커패시터 전극(342)과 일부 중첩되게 배치된 제2 화소 전극(385) 및 상기 데이터 라인 상부에 형성된 실딩 라인(390)을 포함한다. 상기 유기막(370)은 바람직하게는 4 내지 6㎛ 정도의 두께로 형성된다.

또한, 상기 박막 트랜지스터 기판과 대향되어 배치된 컬러 필터 기판은 유리 등의 투명한 절연 물질로 이루어진 절연 기판(400) 상에 빛샘과 인접한 화소 영역들 사이의 광 간섭을 방지하기 위한 블랙 매트릭스(410)와 적색, 녹색, 청색의 컬러 필터(미도시)와, 상기 컬러 필터 상에 형성된 오버 코트막(미도시)과, 상기 오버 코트막 상에 ITO 또는 IZO 등의 투명한 도전 물질로 형성된 공통 전극(미도시)을 포함한다. 상기 복수의 실딩 라인을 형성함으로써, 광 누설 영역을 최소 3㎛ 이상 방지할 수 있게 되어, 상기 블랙 매트릭스(410)의 폭(d_3)을 종래 기술과 대비하여 최소 3㎛ 이상 줄일 수 있게 된다.

상기 도 1c를 참조하면, 상기 도 1c에는 D-D선에 따른 액정 표시 장치의 개략 단면도가 도시되며, 상기 액정 표시 장치의 박막 트랜지스터 기판은 투명 절연성 기판(300), 상기 투명 절연성 기판 상에 형성된 제3 스토리지 커패시터 전극(343)과, 상기 기판 전면에 형성된 게이트 절연막(350)및 유기막(370)과 상기 유기막 상에 형성되며 상기 제3 스토리지 커패시터 전극(343)과 일부 중첩되게 배치된 제1 화소 전극(380)과 제2 화소 전극(385)을 포함한다.

또한, 상기 박막 트랜지스터 기판과 대향되어 배치된 컬러 필터 기판은 유리 등의 투명한 절연 물질로 이루어진 절연 기판(400) 상에 빛샘과 인접한 화소 영역들 사이의 광 간섭을 방지하기 위한 블랙 매트릭스(410)를 포함한다.

도 2는 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략 평면도이다.

상기 도 2에 도시된 본 발명의 실시예에 따른 액정 표시 장치는 상기 도 1에 도시된 액정 표시 장치와 비교하여, 복수의 실딩 라인인 데이터 라인 상부에는 물론, 제1 게이트 라인 상부에도 형성된다는 점이 상이하며, 나머지 구성요소는 거의 유사하므로, 이하에서는 상이한 구성에 대해서만 상술한다.

상기 박막 트랜지스터 기판은 투명 절연성 기판(300) 위에 게이트 신호를 전달하며, 기판 상에 가로 방향으로 형성된 복수의 제1 게이트 라인($GL_{1(n)}$, $GL_{1(n+1)}$) 과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 복수의 제2 게이트 라인($GL_{2(n)}$, $GL_{2(n+1)}$)으로 구성된 복수의 게이트 라인과, 상기 복수의 게이트 라인에 평행하게 형성되며, 스토리지 커패시터 전극을 포함하는 스토리지 커패시터 전극 라인(330)과, 상기 복수의 게이트 라인과 절연되어 교차되게 형성된 복수의 데이터 라인(DL_n, DL_{n+1})과, 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차 영역에 형성된 복수의 제1 단위 화소와 복수의 제2 단위 화소로 구성된 복수의 단위 화소와, 상기 데이터 라인과 상기 제1 게이트 라인의 상부에 형성되어 소정 전압이 인가되는 복수의 실딩 라인(shielding line)(390, 395)을 포함한다.

상기 복수의 실딩 라인(390)은 상기 데이터 라인 상부에, 상기 데이터 라인과 평행하게 형성되며, 상기 복수의 실딩 라인(390)의 폭은 상기 데이터 라인의 폭 보다 작게 형성된다. 바람직하게는, 상기 데이터 라인의 폭은 5.5㎛가 되도록 하며, 상기 실딩 라인의 폭은 5㎛가 되도록 한다. 또한, 복수의 실딩 라인(395)은 상기 제1 게이트 라인 상부에, 상기 제1 게이트 라인과 평행하게 형성되며, 상기 복수의 실딩 라인(395)의 폭은 상기 제1 게이트 라인의 폭 보다 작게 형성된다. 한편, 본 실시예에서는 제1 게이트 라인 상부에 복수의 실딩 라인(395)이 형성되는 것을 예로서 설명하고 있으나, 이에 한정되는 것은 아니며, 상기 복수의 실딩 라인(395)은 상기 제2 게이트 라인 상부에 형성될 수도 있으며, 제1 및 제2 게이트 라인의 상부에 형성될 수도 있다. 상기와 같이, 게이트 라인 상부에도 복수의 실딩 라인(395)을 형성하게 되면, 데이터 라인 상부에 형성된 복수의 실딩 라인(390)이 단락되는 등의 문제점이 발생할 때, 이를 보완할 수 있게 된다.

상기 복수의 실딩 라인(390, 395)은 상기 화소 전극(380, 385)과 동일한 재료로 형성된다. 일반적으로 상기 화소 전극(380, 385)은 투명한 전도성 재질의 인듐 틴 옥사이드(indium tin oxide: ITO) 또는 인듐 징크 옥사이드(indium zinc oxide: IZO)를 사용한다. 또한, 상기 데이터 라인에 인가되는 화소 신호에 의한 데이터 라인과 화소 전극 간의 커플링 커패시턴스를 최소화하기 위하여, 상기 복수의 실딩 라인(390, 395)에는 상기 스토리지 커패시터 전극 라인(330)을 통하여, 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 크기의 전압을 인가한다. 즉, 컬러 필터 기판에 인가되는 공통 전압과 동일한 크기의 전압이 상기 복수의 실딩 라인(390, 395)에 인가된다.

도 3a 내지 도 3e는 도 2의 액정 표시 장치의 박막 트랜지스터 기판의 제조 공정 단면도이다. 상기 도 3a 내지 도 3e에 도시된 박막 트랜지스터 기판의 단면도는 상기 도 2의 E-E선에 따른 개략적인 단면도로서, 제1 박막 트랜지스터($TFT_{1(n)}$)와, 제1 및 제2 화소 전극(380, 385)과, 제1 및 제2 스토리지 커패시터 전극(341, 342) 및 실딩 라인(390)을 포함한다.

우선 도 3a를 참조하면, 투명 절연성 기판(300) 상에 제1 도전성막을 형성한 다음, 이를 제 1 감광막 마스크 패턴(미도시)을 이용한 식각공정을 통해 소정 선폭의 게이트 전극(310)과 제1 및 제2 스토리지 커패시터 전극(341, 342)을 형성한다.

먼저, 상기 투명 절연성 기판(300) 상에 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제1 도전성 막을 형성한다. 제1 도전성 막으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd) 및 Cr/Al(Nd) 중 적어도 어느 하나를 사용하는 것이 바람직하며, 상기 제1 도전성막은 다층막으로 형성할 수도 있다. 이후, 감광막을 도포한 다음, 제1 마스크를 이용한 포토리소그라피 공정을 실시하여 제1 감광막 마스크 패턴을 형성한다. 제1 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 상기 도 6a에 도시된 바와 같이, 게이트 전극(310) 및 제1 및 제2 스토리지 커패시터 전극(341, 342)을 형성한다. 이후, 소정의 스트립 공정을 실시하여 제 1 감광막 마스크 패턴을 제거한다.

상기 도 3b를 참조하면, 상기 도 3a에 도시된 기판 전면에 게이트 절연막(350), 활성층(361) 및 오믹 접촉층(363)을 순차적으로 형성한 다음, 제2 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 박막 트랜지스터의 활성영역을 형성한다.

기판 상에 PECVD법, 스퍼터링법 등을 이용한 증착 방법을 통해 게이트 절연막(350)을 형성한다. 이때, 게이트 절연막(350)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용하는 것이 바람직하다. 게이트 절연막(350) 상에 상술한 증착 방법을 통해 활성층(361) 및 오믹 접촉층(363)을 순차적으로 형성한다. 활성층(361)으로는 비정질 실리콘층을 사용하고, 오믹 접촉층(363)으로는 실리사이드 또는 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용한다. 이후, 오믹 접촉층 상에 감광막을 도포한 다음, 제2 마스크를 이용한 포토리소그라피 공정을 통해 제2 감광막 마스크 패턴을 형성한다. 상기의 제2 감광막 마스크 패턴을 식각 마스크로 하고, 게이트 절연막(350)을 식각 정지막으로 하는 식각 공정을 실시하여 오믹 접촉층(363) 및 활성층(361)을 제거하여 게이트 전극(310) 상부에 활성영역을 형성한다. 이후, 소정의 스트립 공정을 실시하여 잔류하는 제2 감광막 마스크 패턴을 제거한다.

도 3c를 참조하면, 박막 트랜지스터의 활성 영역이 형성된 기판 전면에 제2 도전성막을 형성한 다음, 이를 제3 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 데이터 라인(DL_n)과, 소스 전극(365) 및 드레인 전극(367)을 형성한다.

기판 전면에 제2 도전성막을 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제2 도전성 막을 형성한다. 이때, 제2 도전성막으로는 Mo, Al, Cr, Ti 중 적어도 하나의 금속 단일층 또는 다중층을 사용하는 것이 바람직하다. 물론 제2 도전성막은 제1 도전성막과 동일한 물질을 사용할 수도 있다. 상기 제2 도전성막 상에 감광막을 도포한 다음, 마스크를 이용한 리소그라피 공정을 실시하여 제3 감광막 마스크 패턴을 형성한다. 상기 제3 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 제2 도전성막을 식각한 다음, 제3 감광막 마스크 패턴을 제거한 후, 식각된 제2 도전성막을 식각 마스크로 하는 식각을 실시하여 제2 도전성막 사이의 노출된 영역의 오믹 접촉층(363)을 제거하여 소스 전극(365)과 드레인 전극(367) 사이에는 활성층(361)으로 이루어진 채널을 형성한다.

상기 도 3d를 참조하면, 박막 트랜지스터와 데이터 라인이 형성된 기판 전면에 유기막(370)을 형성하고, 제 4 감광막 마스크 패턴를 이용한 식각공정을 통해 유기막(370)의 일부를 제거하여 콘택홀을 형성한다. 이때, 유기막(370)은 4 내지 6㎛의 두께로 형성하는 것이 바람직하다.

상기 도 3e를 참조하면, 상기 유기막(370) 상에 제 3 도전성막을 형성한 다음, 제 5 감광막 마스크 패턴(미도시)을 이용하여 제 3 도전성막을 패터닝하여 화소 전극(380, 385) 및 실딩 라인(390)을 형성한다. 이때, 제 3 도전성막은 ITO나 IZO를 포함하는 투명 도전막을 사용하는 것이 바람직하다.

상기 유기막(370)이 형성된 기판 전면에 제 3 도전성막을 형성한 다음, 감광막을 도포하고, 마스크를 이용한 포토리소그라피 공정을 실시하여 제 5 감광막 마스크 패턴을 형성한다. 제5 감광막 마스크 패턴에 의해 화소 전극(380, 385) 영역 및 실딩 라인(390) 영역을 제외한 나머지 영역을 개방한다. 다음으로, 제 5 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 통해 제 3 도전성막의 개방영역을 제거하고, 소정의 스트립 공정을 통해 제 5 감광막 마스크 패턴을 제거하면, 상기 화소 전극(380, 385) 및 실딩 라인(390)이 형성된다.

도 4a 및 도 4b는 종래 기술과 본 발명에 따른 액정 표시 장치의 광 누설 시뮬레이션의 결과를 나타낸 그래프이다.

상기 도 4a에는 실딩 라인이 형성되지 않은 액정 표시 장치의 광 누설 시뮬레이션이 도시되며, 도 4b에는 실딩 라인이 형성된 액정 표시 장치의 광 누설 시뮬레이션이 도시된다. 상기 실딩 라인에 스토리지 커패시터 전극에 인가되는 전압과 동일한 크기의 전압(본 실시예에서는 4V)를 인가하면, 전계가 변화되어, 액정 배열이 변화한다. 그 결과, 종래 기술에 따른 액정 표시 장치의 광 누설 영역 보다 본 발명에 따른 액정 표시 장치의 광 누설 영역이 더 좁게 형성됨을 알 수 있으며, 종래 기술과 비교하여 최소 3㎛ 이상 광 누설 영역이 좁게 형성됨을 알 수 있다. 따라서, 컬러 필터 기판 상의 데이터 라인 상부에 형성된 블랙 매트릭스의 폭을 최소 3㎛ 이상 축소시킬 수 있게 되며, 그 결과 개구율은 종래 기술 대비 약 10% 정도 향상이 가능하게 된다. 본 발명의 실시예에서는 TN모드에 대해서만 기술하였지만 이에 한정되지 않고 VA 모드도 본 발명의 범위에 포함된다.

도 5는 종래 기술과 본 발명에 따른 데이터 라인과 화소 전극 간의 커플링 커패시턴스 값을 비교한 그래프이다.

상기 도 5를 참조하면, 종래 기술에 따른 데이터 라인과 화소 전극 간의 커플링 커패시턴스 값은 약 0.003pF 인데 반하여, 본 발명에 따른 데이터 라인과 화소 전극 간의 커플링 커패시턴스 값은 약 0.00072 pF 으로서, 종래와 비교하여 커플링 커패시턴스 값을 약 76%정도 축소하여, 세로줄 패턴이 나타나는 현상을 방지할 수 있게 된다.

이상에서 설명한 것은 본 발명에 따른 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

발명의 효과

전술한 바와 같이 본 발명에 따르면, 소정 전압이 인가되는 복수의 실딩 라인을 데이터 라인 상부 또는 데이터 라인 및 게이트 라인 상부에 형성함으로써, 데이터 라인과 단위 화소의 화소 전극간의 커플링 커패시턴스를 감소시켜 세로줄 패턴이 나타나는 현상을 방지할 수 있게 되며, 또한 개구율을 개선하는 효과를 얻게 된다.

도면의 간단한 설명

도 1a는 본 발명의 일 실시예에 따른 액정 표시 장치의 개략 평면도이며, 도 1b 및 도 1c는 C-C선과 D-D선에 따른 개략 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략 평면도이다.

도 3a 내지 도 3e는 도 2의 액정 표시 장치의 박막 트랜지스터 기판의 제조 공정 단면도이다.

도 4a 및 도 4b는 종래 기술과 본 발명에 따른 액정 표시 장치의 광 누설 시뮬레이션의 결과를 나타낸 그래프이다.

도 5는 종래 기술과 본 발명에 따른 데이터 라인과 화소 전극 간의 커플링 커패시턴스 값을 비교한 그래프이다.

도면의 주요 부분에 대한 부호의 설명

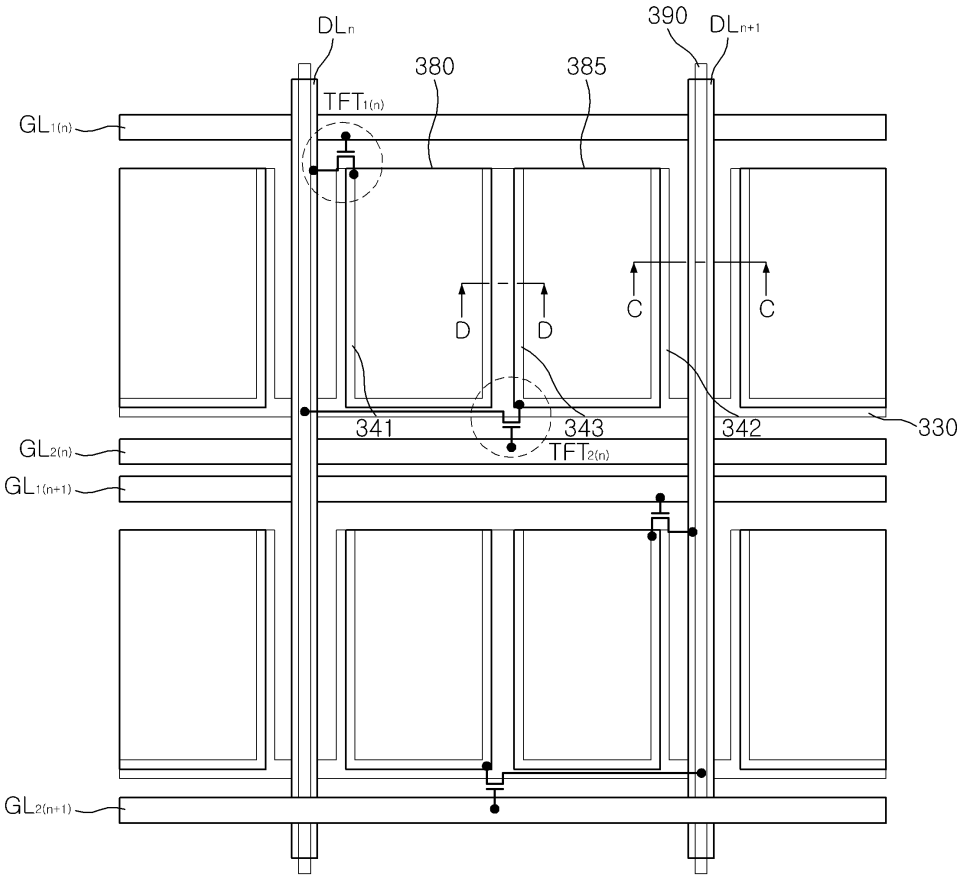
330; 스토리지 커패시터 전극 라인 340; 스토리지 커패시터 전극

350; 게이트 절연막 370; 유기막

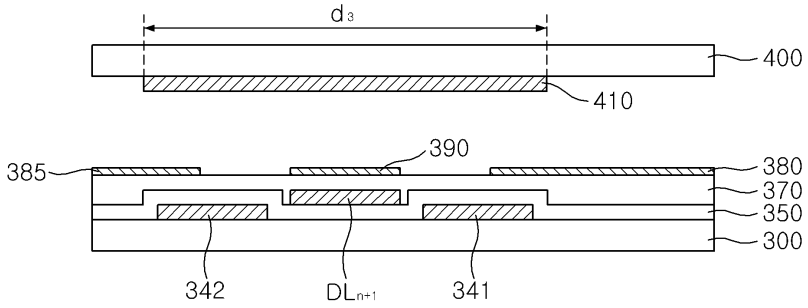
380, 385; 화소 전극 390, 395; 실딩 라인

도면

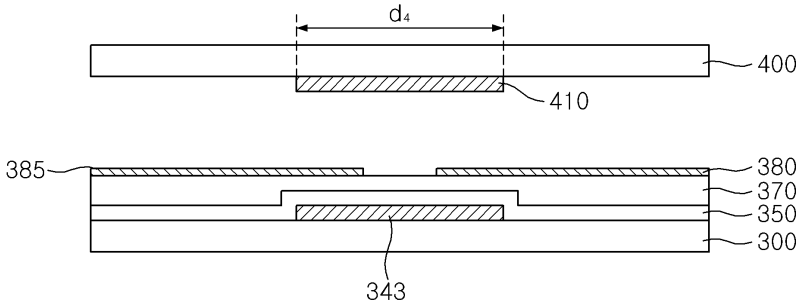
도면1a



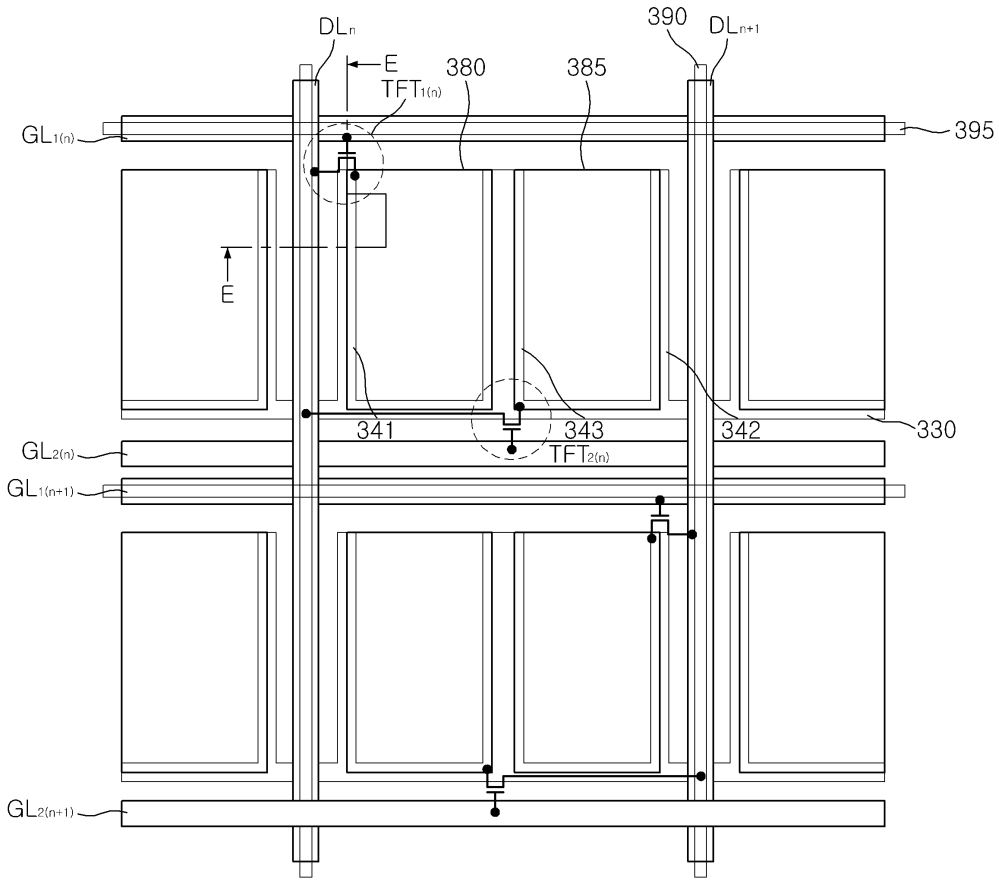
도면1b



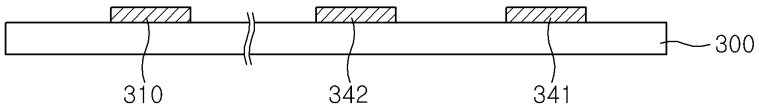
도면1c



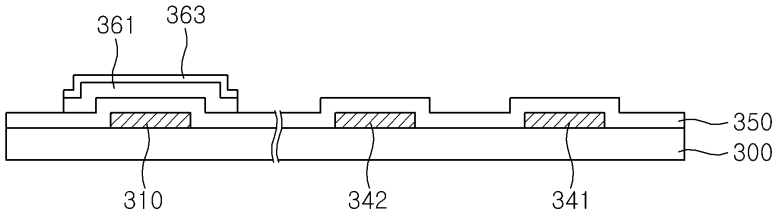
도면2



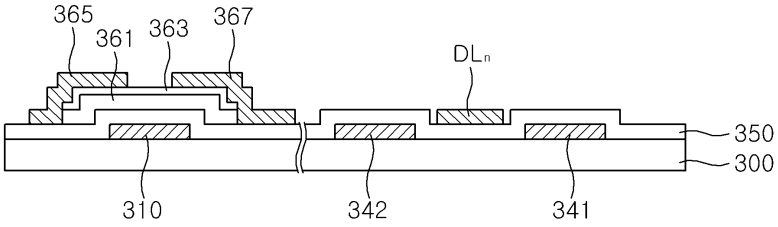
도면3a



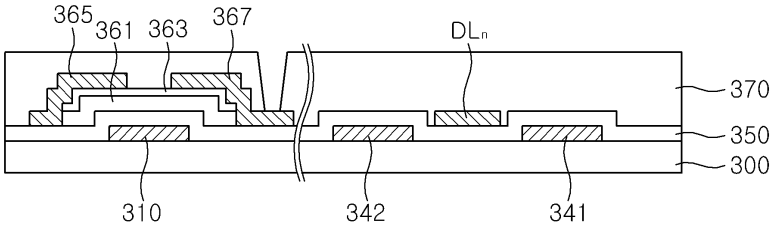
도면3b



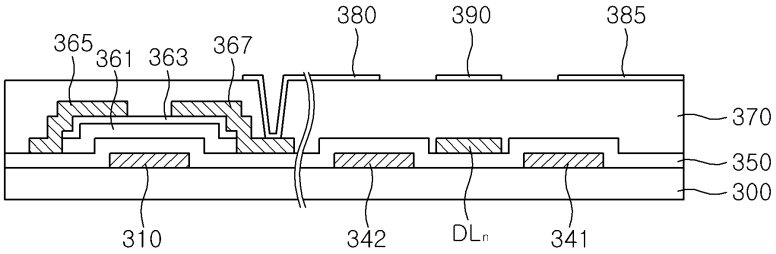
도면3c



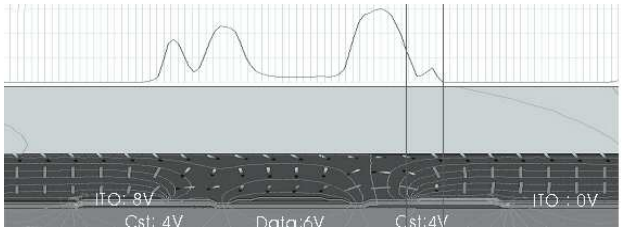
도면3d



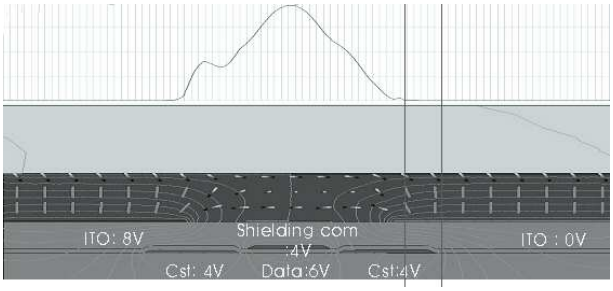
도면3e



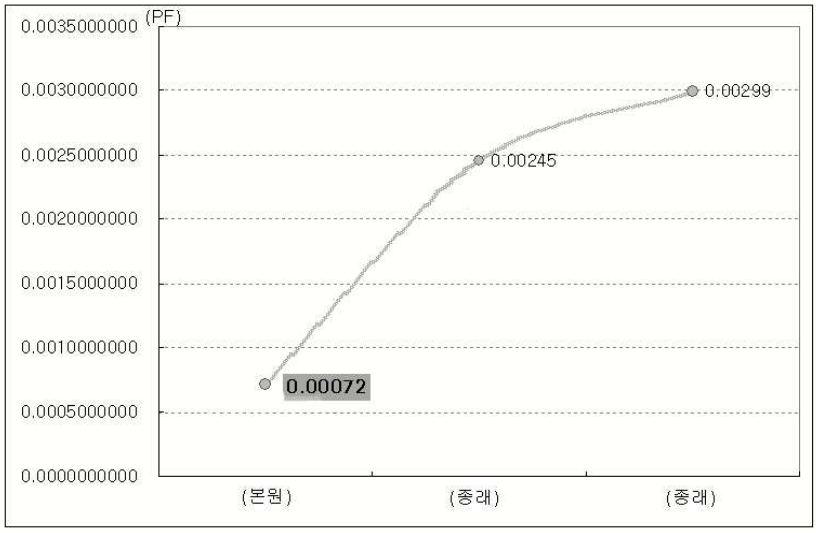
도면4a



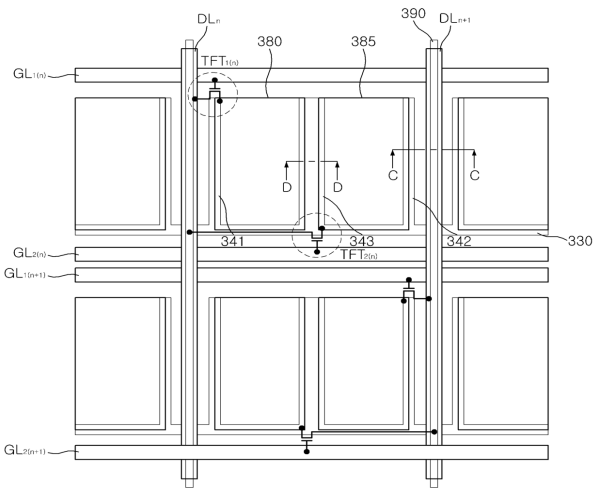
도면4b



도면5


(PF)
0.0035000000
0.0030000000
0.0025000000
0.0020000000
0.0015000000
0.0010000000
0.0005000000
0.0000000000
0.00299
0.00245
0.00072
(본원)
(종래)
(종래)

专利名称(译)	薄膜晶体管基板，其制造方法以及包括该薄膜晶体管基板的液晶显示装置		
公开(公告)号	KR1020070074344A	公开(公告)日	2007-07-12
申请号	KR1020060002344	申请日	2006-01-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHANG JONG WOONG		
发明人	CHANG JONG WOONG		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 H01L27/12 H01L27/124		
外部链接	Espacenet		

摘要(译)

本发明提供薄膜晶体管基板及其制造方法，多单位像素是包括该薄膜晶体管基板的液晶显示器，包括形成在多个第一栅极线的交叉区域的多个第一单位像素。单向导入基板以提供多条数据线，多条数据线形成为由多条栅极线绝缘，所述多条栅极线由多条第二栅极线组成，所述第二栅极线间隙与第一栅极线隔开并且预定并且形成并与多个栅极绝缘多条栅极线和多条栅极线和多条数据线以及多个第二单元像素和薄膜晶体管基板及其制造方法，用于在单元像素之间形成并包括施加固定电压的多条屏蔽线和液体包括该晶体显示器的晶体显示器具有用于减小像素之间的耦合电容的结构l电极和数据线。液晶显示器，薄膜晶体管基板，屏蔽线，耦合电容。