



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0058971
(43) 공개일자 2007년06월11일

(21) 출원번호 10-2006-0119993
(22) 출원일자 2006년11월30일
심사청구일자 없음

(30) 우선권주장 JP-P-2005-00350147 2005년12월05일 일본(JP)

(71) 출원인 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 키무라 하지메
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내
우오치 히데키
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시킴가이샤한도
오따이 에네루기 켄큐쇼 내

(74) 대리인 황의만

전체 청구항 수 : 총 65 항

(54) 액정표시장치

(57) 요약

본 발명은 FFS 방식으로 대표되는 횡전계 방식의 액정표시장치에서 액정 재료에 충분한 전계를 인가하는 것을 과제로 한다. 횡전계 방식 액정표시장치에서는, 1쌍의 전극이 아니라 다수 쌍의 전극을 사용하여 공통 전극이나 화소 전극 바로 위에 있는 액정 재료에 전계가 인가된다. 1쌍의 전극은 빗살 형상의 공통 전극과, 빗살 형상의 화소 전극을 포함한다. 다른 쌍의 전극은 화소부에 제공된 공통 전극과, 상기 빗살 형상의 화소 전극을 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 공통 전극;

상기 제1 공통 전극 위에 제공된 절연층;

상기 절연층 위에 제공된 화소 전극 및 제2 공통 전극; 및

상기 화소 전극과 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고;

상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기(tilting)가 제어되는 것을 특징으로 하는 액정표시장치.

청구항 2.

절연 기판;

상기 절연 기판 위에 형성된 박막트랜지스터;

상기 박막트랜지스터의 반도체층과 동일 층에 제공된 제1 공통 전극;

상기 제1 공통 전극을 덮도록 제공된 절연층;

상기 절연층 위에 제공된 화소 전극 및 제2 공통 전극; 및

상기 화소 전극과 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고;

상기 제1 공통 전극과 상기 제2 공통 전극이 전기적으로 접속되어 있고,

상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치.

청구항 3.

절연 기판;

상기 절연 기판 위에 형성된 박막트랜지스터;

상기 박막트랜지스터의 소스 전극 및 드레인 전극과 동일 층에 제공된 제1 공통 전극;

상기 제1 공통 전극에 접속된 도전층;

상기 제1 공통 전극 및 상기 도전층 위에 제공된 절연층;

상기 절연층 위에 제공된 화소 전극 및 제2 공통 전극; 및

상기 화소 전극과 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고;

상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치.

청구항 4.

절연 기판;

상기 절연 기관 위에 형성된 박막트랜지스터;

상기 박막트랜지스터의 반도체층과 동일 층에 제공된 제1 공통 전극;

상기 제1 공통 전극에 접속된 도전층;

상기 제1 공통 전극 및 상기 도전층 위에 제공된 절연층;

상기 절연층 위에 제공된 화소 전극 및 제2 공통 전극; 및

상기 화소 전극과 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고;

상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 2 항에 있어서, 상기 박막트랜지스터가 결정성 반도체층을 가지는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 3 항에 있어서, 상기 박막트랜지스터가 결정성 반도체층을 가지는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 4 항에 있어서, 상기 박막트랜지스터가 결정성 반도체층을 가지는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 2 항에 있어서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터, 및

상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 3 항에 있어서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터, 및

상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 4 항에 있어서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터, 및

상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 2 항에 있어서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 및 상기 박막트랜지스터 위에 제공된 컬러 필터,

상기 절연 기판에 대향하여 제공된 대향 기판, 및

상기 대향 기판 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 3 항에 있어서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 및 상기 박막트랜지스터 위에 제공된 컬러 필터,

상기 절연 기판에 대향하여 제공된 대향 기판, 및

상기 대향 기판 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 4 항에 있어서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 및 상기 박막트랜지스터 위에 제공된 컬러 필터,

상기 절연 기판에 대향하여 제공된 대향 기판, 및

상기 대향 기판 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 2 항에 있어서, 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층 위에 제공된 컬러 필터,

상기 컬러 필터 위에 제공된 제1 공통 전극, 및

상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 3 항에 있어서, 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층 위에 제공된 컬러 필터,

상기 컬러 필터 위에 제공된 제1 공통 전극, 및

상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16.

제 4 항에 있어서, 상기 박막트랜지스터 위에 제공된 패시베이션층,

상기 패시베이션층 위에 제공된 컬러 필터,

상기 컬러 필터 위에 제공된 제1 공통 전극, 및

상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 17.

절연 기판;

상기 절연 기판 위에 형성된 게이트 전극;

상기 게이트 전극과 동일 층에 형성된 제1 공통 전극;

상기 게이트 전극 및 상기 제1 공통 전극을 덮도록 제공된 절연층;

상기 절연층을 사이에 두고 상기 게이트 전극 위에 제공된 반도체층;

상기 반도체층 위에 제공된 소스 전극 및 드레인 전극;

상기 제1 공통 전극에 접하여 제공된 도전층;

상기 소스 전극과 상기 드레인 전극 중 하나에 접속된 화소 전극;

상기 도전층을 사이에 두고 상기 제1 공통 전극에 접속된 제2 공통 전극; 및

상기 화소 전극 및 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고;

상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치.

청구항 18.

절연 기판;

상기 절연 기판 위에 형성된 게이트 전극;

상기 게이트 전극과 동일 층에 형성된 도전층;

상기 도전층에 접하여 제공된 제1 공통 전극;

상기 게이트 전극 및 상기 제1 공통 전극을 덮도록 제공된 절연층;

상기 절연층을 사이에 두고 상기 게이트 전극 위에 제공된 반도체층;

상기 반도체층 위에 제공된 소스 전극 및 드레인 전극;

상기 소스 전극과 상기 드레인 전극 중 하나에 접속된 화소 전극;

상기 제1 공통 전극에 접속된 제2 공통 전극; 및

상기 화소 전극 및 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고;

상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치.

청구항 19.

제 17 항에 있어서, 상기 반도체층이 비정질 반도체층인 것을 특징으로 하는 액정표시장치.

청구항 20.

제 18 항에 있어서, 상기 반도체층이 비정질 반도체층인 것을 특징으로 하는 액정표시장치.

청구항 21.

제 17 항에 있어서, 상기 제1 공통 전극과 상기 게이트 전극 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터, 및

상기 소스 전극 및 상기 드레인 전극 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22.

제 18 항에 있어서, 상기 제1 공통 전극과 상기 게이트 전극 위에 제공된 패시베이션층,

상기 패시베이션층을 사이에 두고 상기 소스 전극 및 드레인 전극과 상기 제1 공통 전극 위에 제공된 컬러 필터,

상기 절연 기판에 대향하여 제공된 대향 기판, 및

상기 대향 기판 위에 제공된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 23.

다수의 화소를 포함하는 액정표시장치에 있어서,

각각의 화소가,

기관 위의 제1 반사성 공통 전극;

상기 기관 위의 제2 투광성 공통 전극;

상기 제1 반사성 공통 전극과 상기 제2 투광성 공통 전극 위의 절연층;

상기 절연층 위에 제공되고, 적어도 제1 부분과 제2 부분을 가지는 화소 전극; 및

상기 절연층 위에 제공되고, 적어도 상기 제1 부분과 상기 제2 부분을 포함하는 제3 공통 전극을 포함하고;

상기 제1 부분이 상기 제1 반사성 공통 전극 위에 위치하고, 상기 제2 부분이 상기 제2 투광성 공통 전극 위에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 24.

제 23 항에 있어서, 상기 제1 반사성 공통 전극과 상기 제2 투광성 공통 전극이 서로 전기적으로 접속되어 있는 것을 특징으로 하는 액정표시장치.

청구항 25.

제 23 항에 있어서, 상기 제1 반사성 공통 전극이 요철 표면을 가지고 있는 것을 특징으로 하는 액정표시장치.

청구항 26.

제 1 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 27.

제 2 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 28.

제 3 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 29.

제 4 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 30.

제 17 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 31.

제 18 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 32.

제 23 항에 있어서, 상기 화소 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 33.

제 1 항에 있어서, 상기 제1 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 34.

제 2 항에 있어서, 상기 제1 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 35.

제 3 항에 있어서, 상기 제1 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 36.

제 4 항에 있어서, 상기 제1 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 37.

제 17 항에 있어서, 상기 제1 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 38.

제 18 항에 있어서, 상기 제1 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 39.

제 23 항에 있어서, 상기 제1 반사성 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 40.

제 1 항에 있어서, 상기 제2 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 41.

제 2 항에 있어서, 상기 제2 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 42.

제 3 항에 있어서, 상기 제2 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 43.

제 4 항에 있어서, 상기 제2 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 44.

제 17 항에 있어서, 상기 제2 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 45.

제 18 항에 있어서, 상기 제2 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 46.

제 23 항에 있어서, 상기 제2 투광성 공통 전극이 빗살 형상을 가지는 것을 특징으로 하는 액정표시장치.

청구항 47.

제 1 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 48.

제 2 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 49.

제 3 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 50.

제 4 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 51.

제 17 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 52.

제 18 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 53.

제 23 항에 있어서, 상기 화소 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 54.

제 1 항에 있어서, 상기 제1 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 55.

제 2 항에 있어서, 상기 제1 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 56.

제 3 항에 있어서, 상기 제1 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 57.

제 4 항에 있어서, 상기 제1 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 58.

제 17 항에 있어서, 상기 제1 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 59.

제 18 항에 있어서, 상기 제1 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 60.

제 1 항에 있어서, 상기 제2 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 61.

제 2 항에 있어서, 상기 제2 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 62.

제 3 항에 있어서, 상기 제2 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 63.

제 4 항에 있어서, 상기 제2 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 64.

제 17 항에 있어서, 상기 제2 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 65.

제 18 항에 있어서, 상기 제2 공통 전극이 투광성 재료로 형성된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것이다. 특히, 본 발명은 시야각이 넓은 액정표시장치에 관한 것이다.

표시장치에는 자기발광 표시장치와 비발광(수광) 표시장치가 있고, 액정표시장치는 비발광 표시장치의 가장 대표적인 것이다. 그리고, 액정표시장치에서의 액정 구동방법에는, 기판에 대하여 수직으로 전압을 인가하는 종전계 방식과, 기판에 대하여 대략 평행으로 전압을 인가하는 횡전계 방식이 있다. 종전계 방식과 횡전계 방식은 서로 이점 및 결점을 가지고 있다. 예를 들어, TN 방식으로 대표되는 종전계 방식에 비하여, 횡전계 방식은 광시야각, 고콘트라스트, 고계조 표시와 같은 특성을 가지고, 모니터나 텔레비전용으로 사용되고 있다. 이러한 액정표시장치는 액정 분야에서 공존하고 있고, 제품 개발이 행해지고 있다. 또한, 횡전계 방식용의 액정 재료와, 종전계 방식용의 액정 재료 각각이 개발되고 있고, 전압 인가 방향에 따라 다른 재료 특성을 가진다.

또한, 횡전계 방식의 액정표시장치에는, IPS(In-Plane Switching) 방식과 FFS(Fringe Field Switching) 방식이 있다. IPS 방식에서는, 빔살 형상이나 슬릿이 들어간 화소 전극과, 빔살 형상이나 슬릿이 들어간 공통 전극이 교호로 배치되어 있고, 화소 전극과 공통 전극과의 사이에 기판에 대략 평행인 방향의 전계를 발생시켜, 액정표시장치를 구동하는 방식이다(일본국 공개특허공고 평 9-105918호 공보 참조). 한편, FFS 방식에서는, 화소부 전체에 형성된 평면 형상의 공통 전극 위에, 빔살 형상이나 슬릿이 들어간 화소 전극이 배치되어 있다. 그리고, 화소 전극과 공통 전극과의 사이에 기판에 대략 평행인 방향의 전계를 발생시켜, 액정표시장치를 구동하는 방식이다.

FFS 방식의 액정표시장치는 고투과율, 광시야각, 저소비전력을 가지고, 크로스토크(crosstalk)가 없다(Ultra-FFS TFT-LCD with Super Image Quality and Fast Response Time 2001 SID P.484-487 참조).

종래의 횡전계 방식으로 대표되는 횡전계 방식의 액정표시장치에서는, 액정 재료에 걸리는 전계가 충분하지 않았다. 이것은 공통 전극이나 화소 전극 바로 위에 있는 액정 재료에 전계가 잘 걸리지 않았기 때문이다.

또한, IPS 방식이나 FFS 방식과 같은 횡전계 방식을 사용한 광시야각 기술은 주로 텔레비전용으로 사용되고 있었으므로, 투과형에 한정되어 있었다. 그러나, 보다 소비전력을 낮추는 경우나 옥외에서도 사용하고자 하는 경우에는, 반사형이나 반투과형으로 할 필요가 있었다. 그러나, 반사형이나 반투과형은 TN 방식으로 대표되는 종전계 방식을 사용하여 실현되고 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은, 횡전계 방식의 액정표시장치에서 액정 재료에 걸리는 전계를 충분한 것으로 하는 구성을 제공하는 것을 목적으로 한다.

또한, 본 발명은, 광시야각이고, 표시 화면을 보는 각도에 의존한 색감의 변화가 적고, 실내에서도 옥외에서도 양호하게 시인(視認)할 수 있는 화상을 표시할 수 있는 액정표시장치를 제공하는 것을 과제로 한다.

발명의 구성

상기 과제를 감안하여, 본 발명은, 횡전계 방식에서, 1쌍의 전극이 아니라 다수 쌍의 전극을 사용하여 액정 재료에 전계를 인가하는 것을 특징으로 한다. 1쌍의 전극은 빗살 형상의 공통 전극과, 빗살 형상의 화소 전극을 포함한다. 다른 쌍의 전극은 화소부에 형성된 공통 전극과, 빗살 형상의 화소 전극을 포함한다. 화소부에 제공된 공통 전극은 박막트랜지스터 이외의 영역에 걸쳐 제공될 수 있다. 또한, 화소부에 제공된 공통 전극은 빗살 형상으로 하여도 상관없다. 이와 같은 액정표시장치에서는, 1쌍의 전극에 더하여, 다른 쌍의 전극을 사용함으로써, 액정 재료에 인가되는 전계를 제어할 수 있다.

또한, 본 발명의 액정표시장치는 광의 투과에 의해 표시를 행하는 제1 영역과, 광의 반사에 의해 표시를 행하는 제2 영역을 포함한다. 또한, 액정층은, 액정층보다도 하방에 제공된 2개의 액정 소자 전극들 사이에 전위차가 발생했을 때 전극면에 평행한, 즉, 기판에 평행한 면 내에서 회전하는 액정 분자를 포함하고 있다.

또한, 본 발명에서, "전극면에 평행한 회전"이란, 인간의 눈으로 인식할 수 없는 정도의 편차를 가지는 평행한 회전을 의미한다. 바꿔말하면, "전극면에 평행한 회전"이란, 전극면에 평행한 벡터 성분을 주로 포함하지만 전극면에 수직인 벡터 성분도 약간 가지는 회전을 의미한다.

액정층(801)에 포함된 액정 분자(802)는, 액정층(801)의 하방에 제공된 전극(803)과 전극(804) 사이에 전위차가 생겼을 때, 횡방향 전계의 영향에 의해 회전한다. 액정 분자(802)가 회전함에 따라, 도 77(A)에 나타난 상태가 도 77(B)에 나타난 상태로 변화하거나, 또는 도 77(B)에 나타난 상태가 도 77(A)에 나타난 상태로 변화한다. 도 77(A) 및 도 77(B)는 단면도를 나타낸다. 이 회전을 평면 위에서 본 것이 도 77(C)의 화살표로 나타내어진다.

마찬가지로, 액정층(9801)에 포함된 액정 분자(9802)는, 액정층(9801)의 하방에 제공된 전극(9803)과 전극(9805)과의 사이, 및 전극(9804)과 전극(9805)과의 사이에 전위차가 생겼을 때, 횡방향 전계의 영향에 의해 회전하고, 액정 분자(9802)가 회전함에 따라, 도 112(A)에 나타난 상태가 도 112(B)에 나타난 상태로 변화하거나, 또는 도 112(B)에 나타난 상태가 도 112(A)에 나타난 상태로 변화한다. 도 112(A) 및 도 112(B)는 단면도를 나타낸다. 이 회전을 평면 위에서 본 것이 도 112(C)의 화살표로 나타내어진다.

또한, 전극(803)과 전극(804)의 위치 관계 등은 도 77(A)~도 77(C)에 나타난 것에 한정되지 않는다.

마찬가지로, 전극(9803)과 전극(9804)과 전극(9805)의 위치 관계 등은 도 112(A)~도 112(C)에 나타난 것에 한정되지 않는다.

상기한 제1 영역에서, 액정층의 하방에 제공된 한 쌍의 전극은 상이한 층에 제공된 전극들을 포함한다. 제1 영역에서, 액정층의 하방에는 액정 소자의 2개의 전극이 제공되어 있고, 이들 전극은 상이한 층에 제공되어 있다. 그리고, 이들 전극 중 어느 한쪽을 반사체로서 기능시키거나, 또는 이들 전극과 겹치도록 반사체를 제공함으로써, 광을 반사시킨다. 또한, 제2 영역에서, 액정층의 하방에는 액정 소자의 2개의 전극이 제공되어 있고, 이들 전극 모두를 투광성으로 하고, 같은 층 위에 또는 절연층을 사이에 두고 다른 층 위에 제공하고 있다.

이하에, 본 발명의 구체적인 구성을 나타낸다.

본 발명의 일 양태는, 제1 공통 전극과, 그 제1 공통 전극 위에 제공된 절연층과, 그 절연층 위에 제공된 화소 전극 및 제2 공통 전극과, 그 화소 전극 및 제2 공통 전극 위에 제공된 액정 재료를 포함하고, 상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기(tilting)가 제어되는 것을 특징으로 하는 액정표시장치이다.

본 발명의 다른 양태는, 절연 기판과, 그 절연 기판 위에 형성된 박막트랜지스터와, 그 박막트랜지스터의 반도체층과 동일 층에 제공된 제1 공통 전극과, 그 제1 공통 전극을 덮도록 제공된 절연층과, 그 절연층 위에 제공된 화소 전극 및 제2 공통 전극과, 그 화소 전극 및 제2 공통 전극 위에 제공된 액정 재료를 포함하고, 상기 화소 전극은 상기 박막트랜지스터에 의해 제어되고, 상기 제1 공통 전극과 상기 제2 공통 전극은 전기적으로 접속되어 있고, 상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치이다.

본 발명의 다른 양태는, 절연 기판과, 그 절연 기판 위에 형성된 박막트랜지스터와, 그 박막트랜지스터의 소스 전극 및 드레인 전극과 동일 층에 제공된 제1 공통 전극과, 그 제1 공통 전극에 접속된 도전층과, 상기 제1 공통 전극 및 상기 도전층 위에 제공된 절연층과, 그 절연층 위에 제공된 화소 전극 및 제2 공통 전극과, 상기 화소 전극 및 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고, 상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치이다.

본 발명의 다른 양태는, 절연 기판과, 그 절연 기판 위에 형성된 박막트랜지스터와, 그 박막트랜지스터의 반도체층과 동일 층에 제공된 제1 공통 전극과, 그 제1 공통 전극에 접속된 도전층과, 상기 제1 공통 전극 및 상기 도전층 위에 제공된 절연층과, 그 절연층 위에 제공된 화소 전극 및 제2 공통 전극과, 상기 화소 전극 및 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고, 상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치이다.

본 발명의 구성에서, 상기 박막트랜지스터는 결정성 반도체층을 가질 수 있다.

본 발명의 구성에서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층과, 그 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터와, 상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스가 더 포함될 수 있다.

본 발명의 구성에서, 상기 제1 공통 전극과 상기 박막트랜지스터 위에 제공된 패시베이션층과, 그 패시베이션층을 사이에 두고 상기 제1 공통 전극 및 상기 박막트랜지스터 위에 제공된 컬러 필터와, 상기 절연 기판에 대하여 제공된 대향 기판과, 상기 박막트랜지스터 위에 제공된 블랙 매트릭스가 더 포함될 수 있다.

본 발명의 구성에서, 상기 박막트랜지스터 위에 제공된 패시베이션층과, 그 패시베이션층 위에 제공된 컬러 필터와, 그 컬러 필터 위에 제공된 제1 공통 전극과, 상기 패시베이션층을 사이에 두고 상기 박막트랜지스터 위에 제공된 블랙 매트릭스가 더 포함될 수 있다.

본 발명의 다른 양태는, 절연 기판과, 그 절연 기판 위에 형성된 게이트 전극과, 상기 게이트 전극과 동일 층에 형성된 제1 공통 전극과, 상기 게이트 전극 및 상기 제1 공통 전극을 덮도록 제공된 절연층과, 그 절연층을 사이에 두고 상기 게이트 전극 위에 제공된 반도체층과, 그 반도체층에 형성된 소스 전극 및 드레인 전극과, 상기 제1 공통 전극에 접하도록 상기 소스 전극 및 드레인 전극과 동일 층에 제공된 도전층과, 상기 소스 전극과 드레인 전극 중 하나에 접속된 화소 전극과, 상기 도전층을 사이에 두고 상기 제1 공통 전극에 접속된 제2 공통 전극과, 상기 화소 전극 및 상기 제2 공통 전극 위에 제공된 액정 재료를 포함하고, 상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치이다.

본 발명의 다른 양태는, 절연 기판과, 그 절연 기판 위에 형성된 게이트 전극과, 그 게이트 전극과 동일 층에 형성된 도전층과, 그 도전층에 접하여 제공된 제1 공통 전극과, 상기 게이트 전극 및 상기 제1 공통 전극을 덮도록 제공된 절연층과, 그 절연층을 사이에 두고 상기 게이트 전극 위에 제공된 반도체층과, 그 반도체층에 형성된 소스 전극 및 드레인 전극과, 상기 소스 전극과 드레인 전극 중 하나에 접속된 화소 전극과, 상기 도전층을 사이에 두고 상기 제1 공통 전극에 접속된 제2 공

통 전극과, 상기 화소 전극 및 제2 공통 전극 위에 제공된 액정 재료를 포함하고, 상기 화소 전극과 상기 제1 공통 전극과의 사이의 전계, 및 상기 화소 전극과 상기 제2 공통 전극과의 사이의 전계에 의해, 상기 액정 재료의 기울기가 제어되는 것을 특징으로 하는 액정표시장치이다.

본 발명의 구성에서, 상기 반도체층은 비정질 반도체층을 가질 수 있다.

본 발명의 구성에서, 상기 제1 공통 전극 위에 제공된 패시베이션층과, 그 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터와, 상기 소스 전극 및 드레인 전극 위에 제공된 블랙 매트릭스가 더 포함될 수 있다.

본 발명의 구성에서, 상기 제1 공통 전극 및 상기 게이트 전극 위에 제공된 패시베이션층과, 상기 소스 전극 및 드레인 전극 위와 상기 패시베이션층을 사이에 두고 상기 제1 공통 전극 위에 제공된 컬러 필터와, 상기 절연 기판에 대향하여 제공된 대향 기판과, 그 대향 기판 위에 제공된 블랙 매트릭스가 더 포함될 수 있다.

본 발명의 구성에서, 상기 화소 전극은 빗살 형상을 가질 수 있다.

본 발명의 구성에서, 상기 제1 공통 전극은 빗살 형상을 가질 수 있다.

본 발명의 구성에서, 상기 제2 공통 전극은 빗살 형상을 가질 수 있다.

본 발명의 구성에서, 상기 화소 전극은 투광성 재료로 형성될 수도 있다.

본 발명의 구성에서, 상기 제1 공통 전극은 투광성 재료로 형성될 수도 있다.

본 발명의 구성에서, 상기 제2 공통 전극은 투광성 재료로 형성될 수도 있다.

본 발명에 의하면, 2쌍 이상의 전극을 사용하여 액정 재료에 충분한 전계를 인가할 수 있다. 그리고, 2쌍의 전극에 의해 발생된 전계에 의해, 액정 재료의 기울기를 제어함으로써, 계조 표시를 행할 수 있다.

또한, 본 발명에 의하면, 시야각이 넓고, 표시 화면을 보는 각도에 의존한 색감의 변화가 적고, 태양광이 비추어진 실외 및 어두운 실내(또는 밤의 실외)에서도 양호하게 시인(視認)할 수 있는 화상이 제공될 수 있다.

이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 그러나, 본 발명은 많은 다른 양태로 실시할 수 있고, 본 발명의 취지 및 그 범위에서 벗어나는 일 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 모든 도면에서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일 부호를 붙이고, 그 반복 설명은 생략한다.

또한, 본 발명에서, 적용 가능한 트랜지스터의 종류에 한정은 없고, 비정질 규소나 다결정 규소로 대표되는 비(非)단결정 반도체막을 사용한 박막트랜지스터(TFT), 반도체 기판이나 SOI 기판을 사용하여 형성되는 MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, 유기 반도체나 탄소 나노튜브를 사용한 트랜지스터, 그 외의 트랜지스터를 적용할 수 있다. 또한, 트랜지스터가 배치되는 기판의 종류에 한정은 없고, 단결정 기판, SOI 기판, 유리 기판 등에 트랜지스터를 형성할 수도 있다.

또한, 본 발명에서, 접속은 전기적 접속과 같은 의미이다. 따라서, 본 발명에서 개시하는 구성에서, 소정의 접속 관계를 가지는 소자들 사이에, 전기적 접속을 가능하게 하는 다른 소자(예를 들어, 다른 소자, 스위치, 트랜지스터, 용량 소자, 저항 소자, 다이오드 등)가 배치될 수도 있다.

또한, 본 발명에서 나타내는 스위치는 전기적 스위치나 기계적 스위치와 같은 어느 것이라도 좋다. 전류 흐름을 제어할 수 있는 것이라면, 무엇이든 좋다. 그 스위치는 트랜지스터이어도 좋고, 다이오드이어도 좋고, 그들을 조합시킨 논리회로이어도 좋다. 따라서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되는 것은 아니다. 그러나, 오프 전류가 적은 것이 바람직한 경우, 오프 전류가 적은 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD 영역을 가진 트랜지스터, 멀티게이트 구조를 가진 트랜지스터 등이 있다. 또한, 스위치로서 기능하는 트랜지스터의 소스 단자의 전위가 저전위측 전원(Vss, Vgnd, 0 V 등)에 가까운 상태에서 동작하는 경우에는 n채널형 트랜지스터를 사용하고, 반대로, 소스 단자의 전위가

고전위측 전원(Vdd 등)에 가까운 상태에서 동작하는 경우에는 p채널형 트랜지스터를 사용하는 것이 바람직하다. 이것은, 게이트-소스 전압의 절대값을 크게 할 수 있기 때문에, 트랜지스터가 스위치로서 작용하기 쉽기 때문이다. 또한, n채널형 트랜지스터와 p채널형 트랜지스터 모두를 사용하여 CMOS형 스위치로 하여도 좋다.

또한, 앞에서 설명한 바와 같이, 본 발명에서의 트랜지스터는 어떠한 타입의 트랜지스터이어도 좋고, 어떠한 기판 위에 형성되어 있어도 좋다. 따라서, 화소를 구동하는 회로들이 모두 유리 기판 위에 형성되어 있어도 좋고, 플라스틱 기판에 형성되어 있어도 좋고, 단결정 기판에 형성되어 있어도 좋고, SOI 기판 위에 형성되어 있어도 좋고, 어떤 다른 기판 위에 형성되어 있어도 좋다. 또는, 화소를 구동하는 회로들 중 일부가 어느 한 기판 위에 형성되고, 다른 일부가 다른 기판 위에 형성되어 있어도 좋다. 즉, 화소를 구동하는 회로들 전부가 동일 기판 위에 형성되어 있지 않아도 좋다. 예를 들어, 화소부와 게이트선 구동회로는 유리 기판 위에 TFT를 사용하여 형성되고, 신호선 구동회로(또는 그의 일부)는 단결정 기판 위에 형성되고, 그의 IC 칩을 COG(Chip On Glass)에 의해 유리 기판에 접속하여도 좋다. 또는 그 IC 칩을 TAB(Tape Auto Bonding)나 프린트 기판을 사용하여 유리 기판에 접속하여도 좋다.

또한, 화소에 배치되는 소자는 특정 소자에 한정되지 않는다. 화소에 배치되는 표시 소자의 예로서는, EL(electroluminescence) 소자(OLED(유기 발광 다이오드), 유기 EL 소자, 무기 EL 등이라고도 함)나 전계 방출 디스플레이(FED)에 사용되는 소자, FED의 일종인 SED(Surface-conduction Electron-emitter Display), 액정 디스플레이(LCD), GLV(글레팅 라이트 밸브), 플라즈마 디스플레이(PDP), 전자 페이퍼 디스플레이, 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 디스플레이 등, 어떠한 표시 소자이어도 좋다.

또한, 반도체장치란, 트랜지스터나 다이오드 등의 반도체 소자를 가지는 장치를 말한다. 또한, 표시장치란, 액정 소자나 EL 소자 등의 표시 소자를 가지는 장치를 말한다. 또한, 발광장치란, EL 소자나 FED에 사용되는 것과 같은 발광 소자를 가지는 장치를 말한다.

[실시형태 1]

본 발명의 액정표시장치의 일 형태에 대하여 도 78을 참조하여 설명한다. 액정표시장치에서는, 다수의 화소가 매트릭스 형태로 제공되어 있고, 일 화소의 단면 구조의 일 예가 도 78에 도시되어 있다.

도 78에 도시된 바와 같이, 화소는 광을 반사시켜 표시를 행하는 부분(반사부)(1001)과 광을 투과시켜 표시를 행하는 부분(투과부)(1002)을 가진다. 각각의 영역에서, 화소 전극으로서 기능하는 전극과, 공통 전극으로서 기능하는 전극이 제공되어 있다.

화소 전극으로서 기능하는 전극은 빗살 형상이나 슬릿 형상을 가진다. 한편, 공통 전극으로서 기능하는 전극은 평면 형상을 가지는 부분과, 빗살 형상이나 슬릿 형상을 가지는 부분을 포함한다. 그러나, 이러한 조합에 한정되는 것은 아니다.

그리고, 화소 전극으로서 기능하는 전극과, 공통 전극으로서 기능하는 전극에 전압이 공급되면, 전계가 발생한다. 그 전계는 기판에 평행인 성분을 많이 포함하고 있다. 그리고, 액정 분자는 그 전계에 따라 기판에 평행한 면 내에서 회전한다. 그 것에 의해, 광의 투과율이나 반사율이 제어될 수 있어, 계조를 표시할 수 있다.

공통 전극으로서 기능하는 전극이 다수 제공되어 있는 경우에는, 절연층에 개구부(콘택트 홀)를 형성하거나, 전극들을 중첩시켜 서로 전기적으로 접속하는 것이 바람직하다.

또한, 화소 전극으로서 기능하는 전극과 공통 전극으로서 기능하는 전극이 절연층을 사이에 두고 배치되어 있는 경우, 그 중첩 부분이 용량으로서 기능할 수 있다. 이 용량은 화상 신호를 보유하기 위한 보유 용량으로서 기능할 수 있다.

광을 반사시켜 표시를 행하는 부분(반사부)(1001)에서는, 반사용 전극이 제공되어 있고, 이 반사용 전극에 의해 광을 반사시켜 표시가 행해진다. 반사용 전극은 공통 전극을 겸할 수도 있고, 이 경우, 반사용 전극은 공통 전극과 접속되어, 전압이 공급될 수도 있다. 물론, 반사용 전극과 공통 전극이 따로따로 제공될 수도 있다. 이와 같이 반사용 전극과 공통 전극이 따로 존재하는 경우에는, 반사용 전극에는 전압이 공급되지 않거나 다른 전압이 공급될 수도 있다.

광을 투과시켜 표시를 행하는 부분(투과부)(1002)에서는, 투광성 전극이 제공될 수 있고, 따라서, 광을 투과시키거나 또는 전극의 간극을 통과시켜 표시가 행해진다. 투명 전극은 공통 전극을 겸할 수도 있고, 이 경우, 투명 전극은 공통 전극에 접

속되어, 전압이 공급될 수 있다. 물론, 투광성 전극과 공통 전극을 서로 다른 전극으로 할 수도 있다. 이와 같이 투명 전극과 공통 전극이 따로 존재하는 경우에는, 투명 전극에는 전압이 공급되지 않거나, 다른 전압이 공급될 수도 있다. 또한, 투명 전극은 화소 전극을 겸할 수도 있다.

다음에, 도 78에 나타난 구성에 대하여 설명한다. 반사부(1001)에서는, 액정 소자의 전극(9103)과 액정 소자의 전극(9305)이 절연층(9204, 9304)을 사이에 두고 중첩되어 있다. 또한, 투과부(1002)에서는, 액정 소자의 전극(9103)과 액정 소자의 전극(9104)이 절연층(9304)을 사이에 두고 중첩되어 있다.

또한, 반사부(1001)와 투과부(1002)에서, 액정 소자의 전극(9305)과 액정 소자의 전극(9303)은 교호로 배치되어 있다.

액정 소자의 전극(9103, 9105)은 빗살 형상으로 형성되어 있고, 액정 소자의 전극(9305, 9104)은 면 형상으로 형성되어 있다. 그러나, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 슬릿과 같은 간극을 가지거나, 구멍을 가지거나, 빗살 형상으로 될 수도 있다.

액정 소자의 전극(9103)이 화소 전극으로서 기능하고, 액정 소자의 전극(9305), 액정 소자의 전극(9104), 액정 소자의 전극(9105)은 공통 전극으로서 기능한다. 그러나, 이것에 한정되는 것은 아니고, 액정 소자의 전극(9103)이 공통 전극으로서 기능하고, 액정 소자의 전극(9305), 액정 소자의 전극(9104), 액정 소자의 전극(9105)이 화소 전극으로서 기능하여도 좋다.

공통 전극들 각각은 절연층에 콘택트 홀을 형성하거나 그 전극들을 서로 중첩시킴으로써 전기적으로 접속되는 것이 바람직하다.

액정 소자의 전극(9305)은 도전성을 가짐과 동시에 광을 반사하는 재료로 형성되어 있다. 따라서, 액정 소자의 전극(9305)은 반사용 전극으로서 기능한다. 또한, 액정 소자의 전극(9104)은 투광성을 가짐과 동시에 광을 투과하는 재료로 형성되어 있다. 따라서, 액정 소자의 전극(9104)은 투명 전극으로서 기능한다.

액정 소자의 전극(9103, 9105)은 도전성을 가짐과 동시에 광을 투과하는 재료로 형성되어 있는 것이 바람직하다. 이것은, 그 전극들이 광을 투과할 수 있을 때 화상을 표시하는 부분에 기여할 수 있기 때문이다. 그러나, 액정 소자의 전극(9103, 9105)은 광을 반사하는 재료로 형성되어도 좋다. 그 경우에는, 예를 들어, 투과부(1002)에서도 광을 반사하기 때문에, 투과부(1002)가 반사부로서 기능할 수 있다.

또한, 액정 소자의 전극(9103, 9105)은 동시에 형성되는 것이 바람직하다. 액정 소자의 전극(9103, 9105)을 동시에 형성함으로써, 프로세스를 간략화할 수 있고, 마스크(레티클) 수를 저감할 수 있고, 비용을 낮출 수 있기 때문이다. 그러나, 이것에 한정되는 것은 아니고, 액정 소자의 전극(9103, 9105)을 따로따로 형성하여도 좋다. 그 경우, 액정 소자의 전극(9103, 9105) 중의 어느 하나가 투과성을 가지고, 다른 쪽이 반사성을 가지는 것이 가능하다.

또한, 화소 전극으로서 기능하는 전극(액정 소자의 전극(9103))과 공통 전극으로서 기능하는 전극(액정 소자의 전극(9305, 9104, 9105))이 절연층을 사이에 두고 배치되어 있는 경우, 겹침 부분이 용량으로서 기능할 수 있고, 그 용량이 화상 신호를 보유하기 위한 보유 용량으로서 기능할 수 있다.

도 78 및 도 79에 도시된 바와 같이, 액정 소자의 전극(9103)과 액정 소자의 전극(9305) 사이, 액정 소자의 전극(9103)과 액정 소자의 전극(9105) 사이에 전위차가 발생했을 때, 액정층(9303)의 액정 분자(9303a, 9303b)는 액정 소자의 전극(9103, 9305, 9104)의 표면에 평행인 방향으로(즉, 기관에 평행인 면에서) 회전한다. 따라서, 액정층(9303)을 통과하는 광의 양이 제어될 수 있다. 즉, 광의 편광 상태가 제어될 수 있고, 기관의 외부에 제공되어 있는 편광판을 통과하는 광의 양이 제어될 수 있다. 도 79는 도 77(A) 및 도 112(A)에 대응한다. 도 79에 도시된 액정 분자(9303a, 9303b)가 도 77(A), 도 77(B), 도 112(A), 도 112(B)에 도시된 액정 분자와 마찬가지로 회전한다. 외측으로부터 액정표시장치 내로 입사한 광은 액정층(9303)을 통과한 후, 액정 소자의 전극(9103)과 절연층(9204, 9304)을 통과하고, 액정 소자의 전극(9305)에서 반사한 후, 절연층(9204, 9304)과 액정 소자의 전극(9103)을 통과하여 액정표시장치로부터 나온다.

또한, 도 79의 전극(9004)은 도 78의 액정 소자의 전극(9305, 9104)에 상당하고, 도 79의 절연층(9005)은 도 78의 절연층(9204, 9304)에 상당한다.

도 79에 도시된 바와 같이, 공통 전극으로서 기능하는 전극이 화소 전극으로서 기능하는 전극의 하방에 횡방향이나 비스듬한 방향(상향 경사방향과 하향 경사방향을 포함)으로 제공되어 있기 때문에, 영역(9002)과 영역(9003)에서, 기관에 평행한 전계 성분이 보다 많이 생기게 된다. 그 결과, 시야각 특성이 더욱 향상된다.

또한, 절연층(9204, 9304)은 굴절률 이방성을 거의 가지고 있지 않기 때문에, 그곳을 광이 통과할 때 편광 상태가 변화하지 않는다.

또한, 광을 반사시켜 표시를 행하는 부분(반사부)(1001)과 광을 투과시켜 표시를 행하는 부분(투과부)(1002)에서, 광로에 컬러 필터가 제공되어, 소망의 색을 가지는 광을 생성한다. 이와 같이 하여, 각 화소로부터 사출된 광이 합성되어 화상을 표시하게 된다.

따라서, 컬러 필터는 액정층(9303) 위에 배치되는 대향 기관 위에 제공될 수도 있고, 액정 소자의 전극(9103)의 상방에 제공될 수도 있다. 또는, 컬러 필터는 절연층(9304) 위에 제공되거나 또는 그 절연층의 일부로서 제공될 수도 있다.

또한, 컬러 필터와 마찬가지로, 블랙 매트릭스가 제공될 수도 있다.

또한, 광을 반사시켜 표시를 행하는 부분(반사부)(1001)에서는 광이 액정층(9303)을 2회 통과한다. 즉, 외광이 대향 기관측으로부터 액정층(9303)으로 들어가고, 액정 소자의 전극(9305)에 의해 반사되어, 다시, 액정층(9303)으로 들어가 대향 기관측을 통해 밖으로 나오므로, 광이 액정층(9303)을 2회 통과하게 된다.

한편, 광을 투과시켜 표시를 행하는 부분(투과부)(1002)에서는 광이 액정 소자의 전극(9104)을 통과하여 액정층(9303)으로 들어가 대향 전극으로부터 나온다. 즉, 광이 액정층(9303)을 1회 통과한다.

여기서, 액정층(9303)은 굴절률 이방성을 가지고 있기 때문에, 광이 액정층(9303)을 통과하는 거리에 따라, 광의 편광 상태가 바뀌게 된다. 따라서, 화상을 표시하는 경우에, 바르게 표시할 수 없게 되어 버린다. 따라서, 광의 편광 상태를 조정할 필요가 있다. 그것을 위한 방법으로서, 광을 반사시켜 표시를 행하는 부분(반사부)(1001)의 액정층(9303)의 두께(소위 셀 갭)를 얇게 함으로써, 광이 2회 통과하여도, 광이 액정층(9303)을 통과하는 거리가 너무 길어지는 것을 방지할 수 있다.

또한, 절연층(9204, 9304)은 굴절률 이방성을 거의 가지고 있지 않기 때문에, 그곳을 광이 통과하여도, 편광 상태는 변화하지 않는다. 따라서, 절연층(9204, 9304)의 유무나 두께 등은 큰 영향을 주지 않는다.

따라서, 액정층(9303)의 두께(소위 셀 갭)를 얇게 하기 위해, 그 두께를 조정하는 막을 배치할 수도 있다. 도 78에서는, 절연층(9204)이 그러한 막에 상당한다. 즉, 광을 반사시켜 표시를 행하는 부분(반사부)(1001)에서, 절연층(9204)은 액정층의 두께를 조정하기 위해 제공되는 층이다. 절연층(9204)을 제공함으로써 반사부(1001)에서의 액정층의 두께를 투과부(1002)에서의 액정층의 두께보다 얇게 할 수 있다.

또한, 반사부(1001)에서의 액정층(9303)의 두께는 투과부(1002)에서의 액정층(9303)의 두께의 2분의 1인 것이 바람직하다. 여기서, 2분의 1이란, 인간의 눈으로 인식할 수 없는 정도의 편차를 포함할 수도 있다.

그러나, 광이 항상 기관에 수직인 방향, 즉, 법선 방향으로만 입사하는 것은 아니다. 광이 비스듬하게 입사하는 경우도 있다. 따라서, 그러한 경우를 총합하여, 반사부(1001)와 투과부(1002)에서 광이 통과하는 거리가 실질적으로 대략 같은 정도가 될 필요가 있다. 따라서, 반사부(1001)에서의 액정층(9303)의 두께는 투과부(1002)에서의 액정층(9303)의 두께의 대략 3분의 1 이상, 3분의 2 이하가 되는 것이 바람직하다.

이와 같이, 액정 소자의 전극(9103)이 제공되어 있는 기관측 위에, 액정층(9303)의 두께를 조정하는 막을 배치하면, 막의 형성이 쉽게 될 수 있다. 즉, 액정 소자의 전극(9103)이 제공되어 있는 기관측에는, 다양한 배선이나 전극이나 막이 형성되어 있다. 따라서, 그러한 배선이나 전극이나 막을 사용하여 액정층(9303)의 두께를 조정하는 막을 형성할 수 있으므로, 그 다지 어려움 없이 막을 형성할 수 있다. 또한, 동일 공정에서, 다른 기능을 가지는 막을 형성할 수 있으므로, 프로세스를 간략화할 수 있고, 비용을 절감할 수 있다.

이상과 같은 구성을 가지는 본 발명의 액정표시장치는 시야각이 넓고, 또한, 표시 화면을 보는 각도에 의존한 색감의 변화가 적고, 또한, 태양이 비추어지는 실외에서도 어두운 실내(또는 밤의 옥외)에서도 양호하게 시인되는 화상을 제공할 수 있다.

도 78에서는 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 동일 평면에 배치되어 있지만, 이것에 한정되는 것은 아니고, 상이한 평면에 형성될 수도 있다.

또한, 도 78에서, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 서로 떨어져 배치되어 있지만, 이것에 한정되는 것은 아니고, 그들 전극(9305, 9104)이 서로 접촉하여 배치되어도 좋고, 하나의 전극으로 형성되어도 좋다. 또는, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)은 서로 전기적으로 접속되어 있어도 좋다.

또한, 도 78에서, 액정층(9303)의 두께를 조정하기 위한 막으로서, 절연층(9204)이 배치되어 있지만, 이것에 한정되는 것은 아니고, 액정층(9303)의 두께를 조정하기 위한 막이 대향 기판측에 배치될 수도 있다.

또한, 액정층(9303)의 두께를 얇게 하기 위해, 막이 배치되어 있지만, 역으로, 액정층(9303)의 두께를 두껍게 하기 위해, 소정의 영역에서 막을 제거하도록 하여도 좋다.

또한, 반사용 전극은 평탄한 표면을 가질 수 있지만, 요철 표면을 가지는 것이 바람직하다. 요철 표면을 가지고 있음으로써, 광을 확산시켜 반사시킬 수 있다. 그 결과, 광을 분산시킬 수 있고, 휘도를 향상시킬 수 있다.

또한, 도 80에 도시된 바와 같이, 투과부(1002)에서, 액정 소자의 전극(9104)은 없어도 좋다.

그 경우에는, 도 81에 도시된 바와 같이, 액정 소자의 전극(9105)과 액정 소자의 전극(9103) 사이에 전압을 인가하여, 액정 분자(9303a, 9303b)를 제어한다.

이와 같이, 투과부(1002)에 액정 소자의 전극(9104)을 배치하지 않기 때문에, 그만큼 프로세스를 간략화할 수 있고, 마스크(레티클) 수를 저감할 수 있고, 비용을 절감할 수 있다.

[실시형태 2]

실시형태 1의 것과 다른 구성의 본 발명의 액정표시장치의 예에 대하여 설명한다. 또한, 실시형태 1의 것과 동일한 기능을 가지는 부분에 대해서는 같은 부호를 사용하여 설명한다.

도 82는 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 적층되어 있는 점에서 도 78의 액정표시장치와 다른 액정표시장치의 예를 나타내고 있다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)을 모두 동일 전위로 하고자 하는 경우, 이와 같이 적층시켜 서로 전기적으로 접속시킬 수도 있다.

또한, 액정 소자의 전극(9104)이 액정 소자의 전극(9305) 아래에 배치되어 있지만, 이것에 한정되는 것은 아니고, 액정 소자의 전극(9104)이 액정 소자의 전극(9305) 위에 배치되어도 좋다.

또한, 액정 소자의 전극(9104)이 액정 소자의 전극(9305) 아래의 전역에 걸쳐 배치되어 있지만, 이것에 한정되는 것은 아니고, 액정 소자의 전극(9104)이 액정 소자의 전극(9305)의 일부의 아래나 위에 배치될 수도 있다.

또한, 액정 소자의 전극(9104)이 액정 소자의 전극(9305) 아래의 전역에 걸쳐 배치되어 있는 경우, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)을 1장의 마스크를 사용하여 형성할 수 있다. 통상, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)은 각각 서로 다른 마스크를 사용하여 형성되지만, 이 경우에는, 하프톤(halftone), 그레이톤(graytone) 등의 마스크를 사용하고, 레지스트의 두께를 영역에 따라 바꿈으로써, 1장의 마스크로 액정 소자의 전극(9305)과 액정 소자의 전극(9104)을 형성할 수 있다. 그 결과, 프로세스를 간략화할 수 있고, 공정 수를 줄일 수 있고, 마스크 수(레티클 수)를 줄일 수 있다. 따라서, 비용을 절감할 수 있게 된다.

도 83에서는, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)을 서로 부분적으로 중첩시켜 전기적으로 접속하고 있는 액정표시장치를 나타내고 있다. 이와 같은 구성에서는, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 전기적으로 접속될 수도 있다.

또한, 액정 소자의 전극(9104)이 액정 소자의 전극(9305) 위에 서로 접하도록 배치되어 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)이 액정 소자의 전극(9104) 위에 서로 접하도록 배치되어도 좋다.

이와 같이, 액정 소자의 전극(9305) 위의 넓은 영역에서 액정 소자의 전극(9104)을 배치하지 않음으로써, 그곳에서의 광의 손실을 저감할 수 있다.

도 84에서는, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 절연층(9306)을 사이에 두고 상이한 층에 제공되어 있다. 또한, 도 85에서와 같이, 액정 소자의 전극(9305, 9104)을 각각 다른 층에 제공하여도 좋다.

이와 같이, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)을 다른 층에 배치하면, 반사부(1001)에서의 액정 소자의 전극(9305)과 액정 소자의 전극(9104) 사이의 거리가 투과부(1002)에서의 거리와 대략 같게 된다. 따라서, 반사부(1001)와 투과부(1002)에서, 전극들의 간격을 같은 정도로 할 수 있다. 전계의 인가 및 강도는 전극들 사이의 거리에 따라 변화하기 때문에, 전극들 사이의 간격을 반사부(1001)와 투과부(1002)에서 같은 정도로 함으로써, 액정층(9303)에 인가하는 전계도 같은 정도로 할 수 있기 때문에, 액정 분자의 제어가 정확하게 행해질 수 있다. 또한, 반사부(1001)와 투과부(1002)에서 액정 분자의 회전 정도가 대략 같아지므로, 액정표시장치를 투과형으로 하여 화상을 표시하거나 보는 경우이든, 반사형으로 하여 화상을 표시하거나 보는 경우이든, 대략 동일한 계조를 가진 화상을 볼 수 있다.

또한, 액정 소자의 전극(9104)은 액정 소자의 전극(9305) 아래의 영역 전체에 배치되어 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9104)이 적어도 투과부(1002)에 배치되어 있으면 된다.

또한, 절연층(16)에 콘택트 홀을 형성하여, 액정 소자의 전극(9104)과 액정 소자의 전극(9305)을 접속하여도 좋다.

도 85는 액정 소자의 전극(9305)이 액정 소자의 전극(9104)보다 아래의 층(액정층(9303))으로부터 먼 쪽 층)에 제공되어 있는 점에서 도 84의 액정표시장치와 다른 액정표시장치의 예를 나타낸다.

또한, 액정 소자의 전극(9104)이 반사부(1001)에도 형성되어 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9104)이 적어도 투과부(1002)에 배치되어 있으면 된다.

또한, 액정 소자의 전극(9104)이 반사부(1001)에도 형성되어 있는 경우, 반사부(1001)에서도 액정 소자의 전극(9104)과 액정 소자의 전극(9103) 사이의 전압에 따라 액정층(9303)을 제어한다. 그 경우에는, 액정 소자의 전극(9305)은 반사용 전극으로만 기능하고, 액정 소자의 전극(9104)은 반사부(1001)에서의 공통 전극으로서 기능한다.

따라서, 그 경우, 액정 소자의 전극(9305)에 공급되는 전압은 임의적이 된다. 액정 소자의 전극(9104) 또는 액정 소자의 전극(9103)과 동일한 전압을 액정 소자의 전극(9305)에 공급할 수도 있다. 그 경우, 액정 소자의 전극(9305)과 액정 소자의 전극(9104)과의 사이에 용량이 형성되고, 그 용량은 화상 신호를 보유하기 위한 보유 용량으로서 기능할 수도 있다.

또한, 절연층(16)에 콘택트 홀을 형성하여, 액정 소자의 전극(9104)과 액정 소자의 전극(9305)을 접속하여도 좋다.

도 86에서는, 반사부(1001)의 액정 소자의 전극(9305)과 투과부(1002)의 액정 소자의 전극(9103, 9105)이 절연층(9304) 위에 형성되어 있다. 그리고, 절연층(9204)은 액정 소자의 전극(9305) 위에 형성되고, 그 위에, 반사부의 액정 소자의 전극(9103, 9105)이 형성되어 있다. 액정 소자의 전극(9104)은 절연층(9304) 아래에 형성되어 있다.

또한, 액정 소자의 전극(9104)이 반사부(1001)에도 형성되어 있지만, 이것에 한정되지 않는다. 액정 소자의 전극(9104)이 적어도 투과부(1002)에 배치되어 있으면 된다.

또한, 절연층(9304)에 콘택트 홀을 형성하여, 액정 소자의 전극(9104)과 액정 소자의 전극(9305)을 접속하여도 좋다.

또한, 도 93에 도시된 바와 같이, 투과부(1002)에는 액정 소자의 전극(9104)이 없어도 된다.

그 경우, 도 81에 도시된 바와 같이, 액정 소자의 전극(9105)과 액정 소자의 전극(9103) 사이에 전압을 인가하여, 액정 분자(9303a, 9303b)를 제어한다.

이와 같이, 투과부(1002)에 액정 소자의 전극(9104)을 배치하지 않기 때문에, 그만큼 프로세스를 간략화할 수 있고, 마스크(레티클) 수를 저감할 수 있고, 비용을 낮출 수 있다.

또한, 도 78~도 86, 및 도 93에서는, 전극 표면의 요철을 나타내지 않았지만, 액정 소자의 전극(9103, 9305, 9104, 9105)의 표면이 평탄한 것에 한정되는 것은 아니고, 그들 표면에 요철을 가지고 있어도 좋다.

또한, 도 78~도 86, 및 도 93에서는, 절연층(9204, 9304, 9306)의 표면의 요철을 나타내지 않았지만, 절연층(9204, 9304, 9306)의 표면이 평탄한 것에 한정되는 것은 아니고, 그들 표면에 요철을 가지고 있어도 좋다.

또한, 반사용 전극의 표면에 큰 요철을 많이 제공함으로써, 광을 확산시킬 수 있다. 그 결과, 표시장치의 휘도를 향상시킬 수 있다. 따라서, 도 78~도 86, 및 도 93에 도시된 반사용 전극과 투명 전극(액정 소자의 전극(9305)과 액정 소자의 전극(9104))은 표면에 요철을 가질 수도 있다.

또한, 요철 표면의 형상은 광이 가능한 한 쉽게 확산되게 하는 형상인 것이 바람직하다.

투과부(1002)에서는 전계의 인가에 영향을 끼치지 않도록, 투명 전극이 요철을 가지지 않는 것이 바람직하다. 그러나, 요철이 있어도, 표시에 영향을 끼치지 않으면 문제 없다.

도 87은 도 78의 반사용 전극의 표면에 요철이 있는 경우를 나타내고, 도 88 및 도 89 각각은 도 82의 반사용 전극의 표면에 요철이 있는 경우를 나타내고, 도 90은 도 83의 반사용 전극의 표면에 요철이 있는 경우를 나타내고, 도 91은 도 84의 반사용 전극의 표면에 요철이 있는 경우를 나타내고, 도 92는 도 85의 반사용 전극의 표면에 요철이 있는 경우를 나타낸다.

따라서, 반사용 전극의 표면에 요철이 없는 경우를 설명한 도 78~도 86, 및 도 93의 설명 내용이 도 87~도 92의 경우에도 적용될 수 있다.

도 87은 액정 소자의 전극(9305)의 하방에 블록형 산란체(9307)가 제공되어 있는 점에서 도 78의 것과 다른 액정표시장치의 예를 나타낸다. 이와 같이 블록형 산란체를 제공함으로써, 액정 소자의 전극(9305)의 표면에 요철이 제공되고, 광이 산란되고, 광의 반사에 기인한 콘트라스트의 저하나 번쩍임(glare)이 방지될 수 있어, 휘도를 향상시킬 수 있다.

또한, 산란체(9307)의 형상은 광이 가능한 한 쉽게 확산되게 하는 형상이 바람직하다. 그러나, 그 위에 전극이나 배선이 형성될 수 있기 때문에, 전극이나 배선의 단선을 방지하도록 매끄러운 형상이 바람직하다.

도 89는 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 적층되어 있는 점에서 도 88의 것과 다른 액정표시장치의 예를 나타낸다.

액정 소자의 전극(9104)과 액정 소자의 전극(9305)을 밀착시키는 면적이 크기 때문에, 접촉 저항을 낮게 할 수 있다.

도 90은 산란체(9203)가 액정 소자의 전극(9305)과 액정 소자의 전극(9104)과의 사이에 제공되어 있는 점에서 도 89의 것과 다른 액정표시장치의 예를 나타낸다.

액정 소자의 전극(9104)을 형성한 후에 산란체(9203)를 형성하기 때문에, 투과부(1001)에서 액정 소자의 전극(9104)을 평탄하게 할 수 있다.

도 90은 블록형 산란체(9203)가 액정 소자의 전극(9305)의 하방에 제공되어 있는 점에서 도 83의 것과 다른 액정표시장치의 예를 나타낸다.

도 91은 절연층(9306)의 표면의 일부에 요철을 가지는 점에서 도 84의 것과 다른 액정표시장치의 예를 나타낸다. 이와 같은 절연층(9306)의 형상을 반영하여 액정 소자의 전극(9305)의 표면에 요철이 제공되어 있다.

도 92는 액정 소자의 전극(9305) 아래에, 표면의 일부에 요철을 가지는 절연층(9308)을 제공함으로써 액정 소자의 전극(9305)의 표면에 요철이 제공되어 있는 점에서 도 85의 것과 다른 액정표시장치의 예를 나타낸다.

도 78~도 93에서는, 액정층(9303)의 두께를 조정하는 막이 액정 소자의 전극(9103) 아래에 형성되었지만, 이것에 한정되는 것은 아니다. 도 94에 도시된 바와 같이, 액정층(9303)의 두께를 조정하는 막(9204)이 액정 소자의 전극(9103, 9105) 위에 배치될 수도 있다.

그 경우, 도 95에 도시된 바와 같이, 투과부(1002)에 액정 소자의 전극(9104)은 없어도 된다.

그 경우에는, 도 81에 도시된 바와 같이, 액정 소자의 전극(9105)과 액정 소자의 전극(9103) 사이에 전압을 인가하여, 액정 분자(9303a, 9303b)를 제어한다.

이와 같이, 투과부(1002)에 액정 소자의 전극(9104)을 배치하지 않기 때문에, 그만큼 프로세스를 간략화할 수 있고, 마스크(레티클) 수를 저감할 수 있고, 비용을 절감할 수 있다.

여기서, 도 94는 도 78에 대응하는 것이다. 도 82~도 92에서도, 도 94의 경우와 같이, 액정 소자의 전극(9103) 위에, 액정층(9303)의 두께를 조정하기 위한 절연층(9204)이 배치될 수 있다.

도 78~도 94 중의 많은 도면에서, 액정층(9303)의 두께를 조정하는 막은 액정 소자의 전극(9103)이 형성되어 있는 기관층에 배치되었지만, 이것에 한정되는 것은 아니다. 액정층(9303)의 두께를 조정하는 막은 대향 기관층에 배치될 수도 있다.

대향 기관층에 액정층(9303)의 두께를 조정하여 막을 배치함으로써, 액정 소자의 전극(9103)을 반사부(1001)와 투과부(1002)에서 동일 평면에 배치할 수 있게 된다. 따라서, 화소 전극과 공통 전극과의 거리가 투과부(1001)와 반사부(1002)에서 대략 동일하게 될 수 있다. 전계의 인가 및 강도는 전극들 사이의 거리에 따라 변화하기 때문에, 전극들 사이의 간격을 반사부(1001)와 투과부(1002)에서 같은 정도로 하면, 대략 동일한 정도의 전계가 인가될 수 있다. 따라서, 액정 분자의 제어를 정확하게 행할 수 있다. 또한, 반사부(1001)와 투과부(1002)에서 액정 분자의 회전 정도가 대략 같아지므로, 액정 표시장치를 투과형으로 하여 화상을 표시하고 보는 경우와, 반사형으로 하여 화상을 표시하고 보는 경우에, 대략 같은 계조를 가지는 화상을 볼 수 있다.

또한, 액정층(9303)의 두께를 조정하는 막이 제공되어 있으면, 그 근방에서 액정 분자의 배향 상태가 흐트러지고, 디스클리네이션(disclination) 등의 불량이 발생할 가능성이 있다. 그러나, 대향 기관(9202) 위에 액정층(9303)의 두께를 조정하는 막을 배치함으로써, 대향 기관(9202)이 액정 소자의 전극(9103)으로부터 떨어질 수 있으므로, 액정층에 인가되는 전계가 약해지지 않고, 액정 분자의 배향 상태가 흐트러지기 어렵게 되고, 화상을 거의 인식할 수 없게 되는 것이 방지될 수 있다.

또한, 대향 기관에 컬러 필터, 블랙 매트릭스 등을 형성할 뿐이므로, 대향 기관을 형성하는 공정의 수가 적다. 따라서, 대향 기관(9202)에 액정층(9303)의 두께를 조정하는 막을 형성하여도, 수율이 쉽게 저하되지 않는다. 만약 불량이 나오더라도, 공정수가 적고, 비용도 저렴하므로, 제조 비용의 낭비를 억제할 수 있다.

또한, 대향 전극(9202)에 액정층(9303)의 두께를 조정하는 막을 형성하는 경우, 그 두께를 조정하는 막 중에 산란체로서 기능하는 입자를 함유시켜, 광을 확산시키고 휘도를 향상시킬 수 있다. 그 입자는 간극을 조정하는 막을 형성하는 재료(예를 들어, 아크릴 수지 등)와 굴절률이 다름과 동시에 투광성을 가지는 수지 재료로 이루어진다. 이와 같이 입자를 함유시킴으로써, 광을 산란시킬 수 있고, 표시 화상의 콘트라스트와 휘도를 향상시킬 수 있다.

도 96은 도 78에서 액정층의 두께를 조정하는 막이 대향 기관에 제공된 경우를 나타내고, 도 97은 도 82에서 액정층의 두께를 조정하는 막이 대향 기관에 제공된 경우를 나타내고, 도 98은 도 83에서 액정층의 두께를 조정하는 막이 대향 기관에 제공된 경우를 나타내고, 도 99는 도 84에서 액정층의 두께를 조정하는 막이 대향 기관에 제공된 경우를 나타내고, 도 100은 도 85에서 액정층의 두께를 조정하는 막이 대향 기관에 제공된 경우를 나타내고, 도 101은 도 80에서 액정층의 두께를 조정하는 막이 대향 기관에 제공된 경우를 나타낸다.

따라서, 도 78~도 86에 대한 설명 내용이 도 96~도 101의 경우에도 적용될 수 있다.

도 96은 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 78의 것과 다른 액정표시장치의 예를 나타낸다.

도 97은 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 82의 것과 다른 액정표시장치의 예를 나타낸다.

도 98은 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 83의 것과 다른 액정표시장치의 예를 나타낸다.

도 99는 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 84의 것과 다른 액정표시장치의 예를 나타낸다.

도 100은 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 87의 것과 다른 액정표시장치의 예를 나타낸다.

도 101은 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 80의 것과 다른 액정표시장치의 예를 나타낸다.

또한, 도 96~도 101에서는, 전극 표면의 요철을 나타내지 않았지만, 액정 소자의 전극(9103, 9305, 9104)의 표면이 평탄한 것에 한정되지 않고, 그들 표면에 요철이 있어도 좋다.

또한, 도 96~도 101에서는, 절연층(9204, 9304, 9306)의 표면의 요철을 나타내지 않았지만, 절연층(9204, 9304, 9306)의 표면이 평탄한 것에 한정되지 않고, 그들 표면에 요철이 있어도 좋다.

또한, 반사용 전극의 표면에 큰 요철을 제공함으로써, 광을 확산시킬 수 있다. 그 결과, 표시장치의 휘도를 향상시킬 수 있다. 따라서, 도 96~도 101에 도시된 반사용 전극과 투명 전극(액정 소자의 전극(9305)과, 액정 소자의 전극(9104))은 표면에 요철이 있어도 좋다.

또한, 요철 표면의 형상은 광이 가능한 한 쉽게 확산될 수 있게 하는 형상인 것이 바람직하다.

투과부(1002)에서는 액정층에의 전계의 인가에 영향을 끼치지 않도록 투명 전극에 요철이 없는 것이 바람직하다. 그러나, 요철이 있어도, 표시에 영향이 없다면 문제없다.

또한, 도 78~도 86의 반사용 전극이 도 87~도 92에 나타낸 바와 같이 요철 표면을 가질 수도 있는 것과 같이, 도 96~도 101의 반사용 전극도 요철 표면을 가질 수도 있다. 도 102는 도 96의 반사용 전극이 요철을 가지는 경우를 나타낸다. 마찬가지로, 도 97~도 101의 반사용 전극도 요철을 가질 수 있다.

또한, 반사용 전극의 표면에 요철이 없는 경우에 대한 도 96의 설명이 도 102의 경우에도 적용될 수 있다.

도 102는 액정층(9303)의 두께를 조정하기 위한 절연층(9201)이 액정 소자의 전극(9103)이 제공된 쪽과는 다른 쪽의 액정층(9303)의 측부에 제공되고, 또한, 액정 소자의 전극(9103)이 절연층(9304) 위에 제공되어 있는 점에서 도 96의 것과 다른 액정표시장치의 예를 나타낸다.

도 78~도 102에서는, 액정층(9303)의 두께를 조정하는 막이 액정 소자의 전극(9103)이 형성되어 있는 기판측이나 또는 대향 기판측에 배치되어 있는 경우가 있지만, 이것에 한정되는 것은 아니다. 도 103에 도시된 바와 같이, 액정층(9303)의 두께를 조정하는 막 자체가 배치되어 있지 않아도 좋다. 도 103은 도 78 및 도 96에 대응하는 것이다. 도 78 및 도 96에 나타낸 경우 이외에, 도 79~도 95 및 도 97~도 102의 경우에서도, 액정층(9303)의 두께를 조정하는 막 자체가 배치되어 있지 않아도 좋다.

액정층(9303)의 두께를 조정하는 막 자체가 배치되어 있지 않은 경우에는, 반사부와 투과부에서 광이 액정층을 통과하는 거리가 다르게 된다. 따라서, 광의 편광 상태를 변화시키도록, 예를 들어, 위상차판(1/4 파장판 등)이나 굴절률 이방성을 가지는 재료(액정 등)를 광로에 배치하는 것이 바람직하다. 예를 들어, 대향 기판의 액정층과 접하지 않는 쪽의 편광판과 대향 기판과의 사이에 위상차판을 배치하면, 반사부와 투과부에서 동일한 광 투과 상태를 만들 수 있다.

또한, 도 78~도 103 및 상기 설명에서, 액정 소자의 전극(9103)들이 투과부(1002)에서 같은 평면에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9103)들이 상이한 평면에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 액정 소자의 전극(9105)들이 투과부(1002)에서 같은 평면에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9105)들이 상이한 평면에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 액정 소자의 전극(9103)들이 반사부(1001)에서 같은 평면에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9103)들이 상이한 평면에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 액정 소자의 전극(9105)들이 반사부(1001)에서 같은 평면에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9105)들이 상이한 평면에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 반사부(1001)에서 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 평면 형상으로 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 빗살 형상이나 슬릿 또는 간극이 있는 형상으로 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 투과부(1002)에서 액정 소자의 전극(9104)이 평면 형상으로 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9104)이 빗살 형상이나 슬릿 또는 간극이 있는 형상으로 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 반사부(1001)에서 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 액정 소자의 전극(9103) 아래에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 빗살 형상이나 슬릿 또는 간극이 있는 형상을 가지면, 액정 소자의 전극(9103)과 같은 평면에 형성되거나, 또는 액정 소자의 전극(9103)보다 상방에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 반사부(1001)에서 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 액정 소자의 전극(9105) 아래에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 빗살 형상이나 슬릿 또는 간극이 있는 형상을 가지면, 액정 소자의 전극(9105)과 같은 평면에 형성되거나, 또는 액정 소자의 전극(9105)보다 상방에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 투과부(1002)에서 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 액정 소자의 전극(9103) 아래에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 빗살 형상이나 슬릿 또는 간극이 있는 형상을 가지면, 액정 소자의 전극(9103)과 같은 평면에 형성되거나, 또는 액정 소자의 전극(9103)보다 상방에 형성될 수도 있다.

또한, 도 78~도 103 및 상기 설명에서, 투과부(1002)에서 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 액정 소자의 전극(9105) 아래에 형성될 수 있지만, 이것에 한정되는 것은 아니다. 액정 소자의 전극(9305)과 액정 소자의 전극(9104)이 빗살 형상이나 슬릿 또는 간극이 있는 형상을 가지면, 액정 소자의 전극(9105)과 같은 평면에 형성되거나, 또는 액정 소자의 전극(9105)보다 상방에 형성될 수도 있다.

또한, 도 78~도 103에 나타난 구조 및 그들의 조합과 같은 상기한 구성에서, 액정층(9303) 위에 제공되는 대향 기관 위에 컬러 필터가 제공될 수도 있고, 액정 소자의 전극(9103)이 제공된 기관 위에 컬러 필터가 제공될 수도 있다.

예를 들어, 컬러 필터가 절연층(9304, 9204, 9306, 9308)에 제공되거나 그 절연층의 일부로서 제공될 수도 있다.

또한, 컬러 필터와 마찬가지로, 블랙 매트릭스가 제공될 수도 있다. 물론, 컬러 필터와 블랙 매트릭스 모두가 제공되어 있어도 좋다.

이와 같이, 절연층이 컬러 필터나 블랙 매트릭스로서 작용하는 경우, 재료비를 절약할 수 있다.

또한, 액정 소자의 전극(9103)이 제공된 기관 위에 컬러 필터나 블랙 매트릭스를 배치하면, 대향 기관의 위치맞춤의 마진(margin)이 향상된다.

또한, 액정 소자의 전극의 위치나 종류 및 형상, 절연층의 위치나 형상 등은 다양한 형태를 취할 수 있다. 즉, 어느 한 도면의 액정 소자의 전극의 위치와, 다른 도면의 절연층의 위치를 조합시킴으로써, 다양한 형태를 취할 수 있다. 예를 들어, 도 79의 액정 소자의 전극(9305)의 형상을 요철 형상으로 변경하여, 도 88의 예를 형성한다. 다른 예로서, 도 79의 액정 소자의 전극(9104)의 위치와 형상을 변경하여, 도 87의 예를 형성한다. 상기 도면들에서, 각 도면의 각 부분을 다른 도면의 대응하는 부분과 조합시킬 수 있으므로, 수 많은 변형이 형성될 수 있다.

[실시형태 3]

실시형태 1 및 2에서는, 반사부와 투과부를 가지는 경우, 즉, 반투과형 액정표시장치를 제공하는 경우에 대하여 설명하였지만, 이것에 한정되는 것은 아니다.

액정 소자의 전극(9305)과 액정 소자의 전극(9104) 중의 어느 한쪽을 제거하고, 다른쪽을 전면(全面)에 배치함으로써, 반사형이나 투과형의 액정표시장치를 형성할 수 있다.

액정 소자의 전극(9305)을 제거하고, 액정 소자의 전극(9104)을 전면에 배치한 경우에는, 투과형 액정표시장치가 된다. 투과형 액정표시장치를 옥내에서 사용하는 경우에는, 그의 개구율이 높아지기 때문에, 밝고 선명한 표시를 행할 수 있다.

액정 소자의 전극(9104)을 제거하고, 액정 소자의 전극(9305)을 전면에 배치한 경우에는, 반사형 액정표시장치가 된다. 반사형 액정표시장치를 옥외에서 사용하는 경우에는, 그의 반사율이 높기 때문에, 깨끗한 표시를 행할 수 있고, 소비전력이 적은 표시장치를 실현할 수 있다. 반사형 액정표시장치를 옥내에서 사용하는 경우에는, 프론트 라이트(front light)를 표시부 위에 배치함으로써, 표시를 행할 수 있다.

또한, 액정표시장치를 반사형 액정표시장치 또는 투과형 액정표시장치로서 사용하는 경우에는, 1 화소 내에서 광이 통과하는 거리가 변하지 않는다. 따라서, 액정층의 두께(셀 갭)를 조정하기 위한 절연층(9204)은 필요없다.

도 104는 도 78에 나타낸 액정표시장치가 투과형인 예를 나타내고, 도 105는 도 87에 나타낸 액정표시장치가 반사형인 예를 나타낸다.

도 104 및 도 104에 도시된 바와 같이, 절연층(9304)에 콘택트 홀을 형성하여, 액정 소자의 전극(9305), 액정 소자의 전극(9104), 및 액정 소자의 전극(9105)을 접속할 수도 있다. 이들 전극은 공통 전극으로서 작용하기 때문에, 전기적으로 접속되어 있는 것이 바람직하다.

또한, 도 77~도 103의 도면 및 설명이, 도 104 및 도 105와 마찬가지로, 투과형이나 반사형 액정표시장치에 적용될 수 있다.

따라서, 실시형태 1 및 실시형태 2의 설명 내용이 본 실시형태에 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 4]

본 발명의 액티브 매트릭스형 액정표시장치의 일 예에 대하여 설명한다

본 실시형태에서는, 실시형태 1~실시형태 3에서 설명한 구성이나 그들 실시형태의 도면에 나타낸 부분들의 조합에 의해 실현되는 구성을 트랜지스터와 함께 형성하는 경우의 예에 대하여 설명한다.

또한, 본 발명에서, 트랜지스터는 필수는 아니기 때문에, 본 발명은 트랜지스터가 배치되어 있지 않은, 즉, 소위 패시브 매트릭스형의 표시장치에도 적용될 수 있다.

본 실시형태에서는, 액정표시장치가 투과형이고, 탑 게이트형 트랜지스터를 사용하여 제어되는 경우에 대하여 설명한다.

그러나, 이것에 한정되는 것은 아니고, 보텀 게이트형 트랜지스터를 사용하여도 좋다.

도 1은 절연 표면을 가진 기판(이하, 절연 기판이라 함)(100) 위에, 박막트랜지스터(102)와, 이 박막트랜지스터에 접속된 제1 전극(103), 제2 전극(104), 제3 전극(105)이 형성된 액정표시장치를 나타낸다. 제1 전극(103)은 화소 전극으로서 기능하고, 제2 전극(104)은 공통 전극으로서 기능하고, 제3 전극(105)은 공통 전극으로서 기능한다.

또한, 게이트 전극은 게이트선의 일부이다. 게이트선 중에서 박막트랜지스터(102)를 스위칭하기 위한 전극으로서 기능하는 부분이 게이트 전극이다.

공통 배선은 액정표시장치에 제공된 다수의 화소에 포함되어 있는 액정 소자의 전극들이 같은 전위가 되도록 인출되어 있는 배선이고, 액정 소자의 전극들에 전기적으로 접속되어 있다. 이와 같이 공통 배선에 전기적으로 접속된 액정 소자의 전극은 일반적으로 공통 전극이라 불린다. 이것에 대하여, 소스선으로부터의 전위에 따라 전위가 수시로 변화하는 액정 소자의 전극은 일반적으로 화소 전극이라 불린다.

박막트랜지스터(102)는 하지층(101)을 사이에 두고 절연 기판(100) 위에 형성되는 것이 바람직하다. 하지층(101)을 제공함으로써, 절연 기판(100)으로부터 박막트랜지스터(102), 특히 반도체층으로의 불순물 원소의 침입을 방지할 수 있다. 이와 같은 하지층(101)에는, 산화규소 또는 질화규소 또는 그들의 적층을 사용할 수 있고, 질화규소는 불순물 침입의 방지 효과가 높아 바람직하다. 산화규소는 반도체층과 직접 접하여도 전하의 트랩이나 전기 특성의 히스테리시스를 일으키지 않기 때문에 바람직하다.

또한, 박막트랜지스터(102)는 탑 게이트형이지만, 이것에 한정되는 것은 아니고, 보텀 게이트형이어도 좋다.

박막트랜지스터(102)는 소정의 형상으로 가공된 반도체층(111), 이 반도체층을 덮거나 또는 이 반도체층 위에 제공된 게이트 절연층(112), 이 게이트 절연층을 사이에 두고 반도체층 위에 제공된 게이트 전극(113), 소스 전극 및 드레인 전극(116)을 가진다.

반도체층을 덮도록 형성된 게이트 절연층에 의해, 제조 공정 도중 반도체막이 대기에 노출되는 경우가 있어도, 반도체막에의 불순물의 부착 또는 침입을 방지할 수 있다. 또한, 반도체층 위에 제공된 게이트 절연층은 게이트 전극을 마스크로 하여 가공될 수 있으므로, 마스크의 수를 줄일 수 있다. 이와 같이, 게이트 절연층(112)의 형상은 제조 공정 등에 따라 결정될 수 있고, 게이트 절연층(112)을 게이트 전극 아래에만 배치하여도 좋고, 전면에 걸쳐 배치하여도 좋고, 또는, 게이트 절연층(112)은 게이트 전극의 아래나 근방에서는 두껍게, 그 외의 영역에서는 얇게 되도록 제공될 수도 있다.

반도체층에는 불순물 영역(114)이 제공되어 있고, 불순물 영역의 극성에 따라 N형 또는 P형의 박막트랜지스터가 된다. 불순물 영역은 게이트 전극(113)을 마스크로 하여 불순물 원소를 자기정합적으로 첨가함으로써 형성될 수 있다. 그러나, 별도의 마스크를 준비하여 사용하여도 좋다.

불순물 영역에서는 그의 농도를 다르게 할 수 있고, 예를 들어, 저농도 불순물 영역과 고농도 불순물 영역을 제공할 수 있다. 저농도 불순물 영역은, 게이트 전극(113)을 테이퍼 형상으로 하고, 그러한 게이트 전극을 사용하여 자기정합적으로 불순물 원소를 첨가함으로써 형성될 수 있다. 또는, 게이트 절연층(112)의 두께를 바꾸거나 게이트 전극을 테이퍼 형상으로 하여, 저농도 불순물 영역을 형성할 수도 있다. 또한, 게이트 전극(113)의 측면에 사이드월(sidewall) 구조를 형성하여, 불순물 영역의 농도를 다르게 할 수 있다. 저농도 불순물 영역과 고농도 불순물 영역을 가지는 구조를 LDD(Lightly Doped Drain) 구조라 부르고, 저농도 불순물 영역과 게이트 전극이 겹쳐 있는 구조를 GOLD(Gate-drain Overlapped LDD) 구조라 부른다. 이와 같은 저농도 불순물 영역을 가지는 박막트랜지스터에서는, 게이트 길이가 짧아짐에 따라 발생하는 단(短) 채널 현상을 방지할 수 있다. 또한, 오프 전류가 저감될 수 있고, 드레인 영역에서의 전계의 집중을 억제할 수 있기 때문에, 트랜지스터의 신뢰성을 향상시킬 수 있다.

반도체층(111) 및 게이트 전극(113)을 덮도록 절연층(106)이 제공된다. 이 절연층(106)은 단층 구조 또는 적층 구조로 할 수 있다. 절연층(106)에는 무기 재료 또는 유기 재료를 사용할 수 있다. 무기 재료에는 산화규소 또는 질화규소를 사용할 수 있고, 유기 재료에는 폴리이미드, 아크릴, 폴리이미드, 폴리이미드아미드, 레지스트 또는 벤조시클로부텐, 실록산, 또는 폴리실라잔을 사용할 수 있다. 실록산은 규소(Si)와 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 함유하는 유기기(예를 들어, 알킬기, 방향족 탄화수소)가 사용된다. 또는, 치환기로서 플루오로기를 사용하여도 좋다. 또는, 치환기로서 적어도 수소를 포함하는 유기기와, 플루오로기를 사용할 수도 있다. 폴리실라잔은 규소(Si)와 질소(N)의 결합을 가지는 폴리머 재료를 출발 재료로 하여 형성된다. 절연층(106)에 유기 재료를 사용하면, 그의 표면의 평탄성을 높일 수 있어 바람직하다. 절연층(106)에 무기재료를 사용하면, 그의 표면이 반도체층이나 게이트 전극의 표면 형상을 따르고, 이 경우, 막을 두껍게 함으로써 절연층(106)이 평탄성을 가질 수 있다.

이와 같은 절연층(106)에 개구부를 형성하여, 불순물 영역을 노출시킨다. 이 개구부에 도전층을 형성하여, 소스 전극 및 드레인 전극(116)을 형성한다. 소스 전극 및 드레인 전극에 적용되는 도전층은 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 은(Ag), 구리(Cu), 네오디뮴(Nd) 등에서 선택된 원소, 또는 이 원소를 주성분으로 하는 합금 재료, 또는 질화티탄, 질화탄탈, 질화몰리브덴 등의 금속 질화물 등의 도전성 재료를 사용하여 형성된다. 도전층은 이들 재료의 단층 구조 또는 적층 구조를 가질 수 있다. 적층 구조로 함으로써, 저저항화를 도모할 수 있다. 다른 전극(117) 등은 소스 전극 및 드레인 전극과 동일 도전층을 사용하여 형성될 수 있다.

소스 전극 및 드레인 전극(116)을 덮도록 절연층(107)을 형성한다. 이 절연층(107)은 절연층(106)과 마찬가지로 형성될 수 있다. 즉, 유기 재료를 사용하여 절연층(107)을 형성하면, 그 절연층의 평탄성을 높일 수 있다. 절연층(107) 위에는 제1 전극(103)과 제3 전극(105)을 형성하기 때문에, 절연층(107)의 평탄성이 높은 것이 바람직하다. 제1 전극(103)과 제3 전극(105)은 액정 재료에 전압을 인가하기 위한 전극이고, 이들 전극에 평탄성이 필요하기 때문에, 절연층(107)의 평탄성은 높은 것이 바람직하다.

제1 전극(103)과 제3 전극(105)은 빗살 형상이나 슬릿을 가지는 상태 등으로 가공되어 있다. 그리고, 제1 전극(103)과 제3 전극(105)은 번갈아 배치된다. 즉, 제1 전극(103)과 제3 전극(105)이 번갈아 배치될 수 있도록 가공될 수도 있다. 제1 전극(103)과 제3 전극(105) 사이의 간격은 2~8 μm , 바람직하게는 3~4 μm 로 하면 좋다. 이와 같이 배치된 제1 전극(103)과 제3 전극(105)에 전압을 인가하면, 이들 전극 사이에 전계가 발생하여, 액정 재료의 배향을 제어할 수 있다. 이때 발생하는 전계는 기판에 평행한 성분을 많이 포함한다. 따라서, 액정 분자가 기판에 대략 평행한 면 내에서 회전한다. 이것에 의해, 광의 투과가 제어될 수 있다.

절연층(107) 위에 형성되는 제1 전극(103)과 제3 전극(105)은, 예를 들어, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 은(Ag) 등에서 선택된 원소, 또는 이 원소를 주성분으로 하는 합금 재료와 같은 도전성 재료로 형성된다. 또한, 제1 전극(103)과 제3 전극(105)에 투광성이 필요한 경우, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 인이나 붕소가 함유된 규소(Si) 등의 투명한 도전성 재료를 사용할 수 있다.

다음에, 제2 전극(104)에 대하여 설명한다. 제2 전극(104)은 하지층(101) 또는 게이트 절연층(112) 위에 제공되고, 1 화소 영역 위, 구체적으로는, 1 화소 영역으로서 박막트랜지스터 형성 영역을 제외한 영역 위에 형성된다. 즉, 빗살 형상의 제3 전극(105)과는 달리, 제2 전극(104)은 1 화소 영역에 걸쳐, 즉, 빗살 형상의 제3 전극(105)과 제1 전극(103)이 제공되는 영역 하방의 영역에 걸쳐 제공되어 있다. 즉, 제2 전극(104)은 평면 형상이 되도록 제공되어 있다. 또한, 제2 전극(104)은 1 화소 영역에 걸쳐 형성되고, 그의 형상은 한정되지 않는다. 예를 들어, 제2 전극(104)은 1 화소 영역의 전면에 걸쳐 형성되거나 또는 1 화소 영역에 걸쳐 빗살 형상이나 슬릿이나 구멍을 가지도록 형성될 수도 있다.

제2 전극(104)은, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 은(Ag), 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 함유한 인듐 주석 산화물(ITSO), 산화아연(ZnO), 인이나 붕소를 함유하는 규소(Si) 등의 도전성 재료로 형성된다. 제2 전극(104)은 반도체층(111)과 동일 층에 형성될 수 있으므로, 반도체층이 제2 전극(104)으로 사용될 수도 있다. 그러나, 제2 전극(104)이 도전성을 가질 필요가 있기 때문에, 결정화된 반도체층, 또는 불순물 원소가 첨가된 반도체층, 또는 결정화되고 불순물 원소가 첨가된 반도체층이 사용된다.

그 경우, 박막트랜지스터(102)의 반도체층과, 반도체층으로 형성된 제2 전극(104)이 동시에 형성되는 것이 바람직하다. 그 결과, 프로세스를 간략화할 수 있고, 비용을 절감할 수 있다.

이와 같은 제2 전극(104)은 전극(117)을 통하여 제3 전극(105)과 전기적으로 접속되어 있다.

투과형 액정표시장치를 형성하는 경우, 제2 전극(104)과 제3 전극(105)은 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 함유한 인듐 주석 산화물(ITSO), 산화아연(ZnO), 인이나 붕소를 함유하는 규소(Si) 등의 투명한 도전성 재료로 형성된다. 이와 같은 투광성도 가지는 도전성 재료는 Al 등의 다른 도전성 재료에 비하여 저항이 높다. 따라서, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 은(Ag) 등의 저항이 낮은 도전성 재료로 형성되는 전극(117)이나, 또는 게이트 전극(113)과 동시에 형성되는 배선 등을 사용하여 제2 전극(104)과 제3 전극(105)을 접속함으로써, 상기 전극(117) 또는 배선이 제2 전극(104) 및 제3 전극(105)의 보조 전극이나 보조 배선으로서 기능할 수 있다. 그 결과, 제2 전극(104)과 제3 전극(105)에 균일한 전압을 인가할 수 있다. 이것은, 제2 전극(104)과 제3 전극(105)에서, 이 전극의 저항에 의해 생길 수 있는 전압 강하를 방지할 수 있다는 것을 의미한다.

이때, 보조 배선으로서 게이트 전극(113)과 동시에 형성되는 도전층을 사용하는 것이 바람직하다. 그 경우, 보조 배선은 게이트 배선에 대략 평행하도록 배치되는 것이 바람직하다. 그것에 의해, 효율적인 레이아웃(layout)이 달성될 수 있다.

이와 같은 제2 전극(104)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생한다. 즉, 제2 전극(104)과 제1 전극(103) 사이 및 빗살 형상의 제3 전극(105)과 제1 전극(103) 사이에 전계가 발생한다. 이와 같은 2쌍의 전극 사이에 생기는 전계에 따라 액정 재료의 기울기(tilting)나 회전 각도가 제어되어, 제조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 생기는 전계에 의해서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다. 구체적으로는, 빗살 형상의 제3 전극(105) 바로 위나, 빗살 형상의 제1 전극(103) 바로 위의 액정 재료의 기울기를 충분히 제어할 수 없었지만, 제2 전극(104)을 제공함으로써, 상기와 같은 액정 재료의 기울기를 충분히 제어할 수 있다. 이것은, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)과의 사이에 생기는 전계의 방향에 더하여, 제2 전극(104)과 빗살 형상의 제1 전극(103)과의 사이에 생기는 전계가 발생하기 때문이다. 이와 같이 다수의 쌍의 전극을 제공하여, 이들 전극 사이에 생기는 전계의 방향을 다수로 함으로써, 액정 재료의 기울기가 충분히 제어될 수 있다.

또한, 절연 기판(100)에 대항하도록 제공된 기판에는, 트랜지스터와 겹치는 차광층이 제공되어 있어도 좋다. 차광층은, 예를 들어, 텅스텐, 크롬, 및 몰리브덴 등의 도전성 재료, 텅스텐 실리사이드 등의 실리사이드, 또는 검은색 안료 또는 카본 블랙을 함유하는 수지 재료로 형성된다. 또한, 빗살 형상의 제1 전극(103) 및 빗살 형상의 제3 전극(105)과 겹치도록 컬러 필터가 제공되어 있다. 컬러 필터 위에는 배향막이 추가로 제공되어 있다.

절연 기판(100)과 대향 기판 사이에는 액정층이 제공되어 있다. 또한, 절연 기판(100)과 대향 기판 각각의 위에는 편광판이 제공되어 있다. 각각의 편광판은 액정층이 제공되어 있는 쪽과는 반대쪽의 절연 기판(100) 및 대향 기판의 측부에 제공되어 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있다. 따라서, 실시형태 1~실시형태 3에서의 설명 내용이 본 실시형태에도 적용되거나 또는 본 실시형태와 조합될 수 있다.

[실시형태 5]

본 실시형태에서는, 상기 실시형태들과 달리, 공통 전극을 박막트랜지스터의 소스 전극 및 드레인 전극과 동일 층에 제공한 액정표시장치의 구조에 대하여 설명한다.

또한, 보텀 게이트형 트랜지스터를 사용하여도 좋다.

도 2에 도시된 바와 같이, 절연층(106) 위에 배선(121)과 접하도록 공통 전극(122)이 제공되어 있다. 이 공통 전극(122)은 상기 실시형태 4에서 나타내는 제2 전극(104)과 마찬가지로 형성될 수 있다.

도 1에서와 같이, 절연층(107) 위에 빗살 형상의 제3 전극(105) 및 빗살 형상의 제1 전극(103)이 제공되어 있고, 제3 전극(105)이 절연층(107)에 제공된 개구부를 통하여 공통 전극(122)에 접속되어 있다.

공통 전극(122)은 배선(121)에 접하여 제공되고, 제3 전극(105)도 배선(121)에 전기적으로 접속된다. 따라서, 공통 전극(122)과 제3 전극(105)이 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 함유한 인듐 주석 산화물(ITSO), 산화아연(ZnO), 인이나 붕소를 함유한 규소(Si) 등의, Al 등과 비교하여 저항이 높은 도전성 재료로 형성되는 경우, Al 등을 사용하여 형성된 배선(121)이나 게이트 전극(113)과 동시에 형성된 배선이 공통 전극(122)과 제3 전극(105)의 보조 배선으로서 작용할 수 있다. 그 결과, 상술한 바와 같이, 공통 전극(122)과 제3 전극(105)의 배선 저항에 의한 전압 강하가 방지될 수 있다.

이때, 보조 배선으로서 게이트 전극(113)과 동시에 형성되는 도전층을 사용하는 것이 바람직하다. 그 경우, 보조 배선이 게이트 배선에 대략 평행하도록 배치되는 것이 바람직하고, 그것에 의해, 효율적인 레이아웃이 달성될 수 있다.

다른 구성은 도 1과 마찬가지로이므로 설명을 생략한다.

그러한 공통 전극(122)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생한다. 즉, 공통 전극(122)과 제1 전극(103) 사이, 및 빗살 형상의 제3 전극(105)과 제1 전극(103) 사이에 전계가 발생한다. 이와 같은 2

쌍의 전극 사이에 생기는 전계에 따라 액정 재료의 기울기가 제어되어, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 생기는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다. 구체적으로는, 빗살 형상의 제3 전극(105) 바로 위나, 빗살 형상의 제1 전극(103) 바로 위의 액정 재료의 기울기를 충분히 제어할 수 없었지만, 공통 전극(122)을 제공함으로써, 상기와 같은 액정 재료의 기울기를 충분히 제어할 수 있다.

이와 같이 다수의 쌍의 전극을 제공하여, 이들 전극 사이에 생기는 전계의 방향을 다수로 함으로써, 액정 재료의 기울기가 충분히 제어될 수 있다. 또한, 본 실시형태에서는, 공통 전극(122)이 절연층(106) 위에 형성되기 때문에, 공통 전극(122)과 제1 전극(103) 사이의 거리가 가까워져, 인가 전압을 낮게 억제할 수 있게 된다.

또한, 본 실시형태에서는, 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4를 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 4에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 6]

본 실시형태에서는, 상기 실시형태들과 달리, 공통 전극을 하지층(101) 위에 제공한 액정표시장치의 구조에 대하여 설명한다.

도 3에 도시된 바와 같이, 절연 기판(100) 위에 하지층(101)이 제공되고, 하지층(101) 위에 공통 전극(132)이 제공되어 있다. 공통 전극(132)은 상기 실시형태에서 나타내는 제2 전극(104)과 마찬가지로 형성될 수 있다. 공통 전극(132) 위에 절연층(106)이 제공되고, 공통 전극(132)이 절연층(106)에 제공된 개구부를 통하여 제3 전극(105)에 접속되어 있다. 따라서, 공통 전극(132)과 제3 전극(150)이 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 함유한 인듐 주석 산화물(ITSO)), 산화아연(ZnO), 인이나 붕소를 함유한 규소(Si) 등의, Al 등과 비교하여 저항이 높은 도전성 재료로 형성되는 경우, Al 등을 사용하여 형성된 배선(131)이 보조 배선으로서 작용할 수 있다. 그 결과, 상술한 바와 같이, 공통 전극(132)과 제3 전극(105)의 배선 저항에 의한 전압 강하가 방지될 수 있다. 배선(131)은 박막트랜지스터의 게이트 전극(113)과 동일 도전층으로 형성될 수 있다. 그 경우, 보조 배선은 게이트 배선에 대략 평행하도록 배치되는 것이 바람직하다. 그것에 의해, 효율적인 레이아웃이 달성될 수 있다.

또한, 본 실시형태에서, 보텀 게이트형 트랜지스터를 사용하여도 좋다.

다른 구성은 도 1과 마찬가지로이므로 설명을 생략한다.

그러한 공통 전극(132)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생한다. 즉, 공통 전극(132)과 제1 전극(103) 사이, 및 빗살 형상의 제3 전극(105)과 제1 전극(103) 사이에 전계가 발생한다. 이와 같은 2쌍의 전극 사이에 생기는 전계에 의해 액정 재료의 기울기를 제어하여, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 생기는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다. 구체적으로는, 빗살 형상의 제3 전극(105) 바로 위나, 빗살 형상의 제1 전극(103) 바로 위의 액정 재료의 기울기를 충분히 제어할 수 없었지만, 공통 전극(132)을 제공함으로써, 상기와 같은 액정 재료에 대해서도 기울기를 충분히 제어할 수 있다.

이와 같이 다수의 쌍의 전극을 제공하여, 이들 전극 사이에 생기는 전계의 방향을 다수로 함으로써, 액정 재료의 기울기가 충분히 제어될 수 있다. 또한, 본 실시형태에서는, 공통 전극(132)이 하지층(101) 위에 형성되기 때문에, 절연층(106)이 단층 구조 그대로 작용할 수 있다. 그 결과, 공통 전극(132)과 제1 전극(103) 사이의 거리가 가까워져, 인가 전압을 낮게 억제할 수 있게 된다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4 또는 실시형태 5를 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 5에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 7]

본 실시형태에서는, 상기 실시형태와 달리, 박막트랜지스터의 반도체층으로서 비정질 반도체층을 사용하는 경우에 대하여 설명한다.

도 4에 도시된 바와 같이, 하지층(101) 위에 비정질 반도체층을 가지는 박막트랜지스터(160)를 형성한다. 이 박막트랜지스터(160)는 반도체층이 게이트 전극 하방에 제공된 소위 보텀 게이트형이다.

하지층(101) 위에 게이트 전극(113)을 형성하고, 게이트 전극(113)을 덮도록 게이트 절연층(112)을 형성한다. 게이트 절연층(112)을 사이에 두고 게이트 전극 위에 비정질 반도체층(411)을 형성한다. 비정질 반도체층(411)은 규소를 함유하는 재료로 형성될 수 있다.

비정질 반도체층(411)의 양단을 덮도록 소스 전극 및 드레인 전극(116)을 형성한다. 배선 저항을 낮게 하기 위해, 소스 전극 및 드레인 전극과 접하는 비정질 반도체층의 영역에는 N형 불순물 영역을 형성하는 것이 바람직하다. N형 불순물 영역은 비정질 반도체층(411)의 표면에 불순물을 첨가함으로써 형성될 수 있다.

그 후, 소스 전극 및 드레인 전극을 사용하여 비정질 반도체층(411)을 소정의 형상이 되도록 가공한다. 이때, 박막트랜지스터(160)에서 반도체층의 채널 형성 영역 위의 부분이 에칭에 의해 제거되고, 이와 같은 형상을 가지는 박막트랜지스터를 채널 에치(channel etch)형 박막트랜지스터라 부른다.

이와 같이 형성된 박막트랜지스터(160)를 덮도록 절연층(106)을 형성한다. 절연층(106)에 유기 재료를 사용함으로써, 그의 표면의 평탄성을 높일 수 있다. 물론, 절연층(106)에 무기 재료를 사용할 수도 있고, 무기 재료와 유기 재료의 적층 구조를 사용하여도 좋다. 이와 같은 절연층(106)에 개구부를 형성하여, 소스 전극 및 드레인 전극(116)을 노출시켜, 절연층(106) 위에 형성되는 제1 전극(103)과 소스 전극 및 드레인 전극(116)을 전기적으로 접속한다. 제1 전극(103)은 상기 실시형태와 마찬가지로 절연층(106) 위에 빗살 형상으로 형성되어 있다.

다음에, 공통 전극(401)의 구조에 대하여 설명한다. 공통 전극(401)은 하지층(101) 위에 형성된다. 공통 전극(401)은 상기 실시형태에서 나타내는 제2 전극(104)과 마찬가지로 형성될 수 있다. 공통 전극(401)은 화소 영역에 걸쳐 형성되도록 그의 형상이 가공된다. 가공된 공통 전극(401)의 일부에 도전층(402)을 형성한다. 도전층(402)은 박막트랜지스터(160)의 게이트 전극(113)과 동일 도전층을 가공함으로써 얻어질 수 있다. 공통 전극(401)과 도전층(402)은 게이트 절연층(112)에 의해 덮여진다.

절연층(106) 및 게이트 절연층(112)에 개구부를 제공하여, 도전층(402)을 노출시킨다. 그리고, 절연층(106) 위에 형성된 빗살 형상의 제3 전극(105)과 도전층(402)을 전기적으로 접속한다. 그 결과, 제3 전극(105)과 공통 전극(401)이 접속된다. 여기서, 도전층(402)이 공통 전극(401) 및 제3 전극(105)에 접속되어 있기 때문에, 도전층(402)이 보조 배선으로서 작용할 수 있다. 그리고, 상술한 바와 같이, 공통 전극(401) 및 제3 전극(105)의 배선 저항에 의한 전압 강하가 방지될 수 있다.

본 실시형태에서는, 비정질 반도체층을 사용한 보텀 게이트형 박막트랜지스터를 사용하고 있기 때문에, 상기 실시형태에서 설명한 탑 게이트형 박막트랜지스터와 비교하여, 전체의 막 두께를 얇게 할 수 있다. 특히, 절연층(106, 107)을 적층한 구성과 비교하면, 본 실시형태에서는 절연층(106)만을 사용하기 때문에 전체의 막 두께가 얇아 진다. 그 결과, 액정표시장치의 박형화 및 경량화를 도모할 수 있다.

또한, 본 실시형태에서는, 채널 에치형을 사용하여 설명하였지만, 채널 보호형을 적용할 수도 있다. 채널 보호형에서는, 반도체층 위에 보호층이 제공되어 있고, 보호층의 양측에 소스 전극 및 드레인 전극이 제공되어 있다. 반도체층을 가공할 때, 반도체층의 표면이 제거되지 않는다.

또한, 본 실시형태에서, 탑 게이트형 트랜지스터가 사용될 수도 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있으며, 실시형태 4~실시형태 6을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 6에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 8]

본 실시형태에서는, 상기 실시형태와 달리, 보조 배선으로서 기능하는 도전층을 공통 전극 하방에 제공한 액정표시장치의 구조에 대하여 설명한다.

도 5에 도시된 바와 같이, 하지층(101) 위에 미리 도전층(502)을 형성한다. 그 후, 도전층(502)과 접하도록 공통 전극(501)을 형성한다. 공통 전극(501)은 상기 실시형태에서 나타내는 제2 전극(104)과 마찬가지로 형성될 수 있다. 도전층(502)은 박막트랜지스터(160)의 게이트 전극(113)과 동일 도전층 또는 소스 전극 및 드레인 전극(116)과 동일 도전층을 가공함으로써 얻어질 수 있다. 도전층(502)과 공통 전극(501)은 절연층(106)에 의해 덮여진다.

절연층(106) 및 게이트 절연층(112)에 개구부를 제공하여, 공통 전극(501)을 노출시킨다. 그리고, 절연층(106) 위에 형성된 빗살 형상의 제3 전극(105)과 공통 전극(501)을 전기적으로 접속한다. 여기서, 도전층(502)이 공통 전극(501)과 제3 전극(105)에 접속되어 있기 때문에, 도전층(502)이 보조 배선으로서 작용할 수 있다. 그리고, 상술한 바와 같이, 공통 전극(501)과 제3 전극(105)의 배선 저항에 의한 전압 강하가 방지될 수 있다.

다른 구성은 도 4와 마찬가지로이므로 설명을 생략한다.

본 실시형태에서도, 절연층(106)만을 사용하는 구성이기 때문에, 절연층(106, 107)을 적층한 구성과 비교하면, 전체의 막 두께가 얇아진다. 그 결과, 액정표시장치의 박형화 및 경량화를 도모할 수 있다.

또한, 본 실시형태에서는, 채널 에지형 박막트랜지스터를 사용하여 설명하였지만, 상기 실시형태에서 나타내는 바와 같이, 채널 보호형 박막트랜지스터를 사용하여도 좋다.

또한, 본 실시형태에서는, 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 7을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 7에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 9]

본 실시형태에서는, 상기 실시형태 1에서와 달리, 컬러 필터 및 블랙 매트릭스를 제공한 액정표시장치의 구조에 대하여 설명한다.

도 6(A)에 도시된 바와 같이, 실시형태 1(도 1)에서 나타내는 액정표시장치의 구조에서, 절연층(107) 대신에 컬러 필터(150) 및 블랙 매트릭스(151)를 제공한다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다.

컬러 필터(150)는 소정의 색을 나타낼 수 있는 재료로 형성된다. 소정의 색으로서는, 적, 녹, 청이 일반적으로 사용되고, 이들을 조합시킴으로써, 풀 컬러 표시가 가능하게 된다. 한편, 단색 표시를 행하는 경우, 컬러 필터를 적, 녹, 청 중 어느 하나 또는 오렌지나 노란색과 같은 색을 나타낼 수 있는 재료로 형성할 수 있다. 단색 표시는 단순한 문자나 도형을 표시하는데 적합하고, 차량 탑재 오디오 장치나 휴대형 오디오 장치의 표시 화면으로서 사용될 수 있다.

블랙 매트릭스(151)는 박막트랜지스터(102)에 광이 조사되는 것을 방지하거나, 박막트랜지스터(102)에 포함된 전극의 반사를 억제하거나, 액정 분자가 화상 신호에 의해 제어되지 않는 부분에서 광이 누출되는 것을 방지하거나, 1 화소를 구분하기 위해 제공된다. 블랙 매트릭스(151)는 검은색을 나타내면 되고, 예를 들어, 크롬을 함유하는 도전층, 안료나 블랙 카본을 함유하는 유기 재료를 사용하여 형성될 수 있다. 그 외에, 아크릴이나 폴리이미드 등의 유기 재료를 염색한 재료를 사용하여 블랙 매트릭스(151)를 형성할 수 있다.

그러나, 전계의 인가에 영향을 미치지 않도록 하기 위해, 블랙 매트릭스(151)는 비도전 재료로 형성되는 것이 바람직하다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 절연층(106)을 적층 구조로 하고, 그의 상층에 무기 재료나 유기 재료를 사용하여 절연층을 형성하는 것이 바람직하다. 컬러 필터(150) 및 블랙 매트릭스(151)는 유기 재료로 형성되는 일이 많고, 이들 재료에는 박막트랜지스터의 전기 특성에 바람직하지 않은 불순물 원소가 함유되어 있다. 따라서, 불순물 원소가 박막트랜지스터의 반도체층(111)에 침입하는 것을 방지하기 위해 절연층(153)을 형성하는 것이 바람직하다.

따라서, 절연층을 형성하는 무기 재료로서, 질화규소이 바람직하다. 그러한 절연층을 패시베이션층이라고도 부른다. 패시베이션층은 적층 구조를 가지는 절연층(106)의 상층으로서 제공되는 것에 한정되지 않고, 반도체층(111)과 컬러 필터(150) 및 블랙 매트릭스(151)와의 사이에 패시베이션층이 제공되는 것이면 된다. 예를 들어, 적층 구조를 가지는 절연층(106)의 하층으로서 패시베이션층을 제공할 수도 있다.

컬러 필터(150) 및 블랙 매트릭스(151)를 형성하기 전에, 질화규소 등의 무기 재료를 형성하여 두어도 좋다.

그 후, 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)을 형성한다. 절연층(152)에 의해, 표면이 평탄화된다. 특히, 컬러 필터(150)와 블랙 매트릭스(151)가 중첩된 영역에서는, 블랙 매트릭스(151)의 막 두께 때문에 단차가 생긴다. 이 단차를 절연층(152)에 의해 평탄화할 수 있다.

다른 구성은 도 1과 같으므로 설명을 생략한다.

도 6(B)에 나타난 구성은 컬러 필터(150)와 블랙 매트릭스(151)가 중첩되지 않도록 제공되어 있는 점에서 도 6(A)의 것과 다르다. 컬러 필터(150)는 광이 투과하는 영역에 적극적으로 제공되고, 블랙 매트릭스(151)는 박막트랜지스터(102)를 포함하는 영역에 적극적으로 제공된다. 그 결과, 박막트랜지스터(102)와 제2 전극(104)과의 경계 영역으로서, 제2 전극(104)이 형성되는 영역에 컬러 필터(150)가 형성되고, 박막트랜지스터(102)가 형성되는 영역에 블랙 매트릭스(151)가 형성된다. 그리고, 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)을 형성한다.

이와 같이 컬러 필터(150)와 블랙 매트릭스(151)가 겹치지 않도록 제공함으로써, 중첩 영역에서 전체의 막 두께가 두꺼워지는 일이 없어 바람직하다.

다른 구성은 도 6(A)과 마찬가지로 설명을 생략한다.

도 6(C)에 나타난 구성은 블랙 매트릭스(151)를 대향 기관(155) 측에 제공하고 있는 점에서 도 6(A) 및 도 6(B)의 것과 다르다. 블랙 매트릭스(151)를 제공하는 영역은 박막트랜지스터(102) 상방이면 된다.

이 경우, 서로 인접하는 화소의 상이한 색의 컬러 필터를 서로 겹치도록 배치하여도 좋다. 이것에 의해, 컬러 필터가 중첩된 영역은 광의 투과율이 저감하므로, 블랙 매트릭스로서 기능시킬 수도 있다.

블랙 매트릭스(151)를 대향 기관(155)에 제공하는 경우, 컬러 필터(150)를 박막트랜지스터(102) 및 제2 전극(104) 위에 형성할 수 있다. 상술한 바와 같이, 컬러 필터(150)는 유기 재료를 사용하여 형성되기 때문에, 평탄화막으로서의 기능도 가진다. 즉, 절연층(107) 대신에, 컬러 필터(150)를 제공하고, 그의 표면도 평탄화할 수 있게 된다.

또한, 블랙 매트릭스(151)는 절연 기관(100)의 뒷면측에 제공되어도 좋다.

또한, 절연 기관(100)측에 블랙 매트릭스를 제공하고, 대향 기관측에 컬러 필터를 배치하여도 좋다. 절연 기관(100) 측에 블랙 매트릭스를 제공함으로써, 기관의 맞춤 마진을 향상시킬 수 있다.

다른 구성은 도 6(A)와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 실시형태 1과 마찬가지로, 제2 전극(104)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어하여, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 발생하는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내는 것으로, 실시형태 4~실시형태 8을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 8에서의 설명 내용이 본 실시형태에서도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 10]

본 실시형태에서는, 상기 실시형태 1의 것과 달리, 절연층(106) 대신에, 컬러 필터(150) 및 블랙 매트릭스(151)가 제공되는 액정표시장치의 구조에 대하여 설명한다.

도 7(A)에 도시된 바와 같이, 실시형태 1(도 1)에 나타내는 액정표시장치의 구조에서, 절연층(106) 대신에, 컬러 필터(150) 및 블랙 매트릭스(151)를 제공한다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 상기 실시형태와 마찬가지로 형성될 수 있다. 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)을 형성한다. 이 절연층(152)에 의해, 표면을 평탄화할 수 있다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 컬러 필터(150) 및 블랙 매트릭스(151)와 박막트랜지스터(102)의 반도체층(111)과의 사이에 패시베이션층이 제공되는 것이 바람직하다. 본 실시형태에서는, 게이트 전극(113) 및 제2 전극(104)을 덮도록 패시베이션층(154)을 형성한다.

이와 같이, 절연층(106) 대신에 컬러 필터(150) 및 블랙 매트릭스(151)를 제공한 구조에서, 블랙 매트릭스(151)가 박막트랜지스터(102)에 근접하여 형성된다. 따라서, 이 구조는 박막트랜지스터(102)에 조사되는 광의 차광효과가 높아 바람직하다.

다른 구성은 도 6(A)와 마찬가지로 설명을 생략한다.

도 7(B)에 나타난 구조는 컬러 필터(150)와 블랙 매트릭스(151)가 겹치지 않도록 제공되어 있는 점에서 도 7(A)와 다르다.

다른 구성은 도 6(B)와 마찬가지로 설명을 생략한다.

도 7(C)에 나타난 구조는 블랙 매트릭스(151)를 대향 기관(155)측에 제공하고 있는 점에서 도 7(A) 및 도 7(B)와 다르다.

다른 구성은 도 7(B)와 마찬가지로 생략한다.

본 실시형태에서도, 실시형태 1과 마찬가지로, 제2 전극(104)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어하여, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 발생하는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 9를 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 9에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 11]

본 실시형태에서는, 상기 실시형태 2의 것과 달리, 컬러 필터 및 블랙 매트릭스를 제공하는 액정표시장치의 구조에 대하여 설명한다.

도 8(A)에 도시된 바와 같이, 실시형태 2(도 2)에 나타난 액정표시장치의 구조에서, 절연층(107) 대신에, 컬러 필터(150) 및 블랙 매트릭스(151)가 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 상기 실시형태와 마찬가지로 형성될 수 있다. 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)이 형성된다. 절연층(152)에 의해 표면을 평탄화할 수 있다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 컬러 필터(150) 및 블랙 매트릭스(151)와 박막트랜지스터(102)의 반도체층(111)과의 사이에 패시베이션층을 제공하는 것이 바람직하다. 본 실시형태에서는, 절연층(106)을 적층 구조로 하고, 그의 상층을 무기 재료로 형성된 패시베이션층(153)으로 한다. 패시베이션층은 적층 구조를 가지는 절연층(106)의 상층으로서 제공되는 것에 한정되지 않고, 반도체층(111)과 컬러 필터(150) 및 블랙 매트릭스(151)와의 사이에 제공된다. 예를 들어, 패시베이션층이 적층 구조를 가지는 절연층(106)의 하층으로서 제공될 수도 있다.

이와 같은 컬러 필터(150), 블랙 매트릭스(151), 절연층(152), 패시베이션층(153)의 구조는 도 6(A)에 나타난 것과 마찬가지이다. 다른 구성은 도 2와 마찬가지로 설명을 생략한다.

도 8(B)에 도시된 구성은 컬러 필터(150)와 블랙 매트릭스(151)가 겹치지 않도록 제공되어 있는 점에서 도 8(A)와 다르다. 서로 겹치지 않는 컬러 필터(150)와 블랙 매트릭스(151)의 구성은 도 6(B)의 것과 마찬가지이다.

다른 구성은 도 8(A)와 마찬가지이므로 설명을 생략한다.

도 8(C)에 나타난 구성은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하고 있는 점에서 도 8(A) 및 도 8(B)와 다르다. 블랙 매트릭스(151)가 제공되는 영역은 박막트랜지스터(102)의 상방이라면 한정되지 않는다.

블랙 매트릭스(151)를 대향 기관(155)에 제공한 경우, 컬러 필터(150)를 박막트랜지스터(102) 및 제2 전극(104) 위에 형성할 수 있다. 상술한 바와 같이, 컬러 필터(150)는 유기 재료를 사용하여 형성되기 때문에, 평탄화막으로서의 기능도 가진다. 즉, 절연층(107) 대신에, 컬러 필터(150)가 제공되고, 그의 표면도 평탄화될 수 있다. 이와 같은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하는 구조는 도 6(C)과 마찬가지이다.

또한, 블랙 매트릭스(151)는 절연 기관(100)의 뒷면측에 제공될 수도 있다.

다른 구성은 도 8(A)와 마찬가지이므로 설명을 생략한다.

본 실시형태에서도, 실시형태 2와 마찬가지로, 공통 전극(122)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어할 수 있고, 이것에 의해 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 발생하는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 10을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 10에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 12]

본 실시형태에서는, 실시형태 2의 것과 달리, 절연층(106) 대신에, 컬러 필터 및 블랙 매트릭스를 제공한 액정표시장치의 구조에 대하여 설명한다.

도 9(A)에 도시된 바와 같이, 실시형태 2(도 2)에 나타난 액정표시장치의 구조에서, 절연층(106) 대신에, 컬러 필터(150) 및 블랙 매트릭스(151)가 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 상기 실시형태와 마찬가지로 형성될 수 있다. 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)이 형성된다. 절연층(152)에 의해 표면을 평탄화할 수 있다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 컬러 필터(150) 및 블랙 매트릭스(151)와 박막트랜지스터(102)의 반도체층(111)과의 사이에 패시베이션층을 제공하는 것이 바람직하다. 본 실시형태에서는, 게이트 전극(113) 및 제2 전극(104)을 덮도록 패시베이션층(154)을 형성한다.

이와 같은 컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 구조는 도 7(A)와 마찬가지이다. 다른 구성은 도 2와 마찬가지이므로 설명을 생략한다.

도 9(B)에 나타난 구성은 컬러 필터(150)와 블랙 매트릭스(151)가 겹치지 않도록 제공되어 있는 점에서 도 9(A)와 다르다. 서로 겹치지 않는 컬러 필터(150)와 블랙 매트릭스(151)의 구성은 도 7(B)와 마찬가지이다.

다른 구성은 도 9(A)와 마찬가지이므로 설명을 생략한다.

도 9(C)에 나타난 구성은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하고 있는 점에서 도 9(A) 및 도 9(B)와 다르다. 블랙 매트릭스(151)를 제공하는 영역은 박막트랜지스터(102) 상방이라면 한정되지 않는다.

블랙 매트릭스(151)를 대향 기관(155)에 제공하면, 컬러 필터(150)를 박막트랜지스터(102) 및 제2 전극(104) 위에 형성할 수 있다. 상술한 바와 같이, 컬러 필터(150)는 유기 재료를 사용하여 형성되기 때문에, 평탄화막으로서의 기능도 가진다. 즉, 절연층(106) 대신에 컬러 필터(150)를 제공하고, 그의 표면도 평탄화할 수 있다. 이와 같은 블랙 매트릭스(151)를 대향 기관(155) 측에 제공하는 구조는 도 7(C)의 것과 마찬가지이다.

또한, 블랙 매트릭스(151)는 절연 기관(100)의 뒷면측에 제공될 수도 있다.

다른 구성은 도 9(A)와 마찬가지이므로 설명을 생략한다.

본 실시형태에서도, 실시형태 2와 마찬가지로, 공통 전극(122)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어하여, 게조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 발생하는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 11의 것을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 11에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 13]

본 실시형태에서는, 상기 실시형태 3의 것과 달리, 절연층(106) 대신에, 컬러 필터 및 블랙 매트릭스를 제공한 액정표시장치의 구조에 대하여 설명한다.

도 10(A)에 도시된 바와 같이, 실시형태 3(도 3)에 나타내는 액정표시장치의 구조에서, 절연층(106) 대신에 컬러 필터(150) 및 블랙 매트릭스(151)를 제공한다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 상기 실시형태와 마찬가지로 형성될 수 있다. 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)을 형성한다. 이 절연층(152)에 의해, 표면을 평탄화할 수 있다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 컬러 필터(150) 및 블랙 매트릭스(151)와 박막트랜지스터(102)의 반도체층(111)과의 사이에 패시베이션층을 제공하는 것이 바람직하다. 본 실시형태에서는, 게이트 전극(113) 및 제2 전극(104)을 덮도록 패시베이션층(154)을 형성한다.

이와 같은 컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 구조는 도 7(A)와 마찬가지이다. 다른 구성은 도 3과 마찬가지이므로 설명을 생략한다.

도 10(B)에 나타난 구성은, 도 10(A)와 달리, 컬러 필터(150)와 블랙 매트릭스(151)가 서로 겹치지 않도록 제공된다. 서로 겹치지 않는 컬러 필터(150)와 블랙 매트릭스(151)의 구성은 도 7(B)의 것과 마찬가지이다.

다른 구성은 도 10(A)와 마찬가지이므로 설명을 생략한다.

도 10(C)에 나타난 구성은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하고 있는 점에서 도 10(A) 및 도 10(B)와 다르다. 블랙 매트릭스(151)를 제공하는 영역은 박막트랜지스터(102) 상방이라면 한정되지 않는다.

블랙 매트릭스(151)를 대향 기관(155)에 제공하면, 컬러 필터(150)를 박막트랜지스터(102) 및 제2 전극(104) 위에 형성할 수 있다. 상술한 바와 같이, 컬러 필터(150)는 유기 재료를 사용하여 형성되기 때문에, 평탄화막으로서의 기능도 가진다. 즉, 절연층(106) 대신에, 컬러 필터(150)를 제공하고, 그의 표면도 평탄화할 수 있게 된다. 이와 같은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하는 구조는 도 7(C)의 것과 마찬가지이다.

또한, 블랙 매트릭스(151)는 절연 기관(100)의 뒷면측에 제공될 수도 있다.

다른 구성은 도 10(A)와 마찬가지이므로 설명을 생략한다.

본 실시형태에서도, 실시형태 3과 마찬가지로, 공통 전극(122)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어하여, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 생기는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태에서는, 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 12를 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 12에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 14]

본 실시형태에서는, 상기 실시형태 4와 달리, 절연층(106) 대신에 컬러 필터 및 블랙 매트릭스를 제공한 액정표시장치의 구조에 대하여 설명한다.

도 11(A)에 도시된 바와 같이, 실시형태 4(도 4)에 도시된 액정표시장치의 구조에서, 절연층(106) 대신에 컬러 필터(150) 및 블랙 매트릭스(151)를 제공한다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 상기 실시형태와 마찬가지로 형성될 수 있다. 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)을 형성한다. 이 절연층(152)에 의해 표면을 평탄화할 수 있다.

본 실시형태에서, 박막트랜지스터(160)는 비정질 반도체층(411) 위에 절연층(403)을 가지는 채널 보호형인 것이 바람직하다. 채널 보호를 위한 절연층(403)의 양단을 덮도록 소스 전극 및 드레인 전극(116)이 제공된다. 절연층(403)에 의해, 비정질 반도체층(411)이 노출되지 않는다. 따라서, 박막트랜지스터(160)를 덮도록 블랙 매트릭스(151)가 제공되는 경우, 블랙 매트릭스로부터의 불순물 원소가 비정질 반도체층(411)에 침입하는 것을 방지할 수 있다. 물론, 박막트랜지스터(160)는 실시형태 4에서 나타내는 채널 에치형일 수도 있지만, 그 경우, 비정질 반도체막(411)과 블랙 매트릭스(151)가 서로 접하지 않도록 절연층(403)을 제공하는 것이 바람직하다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 컬러 필터(150) 및 블랙 매트릭스(151)와 박막트랜지스터(160)의 반도체층(411)과의 사이에 패시베이션층을 제공하는 것이 바람직하다. 본 실시형태에서는, 게이트 전극(113), 공통 전극(401), 및 도전층(402)을 덮도록 패시베이션층(154)을 형성한다.

이와 같은 컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 구조는 도 7(A)의 것과 마찬가지이다. 다른 구성은 도 4와 마찬가지이므로 설명을 생략한다.

도 11(B)에 나타난 구성은, 도 11(A)와 달리, 컬러 필터(150)와 블랙 매트릭스(151)가 서로 겹치지 않도록 제공된다. 서로 겹치지 않는 컬러 필터(150)와 블랙 매트릭스(151)의 구성은 도 7(B)의 것과 마찬가지이다.

다른 구성은 도 11(A)와 마찬가지이므로 설명을 생략한다.

도 11(C)에 나타난 구성은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하고 있는 점에서 도 11(A) 및 도 11(B)와 다르다. 블랙 매트릭스(151)를 제공하는 영역은 박막트랜지스터(160) 상방이라면 한정되지 않는다.

블랙 매트릭스(151)를 대향 기관(155)에 제공함으로써, 컬러 필터(150)를 박막트랜지스터(160), 공통 전극(401) 및 도전층(402) 위에 형성할 수 있다.

본 실시형태에서, 박막트랜지스터(160)는 비정질 반도체층(411) 위에 절연층(403)을 가지는 채널 보호형인 것이 바람직하다. 채널 보호를 위한 절연층(403)의 양단을 덮도록 소스 전극 및 드레인 전극(116)이 제공된다. 절연층(403)에 의해 비정질 반도체층(411)이 노출되지 않는다. 따라서, 박막트랜지스터(160)를 덮도록 컬러 필터(150)가 제공되는 경우, 컬러 필터로부터의 불순물 원소가 비정질 반도체층(411)에 침입하는 것을 방지할 수 있다. 물론, 박막트랜지스터(160)는 실시형태 4에서 나타내는 채널 에치형일 수도 있지만, 그 경우, 비정질 반도체막(411)과 블랙 매트릭스(151)가 서로 접하지 않도록 절연층(403)을 제공하는 것이 바람직하다.

상술한 바와 같이, 컬러 필터(150)는 유기 재료를 사용하여 형성되기 때문에 평탄화막으로서의 기능도 가진다. 즉, 절연층(106) 대신에 컬러 필터(150)를 제공하고, 그 컬러 필터의 표면도 평탄화할 수 있게 된다. 이와 같은 블랙 매트릭스(151)를 대향 기관(155)측에 제공하는 구조는 도 7(C)의 것과 마찬가지이다.

또한, 블랙 매트릭스(151)는 절연 기관(100)의 뒷면측에 제공될 수도 있다.

다른 구성은 도 11(A)와 마찬가지이므로 설명을 생략한다.

본 실시형태에서도, 실시형태 3과 마찬가지로, 공통 전극(401)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어하여, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 생기는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 13을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 13에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 15]

본 실시형태에서는, 상기 실시형태 5와 달리, 절연층(106) 대신에 컬러 필터 및 블랙 매트릭스를 제공한 액정표시장치의 구조에 대하여 설명한다.

도 12(A)에 도시된 바와 같이, 실시형태 5(도 5)에 나타내는 액정표시장치의 구조에서, 절연층(106) 대신에 컬러 필터(150) 및 블랙 매트릭스(151)를 제공한다. 컬러 필터(150)와 블랙 매트릭스(151)는 그들의 일부가 겹치도록 제공된다. 컬러 필터(150)와 블랙 매트릭스(151)는 상기 실시형태와 마찬가지로 형성될 수 있다. 컬러 필터(150) 및 블랙 매트릭스(151)를 덮도록 절연층(152)을 형성한다. 이 절연층(152)에 의해, 표면을 평탄화할 수 있다.

본 실시형태에서, 박막트랜지스터(160)는 비정질 반도체층(411) 위에 절연층(403)을 가지는 채널 보호형인 것이 바람직하다. 채널 보호를 위한 절연층(403)의 양단을 덮도록 소스 전극 및 드레인 전극(116)이 제공된다. 절연층(403)에 의해, 비정질 반도체층(411)이 노출되지 않는다. 따라서, 박막트랜지스터(160)를 덮도록 블랙 매트릭스(151)가 제공되는 경우, 블랙 매트릭스로부터의 불순물 원소가 반도체층(411)에 침입하는 것을 방지할 수 있다. 물론, 박막트랜지스터(160)는 실시형태 4에서 나타내는 채널 에치형일 수도 있지만, 그 경우, 비정질 반도체층(411)과 블랙 매트릭스(151)가 서로 접하지 않도록 절연층(403)을 제공하는 것이 바람직하다.

컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 경우, 컬러 필터(150) 및 블랙 매트릭스(151)와 박막트랜지스터(160)의 반도체층(411)과의 사이에 패시베이션층을 제공하는 것이 바람직하다. 본 실시형태에서는, 게이트 전극(113), 공통 전극(401) 및 도전층(402)을 덮도록, 패시베이션층(154)을 형성한다.

이와 같은 컬러 필터(150) 및 블랙 매트릭스(151)를 제공하는 구조는 도 7(A)의 것과 마찬가지이다. 다른 구성은 도 5와 마찬가지이므로 설명을 생략한다.

도 12(B)에 나타난 구성은, 도 12(A)와 달리, 컬러 필터(150)와 블랙 매트릭스(151)가 서로 겹치지 않도록 제공된다. 겹치지 않는 컬러 필터(150)와 블랙 매트릭스(151)의 구성은 도 7(B)의 것과 마찬가지이다.

다른 구성은 도 12(A)와 마찬가지이므로 설명을 생략한다.

도 12(C)에 나타난 구성은 블랙 매트릭스(151)를 대향 기관(155) 측에 제공하고 있는 점에서 도 12(A) 및 도 12(B)와 다르다. 블랙 매트릭스(151)를 제공하는 영역은 박막트랜지스터(160) 상방이라면 한정되지 않는다.

블랙 매트릭스(151)를 대향 기관(155)에 제공함으로써, 컬러 필터(150)를 박막트랜지스터(160), 공통 전극(401) 및 도전층(402) 위에 형성할 수 있다.

본 실시형태에서, 박막트랜지스터(160)는 비정질 반도체층(411) 위에 절연층(403)을 가지는 채널 보호형인 것이 바람직하다. 채널 보호를 위한 절연층(403)의 양단을 덮도록 소스 전극 및 드레인 전극(116)이 제공된다. 절연층(403)에 의해, 비정질 반도체층(411)이 노출되지 않는다. 따라서, 박막트랜지스터(160)를 덮도록 컬러 필터(150)가 제공되는 경우, 컬러 필터로부터의 불순물 원소가 비정질 반도체층(411)에 침입하는 것을 방지할 수 있다. 물론, 박막트랜지스터(160)는 실시 형태 4에서 나타내는 채널 에치형일 수도 있지만, 그 경우, 비정질 반도체막(411)과 블랙 매트릭스(151)가 서로 접하지 않도록 절연층(403)을 제공하는 것이 바람직하다.

상술한 바와 같이, 컬러 필터(150)는 유기 재료를 사용하여 형성되기 때문에, 평탄화막으로서의 기능도 가진다. 즉, 절연층(106) 대신에, 컬러 필터(150)를 제공하고, 그 컬러 필터의 표면도 평탄화하는 것이 가능하게 된다. 이와 같은 블랙 매트릭스(151)를 대향 기판(155) 측에 제공하는 구조는 도 7(C)의 것과 마찬가지이다.

또한, 블랙 매트릭스(151)는 절연 기판(100)의 뒷면측에 제공될 수도 있다.

다른 구성은 도 12(A)와 마찬가지이므로 설명을 생략한다.

본 실시형태에서도, 실시 형태 5와 마찬가지로, 공통 전극(401)과 빗살 형상의 제1 전극(103)에 전압을 인가하면, 이들 전극 사이에도 전계가 발생하기 때문에, 액정 재료의 기울기를 제어하여, 계조 표시를 행할 수 있다. 그 결과, 빗살 형상의 제3 전극(105)과 빗살 형상의 제1 전극(103)의 1쌍의 전극에 의해 발생하는 전계에서는 기울기가 충분히 제어되지 않았던 액정 재료에 대해서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 본 실시형태는 실시 형태 1~실시 형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시 형태 4~실시 형태 14를 약간 변형한 것을 나타내고 있다. 따라서, 실시 형태 1~실시 형태 14에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시 형태 16]

본 실시형태에서는, 액정표시장치의 화소부의 상면도에 대하여 설명한다.

도 13은 상기 실시 형태 4(도 4)에 나타내는 단면 구조에 대응하는 상면도를 나타낸다. 박막트랜지스터(TFT라고도 칭함)(160)는 비정질 반도체막(411)을 가지고, 게이트 전극(113)이 하방에 제공된 보텀 게이트형 구조를 취한다. 게이트 전극(113)과 동일 층에 주사선(413)을 형성할 수 있다.

게이트 전극(113)을 덮도록 비정질 반도체층(411)을 형성한다. 또한, 이 비정질 반도체층(411)을 사용하여 공통 전극(401)을 형성할 수 있다. 그러나, 공통 전극(401)은 도전성이 높은 재료로 형성되는 것이 바람직하기 때문에, 반도체층에 불순물 원소를 첨가하는 것이 바람직하다. 또한, 비정질 반도체층(411)을 사용하지 않고 도전성 재료를 사용하여 공통 전극(401)을 형성하여도 좋다.

비정질 반도체층(411)의 양단을 덮도록 소스 전극 및 드레인 전극(116)을 형성한다. 소스 전극 및 드레인 전극(116)과 동일 층에 신호선(416)을 형성할 수 있다.

제1 전극(103)과 제3 전극(105)을 동일 층에 형성한다. 제1 전극(103) 및 제3 전극(105)은 빗살 형상으로 가공되어 있고, 번갈아 배치된다. 제1 전극(103)은 개구부를 통하여 소스 전극 및 드레인 전극(116) 중 어느 것에 접속된다. 제3 전극(105)은 개구부를 통하여 공통 전극(401)에 접속된다.

또한, 제3 전극(105)과 동일 층(도 13에서 A로 나타난 영역)에서, 1 화소에 제공된 공통 전극(401)들이 서로 전기적으로 접속된다.

또한, 본 실시형태는 실시 형태 1~실시 형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시 형태 4~실시 형태 15를 약간 변형한 것을 나타내고 있다. 따라서, 실시 형태 1~실시 형태 15에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

따라서, 본 실시형태의 화소부의 구조는 상기 실시 형태들과 자유롭게 조합될 수 있다.

[실시형태 17]

본 실시형태에서는, 상기 실시형태들에서의 것과 다른 화소부의 상면도에 대하여 설명한다.

도 14는 빗살 형상의 제1 전극(103)과 빗살 형상의 제3 전극(105)이 긴 변의 중심점에서 구부러져 있는 점에서 도 13과 다르다. 이들 전극은 중심선 대신에 다른 지점에서 구부러질 수도 있다. 또한, 이들 전극은 다수의 굽힘부를 가질 수도 있다. 이와 같이 구부러진 제1 전극(103) 및 제3 전극(105)은 시야각을 넓게 할 수 있기 때문에 바람직하다. 구부러진 제1 전극(103) 및 제3 전극(105)의 제1 방향을 따르는 액정 분자와, 제2 방향을 따르는 액정 분자가 존재하기 때문이다.

또는, 동일한 효과를 얻기 위해, 1 화소가 중심선에 의해 2개의 영역으로 나누어 질 수도 있고, 제1 영역에서는, 직선의 제1 전극(103)과 직선의 제3 전극(105)이 일정한 각도를 가지고 배치되고, 제2 영역에서는, 직선의 제1 전극(103)과 직선의 제3 전극(105)이 중심선에 대하여 대칭이도록 배치된다.

또한, 본 실시형태는 실시형태 1~실시형태 3에서의 설명 내용을 트랜지스터와 함께 구현한 경우의 일 예를 나타내고 있고, 실시형태 4~실시형태 16을 약간 변형한 것을 나타내고 있다. 따라서, 실시형태 1~실시형태 16에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 18]

본 실시형태에서는, 반사 영역(A)과 투과 영역(B)이 제공되어 있는 점에서 도 1의 것과 다른 액정표시장치의 구조에 대하여 설명한다.

도 15에 도시된 바와 같이, 반사 영역에는 반사용 전극(652)이 제공되고, 투과 영역에는 반사용 전극(652)에 접속된 투명 전극(654)이 제공되어 있다. 투명 전극(654)은 공통 전극으로도 기능한다. 또한, 그 위에 액정 재료(653)를 사이에 두고 대향 기관(155)이 제공되어 있다.

또한, 액정 재료(653)를 위에 제공된 대향 기관(155)의 외측에 위상차판(650)이 배치된다. 즉, 대향 기관(155)과 편광판 사이에 위상차판(650)이 배치된다. 위상차판에는 1/4 파장판과 1/2 파장판이 있다. 위상차판을 제공함으로써, 반사 영역과 투과 영역을 통과하는 광의 양이 적절히 제어될 수 있다. 따라서, 액정표시장치가 투과형이든 반사형이든 대략 동일한 화상을 표시시킬 수 있다.

다른 구성은 도 1과 마찬가지로이므로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 17에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 19]

본 실시형태에서는, 상기 실시형태와 달리, 위상차판을 대향 기관의 내측에 제공하는 구조를 설명한다.

도 16에 도시된 바와 같이, 대향 기관(155)의 내측, 즉, 액정 재료(653)측에 위상차판(650)이 형성된다. 이와 같은 구성에 의해, 반사 영역과 투과 영역을 통과하는 광의 양을 적절히 제어할 수 있다. 따라서, 액정표시장치가 투과형이든 반사형이든 대략 동일한 화상을 표시시킬 수 있다.

다른 구성은 도 15와 마찬가지로이므로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 18에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 20]

본 실시형태에서는, 반사 영역과 투과 영역에서의 셀 갭을 제어하는 구성에 대하여 설명한다.

도 17에 도시된 바와 같이, 셀 갭을 조정하기 위한 막(657)을 대향 기관(155) 측에 제공한다. 그 막(657) 위(액정에 가까운 쪽)에 배향막을 형성한다. 이와 같은 막(657)은 아크릴 등의 유기 재료로 형성된다. 셀 갭은 반사 영역에서의 셀 갭이 투과 영역에서보다 짧게 되도록 설정된다. 이와 같은 구성에 의해, 반사 영역과 투과영역을 통과하는 광의 양을 적절히 제어할 수 있다. 따라서, 액정표시장치가 투과형이든 반사형이든 대략 동일한 화상을 표시시킬 수 있다.

다른 구성은 도 15와 마찬가지로 설명을 생략한다

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 19에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 21]

본 실시형태에서는, 상기 실시형태와 달리, 셀 갭을 조정하기 위한 막에 광산란용 입자를 함유시킨 구성에 대하여 설명한다.

도 18에 도시된 바와 같이, 셀 갭을 조정하기 위한 막(657)에 광산란용 입자(658)를 함유시킨다. 광산란용 입자(658)는 셀 갭을 조정하기 위한 막과는 다른 굴절률을 가지는 재료로 형성된다. 셀 갭을 조정하기 위한 막은 그러한 광산란용 입자를 함유하도록 형성될 수 있다.

이와 같은 구성에 의해, 광을 확산시킬 수 있기 때문에, 휘도를 향상시킬 수 있다.

다른 구성은 도 15와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 20에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 22]

본 실시형태에서는, 반사 영역만이 제공되어 있는 점에서 도 1과 다른 구성에 대하여 설명한다.

도 19에 도시된 바와 같이, 본 실시형태에서는, 게이트 전극(113)과 동시에 형성된 전극을 반사용 전극(652)으로 사용하는 반사형 액정표시장치를 나타낸다. 이 반사용 전극(652)이 게이트 배선과 대략 평행하도록 배치됨으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 반사용 전극(652)을 게이트 배선과 동시에 형성할 수 있으므로, 공정수를 저감하고, 비용을 절감할 수 있다.

또한, 실시형태 1~실시형태 21에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 23]

본 실시형태에서는, 반사 영역과 투과 영역이 제공되어 있는 점에서 상기 실시형태 22와 다른 구성에 대하여 설명한다.

도 20에 도시된 바와 같이, 본 실시형태에서는, 게이트 전극(113)과 동시에 형성된 전극을 반사용 전극(652)으로 사용하는 반투과형 액정표시장치의 구성을 나타낸다. 이 반사용 전극(652)이 공통 배선으로서 사용될 수 있다. 또한, 반사용 전극(652)이 게이트 배선과 대략 평행하도록 배치됨으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 반사용 전극(652)이 게이트 배선과 동시에 형성될 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

또한, 실시형태 1~실시형태 22에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 24]

본 실시형태에서는, 반사용 전극과 투광성 전극의 제조 순서가 변경된 점에서 상기 실시형태 23과 다른 구성에 대하여 설명한다.

도 21에 도시된 바와 같이, 먼저, 투광성 전극(654)을 형성하고, 이 투광성 전극(654)의 일부 위에 반사용 전극(652)을 형성한다. 그리고, 반사용 전극(652)에는 전극(117)이 접속된다.

이와 같은 구성에 의해, 반사용 전극(652)을 게이트 전극(113)과 동시에 형성할 수 있다. 이 반사용 전극(652)은 공통 배선으로서 사용될 수 있다. 또한, 반사용 전극(652)이 게이트 배선과 대략 평행하도록 배치됨으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 반사용 전극(652)이 게이트 배선과 동시에 형성될 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 20과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 23에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 25]

본 실시형태에서는, 투광성 전극을 제공하지 않은 점에서 상기 실시형태 24와 다른 구성에 대하여 설명한다.

도 22에 도시된 바와 같이, 반사 영역에는 반사용 전극(652)을 형성하지만, 투과 영역에는 전극을 형성하지 않는다. 그리고, 반사용 전극(652)에는 전극(117)이 접속된다.

이와 같은 구성에 의해, 반사용 전극(652)을 게이트 전극(113)과 동시에 형성할 수 있다. 이 반사용 전극(652)은 공통 배선으로서 사용될 수 있다. 또한, 반사용 전극(652)이 게이트 배선과 대략 평행하도록 배치됨으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 반사용 전극(652)이 게이트 배선과 동시에 형성될 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 21과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 24에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 26]

본 실시형태에서는, 공통 배선으로서 기능하는 도전층(659)을 제공하고 있는 점에서 상기 실시형태 22와 다른 구성에 대하여 설명한다.

도 23에 도시된 바와 같이, 반사 영역에서 하지층(101) 위에 도전층(659)을 형성한다. 도전층(659)은 게이트 전극과 동시에 형성될 수 있다. 그리고, 도전층(659)에 접속된 반사용 전극으로서 기능하는 전극(117)이 형성된다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다. 또한, 도전층(659)을 게이트 배선과 대략 평행하게 배치함으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 도전층(659)이 게이트 배선과 동시에 형성될 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 19와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 25에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 27]

본 실시형태에서는, 공통 배선으로서 기능하는 도전층(659)을 반사 영역에 가지고, 또한, 투과 영역을 제공하고 있는 점에서 상기 실시형태 26과 다른 구성에 대하여 설명한다.

도 24에 도시된 바와 같이, 반사 영역에서 하지층(101) 위에 도전층(659)을 형성하고, 도전층(659)에 접속된 반사용 전극으로서 기능하는 전극(117)을 형성한다. 또한, 투과 영역에는, 전극(117)에 접속된 투과성 전극(654)을 형성한다.

이와 같은 구성에 의해, 이 도전층(659)을 공통 배선으로서 사용할 수 있다. 또한, 도전층(659)을 게이트 배선과 대략 평행하게 배치함으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 도전층(659)이 게이트 배선과 동시에 형성될 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 23과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 26에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 28]

본 실시형태에서는, 반사용 전극과 투과성 전극의 제조 순서가 변경된 점에서 상기 실시형태 27과 다른 구성에 대하여 설명한다.

도 25에 도시된 바와 같이, 먼저, 투과성 전극(654)을 형성하고, 이 투과성 전극(654)의 일부 위에 반사용 전극으로서 기능하는 전극(117)을 형성한다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다. 또한, 도전층(659)을 게이트 배선과 대략 평행으로 배치함으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 도전층(659)이 게이트 배선과 동시에 형성될 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 24와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 27에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 29]

본 실시형태에서는, 공통 배선으로서 기능하는 도전층(659)을 반사 영역에 형성하고, 투과성 전극을 제공하지 않은 점에서 상기 실시형태 28과 다른 구성에 대하여 설명한다.

도 26에 도시된 바와 같이, 반사 영역에는 도전층(659)을 형성하지만, 투과 영역에는 전극을 형성하지 않는다. 그리고, 도전층(659)에는 반사용 전극으로서 기능하는 전극(117)이 접속된다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다. 또한, 도전층(659)을 게이트 배선과 대략 평행하게 배치함으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 도전층(659)을 게이트 배선과 동시에 형성할 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 25와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 28에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 30]

본 실시형태에서는, 투과 영역에 투광성 전극을 형성하고 있는 점에서 상기 실시형태 29와 다른 구성에 대하여 설명한다.

도 27에 도시된 바와 같이, 반사 영역에 도전층(659)을 형성하고, 투과 영역에는 도전층(659)에 접속된 투광성 전극(659)을 형성한다. 그리고, 도전층(659)에는 전극(117)이 접속된다. 도전층(659)은 반사용 전극으로도 기능하고, 공통 배선으로도 기능한다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다. 또한, 도전층(659)을 게이트 배선과 대략 평행하게 배치함으로써, 효율적인 레이아웃이 달성될 수 있다. 또한, 도전층(659)을 게이트 배선과 동시에 형성할 수 있기 때문에, 공정수를 저감할 수 있고, 비용을 절감할 수 있다.

다른 구성은 도 25와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한 실시형태 1~실시형태 29에서의 설명 내용이 본 실시형태에서도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 31]

본 실시형태에서는, 반사 영역에서 절연층에 요철을 형성하고 있는 점에서 상기 실시형태 30과 다른 구성에 대하여 설명한다.

도 28에 도시된 바와 같이, 반사 영역에서 절연층(106)에 요철을 형성한다.

절연층(106)에서 요철을 따라 도전층(660)을 형성한다. 도전층(660)은 반사성이 높은 재료로 형성된다. 도전층(660)은 전극(117)과 동일 재료로 형성될 수도 있다. 절연층(106)에서 요철을 따라 형성된 도전층(660)에 의해 반사율을 높일 수 있다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 이 요철은 추가 공정을 필요로 함이 없이 반사 영역에 형성될 수 있다.

또한, 투과 영역에서, 도전층(659)에 접속된 투광성 전극(654)을 형성한다. 투광성 전극(654)은 도전층(660)과도 접속된다. 도전층(659)은 반사용 전극으로서 기능한다.

다른 구성은 도 27과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 30에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 32]

본 실시형태에서는, 반사용 전극과 투광성 전극의 제조 순서가 변경된 점에서 상기 실시형태 31과 다른 구성에 대하여 설명한다.

도 29에 도시된 바와 같이, 먼저, 투광성 전극(654)을 형성한다. 그리고, 투광성 전극(654)에 접속되는 도전층(659)을 반사 영역에만 형성한다. 도전층(659)은 반사용 전극으로서 기능한다. 그 후, 절연층(106)에 요철을 제공하고, 이 요철을 따라 도전층(660)을 형성한다. 이 도전층(660)은 도전층(659)에 접속된다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 이 요철은 추가 공정을 필요로 함이 없이 반사 영역에 형성될 수 있다.

다른 구성은 도 28과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 31에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 33]

본 실시형태에서는, 투광성 전극을 형성하지 않은 점에서 상기 실시형태 32와 다른 구성에 대하여 설명한다.

도 30에 도시된 바와 같이, 반사 영역에 도전층(659)을 형성한다. 도전층(659)은 반사용 전극으로서 기능한다. 그리고, 투과 영역에는 투광성 전극을 형성하지 않는다. 그후, 절연층(106)에 요철을 제공한다. 요철을 따라 도전층(660)이 제공되고, 도전층(659)에 접속된다. 이때, 도전층(660)의 하면, 즉, 오목부에 제공된 도전층(660)의 바닥면 전체가 도전층(659)에 접한다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 이 요철이 추가 공정을 필요로 함이 없이 반사 영역에 형성될 수 있다.

다른 구성은 도 29와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 32에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 34]

본 실시형태에서는, 오목부에 제공된 도전층(660)에 바닥면이 도전층(659)에 부분적으로 접하여 있는 점에서 상기 실시형태 33과 다른 구성에 대하여 설명한다.

도 31에 도시된 바와 같이, 도전층(660)의 하면의 일부, 즉, 오목부에 제공된 도전층(660)에 바닥면의 일부만이 도전층(659)에 접하고, 도전층(660)의 바닥면의 다른 부분은 하지층(101)에 접한다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 이 요철은 추가 공정을 필요로 함이 없이 반사 영역에 형성될 수 있다.

다른 구성은 도 31과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 33에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 35]

본 실시형태에서는, 절연층(107)에 개구부를 제공하고 있는 점에서 상기 실시형태 25와 다른 구성에 대하여 설명한다.

도 32에 도시된 바와 같이, 절연층(107)에 개구부를 형성한다. 개구부를 형성하는 영역이 투과 영역이다.

이와 같은 구성에 의해, 투과 영역에서의 셀 갭을 두껍게 할 수 있다.

또한, 반사 영역에 제공된 도전층(659)은 반사용 전극으로서 기능하고, 배선(117)을 통하여 제3 전극(105)에 접속된다.

다른 구성은 도 22와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 34에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 36]

본 실시형태에서는, 투과 영역에 투광성 전극을 형성하고 있는 점에서 상기 실시형태 35와 다른 구성에 대하여 설명한다.

도 33에 도시된 바와 같이, 투과 영역에 투광성 전극(654)을 형성한다. 이 투광성 전극(654)은 반사 영역에 제공된 도전층(659)에 접속된다.

이와 같은 구성에 의해, 투과 영역에서의 셀 갭을 두껍게 할 수 있다.

다른 구성은 도 32와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 35에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 37]

본 실시형태에서는, 반사용 전극과 투광성 전극의 제조 순서가 변경된 점에서 상기 실시형태 36과 다른 구성에 대하여 설명한다.

도 34에 도시된 바와 같이, 절연층(101) 위에 투광성 전극(654)을 형성한다. 그 후, 반사 영역에만 도전층(659)을 형성한다. 이 도전층(659)은 반사용 전극으로서 기능한다.

이와 같은 구성에 의해, 투과 영역에서의 셀 갭을 두껍게 할 수 있다.

다른 구성은 도 33과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 36에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 38]

본 실시형태에서는, 반사용 전극을 절연층(106) 위에 형성하고 있는 점에서 상기 실시형태 37과 다른 구성에 대하여 설명한다.

도 35에 도시된 바와 같이, 절연층(106)에 개구부를 형성하고, 도전층(659)과 접속되는 배선(117)을 형성한다. 이 배선(117)은 반사용 전극으로서 기능시키기 위해 반사 영역에만 형성된다. 그 후, 배선(117)을 덮도록 절연층(107)을 형성하고, 투과 영역에서 절연층(107)에 개구부를 형성한다.]

이와 같은 구성에 의해, 투과 영역에서의 셀 갭을 두껍게 할 수 있다.

다른 구성은 도 34와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 37에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 39]

본 실시형태에서는, 절연층(106)에 요철을 제공하고 있는 점에서 상기 실시형태 38과 다른 구성에 대하여 설명한다.

도 36에 도시된 바와 같이, 하지층(101) 위에 도전층(659)을 제공하고, 이 도전층(659)을 덮도록 절연층(106)을 형성한다. 도전층(659) 상방에서 절연층(106)에 요철이 형성된다. 이 요철을 따라 도전층(660)이 형성된다. 이 도전층(660)은 도전층(659)에 접속된다. 도전층(660)은 전극(117)과 동일한 재료로 형성될 수 있다. 이때, 도전층(660)의 하면, 즉, 오목부에 제공된 도전층(660)의 바닥면 전체가 도전층(659)에 접한다.

이와 같은 구성에 의해, 투과 영역에서의 셀 갭을 두껍게 할 수 있다.

다른 구성은 도 35와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 38에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 40]

본 실시형태에서는, 도전층(660)의 바닥면의 일부만이 도전층(659)에 접하고 있는 점에서 상기 실시형태 39와 다른 구성에 대하여 설명한다.

도 37에 도시된 바와 같이, 도전층(659) 위에서 절연층(106)에 요철이 형성되고, 이 요철을 따라 도전층(660)이 형성된다. 도전층(660)의 하면의 일부, 즉, 오목부에 제공된 도전층(660)의 바닥면의 일부만이 도전층(659)에 접한다. 또한, 투광성 전극(654)이 도전층(659)에 접하여 제공되어 있고, 도전층(660)의 바닥면의 다른 부분은 투광성 전극(654)에 접한다.

이와 같은 구성에 의해, 투과 영역에서의 셀 갭을 두껍게 할 수 있다.

다른 구성은 도 36과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 39에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 41]

본 실시형태에서는, 도전층(660)이 동일 절연층 위에 형성된 도전층(659)과 투광성 전극(654)에 접하고 있는 점에서 상기 실시형태 30과 다른 구성에 대하여 설명한다.

도 38에 도시된 바와 같이, 절연층(101) 위에 형성된 도전층(659) 및 투광성 전극(654)을 덮도록 절연층(106)이 형성된다. 이 절연층(106)에는 도전층(659), 및 투광성 전극(654)을 노출시키도록 개구부가 형성된다. 도전층(659)과 투광성 전극(654)에 접하도록 개구부에 도전층(660)을 형성한다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다.

다른 구성은 도 27과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 40에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 42]

본 실시형태에서는, 절연층(107)에 개구부를 제공하고 있는 점에서 상기 실시형태 41과 다른 구성에 대하여 설명한다.

도 39에 도시된 바와 같이, 투과 영역에서 절연층(107)에 개구부가 제공되고, 절연층(106) 위에 제1 전극(103)과 제3 전극(105)을 부분적으로 형성한다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다.

다른 구성은 도 38과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 41에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 43]

본 실시형태에서는, 절연층(106)에 요철이 형성되어 있는 점에서 상기 실시형태 42와 다른 구성에 대하여 설명한다.

도 40에 도시된 바와 같이, 반사 영역에서 절연층(106)에 요철을 형성하고, 이 요철을 따라 도전층(660)을 형성한다. 도전층(660)의 일부가 제3 전극(105)에 접속되고, 도전층(660)의 다른 부분이 도전층(659) 및 투광성 전극(654)에 접속된다.

이와 같은 구성에 의해, 도전층(659)을 공통 배선으로서 사용할 수 있다.

다른 구성은 도 39와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 42에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 44]

본 실시형태에서는, 반사 영역과 투과 영역이 제공되고, 반사 영역에만 반사용 전극(652)이 형성되어 있는 점에서 도 2의 것과 다른 구성에 대하여 설명한다.

도 41에 도시된 바와 같이, 반사 영역에서 절연층(106) 위에 반사용 전극(652)을 형성한다. 그리고, 반사용 전극(652)과 제3 전극(105)이 접속된다.

다른 구성은 도 2와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 43에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 45]

본 실시형태에서는, 요철을 가지는 절연층(106)에 반사용 전극을 형성하고 있는 점에서 상기 실시형태 44와 다른 구성에 대하여 설명한다.

도 42에 도시된 바와 같이, 반사 영역에서 절연층(106)에 요철을 형성한다. 그리고, 이 요철을 따라 반사용 전극(652)을 형성한다. 그리고, 반사용 전극(652)과 제3 전극(105)이 접속된다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 요철을 가진 반사용 전극이 추가 공정을 필요로 함이 없이 형성될 수 있다.

다른 구성은 도 41과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 44에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 46]

본 실시형태에서는, 절연층(107)에 개구부를 형성하고 있는 점에서 상기 실시형태 44와 다른 구성에 대하여 설명한다.

도 43에 도시된 바와 같이, 투과 영역에서 절연층(107)에 개구부를 형성한다. 또한, 절연층(106) 위에 반사용 전극(652)을 형성한다.

다른 구성은 도 41과 마찬가지로 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 45에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 47]

본 실시형태에서는, 반사 영역만을 제공하고 있는 점에서 도 2의 것과 다른 구성에 대하여 설명한다.

도 44에 도시한 바와 같이, 도 2에 나타난 배선(121)은 형성하지 않고, 반사 영역에서 절연층(106) 위에 반사용 전극(652)을 형성한다.

다른 구성은 도 2와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 46에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 48]

본 실시형태에서는, 절연층(106)에 요철이 제공되고, 이 요철을 따라 반사용 전극이 형성되어 있는 점에서 상기 실시형태 47과 다른 구성에 대하여 설명한다.

도 45에 도시된 바와 같이, 반사 영역에서 절연층(106)의 표면에 요철이 제공된다. 이 요철을 따라 반사용 전극(652)이 형성된다. 절연층(106)에 형성되는 요철의 형상은 개방부가 아니어도 상관없다. 또한, 박막트랜지스터의 소스 전극 및 드레인 전극용의 개구부의 형성과 동시에 요철을 형성할 수도 있다. 또한, 요철은 반사율을 높이기 위해 형성되고 있고, 그 범위를 벗어나지 않는 형상이라면 어떠한 형상이라도 좋다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 요철을 가진 반사용 전극이 추가 공정을 필요로 함이 없이 형성될 수 있다.

다른 구성은 도 44와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 47에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 49]

본 실시형태에서는, 절연층(106) 위에 돌기물을 형성한다는 점에서 상기 실시형태 47과 다른 구성에 대하여 설명한다.

도 46에 도시된 바와 같이, 반사 영역에서 절연층(106) 위에 도전층(602)을 형성한다. 이 도전층(602)은 소스 전극 및 드레인 전극(116)과 동일 층에 형성될 수 있다.

도전층(602) 위에 돌기물(603)을 형성하여 요철을 형성한다. 이 돌기물(603)은 유기 층을 패터닝하여 형성된다. 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(602)과 도전층(604)이 돌기물(603)들 사이에서 접속된다. 도전층(604)은 반사용 전극으로서 기능한다.

도전층(604)은 절연층(107)에 제공된 개구부를 통하여 제3 전극(105)에 접속된다.

다른 구성은 도 44와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 48에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 50]

본 실시형태에서는, 도전층(602)을 형성하지 않는 점에서 상기 실시형태 49와 다른 구성에 대하여 설명한다.

도 47에 도시된 바와 같이, 절연층(106) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 반사용 전극으로서 기능한다.

다른 구성은 도 46과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 49에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 51]

본 실시형태에서는, 반사 영역과 투과 영역을 제공하고 있는 점에서 상기 실시형태 47과 다른 구성에 대하여 설명한다.

도 48에 도시된 바와 같이, 반사 영역에서 절연층(106) 위에 반사용 전극(652)을 형성한다. 반사용 전극(652)에 접속된 투과성 전극(654)을 투과 영역에 형성한다.

다른 구성은 도 44와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 50에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 52]

본 실시형태에서는, 반사용 전극과 투과성 전극의 제조 순서가 변경된 점에서 상기 실시형태 51과 다른 구성에 대하여 설명한다.

도 49에 도시된 바와 같이, 반사 영역 및 투과 영역에 투과성 전극(654)을 형성한다. 그 후, 반사 영역에 투과성 전극(654)에 접속된 반사용 전극(652)을 형성한다.

다른 구성은 도 48과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 51에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 53]

본 실시형태에서는, 투과 영역에서 절연층(106, 107)에 개구부를 제공하고 있는 점에서 상기 실시형태 51과 다른 구성에 대하여 설명한다.

도 50에 도시된 바와 같이, 투과 영역의 절연층(106)에 개구부를 형성한다. 반사 영역에서는 절연층(106) 위에 반사용 전극(652)을 형성한다. 반사용 전극(652)에 접속된 투광성 전극(654)을 절연층(106)의 개구부에 형성한다.

그 후, 투과 영역의 절연층(107)에도 개구부를 형성하여 투광성 전극(654)을 노출시킨다. 노출된 투광성 전극(654) 위에 제1 전극(103) 및 제3 전극(105)의 일부를 형성한다.

다른 구성은 도 48과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 52에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 54]

본 실시형태에서는, 절연층(106)에 요철을 제공하고 있는 점에서 상기 실시형태 51과 다른 구성에 대하여 설명한다.

도 51에 도시된 바와 같이, 반사 영역에서 절연층(106)에 요철을 제공한다. 이 요철을 따라 반사용 전극(652)을 형성한다. 이 요철에 의해, 반사용 전극(652)의 반사율을 높일 수 있다.

또한, 이 요철은 절연층(106)에 콘택트 홀을 형성함과 동시에 형성될 수 있다. 따라서, 요철을 가진 반사용 전극이 추가 공정을 필요로 함이 없이 형성될 수 있다.

그리고, 반사 영역 및 투과 영역에 투광성 전극(654)을 형성한다. 투광성 전극(654)은 반사 영역에 제공된 반사용 전극(652)에 접속된다. 또한, 투광성 전극(654)은 제3 전극(105)에 접속된다.

다른 구성은 도 48과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 53에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 55]

본 실시형태에서는, 반사 영역에 돌기물을 형성하고 있는 점에서 상기 실시형태 51과 다른 구성에 대하여 설명한다.

도 52에 도시된 바와 같이, 반사 영역에서 절연층(106) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 반사용 전극으로서 기능한다.

투과 영역에 투광성 전극(654)을 형성한다. 투광성 전극(654)은 반사 영역에 형성된 도전층(604)에 접속된다.

다른 구성은 도 48과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 54에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 56]

본 실시형태에서는, 반사용 전극(652)과 투광성 전극(654)의 제조 순서가 변경된 점에서 상기 실시형태 55와 다른 구성에 대하여 설명한다.

도 53에 도시된 바와 같이, 반사 영역 및 투과 영역 위에 투광성 전극(654)을 형성한다. 반사 영역에서 투광성 전극(654)에 접속되도록 반사용 전극(652)을 형성한다. 본 실시형태에서는, 반사용 전극(652)이 투광성 전극(654)의 일부와 겹치도록 형성된다.

반사 영역에서 반사용 전극(652) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)과 반사용 전극(652)은 돌기물(603)들 사이에서 접속된다.

다른 구성은 도 52와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 55에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 57]

본 실시형태에서는, 반사용 전극(652)이 제공되지 않는 점에서 상기 실시형태 56과 다른 구성에 대하여 설명한다.

도 54에 도시된 바와 같이, 반사 영역 및 투과 영역 위에 투광성 전극(654)을 형성하고, 반사 영역에 돌기물(603)을 형성한다. 돌기물(603)의 일부는 투광성 전극(654) 위에 형성된다.

이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 반사용 전극으로서 기능한다.

다른 구성은 도 53과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 56에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 58]

본 실시형태에서는, 반사 영역에서 절연층(106) 위에 돌기물(603)을 형성한 점에서 상기 실시형태 51과 다른 구성에 대하여 설명한다.

도 55에 도시된 바와 같이, 반사 영역에서 절연층(106) 위에 반사용 전극(652)을 형성하고, 반사용 전극(652) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다.

다른 구성은 도 48과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 57에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 59]

본 실시형태에서는, 반사용 전극(652)이 제공되지 않는 점에서 상기 실시형태 58과 다른 구성에 대하여 설명한다.

도 56에 도시된 바와 같이, 반사 영역에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 반사용 전극으로서 기능한다.

다른 구성은 도 55와 마찬가지로 생략한다.

본 발명에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 58에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 60]

본 실시형태에서는, 반사 영역만을 가지는 점에서 상기 실시형태 59와 다른 구성에 대하여 설명한다.

도 57에 도시된 바와 같이, 반사 영역만이 제공되고, 이 반사 영역에 돌기물(603)을 형성한다. 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 소스 전극 및 드레인 전극(116)과 동일 층으로 형성될 수 있다.

다른 구성은 도 56과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 59에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 61]

본 실시형태에서는, 반사 영역에 돌기물 및 도전층을 형성한 후, 투과 영역에 도전층을 형성하고 있는 점에서 상기 실시형태 59와 다른 구성에 대하여 설명한다.

도 58에 도시된 바와 같이, 반사 영역에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 반사용 전극으로서 기능한다.

반사 영역 및 투과 영역 위에 투광성 전극(654)을 형성한다. 투광성 전극(654)은 도전층(604)에 접속된다.

다른 구성은 도 56과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 60에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 62]

본 실시형태에서는, 도전층(604)과 투광성 전극(654)의 제조 순서가 변경된 점에서 상기 실시형태 61과 다른 구성에 대하여 설명한다.

도 59에 도시된 바와 같이, 반사 영역에 돌기물(603)을 형성한다. 돌기물(603)을 부분적으로 덮도록 투과 영역에 투광성 전극(654)을 형성한다. 그 후, 반사 영역에 투광성 전극(654)에 접속된 도전층(604)을 형성한다. 이 도전층(604)은 반사용 전극으로서 기능한다.

다른 구성은 도 58과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 61에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 63]

본 실시형태에서는, 반사 영역에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮는 도전층을 소스 전극 및 드레인 전극과 동일 층에 형성하는 점에서 상기 실시형태 59와 다른 구성에 대하여 설명한다.

도 60에 도시된 바와 같이, 반사 영역에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)은 소스 전극 및 드레인 전극과 동일 층으로 형성될 수 있고, 반사용 전극으로서 기능한다.

다른 구성은 도 56과 마찬가지로이므로 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 62에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 64]

본 실시형태에서는, 반사 영역이 제공되어 있는 점에서 도 3의 것과 다른 구성에 대하여 설명한다.

도 61에 도시된 바와 같이, 도 3에 나타난 배선(131)은 형성되지 않고, 하지층(101) 위에 반사용 전극(652)을 형성한다.

다른 구성은 도 3과 마찬가지로이므로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 63에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 65]

본 실시형태에서는, 반사 영역과 투과 영역이 제공되어 있는 점에서 상기 실시형태 64와 다른 구성에 대하여 설명한다.

도 62에 도시된 바와 같이, 반사 영역에 반사용 전극(652)을 형성한 후, 반사 영역 및 투과 영역에 투광성 전극(654)을 형성한다.

다른 구성은 도 61과 마찬가지로이므로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 64에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 66]

본 실시형태에서는, 반사용 전극과 투광성 전극의 제조 순서가 변경된 점에서 상기 실시형태 65와 다른 구성에 대하여 설명한다.

도 63에 도시된 바와 같이, 반사 영역 및 투과 영역에 투광성 전극(654)을 형성한다. 그 후, 반사 영역에만 반사용 전극(652)을 형성한다.

다른 구성은 도 62와 마찬가지로이므로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 65에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 67]

본 실시형태에서는, 반사용 전극을 반사 영역에만 선택적으로 형성한 점에서 상기 실시형태 65와 다른 구성에 대하여 설명한다.

도 64에 도시된 바와 같이, 반사 영역에만 반사용 전극(652)을 형성한다.

다른 구성은 도 61과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 66에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 68]

본 실시형태에서는, 반사 영역이 제공되어 있는 점에서 도 4의 것과 다른 구성에 대하여 설명한다.

도 65에 도시된 바와 같이, 도 4에 나타난 도전층(402)은 형성되지 않고, 반사 영역에 반사용 전극(652)을 형성한다. 그 후, 반사용 전극(652)을 박막트랜지스터(160)의 게이트 절연층(412)으로 덮는다. 게이트 절연층(412) 및 절연층(106)에 개구부를 형성하고, 이 개구부를 통하여 반사용 전극(652)과 제3 전극(105)이 접속된다.

이와 같은 구성에 의해, 반사용 전극(652)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 4와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 67에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 69]

본 실시형태에서는, 반사 영역 및 투과 영역이 제공되어 있는 점에서 상기 실시형태 68과 다른 구성에 대하여 설명한다.

도 66에 도시된 바와 같이, 반사 영역 및 투과 영역에 투광성 전극(654)을 형성한다. 그리고, 투광성 전극(654)에 접속되는 반사용 전극(652)을 반사 영역에만 형성한다. 투광성 전극(654) 및 반사용 전극(652)은 게이트 절연층(412)으로 덮여진다. 게이트 절연층(412) 및 절연층(106)에 개구부를 제공하고, 이 개구부를 통하여 반사용 전극(652)과 제3 전극(105)이 접속된다.

이와 같은 구성에 의해, 반사용 전극(652)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 65와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 68에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 70]

본 실시형태에서는, 반사용 전극을 반사 영역에만 선택적으로 형성한 점에서 상기 실시형태 68과 다른 구성에 대하여 설명한다.

도 67에 도시된 바와 같이, 반사용 전극(652)을 반사 영역에만 선택적으로 형성하고, 이 반사용 전극(652)을 게이트 절연층(412)으로 덮는다. 게이트 절연층(412) 및 절연층(106)에 개구부를 제공하고, 이 개구부를 통하여 반사용 전극(652)과 제3 전극(105)이 접속된다.

이와 같은 구성에 의해, 반사용 전극(652)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 65와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 69에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 71]

본 실시형태에서는, 투과 영역에서 절연층(106)에 개구부를 형성한 점에서 상기 실시형태 69와 다른 구성에 대하여 설명한다.

도 68에 도시된 바와 같이, 투과 영역 및 반사 영역에 투광성 전극(654)을 형성한다. 그리고, 반사 영역에만 선택적으로 반사용 전극(652)을 형성한다. 투광성 전극(654) 및 반사용 전극(652)은 게이트 절연층(412)으로 덮여진다.

투과 영역에서 절연층(106)에 개구부를 형성한다. 이 개구부에서, 게이트 절연층(412) 위에 제1 전극(103) 및 제3 전극(105)의 일부를 형성한다.

이와 같은 구성에 의해, 반사용 전극(652)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 66과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 70에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 72]

본 실시형태에서는, 투과 영역에서 절연층(106)에 개구부를 형성하고, 투광성 전극을 형성하지 않는 점에서 상기 실시형태 69와 다른 구성에 대하여 설명한다.

도 69에 도시된 바와 같이, 반사 영역에만 반사용 전극(652)을 형성한다. 반사용 전극(652)은 게이트 절연층(412)에 의해 덮여진다.

투과 영역에서 절연층(106)에 개구부를 형성한다. 이 개구부에서, 게이트 절연층(412) 위에 제1 전극(103) 및 제3 전극(105)의 일부를 형성한다. 본 실시형태에서는, 투과 영역에 투광성 전극이 형성되지 않는다.

이와 같은 구성에 의해, 반사용 전극(652)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 66과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 71에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 73]

본 실시형태에서는, 반사 영역이 제공되어 있는 점에서 도 5의 것과 다른 구성에 대하여 설명한다.

도 70에 도시된 바와 같이, 도 5에 나타난 도전층(502)은 형성되지 않고, 반사 영역에 반사용 전극(652)을 형성한다. 반사용 전극(652)은 박막트랜지스터(160)의 게이트 절연층(412) 위에 제공된다. 절연층(106)에 개구부를 형성하고, 이 개구부를 통하여 반사용 전극(652)과 제3 전극(105)이 접속된다.

또한, 공통 배선으로서 도전층(601)을 형성한다. 이 도전층(601)은 게이트 절연층(412) 및 절연층(106)의 개구부를 통하여 제3 전극(105)에 접속된다.

다른 구성은 도 5와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 72에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 74]

본 실시형태에서는, 반사 영역에 돌기물이 제공되어 있는 점에서 상기 실시형태 73과 다른 구성에 대하여 설명한다.

도 71에 도시된 바와 같이, 반사 영역에 도전층(661)을 형성한다. 이 도전층(661)은 소스 전극 및 드레인 전극(116)과 동일 층으로 형성될 수 있다.

도전층(661) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 이 도전층(604)은 반사용 전극으로서 기능한다. 도전층(604)과 도전층(661)은 돌기물(603)들 사이에서 접속된다.

도전층(604)을 덮도록 제공된 절연층(106)에 개구부를 형성한다. 이 개구부를 통하여 도전층(604)과 제3 전극(105)이 접속된다.

다른 구성은 도 70과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 73에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 75]

본 실시형태에서는, 도전층(661)을 형성하지 않는 점에서 상기 실시형태 74와 다른 구성에 대하여 설명한다.

도 72에 도시된 바와 같이, 반사 영역에서 게이트 절연층(412) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 도전층(604)을 덮도록 제공된 절연층(106)에 개구부를 형성한다. 이 개구부를 통하여 도전층(604)과 제3 전극(105)이 접속된다.

다른 구성은 도 71과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 74에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 76]

본 실시형태에서는, 반사 영역과 투과 영역이 제공되고, 반사 영역에만 반사용 전극이 형성되는 점에서 상기 실시형태 73과 다른 구성에 대하여 설명한다.

도 73에 도시된 바와 같이, 반사 영역에서 게이트 절연층(412) 위에 선택적으로 반사용 전극(652)을 형성한다. 그리고, 반사 영역 및 투과 영역에 투과성 전극(654)을 형성한다.

이와 같은 구성에 의해, 게이트 전극(113)과 동시에 형성되는 도전층(601)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 70과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 75에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 77]

본 실시형태에서는, 반사 영역에만 반사용 전극을 형성하고, 투광성 전극은 형성되지 않는 점에서 상기 실시형태 76과 다른 구성에 대하여 설명한다.

도 74에 도시된 바와 같이, 반사 영역에서만 게이트 절연층(412) 위에 선택적으로 반사용 전극(652)을 형성한다. 투과 영역에는 투광성 전극(654)을 형성하지 않는다.

이와 같은 구성에 의해, 게이트 전극(113)과 동시에 형성되는 도전층(601)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 73과 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 76에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 78]

본 실시형태에서는, 반사 영역에만 반사용 전극을 형성하고, 이 반사용 전극 위에 돌기물을 형성하고 있는 점에서 상기 실시형태 77과 다른 구성에 대하여 설명한다.

도 75에 도시된 바와 같이, 반사 영역에서만 게이트 절연층(412) 위에 선택적으로 반사용 전극(652)을 형성하고, 이 반사용 전극(652) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 이 도전층(604)은 제3 전극(105)에 접속된다.

이와 같은 구성에 의해, 게이트 전극(113)과 동시에 형성되는 도전층(601)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 74와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 77에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 79]

본 실시형태에서는, 반사용 전극(652)이 형성되지 않는 점에서 상기 실시형태 78과 다른 구성에 대하여 설명한다.

도 76에 도시된 바와 같이, 반사 영역에서 게이트 절연층(412) 위에 돌기물(603)을 형성하고, 이 돌기물(603)을 덮도록 도전층(604)을 형성한다. 이 도전층(604)은 반사용 전극으로서 기능한다.

이와 같은 구성에 의해, 게이트 전극(113)과 동시에 형성되는 도전층(601)이 공통 배선으로서 사용될 수 있다.

다른 구성은 도 75와 마찬가지로 설명을 생략한다.

본 실시형태에서도, 2쌍의 전극에 의한 전계에 의해, 액정 재료의 기울기를 충분히 제어할 수 있다.

또한, 실시형태 1~실시형태 78에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 80]

도 13 및 도 14의 상면도는 소스선으로부터의 전위를 전달할 수 있는 액정 소자의 전극(제1 전극(103))과 공통 배선으로부터의 전위를 전달할 수 있는 액정 소자의 전극(제3 전극(105))중 적어도 한쪽을 빗살 형상으로 한 예를 나타내고 있지만, 제1 전극 및 제3 전극의 형상은 도 13 및 도 14에 나타내는 것에 한정되는 것은 아니고, 예를 들어, 지그재그 형상이어도 좋고, 파도 형상이어도 좋다. 본 실시형태에서는, 도 13 및 도 14에 도시한 것과 다른 전극 형상을 가지는 액정표시장치의 예에 대하여 도 106 및 도 107을 사용하여 설명한다.

도 106은 소스선으로부터의 전위를 전달할 수 있는 액정 소자의 전극(204)과, 공통 배선으로부터의 전위를 전달할 수 있는 액정 소자의 전극(203) 모두가 지그재그 형상으로 된 액정표시장치의 예를 나타내고 있다. 또한, 도 106의 액정표시장치의 액정 소자의 전극의 형상이 도 13 및 도 14의 액정표시장치의 것과 다르지만, 다른 구성은 마찬가지이다.

또한, 도 107(A)에 도시된 바와 같이, 제1 전극(103)과 제3 전극(105) 각각이 빗살 형상으로 될 수도 있고, 또는, 도 107(B)에 도시된 바와 같이, 제1 전극(103)과 제3 전극(105) 중 어느 것이 빗살 형상으로 되고, 그의 치(齒)의 일 단부가 이웃 치의 일 단부에 접속될 수도 있고, 또는, 도 107(C)에 도시된 바와 같이, 제1 전극과 제3 전극 중 어느 것이 빗살 형상으로 되고, 치의 일 단부가 이웃 치의 일 단부에 접속되고, 그 치의 다른 단부가 다른 이웃 치에 접속될 수도 있고, 또는, 도 107(C)에 나타난 형상이 첫번째 치의 일 단부와 최종 치의 일 단부를 접속함으로써 도 107(D)의 것으로 변경될 수도 있다.

이와 같은 배치로 함으로써, 액정 분자의 회전 방향 등을 1 화소 내에서 영역마다 다르게 할 수 있다. 즉, 멀티도메인(multi-domain) 액정표시장치가 제작될 수 있다. 멀티도메인 액정표시장치는 어느 특정 각도에서 보았을 때 화상이 정확하게 인식될 수 없게 될 가능성을 저감시킬 수 있다.

또한, 실시형태 1~실시형태 79에서의 설명 내용이 본 실시형태에도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 81]

본 발명의 액정표시장치에 포함되는 화소 구성에 대하여 도 13 및 도 14의 상면도를 사용하여 설명하였지만, 화소부에 제공된 배선을 인출하는 방법에 대해서는, 도 108에 나타내는 회로를 포함하는 구성이고 본 발명의 취지 및 그 범위에서 벗어나지 않는 범위 내이라면 다른 양태로 변경될 수도 있다. 본 발명의 액정표시장치의 화소 회로에 대하여 도 108을 사용하여 설명한다.

도 108에서, 게이트선(7001)과 소스선(7002)은 교차하여 있다. 또한, 공통 배선(7003a) 및 공통 배선(7003b)은 종횡으로 인출되어 있다. 게이트선(7001)은 트랜지스터(7004)의 게이트 전극에 접속되어 있다. 또한, 소스선(7002)은 트랜지스터(7004)의 소스 전극 또는 드레인 전극에 접속되어 있다. 또한, 액정표시장치가 교류(AC) 구동 액정표시장치인 경우에는, 트랜지스터(7004)의 소스 전극 및 드레인 전극이 소스선(7002)으로부터 전해지는 전위에 따라 스위칭되기 때문에, 본 실시형태에서는 전극을 소스 전극 및 드레인 전극으로 표기하고 있다. 트랜지스터(7004)의 소스 및 드레인 전극과 공통 배선(7003a)과의 사이에 액정 소자(C_{LC})가 제공되어 있다. 트랜지스터(7004)가 온(on) 상태일 때, 소스선(7002)으로부터의 전위가 액정 소자(C_{LC})로 전달되고, 트랜지스터(7004)가 오프 상태일 때, 소스선(7002)으로부터의 전위가 액정 소자(C_{LC})로 전달되지 않는다. 이와 같이 트랜지스터(7004)가 오프 상태이고 소스선(7002)으로부터의 전위가 액정 소자(C_{LC})에 전달되지 않을 때에도 광이 액정층을 통과하는 상태로 하고자 하는 경우에는, 액정 소자(C_{LC})와 병렬로 용량 소자(C_S)를 제공하여 두는 것이 바람직하다. 용량 소자가 전압을 보유하면, 트랜지스터(7004)가 오프 상태에 있을 때라도 광이 액정층을 통과할 수 있다.

또한, 도 109(A)는 본 실시형태에서 설명하는 표시장치의 상면도를 나타내고, 도 109(B)는 도 109(A)의 K-L선에 따른 단면도를 나타낸다. 도 109(A) 및 도 109(B)에 나타난 표시장치는 외부 단자 접속영역(852), 밀봉 영역(853), 및 신호선 구동회로를 포함한 주사선 구동회로(854)를 포함하고 있다.

본 실시형태에서 도 109(A) 및 도 109(B)에 나타난 표시장치는, 기관(851), 박막트랜지스터(827), 박막트랜지스터(829), 박막트랜지스터(825), 밀봉제(834), 대향 기관(830), 배향막(831), 대향 전극(832), 스페이서(833), 편광판(835a), 편광판(835b), 제1 단자 전극층(838a), 제2 단자 전극층(838b), 이방성 도전층(836), 및 FPC(837)를 포함한다. 또한, 이 표시장치는 외부 단자 접속영역(852), 밀봉 영역(853), 주사선 구동회로(854), 화소 영역(856), 및 신호선 구동회로(857)를 포함한다.

밀봉제(834)는 기관(851) 위에 제공된 화소 영역(856)과 주사선 구동회로(854)를 둘러싸도록 제공되어 있다. 대향 기관(830)은 화소 영역(856)과 주사선 구동회로(854) 위에 제공되어 있다. 따라서, 화소 영역(856)과 주사선 구동회로(854)가 액정 재료와 함께 기관(851), 밀봉제(834), 및 대향 기관(830)에 의해 밀봉되어 있다.

기관(851) 위에 제공된 화소 영역(856)과 주사선 구동회로(854)는 다수의 박막트랜지스터를 가지고 있다. 도 109(B)에서, 화소 영역(856)의 박막트랜지스터(825)는 예로서 도시된 것이다.

또한, 실시형태 1~실시형태 80에서의 설명 내용이 본 실시형태에서도 적용되거나 본 실시형태와 조합될 수 있다.

[실시형태 82]

도 110(A) 및 도 110(B)는 실시형태 1~실시형태 81에서 설명한 것과 같은 본 발명의 액정표시장치를 포함하는 모듈의 일 예를 나타낸다. 기관(900) 위에는, 화소부(930), 게이트 드라이버(920), 및 소스 드라이버(940)가 제공되어 있다. 게이트 드라이버(920) 및 소스 드라이버(940)에는 가요성 프린트 회로(FPC)(960)를 통하여 집적회로(950)로부터 신호가 입력되고, 입력된 신호에 따라 화소부(930)에서 화상이 표시된다.

[실시형태 83]

본 발명의 액정표시장치를 표시부에 포함하는 전자 기기에 대하여 도 111(A)~도 111(H)를 사용하여 설명한다.

도 111(A)는 하우징(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력 단자(2005) 등을 가지는 디스플레이를 나타낸다. 표시부(2003)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(B)는 본체(2101), 표시부(2102), 수상(受像)부(2103), 조작 키(2104), 외부 접속 포트(2105), 셔터(2106) 등을 가지는 카메라를 나타낸다. 표시부(2102)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(C)는 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등을 가지는 컴퓨터를 나타낸다. 표시부(2203)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(D)는 본체(2301), 표시부(2302), 스위치(2303), 조작 키(2304), 적외선 포트(2305) 등을 가지는 모바일 컴퓨터를 나타낸다. 표시부(2302)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(E)는 본체(2401), 하우징(2402), 표시부 A(2403), 표시부 B(2404), 기록 매체(예를 들어, DVD) 판독부(2405), 조작 키(2406), 스피커부(2407) 등을 가지는, 기록 매체를 구비한 휴대형 화상 재생장치(구체적으로는, DVD 재생장치)를 나타낸다. 표시부 A(2403)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(F)는 본체(2501), 표시부(2502), 조작 키(2503) 등을 가지는 전자 책을 나타낸다. 표시부(2502)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(G)는 본체(2601), 표시부(2602), 하우징(2603), 외부 접속 포트(2604), 원격 제어 수신부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작 키(2609) 등을 가지는 비디오 카메라를 나타낸다. 표시부(2606)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

도 111(H)는 본체(2701), 하우징(2702), 표시부(2703), 음성 입력부(2704), 음성 출력부(2805), 조작 키(2706), 외부 접속 포트(2707), 안테나(2708) 등을 가지는 휴대 전화기를 나타낸다. 표시부(2703)는 실시형태 1~실시형태 82에서 설명한 본 발명의 액정표시장치를 포함한다.

이상과 같이, 본 발명의 액정표시장치를 표시부에 설치함으로써, 본 발명의 전자 기기가 완성된다. 이와 같은 본 발명의 전자 기기는 옥내에서도 옥외에서도 양호하게 화상을 표시할 수 있다. 특히, 옥외에서도 옥내에서도 사용 빈도가 높은 카메라, 촬상 장치 등의 전자 기기에서는, 옥내 및 옥외 모두에서, 광시야각과, 화면을 보는 각도에 의존한 색감의 변화가 작다는 이점을 충분히 발휘할 수 있다.

발명의 효과

본 발명에 의하면, 2쌍 이상의 전극을 사용하여 액정 재료에 충분한 전계를 인가할 수 있다. 그리고, 2쌍의 전극에 의해 발생된 전계에 의해, 액정 재료의 기울기를 제어함으로써, 계조 표시를 행할 수 있다.

또한, 본 발명에 의하면, 시야각이 넓고, 표시 화면을 보는 각도에 의존한 색감의 변화가 적고, 태양광이 비추어진 실외 및 어두운 실내(또는 밤의 실외)에서도 양호하게 시인(視認)할 수 있는 화상이 제공될 수 있다.

도면의 간단한 설명

도 1은 본 발명의 액정표시장치의 단면도.

도 2는 본 발명의 액정표시장치의 단면도.

도 3은 본 발명의 액정표시장치의 단면도.

도 4는 본 발명의 액정표시장치의 단면도.

도 5는 본 발명의 액정표시장치의 단면도.

도 6(A)~도 6(C)는 본 발명의 액정표시장치의 단면도.

도 7(A)~도 7(C)는 본 발명의 액정표시장치의 단면도.

도 8(A)~도 8(C)는 본 발명의 액정표시장치의 단면도.

도 9(A)~도 9(C)는 본 발명의 액정표시장치의 단면도.

도 10(A)~도 10(C)는 본 발명의 액정표시장치의 단면도.

도 11(A)~도 11(C)는 본 발명의 액정표시장치의 단면도.

도 12(A)~도 12(C)는 본 발명의 액정표시장치의 단면도.

도 13은 본 발명의 액정표시장치의 상면도.

도 14는 본 발명의 액정표시장치의 상면도.

도 15는 본 발명의 액정표시장치의 단면도.

도 16은 본 발명의 액정표시장치의 단면도.

도 17은 본 발명의 액정표시장치의 단면도.

도 18은 본 발명의 액정표시장치의 단면도.

도 19는 본 발명의 액정표시장치의 단면도.

도 20은 본 발명의 액정표시장치의 단면도.

도 21은 본 발명의 액정표시장치의 단면도.

도 22는 본 발명의 액정표시장치의 단면도.

도 23은 본 발명의 액정표시장치의 단면도.
도 24는 본 발명의 액정표시장치의 단면도.
도 25는 본 발명의 액정표시장치의 단면도.
도 26은 본 발명의 액정표시장치의 단면도.
도 27은 본 발명의 액정표시장치의 단면도.
도 28은 본 발명의 액정표시장치의 단면도.
도 29는 본 발명의 액정표시장치의 단면도.
도 30은 본 발명의 액정표시장치의 단면도.
도 31은 본 발명의 액정표시장치의 단면도.
도 32는 본 발명의 액정표시장치의 단면도.
도 33은 본 발명의 액정표시장치의 단면도.
도 34는 본 발명의 액정표시장치의 단면도.
도 35는 본 발명의 액정표시장치의 단면도.
도 36은 본 발명의 액정표시장치의 단면도.
도 37은 본 발명의 액정표시장치의 단면도.
도 38은 본 발명의 액정표시장치의 단면도.
도 39는 본 발명의 액정표시장치의 단면도.
도 40은 본 발명의 액정표시장치의 단면도.
도 41은 본 발명의 액정표시장치의 단면도.
도 42는 본 발명의 액정표시장치의 단면도.
도 43은 본 발명의 액정표시장치의 단면도.
도 44는 본 발명의 액정표시장치의 단면도.
도 45는 본 발명의 액정표시장치의 단면도.
도 46은 본 발명의 액정표시장치의 단면도.
도 47은 본 발명의 액정표시장치의 단면도.
도 48은 본 발명의 액정표시장치의 단면도.
도 49는 본 발명의 액정표시장치의 단면도.

도 50은 본 발명의 액정표시장치의 단면도.
도 51은 본 발명의 액정표시장치의 단면도.
도 52는 본 발명의 액정표시장치의 단면도.
도 53은 본 발명의 액정표시장치의 단면도.
도 54는 본 발명의 액정표시장치의 단면도.
도 55는 본 발명의 액정표시장치의 단면도.
도 56은 본 발명의 액정표시장치의 단면도.
도 57은 본 발명의 액정표시장치의 단면도.
도 58은 본 발명의 액정표시장치의 단면도.
도 59는 본 발명의 액정표시장치의 단면도.
도 60은 본 발명의 액정표시장치의 단면도.
도 61은 본 발명의 액정표시장치의 단면도.
도 62는 본 발명의 액정표시장치의 단면도.
도 63은 본 발명의 액정표시장치의 단면도.
도 64는 본 발명의 액정표시장치의 단면도.
도 65는 본 발명의 액정표시장치의 단면도.
도 66은 본 발명의 액정표시장치의 단면도.
도 67은 본 발명의 액정표시장치의 단면도.
도 68은 본 발명의 액정표시장치의 단면도.
도 69는 본 발명의 액정표시장치의 단면도.
도 70은 본 발명의 액정표시장치의 단면도.
도 71은 본 발명의 액정표시장치의 단면도.
도 72는 본 발명의 액정표시장치의 단면도.
도 73은 본 발명의 액정표시장치의 단면도.
도 74는 본 발명의 액정표시장치의 단면도.
도 75는 본 발명의 액정표시장치의 단면도.
도 76은 본 발명의 액정표시장치의 단면도.

도 77(A)~도 77(C)는 본 발명의 액정표시장치를 나타내는 도면.

도 78은 본 발명의 액정표시장치의 도면.

도 79는 본 발명의 액정표시장치의 단면도.

도 80은 본 발명의 액정표시장치의 단면도.

도 81은 본 발명의 액정표시장치의 단면도.

도 82는 본 발명의 액정표시장치의 단면도.

도 83은 본 발명의 액정표시장치의 단면도.

도 84는 본 발명의 액정표시장치의 단면도.

도 85는 본 발명의 액정표시장치의 단면도.

도 86은 본 발명의 액정표시장치의 단면도.

도 87은 본 발명의 액정표시장치의 단면도.

도 88은 본 발명의 액정표시장치의 단면도.

도 89는 본 발명의 액정표시장치의 단면도.

도 90은 본 발명의 액정표시장치의 단면도.

도 91은 본 발명의 액정표시장치의 단면도.

도 92는 본 발명의 액정표시장치의 단면도.

도 93은 본 발명의 액정표시장치의 단면도.

도 94는 본 발명의 액정표시장치의 단면도.

도 95는 본 발명의 액정표시장치의 단면도.

도 96은 본 발명의 액정표시장치의 단면도.

도 97은 본 발명의 액정표시장치의 단면도.

도 98은 본 발명의 액정표시장치의 단면도.

도 99는 본 발명의 액정표시장치의 단면도.

도 100은 본 발명의 액정표시장치의 단면도.

도 101은 본 발명의 액정표시장치의 단면도.

도 102는 본 발명의 액정표시장치의 단면도.

도 103은 본 발명의 액정표시장치의 단면도.

도 104는 본 발명의 액정표시장치의 단면도.

도 105는 본 발명의 액정표시장치의 단면도.

도 106은 본 발명의 액정표시장치를 나타내는 도면.

도 107(A)~도 107(D)는 본 발명의 액정표시장치를 나타내는 도면.

도 108은 본 발명의 액정표시장치를 나타내는 도면.

도 109(A) 및 도 109(B)는 본 발명의 액정표시장치의 상면도 및 단면도.

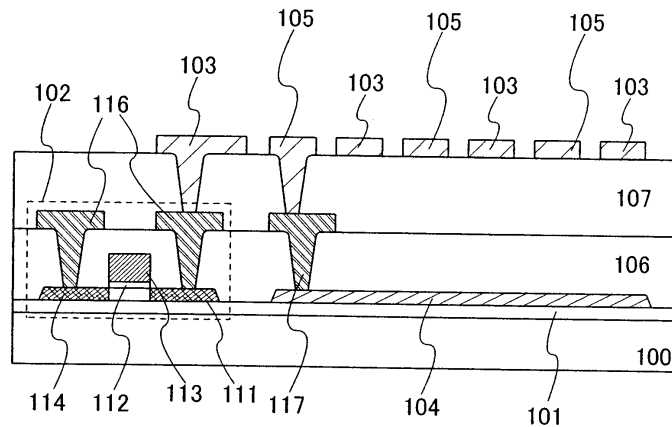
도 110(A) 및 도 110(B)는 본 발명의 액정표시장치를 나타내는 도면.

도 111(A)~도 111(H)는 본 발명을 적용한 전자 기기들의 예를 나타내는 도면.

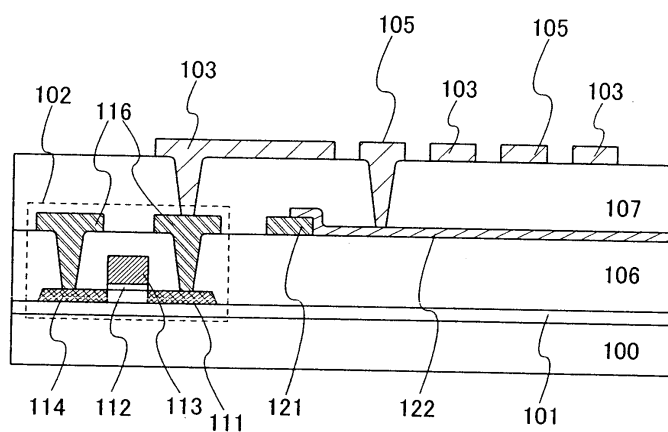
도 112(A)~도 112(C)는 본 발명의 액정표시장치를 나타내는 도면.

도면

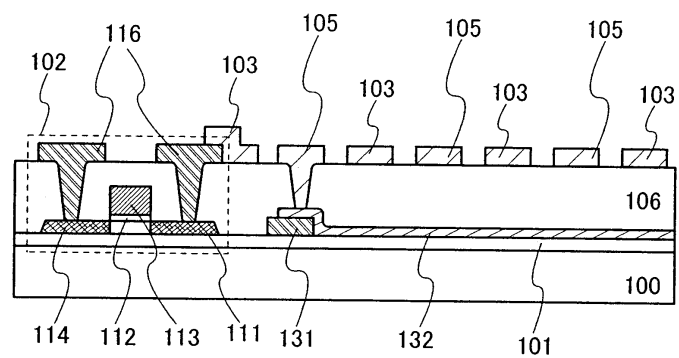
도면1



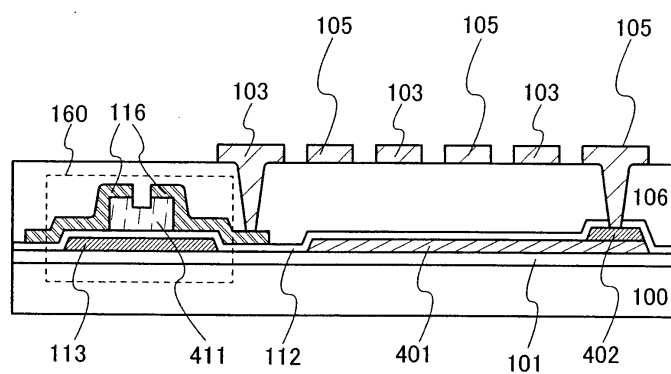
도면2



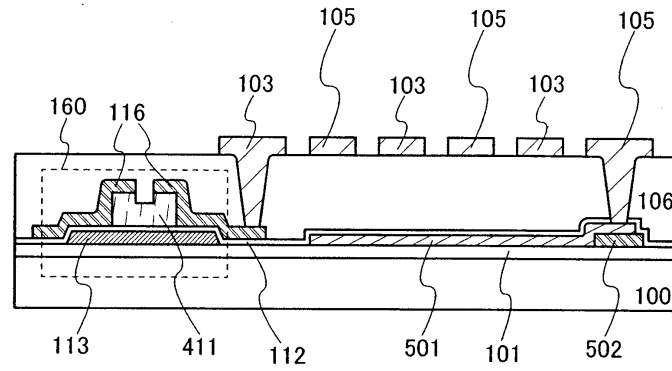
도면3



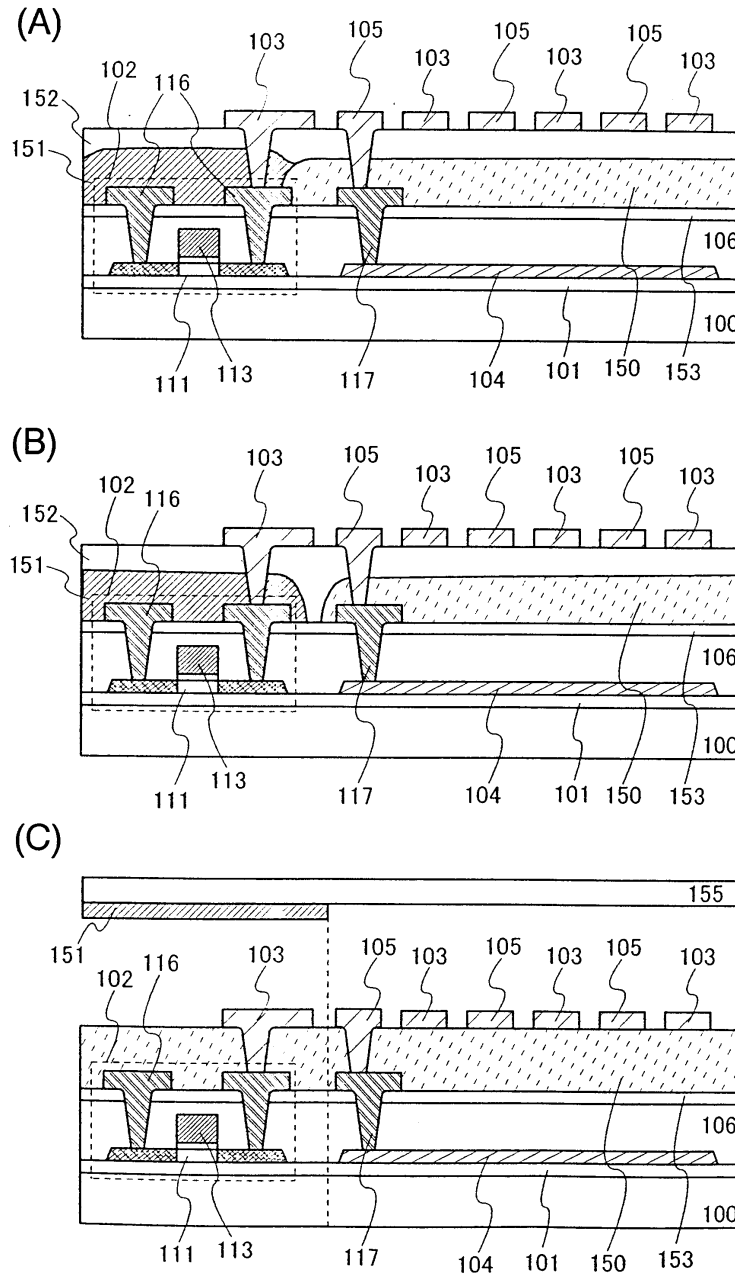
도면4



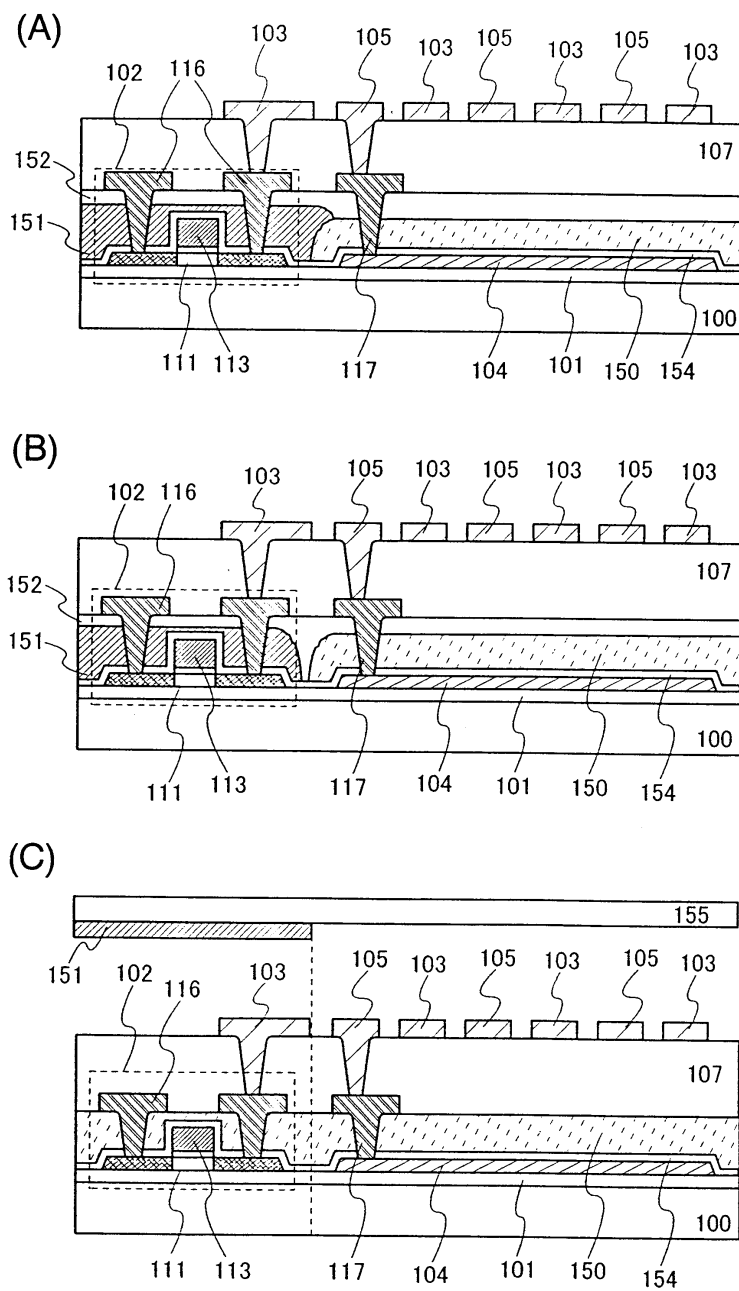
도면5



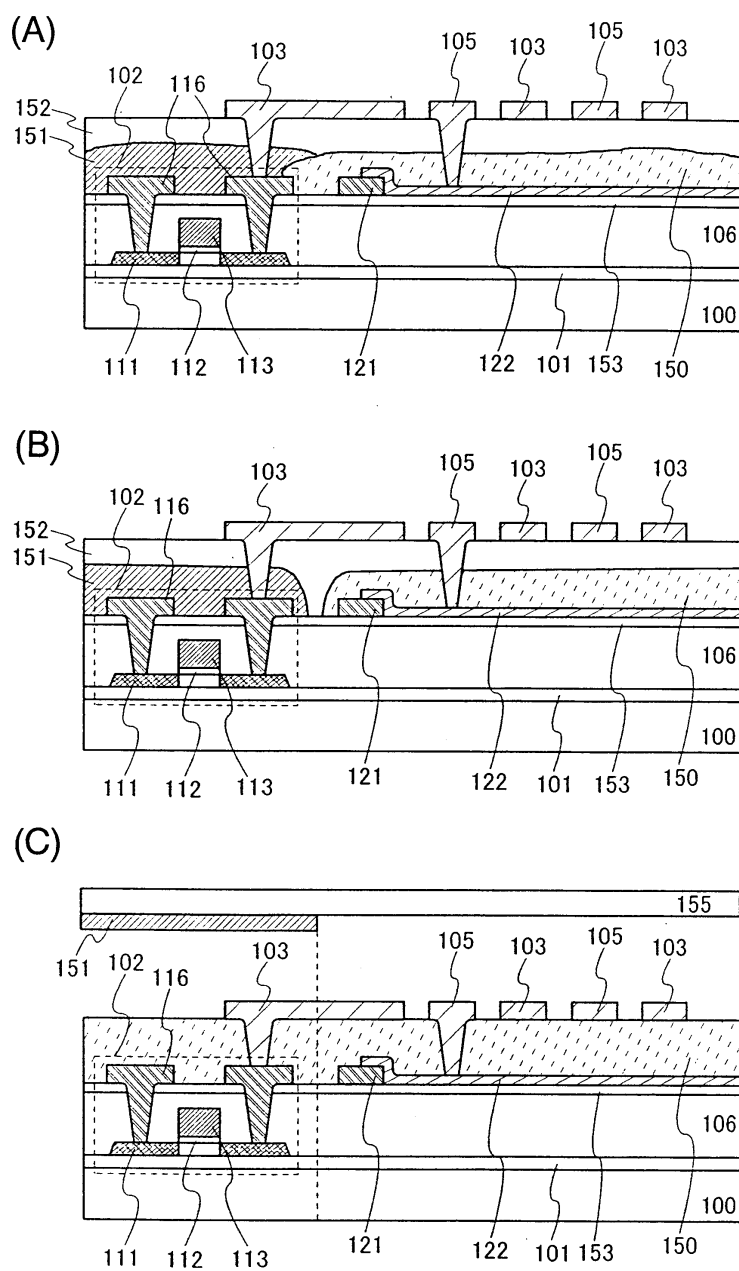
도면6



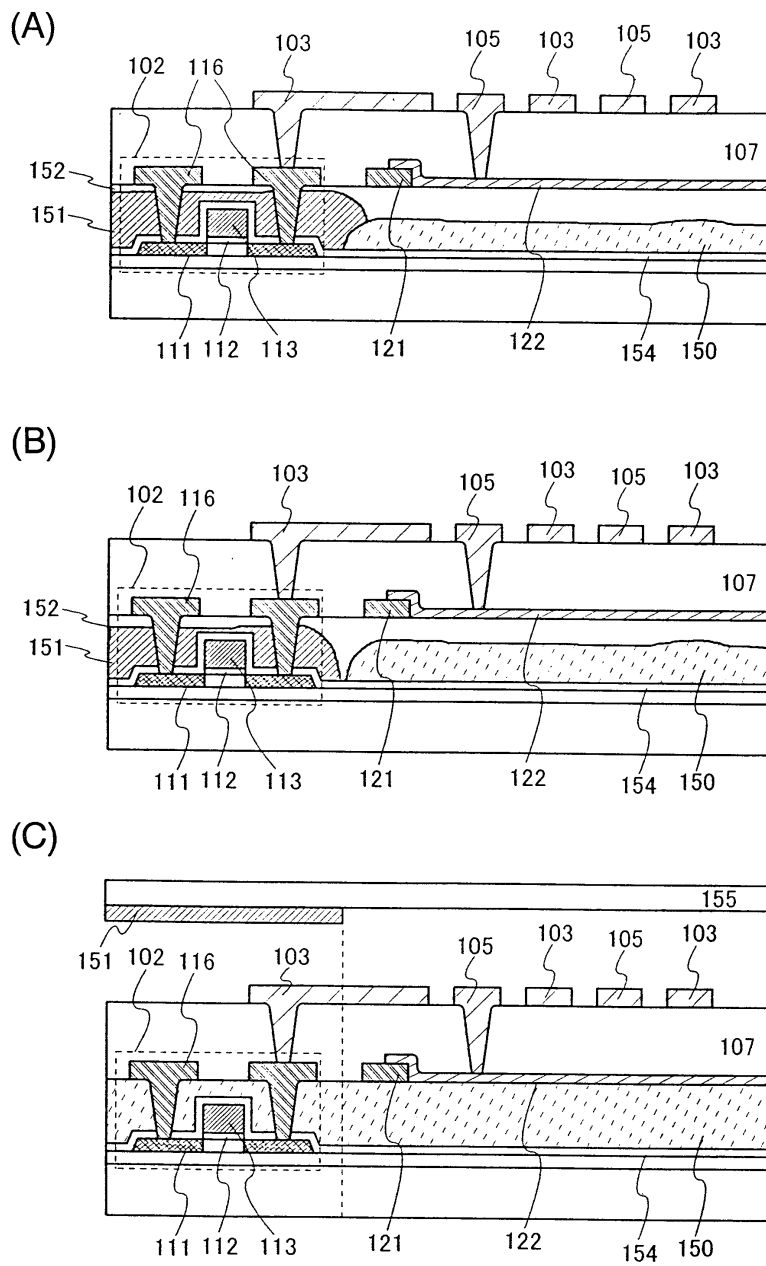
도면7



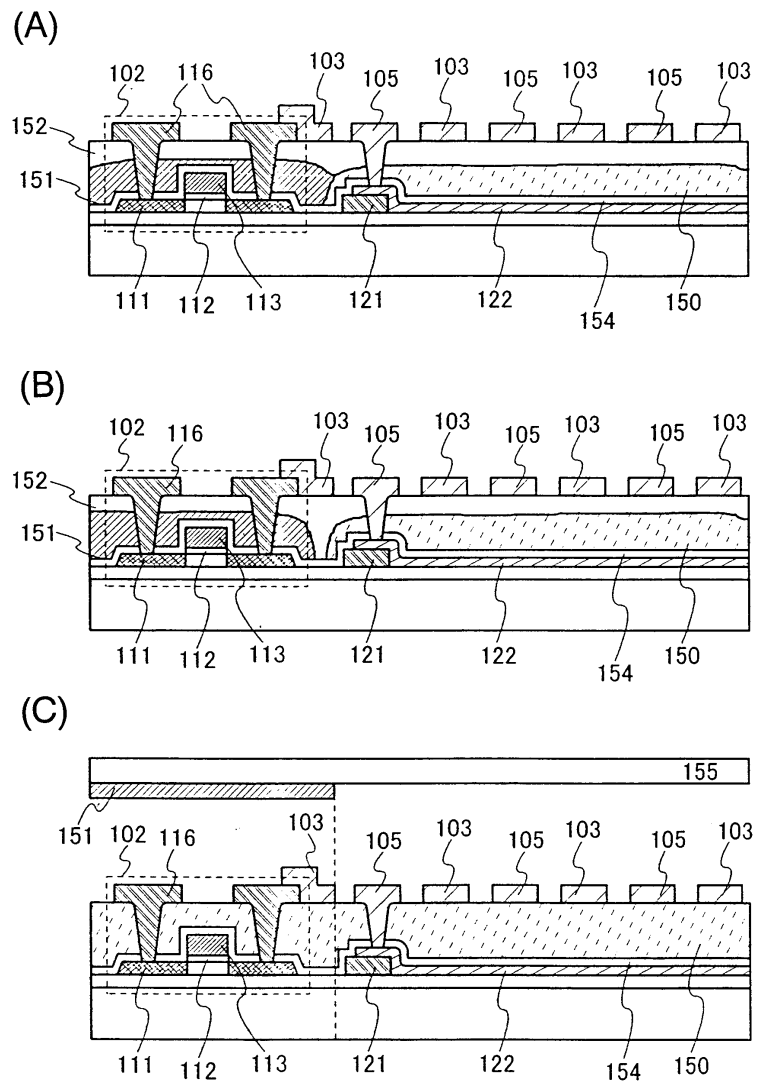
도면8



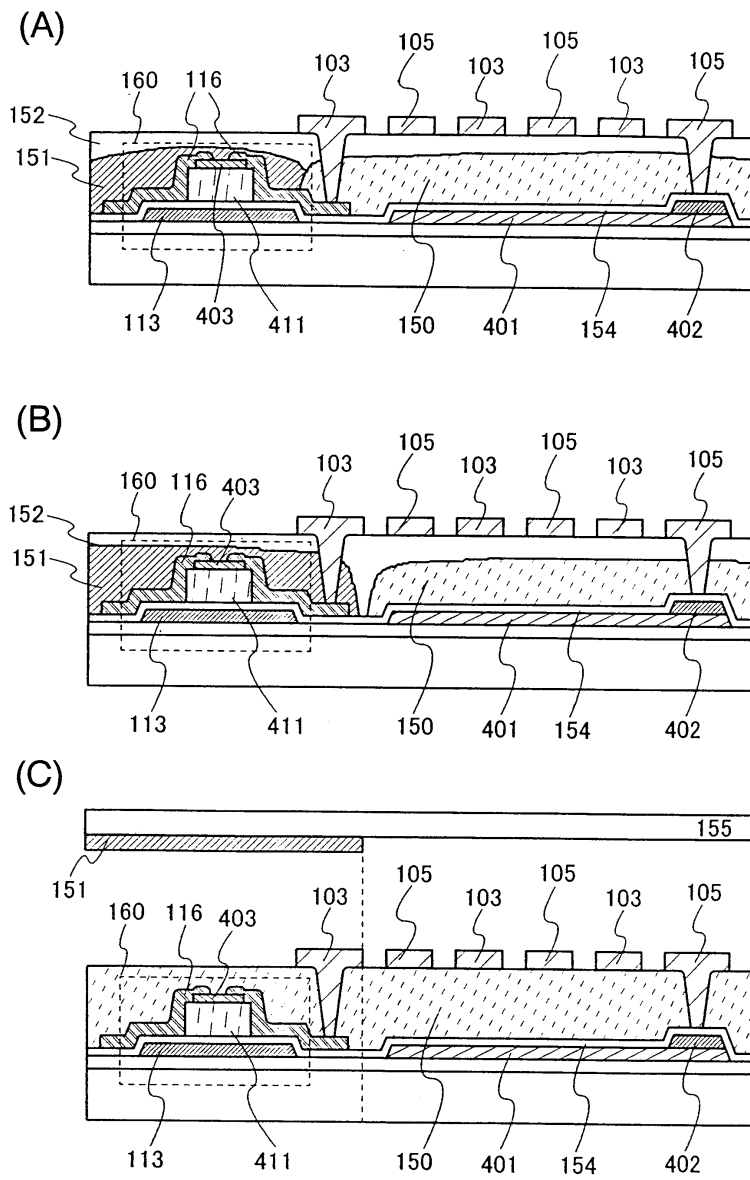
도면9



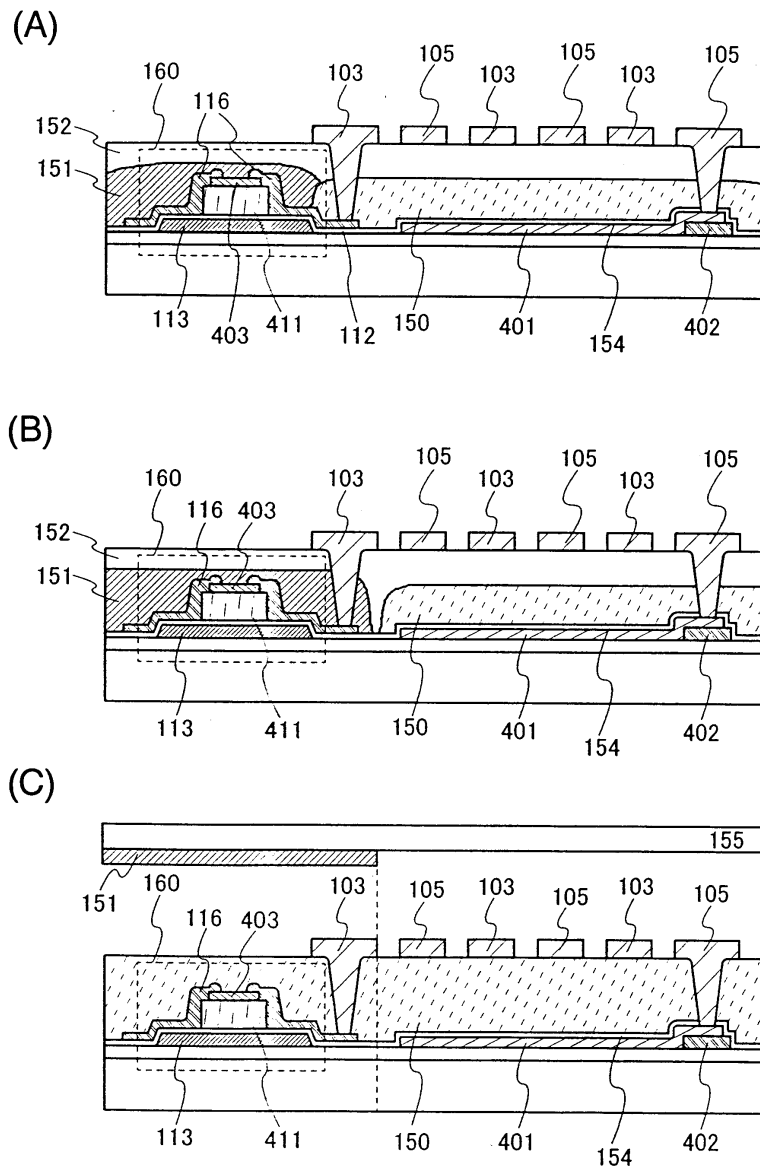
도면10



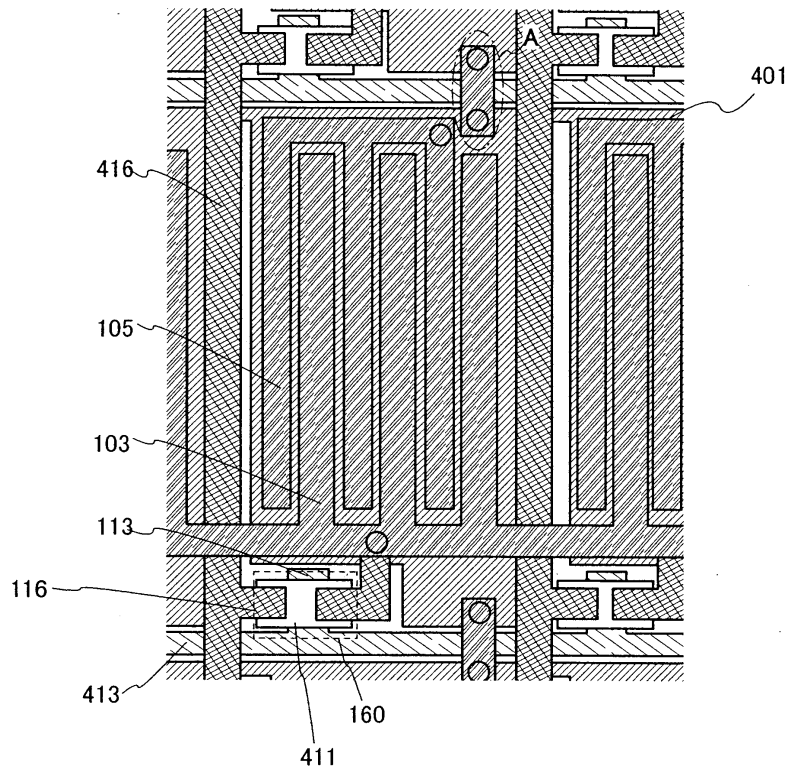
도면11



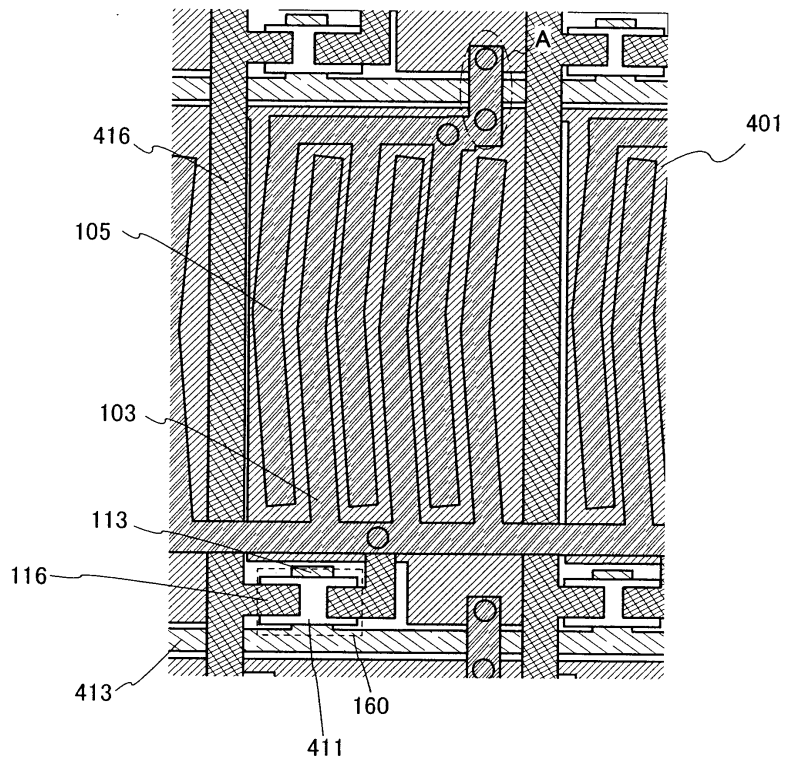
도면12



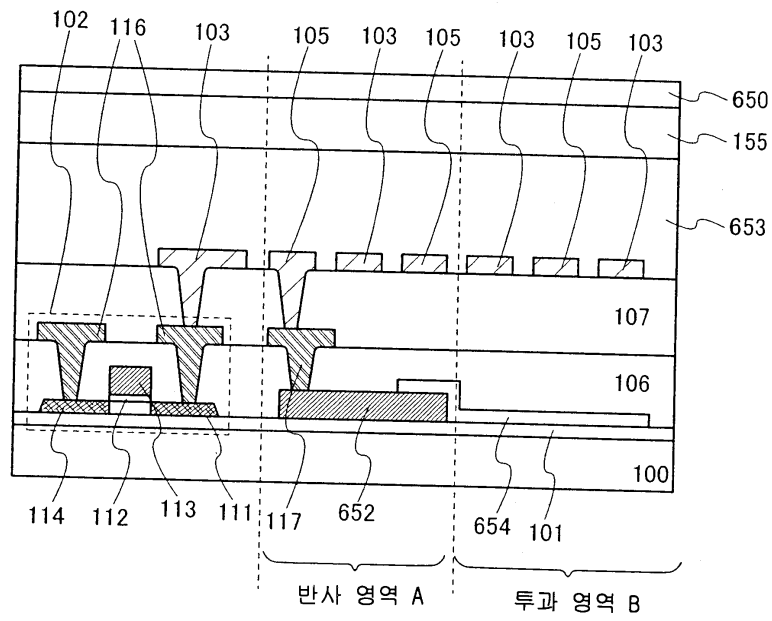
도면13



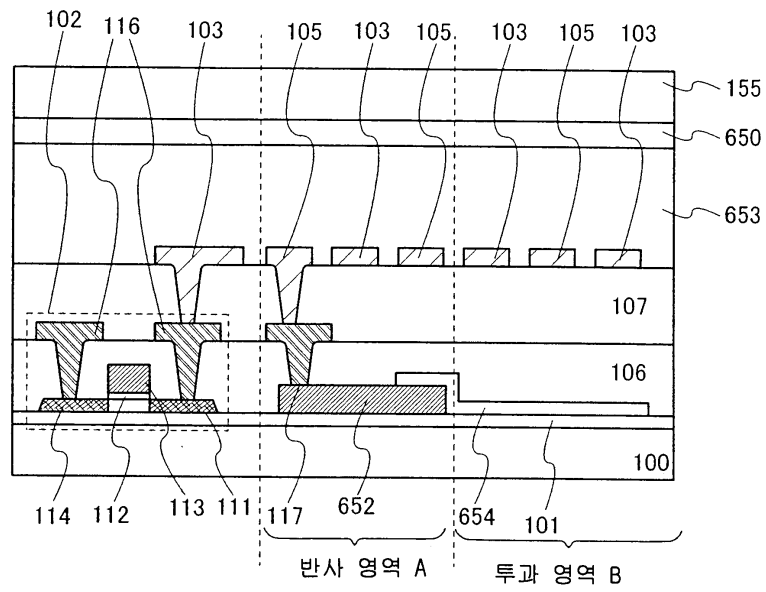
도면14



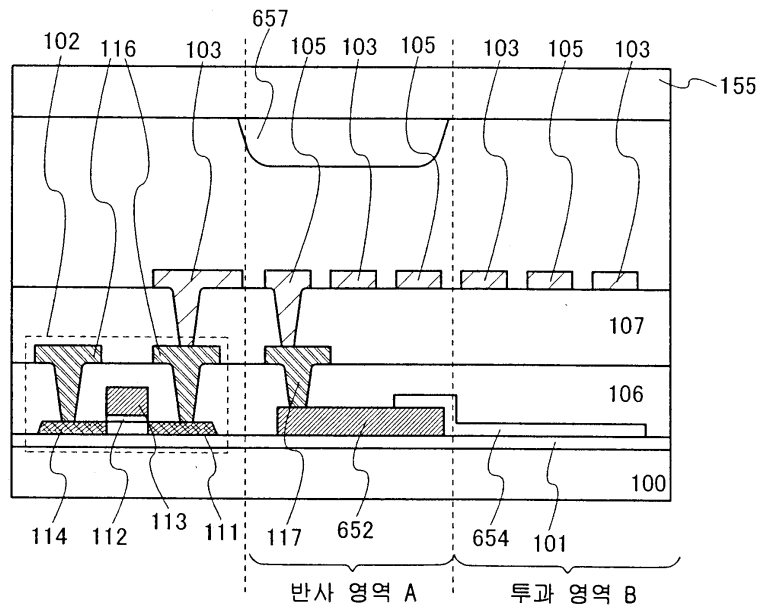
도면15



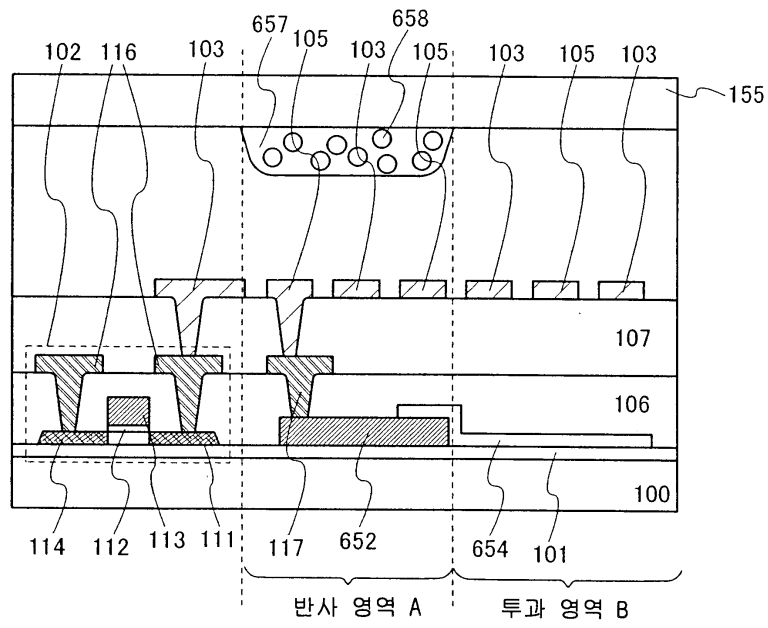
도면16



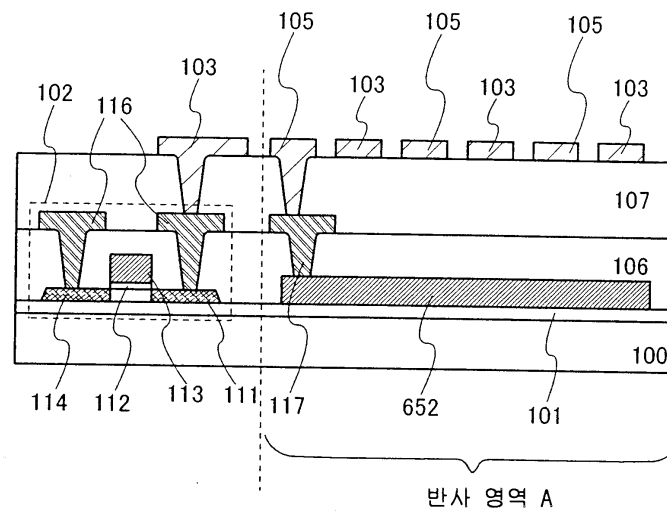
도면17



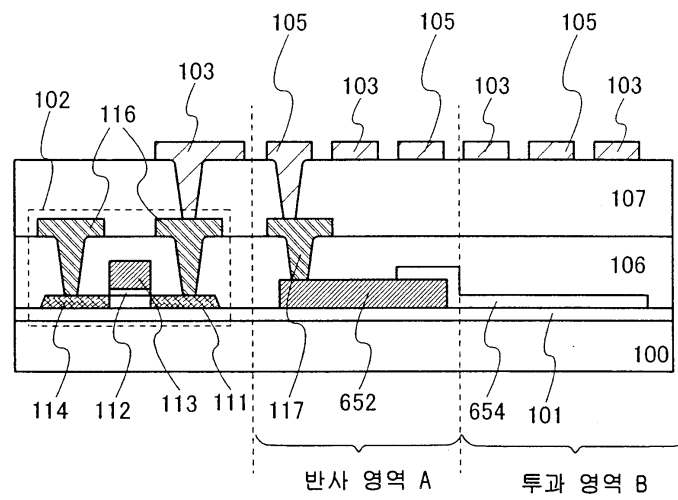
도면18



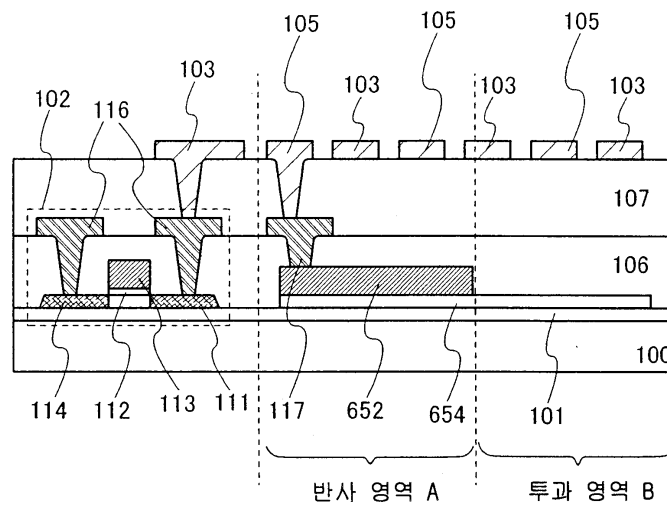
도면19



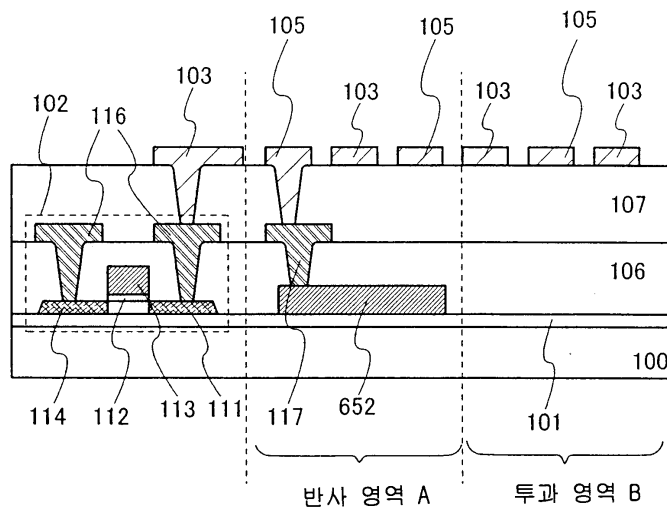
도면20



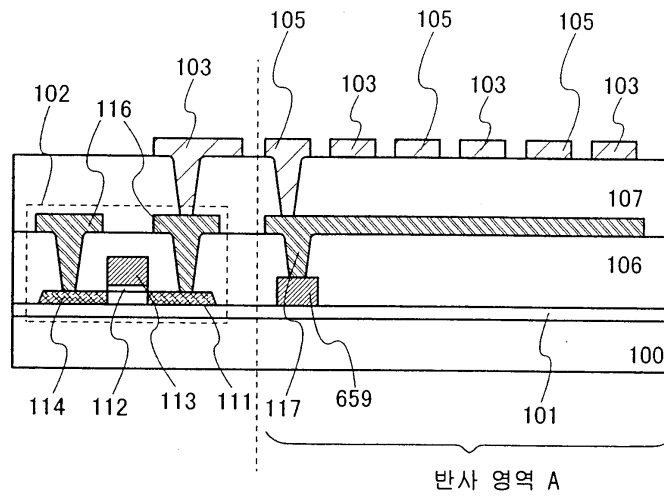
도면21



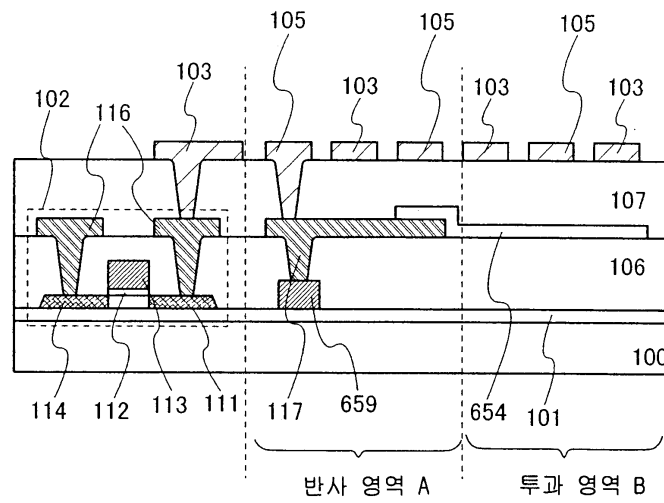
도면22



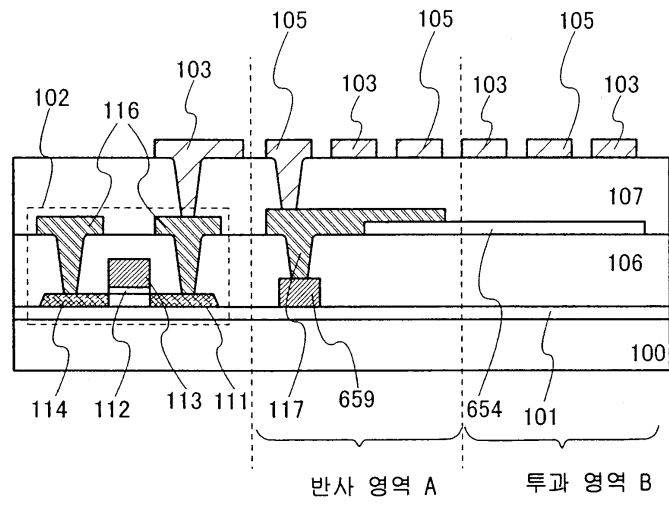
도면23



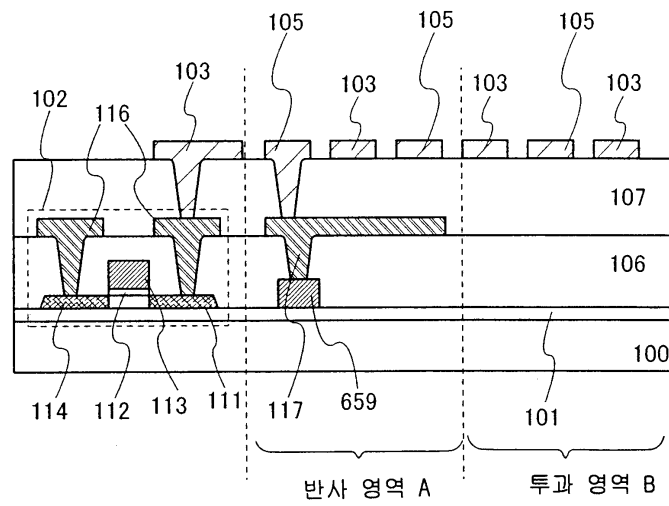
도면24



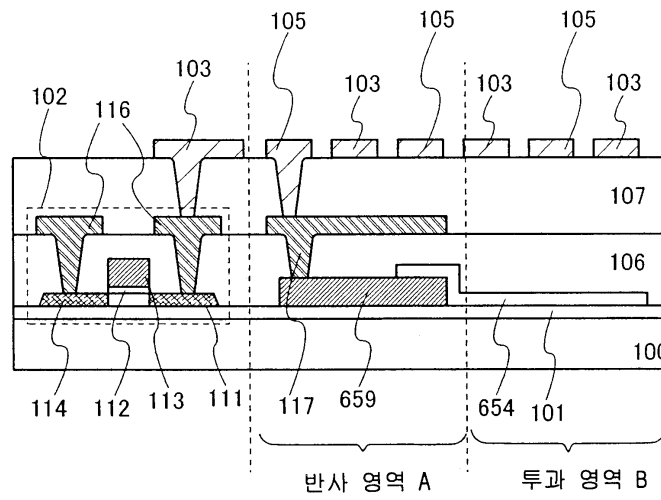
도면25



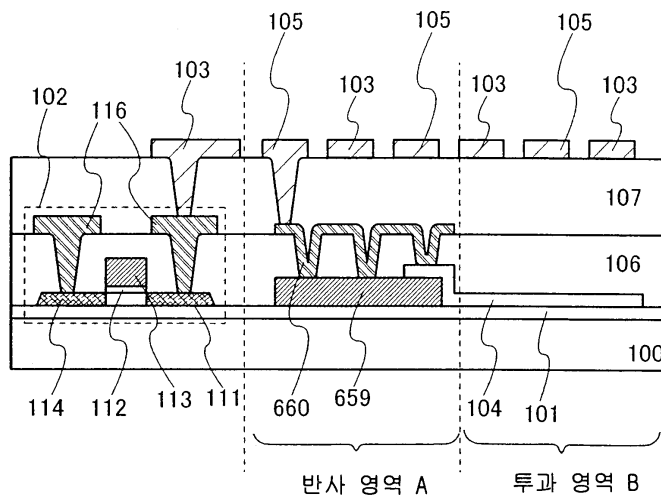
도면26



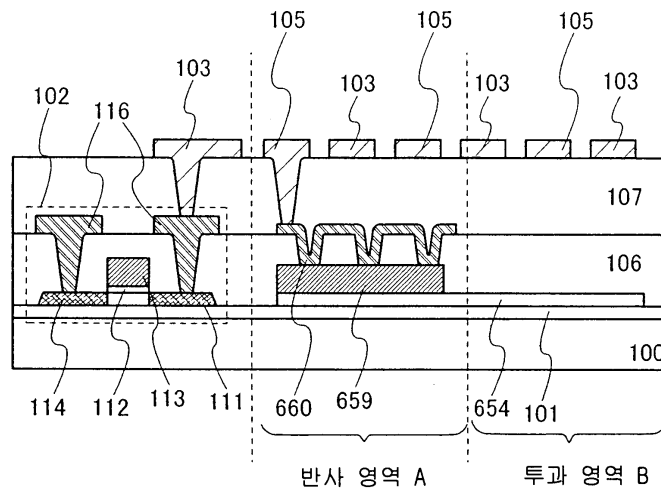
도면27



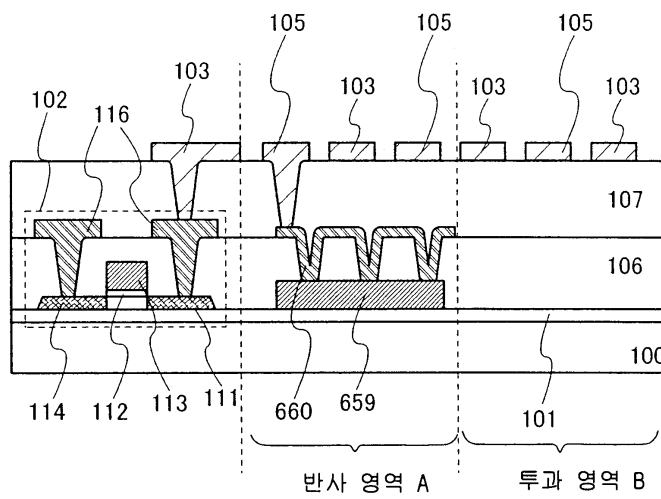
도면28



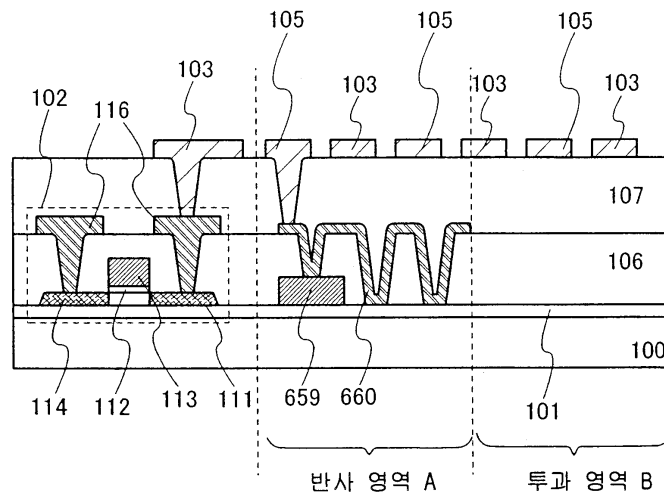
도면29



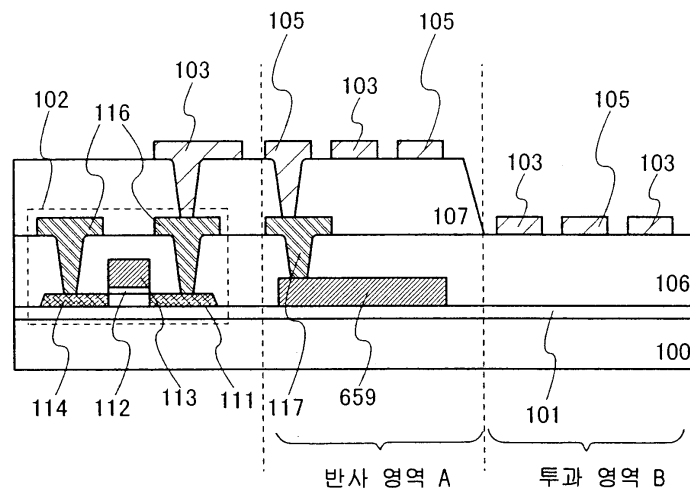
도면30



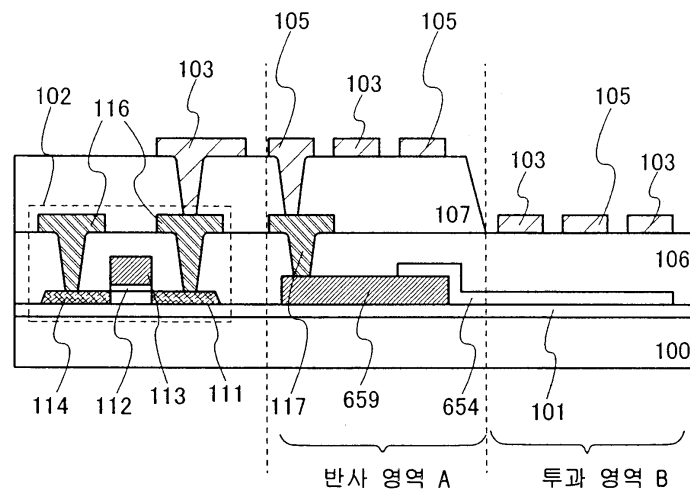
도면31



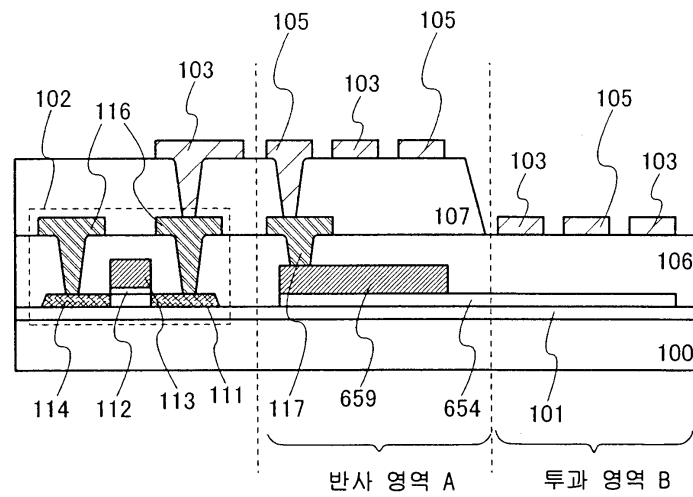
도면32



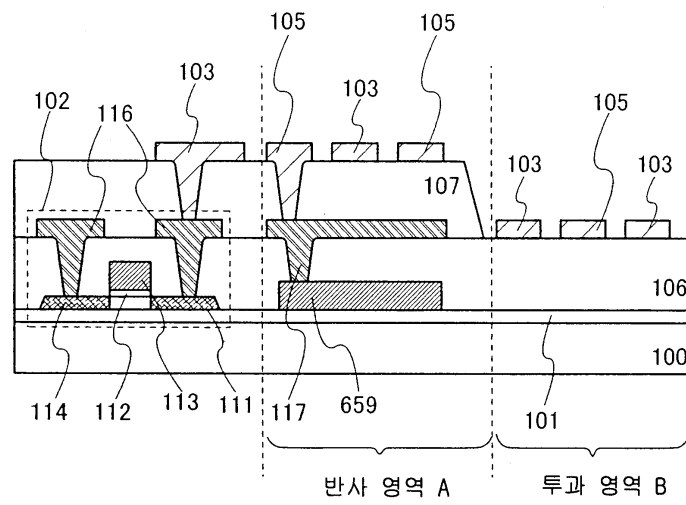
도면33



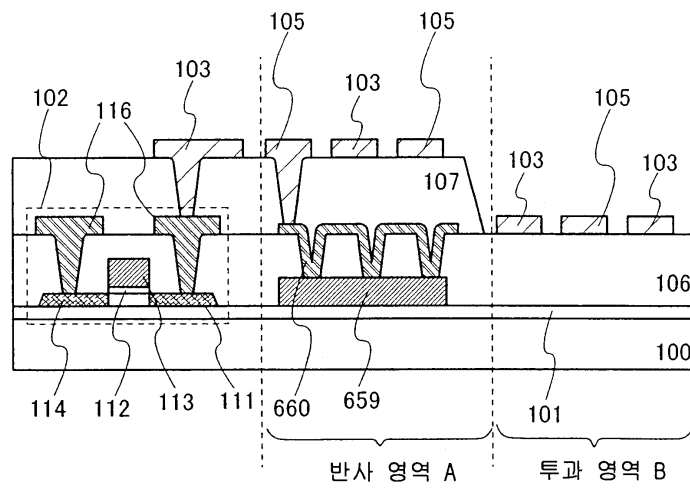
도면34



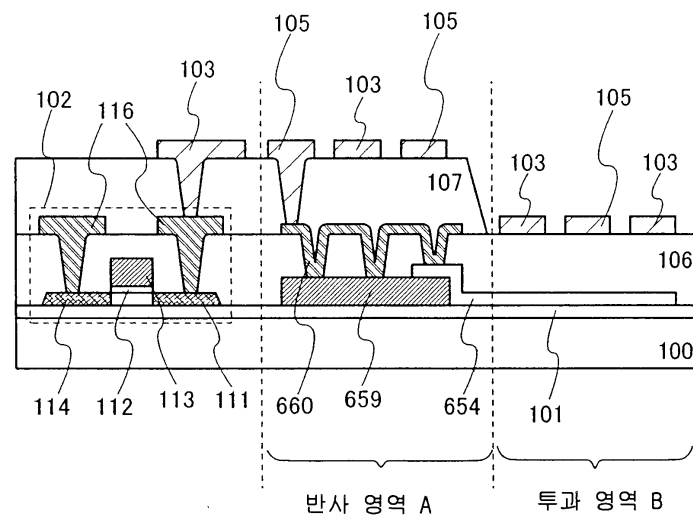
도면35



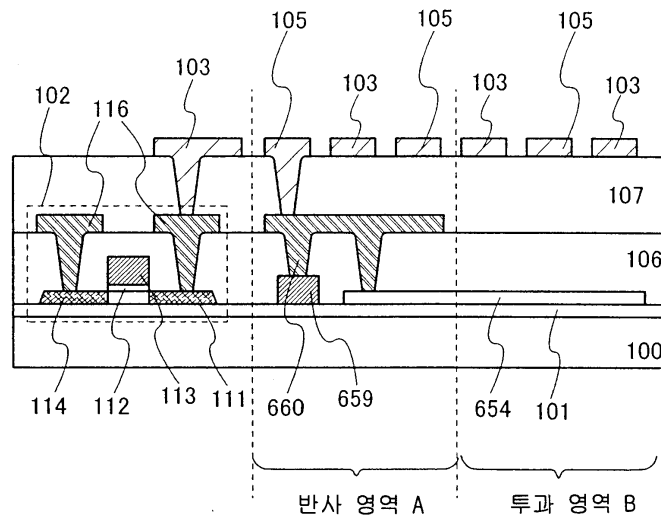
도면36



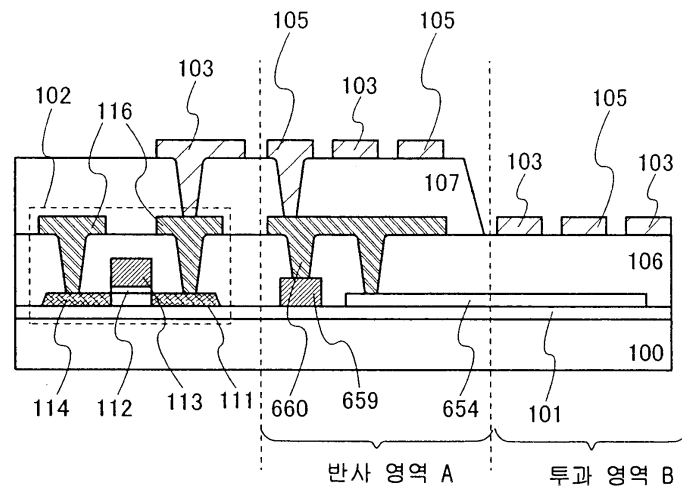
도면37



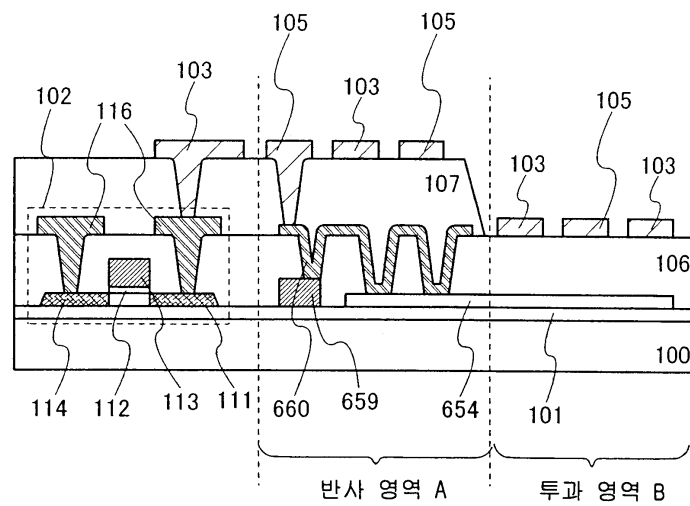
도면38



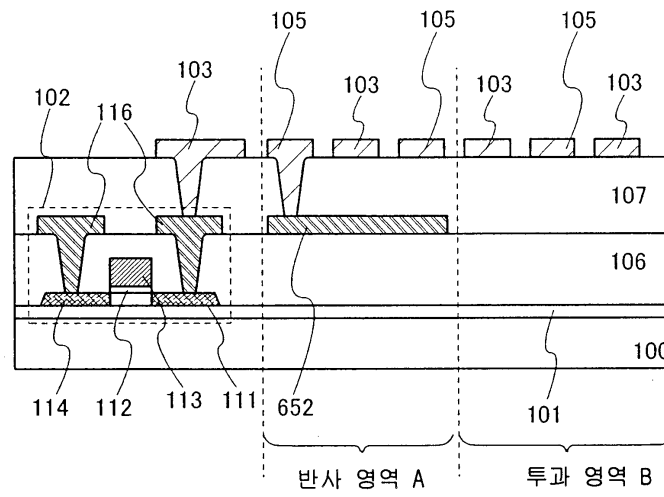
도면39



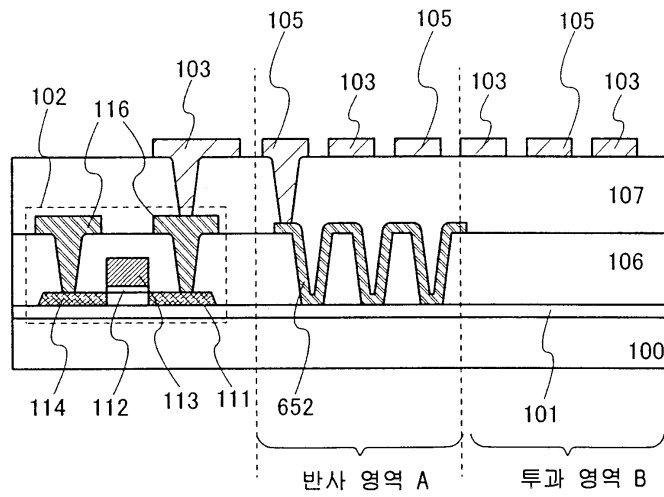
도면40



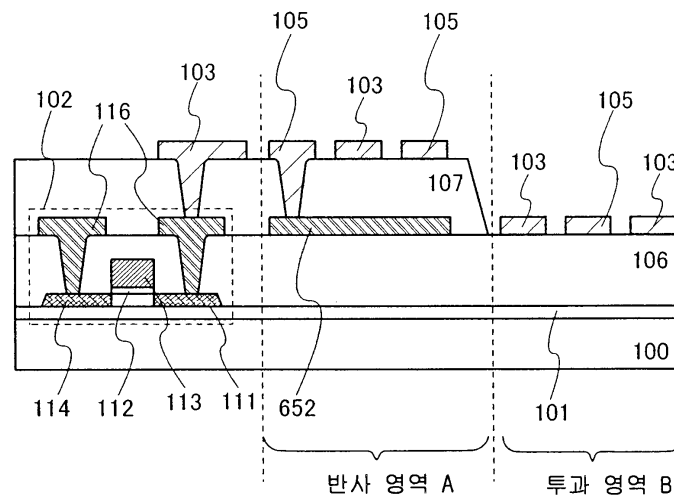
도면41



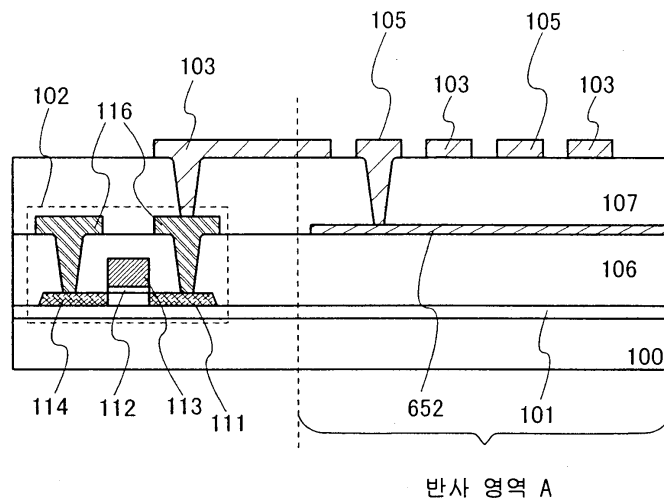
도면42



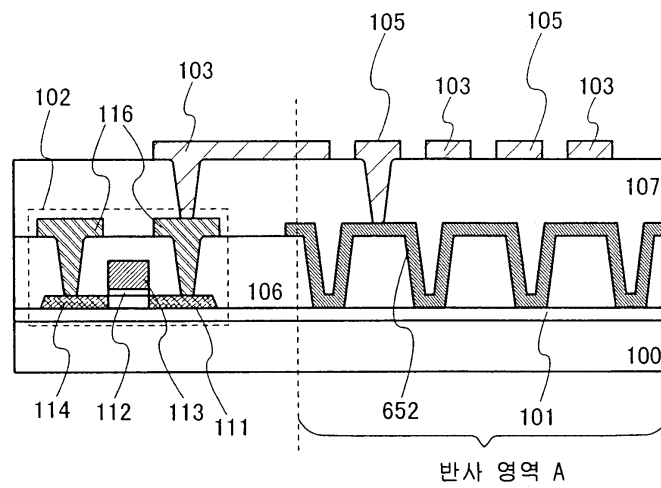
도면43



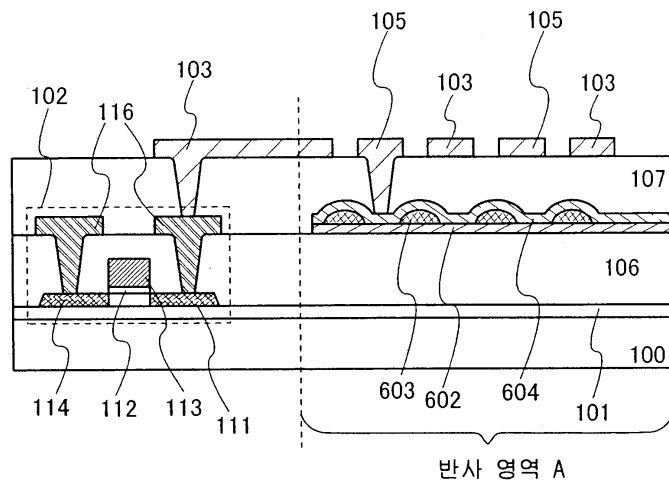
도면44



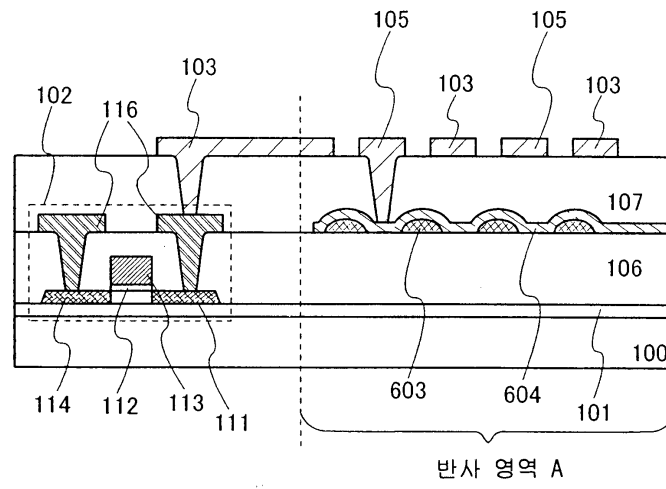
도면45



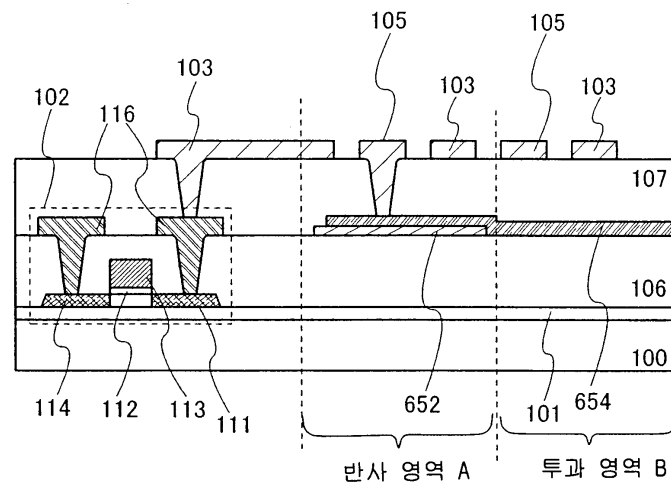
도면46



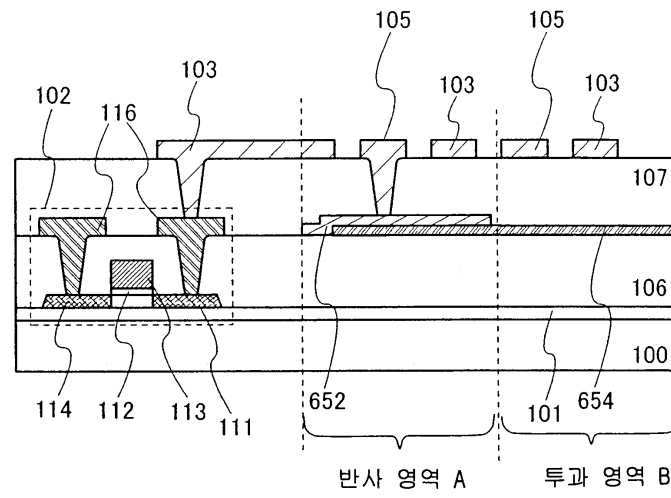
도면47



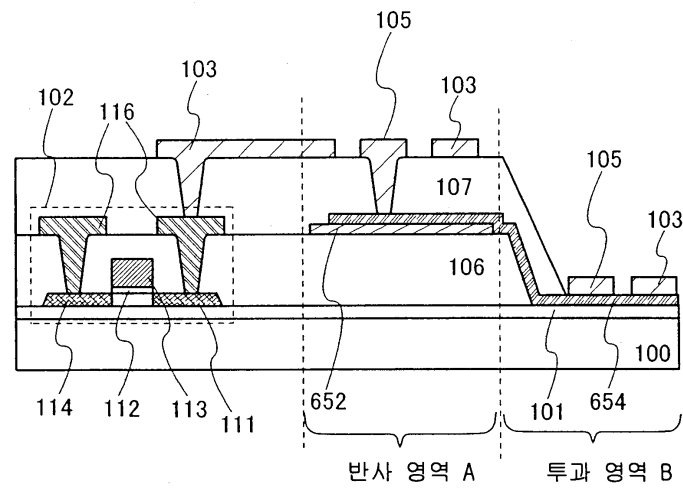
도면48



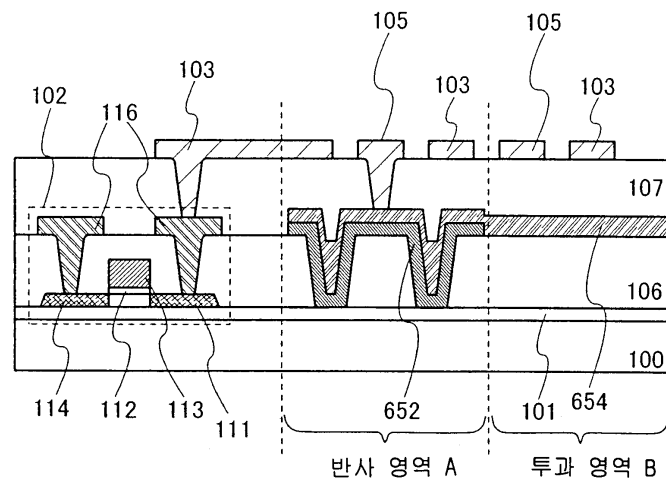
도면49



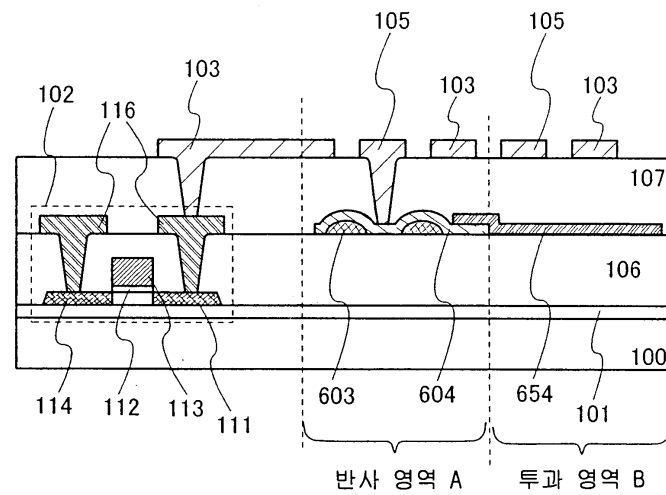
도면50



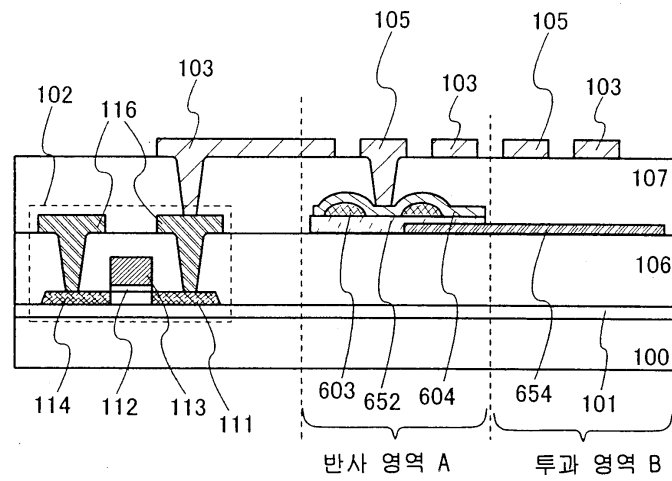
도면51



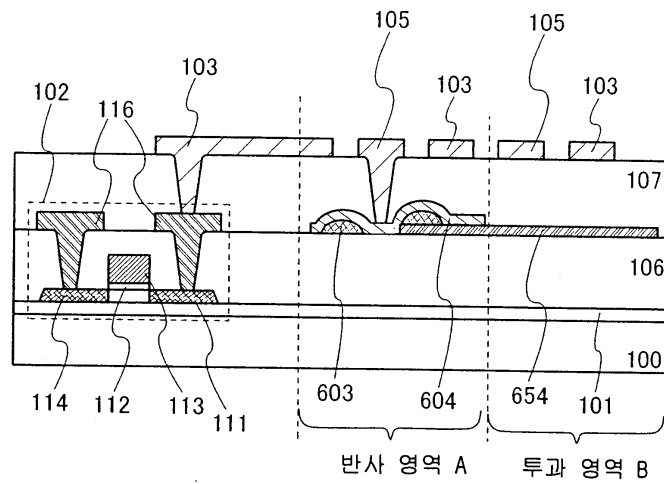
도면52



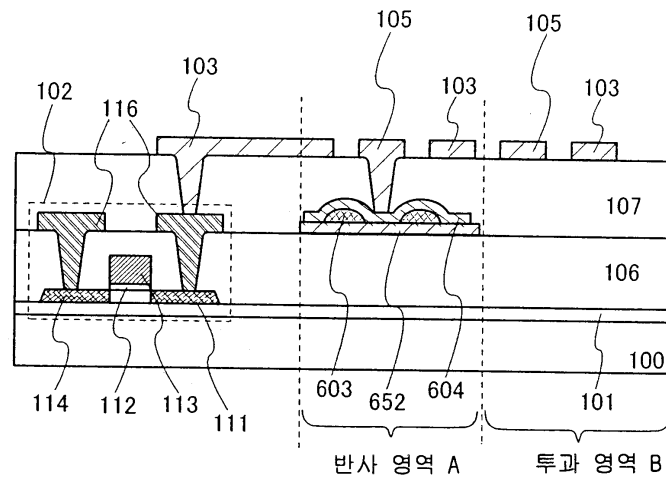
도면53



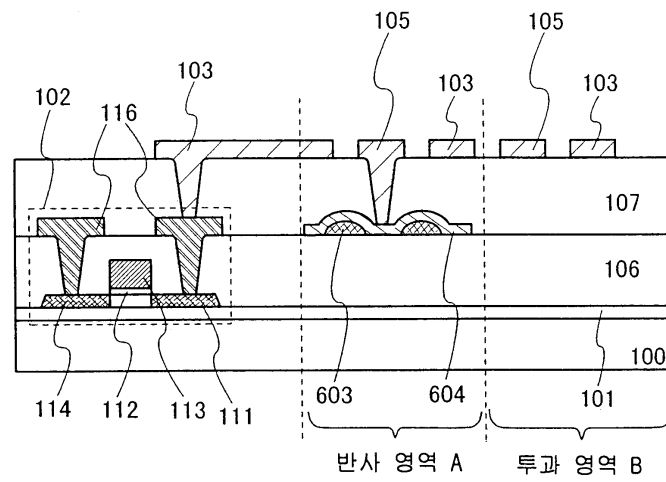
도면54



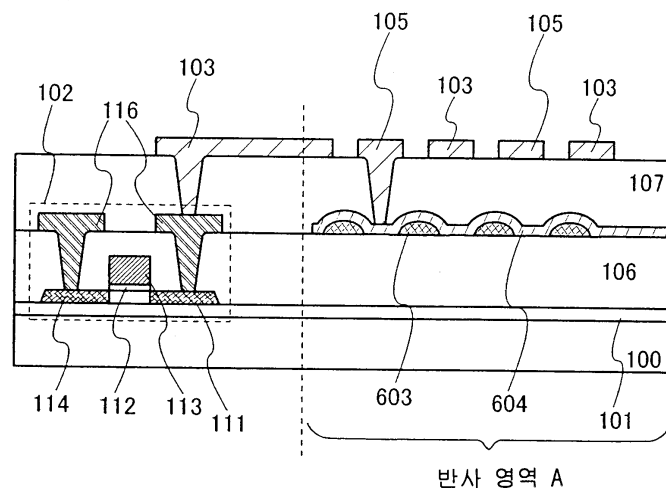
도면55



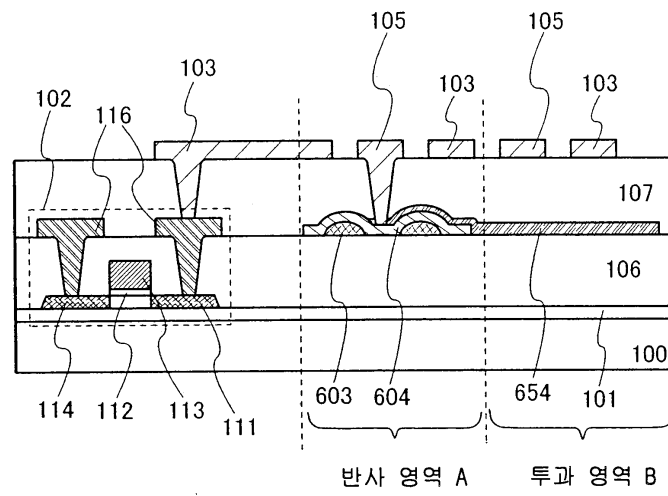
도면56



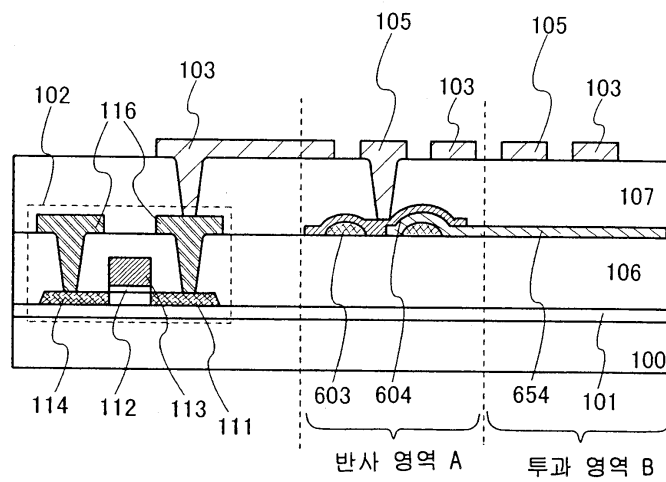
도면57



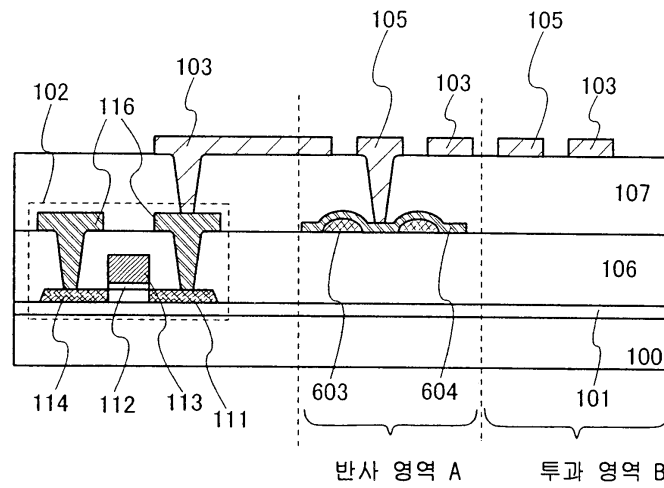
도면58



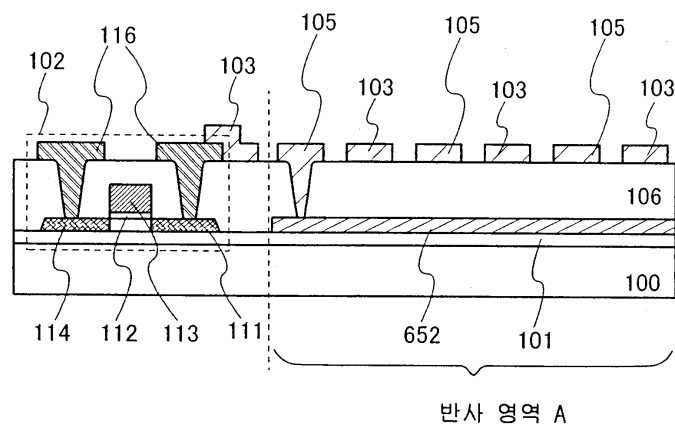
도면59



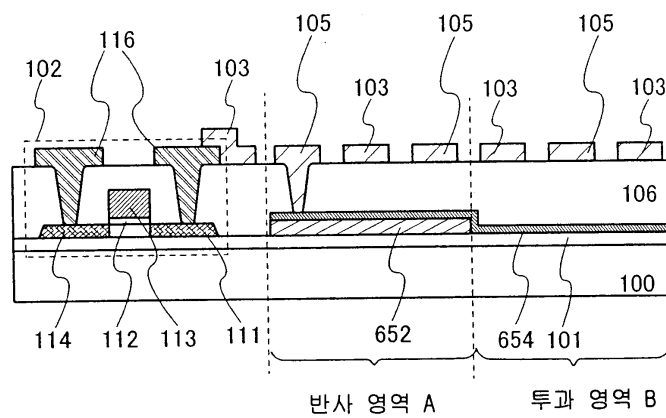
도면60



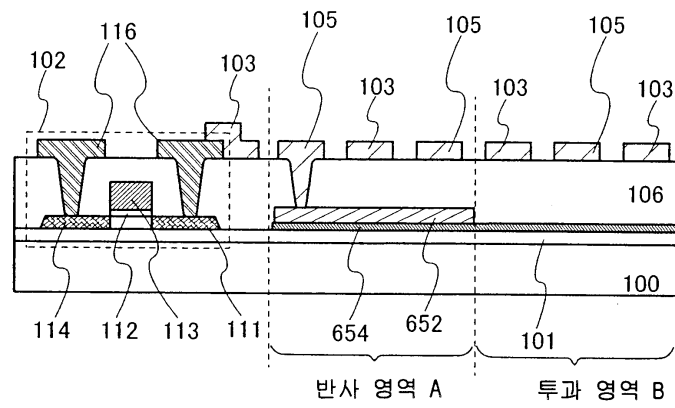
도면61



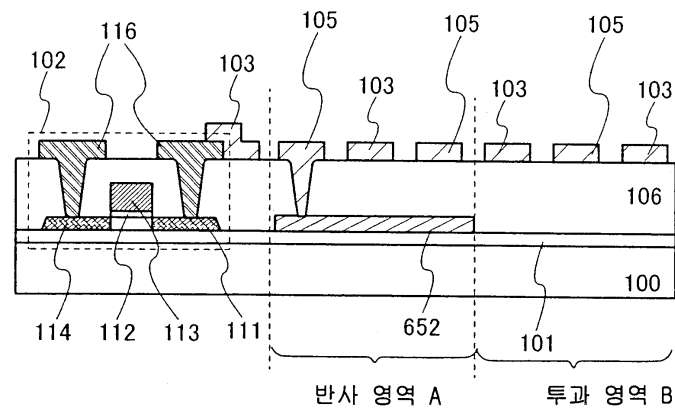
도면62



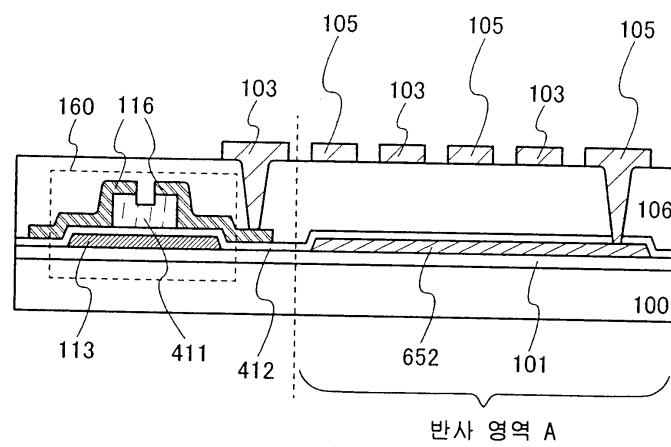
도면63



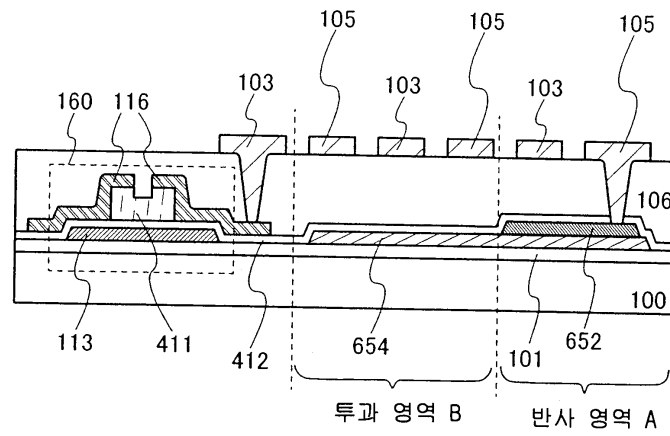
도면64



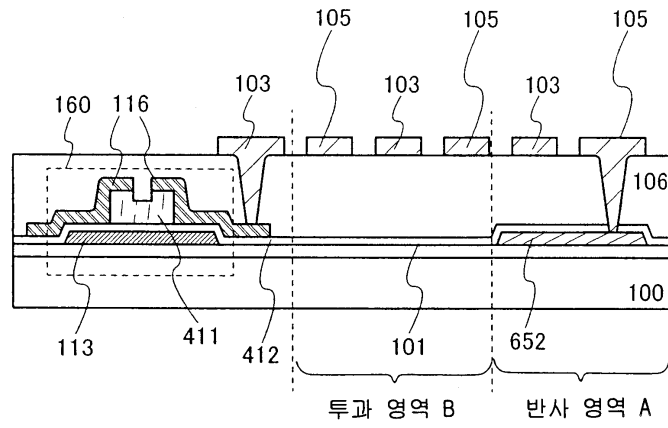
도면65



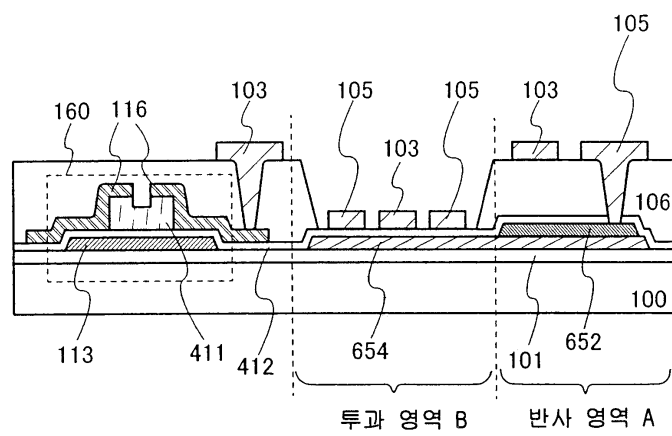
도면66



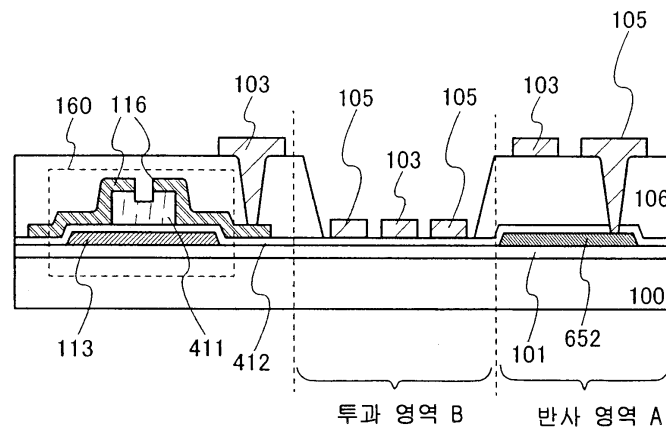
도면67



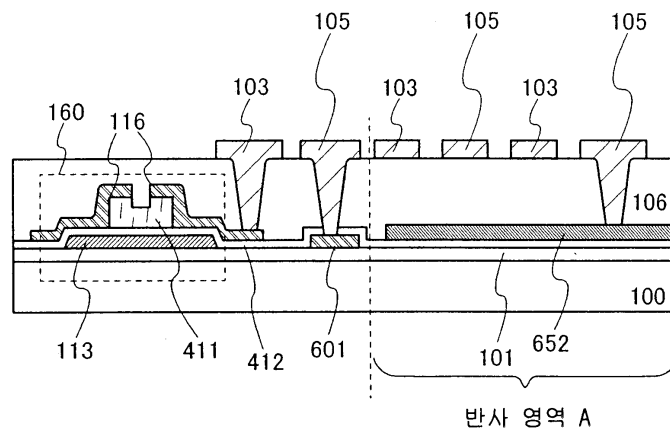
도면68



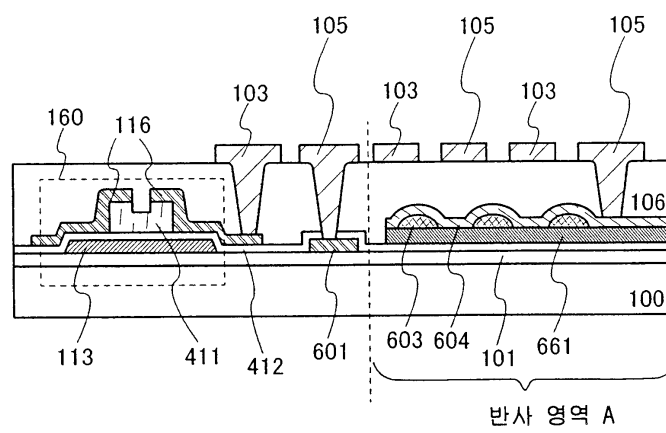
도면69



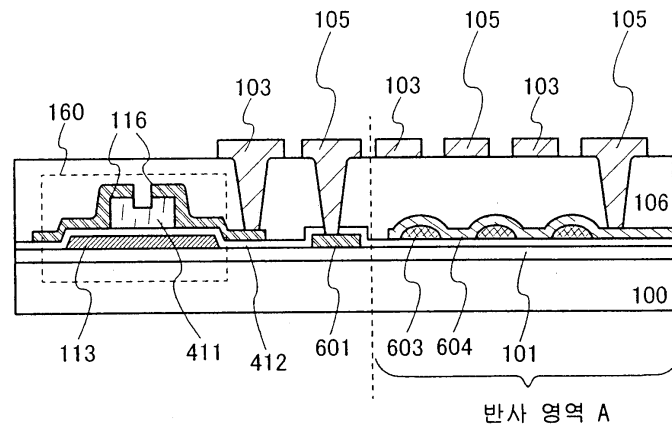
도면70



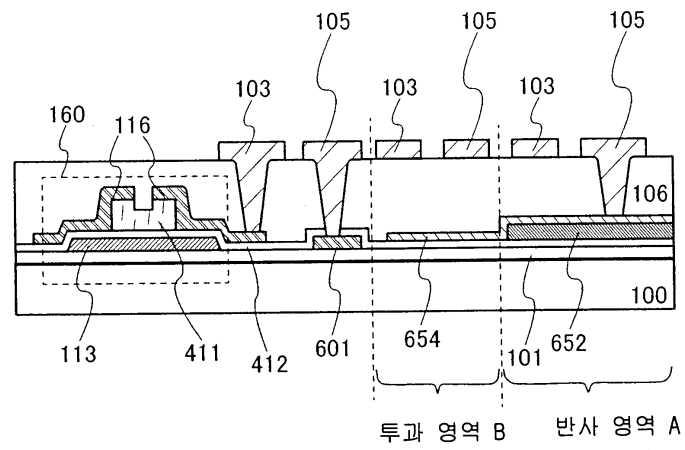
도면71



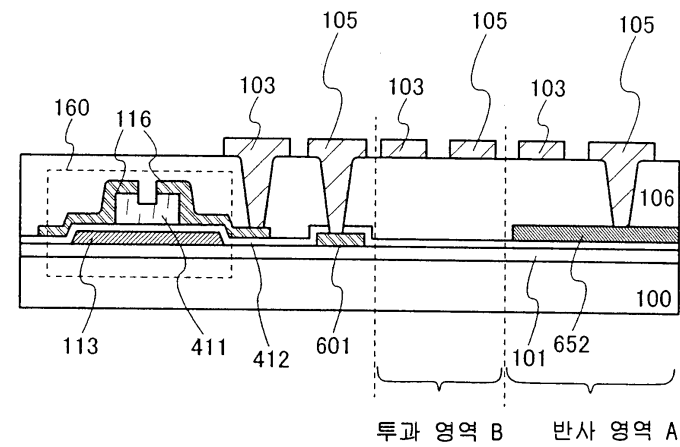
도면72



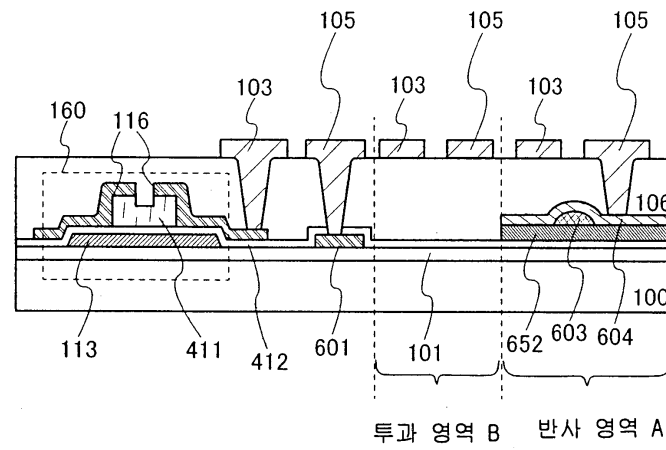
도면73



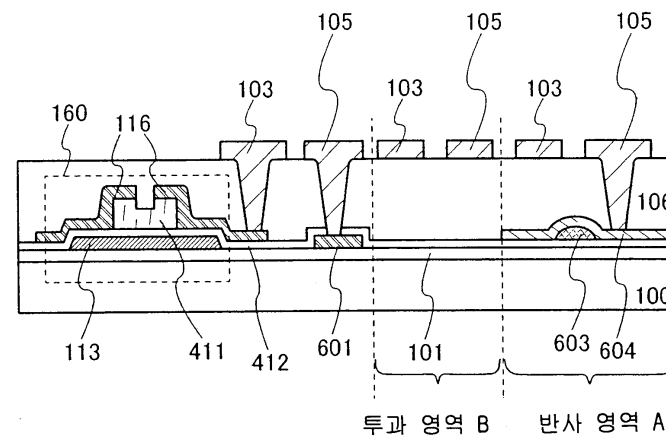
도면74



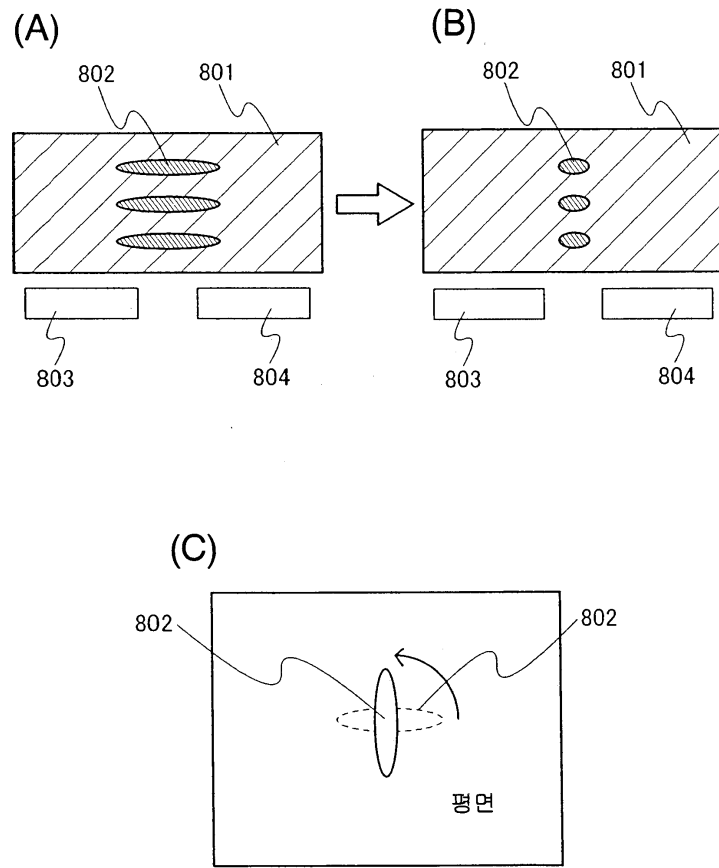
도면75



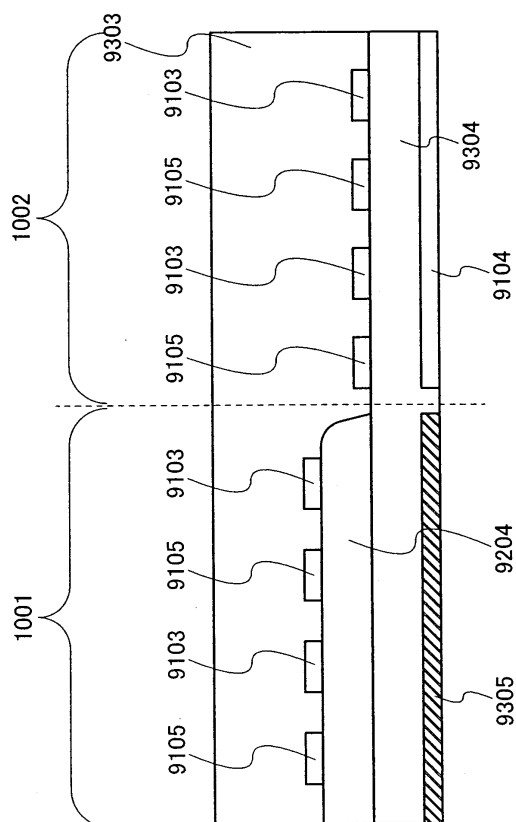
도면76



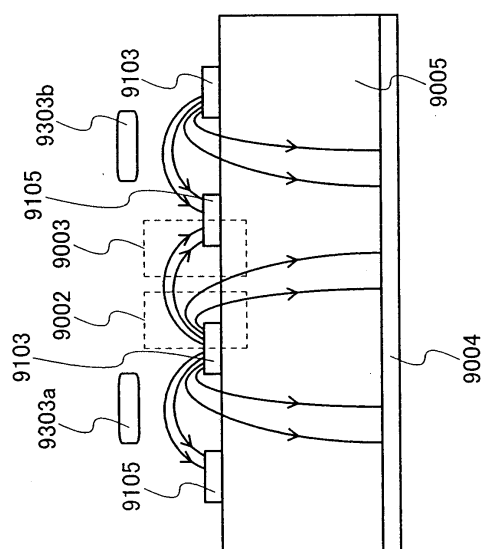
도면77



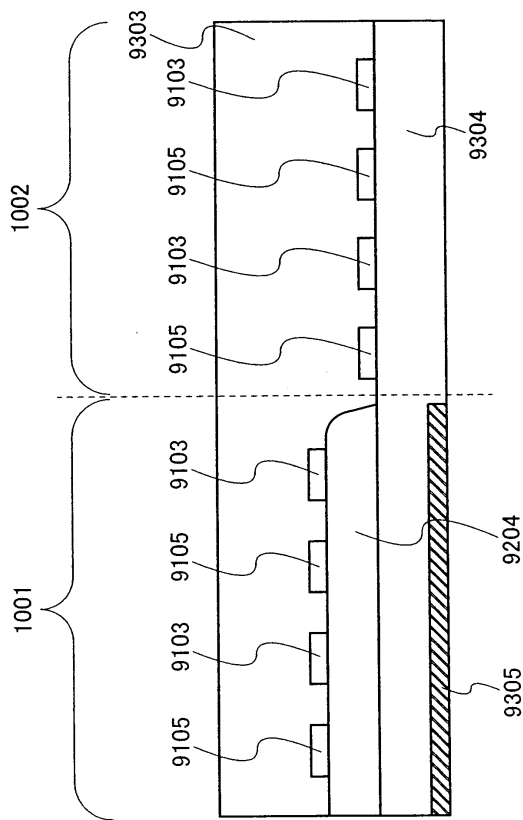
도면78



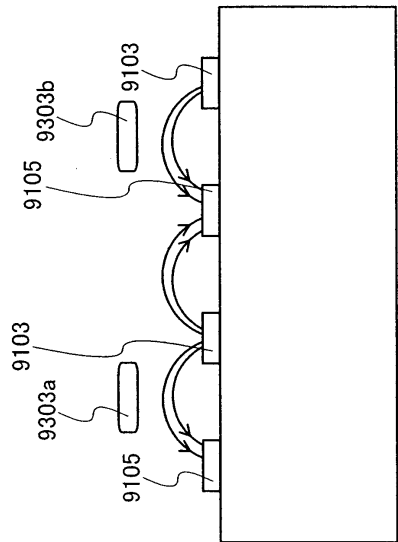
도면79



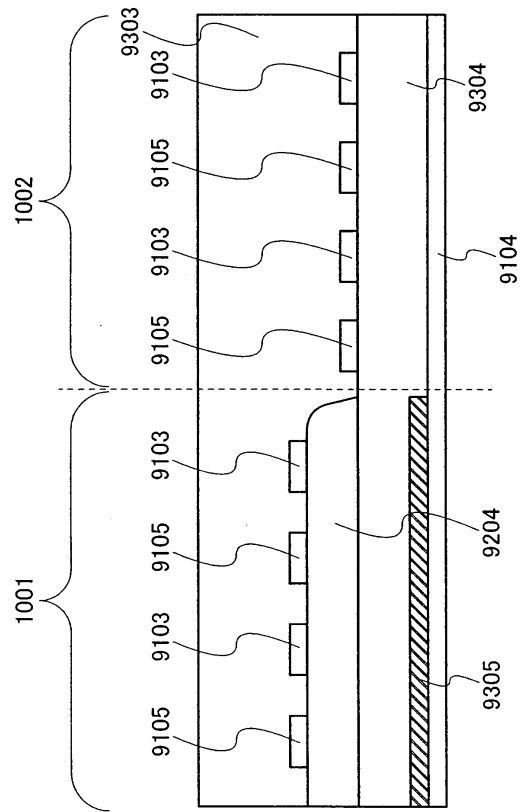
도면80



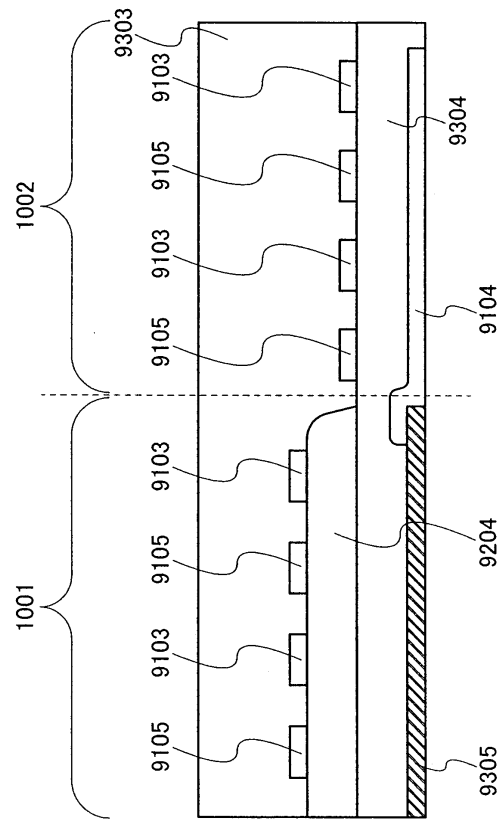
도면81



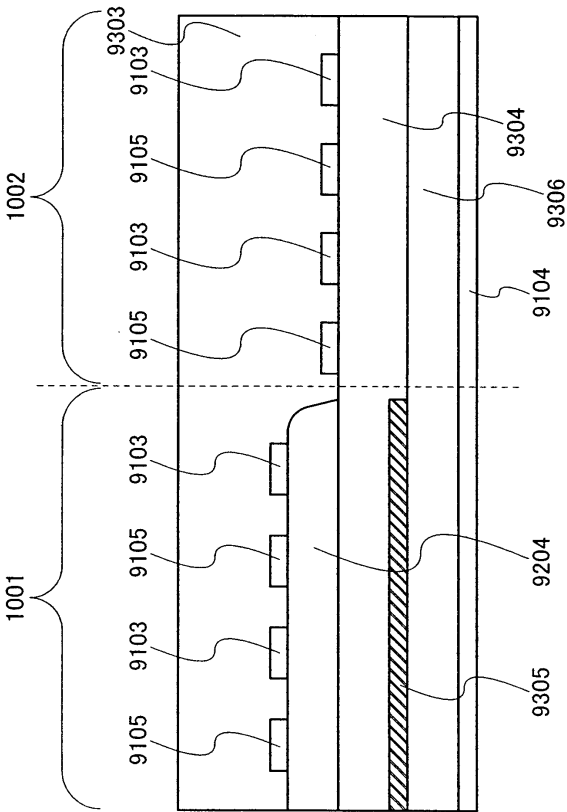
도면82



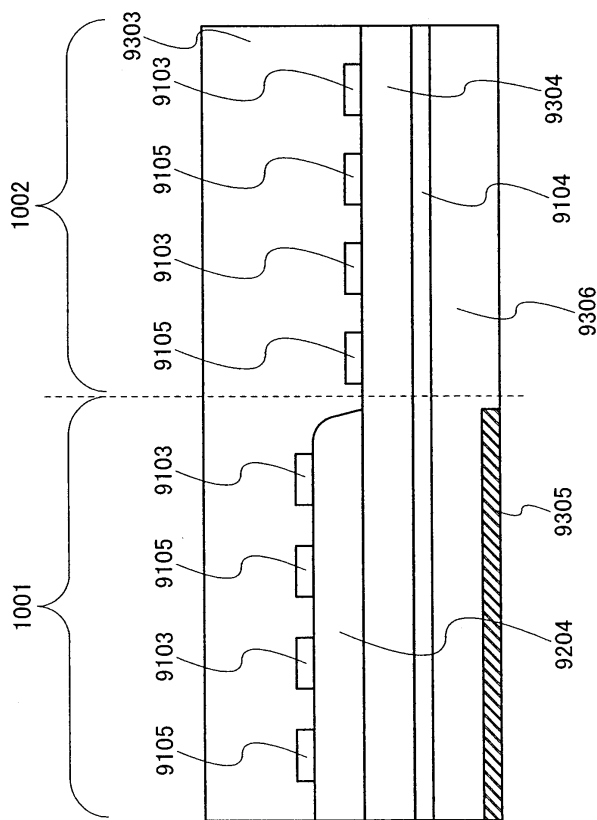
도면83



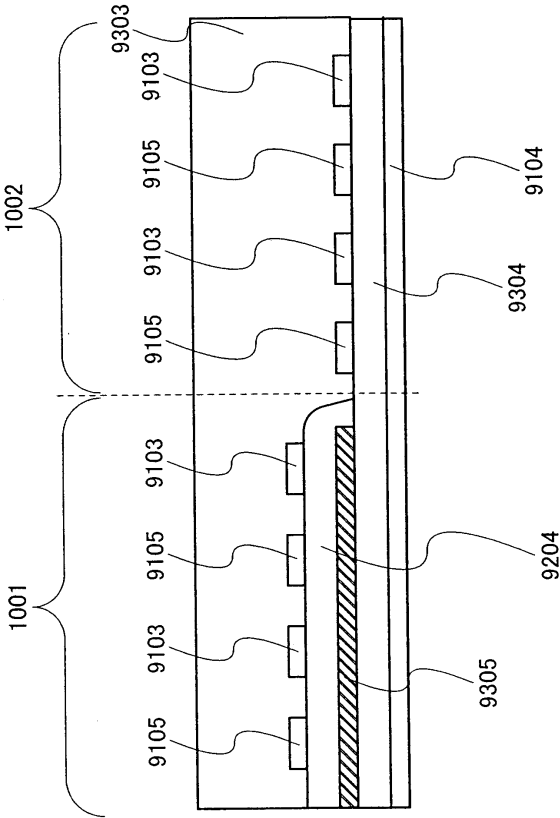
도면84



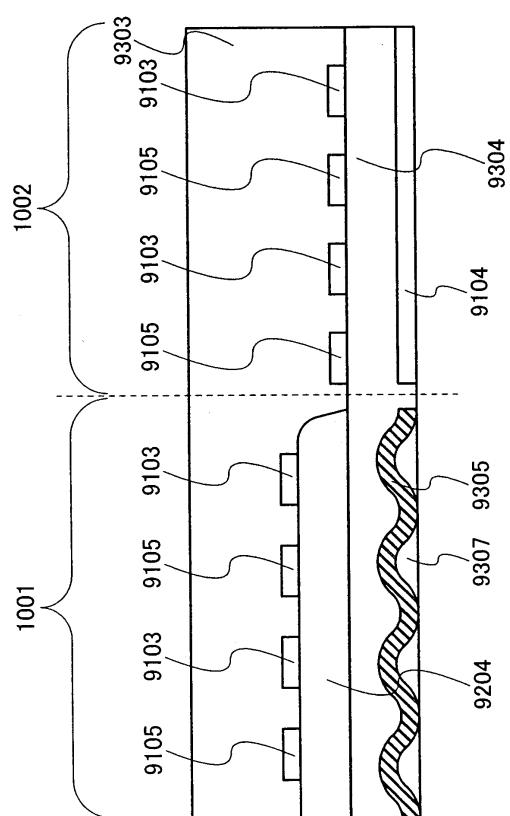
도면85



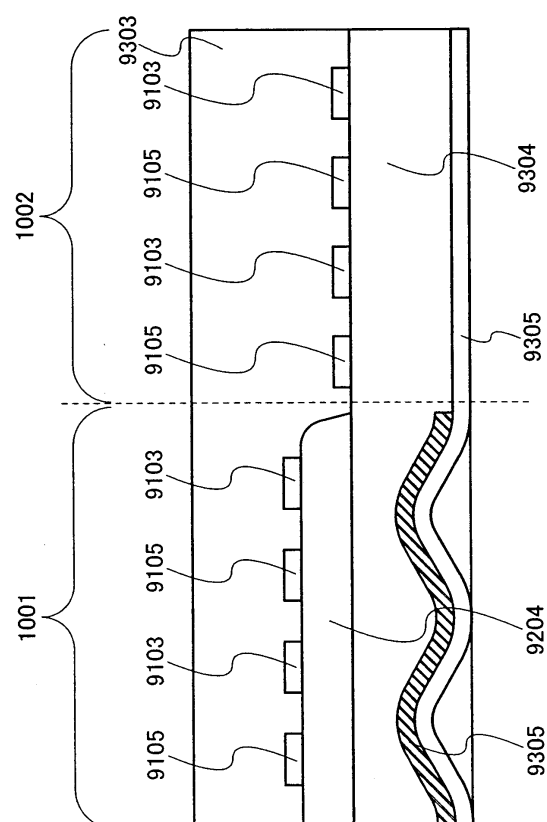
도면86



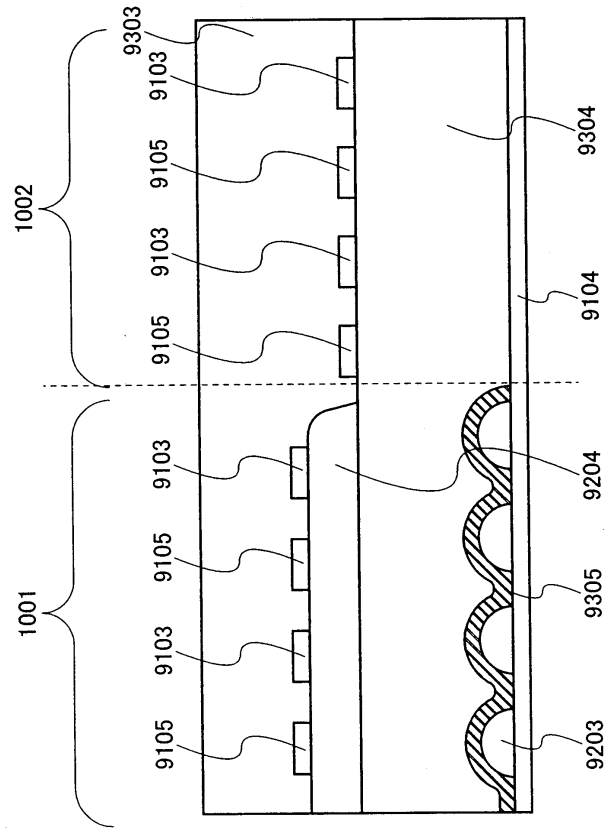
도면87



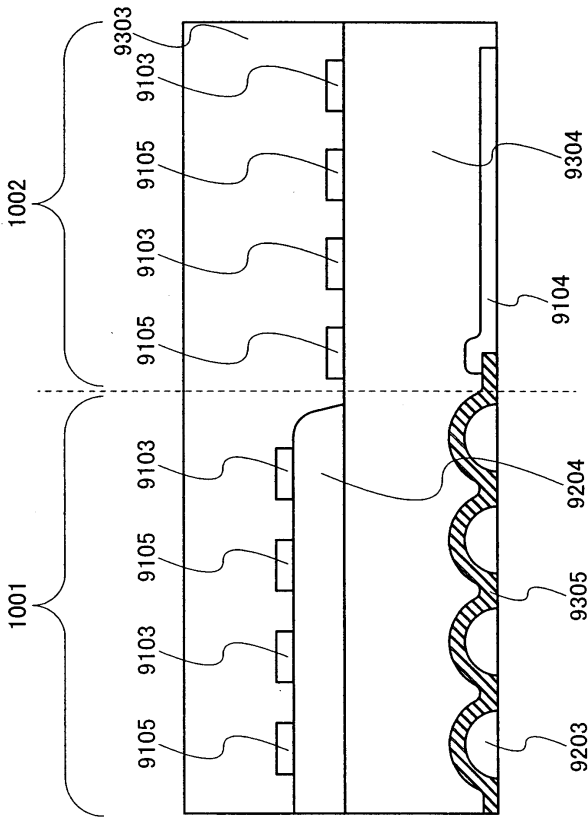
도면88



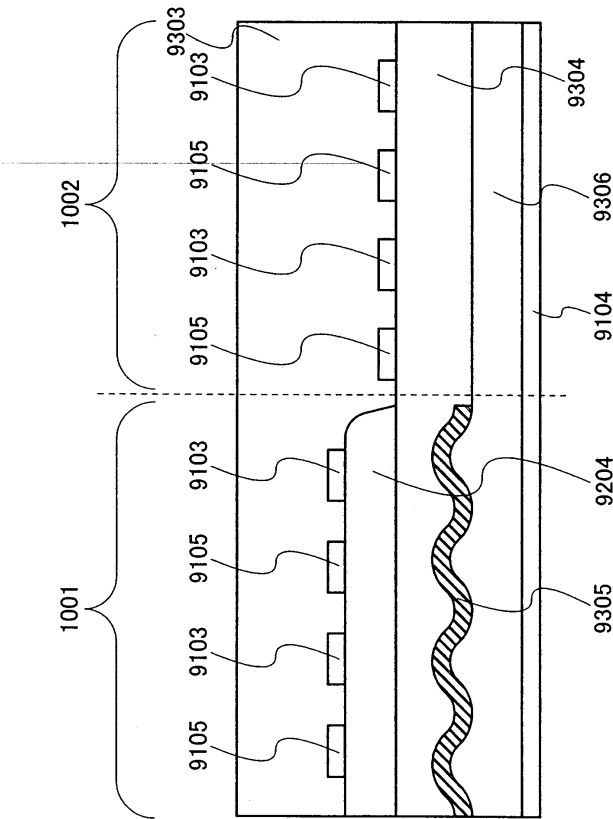
도면89



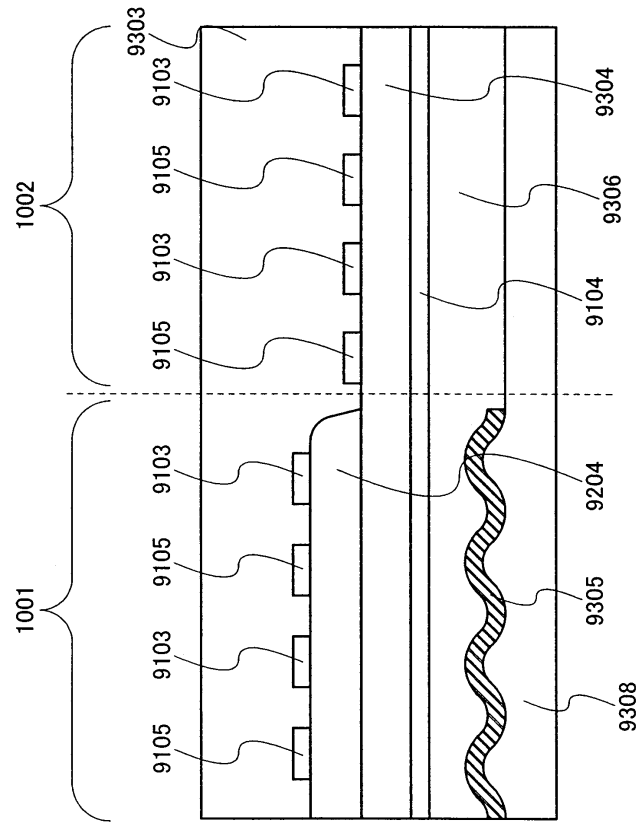
도면90



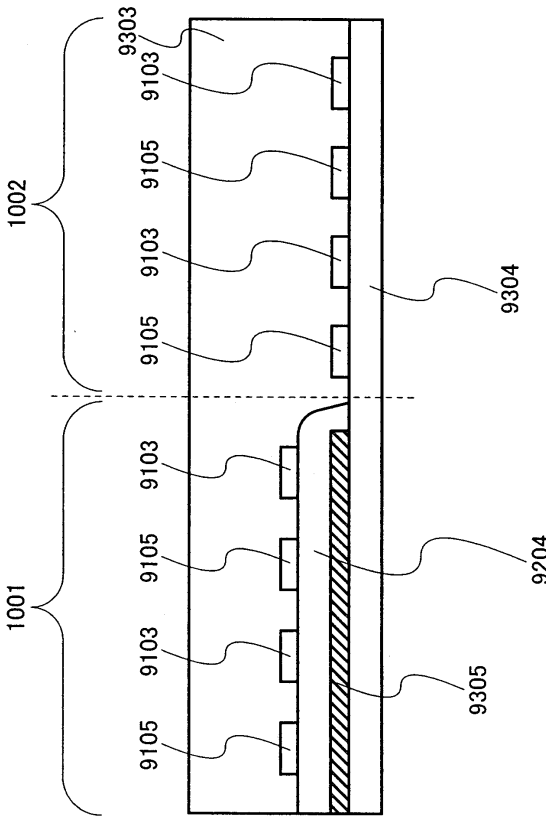
도면91



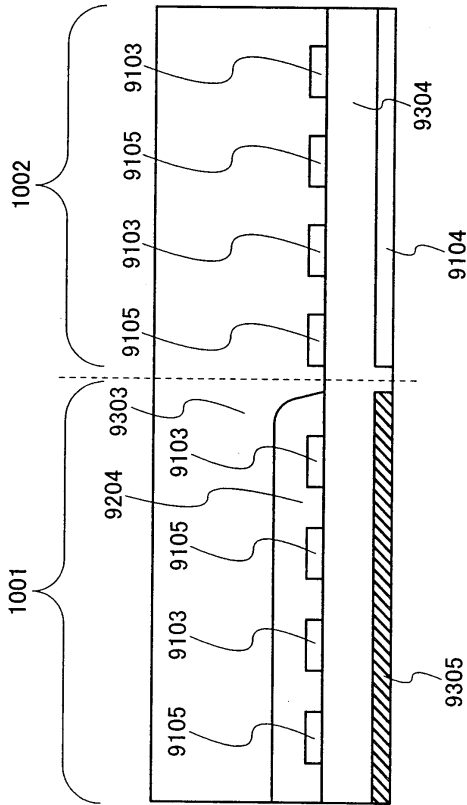
도면92



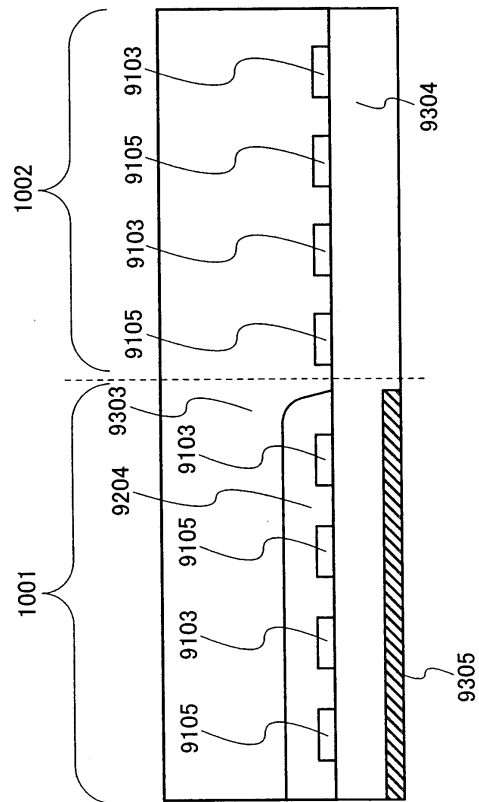
도면93



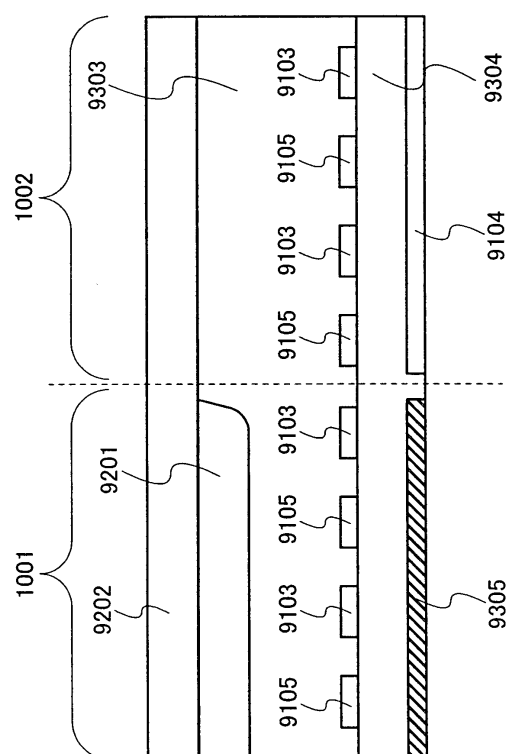
도면94



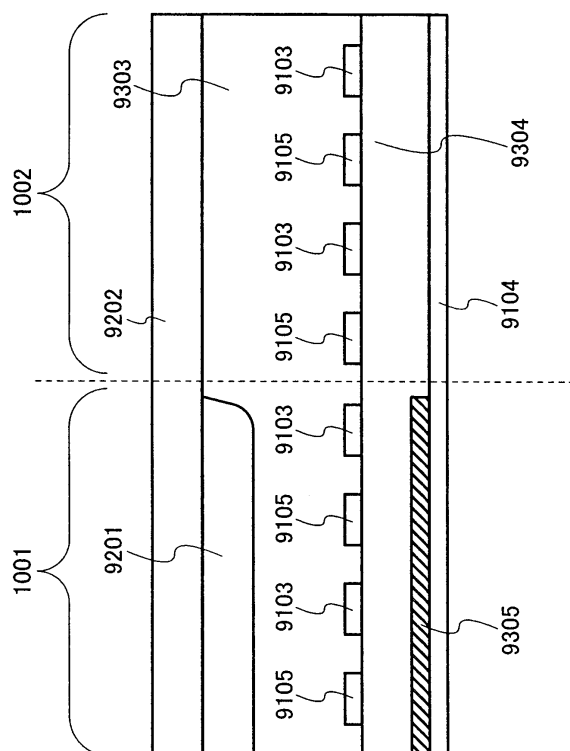
도면95



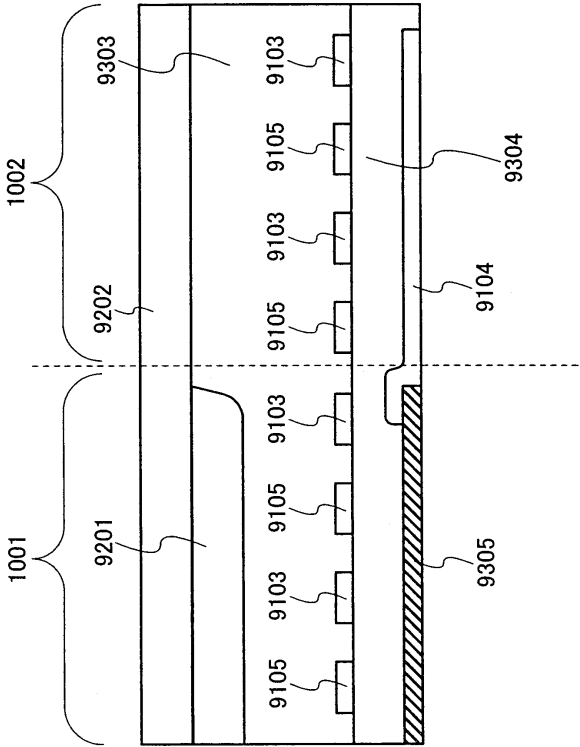
도면96



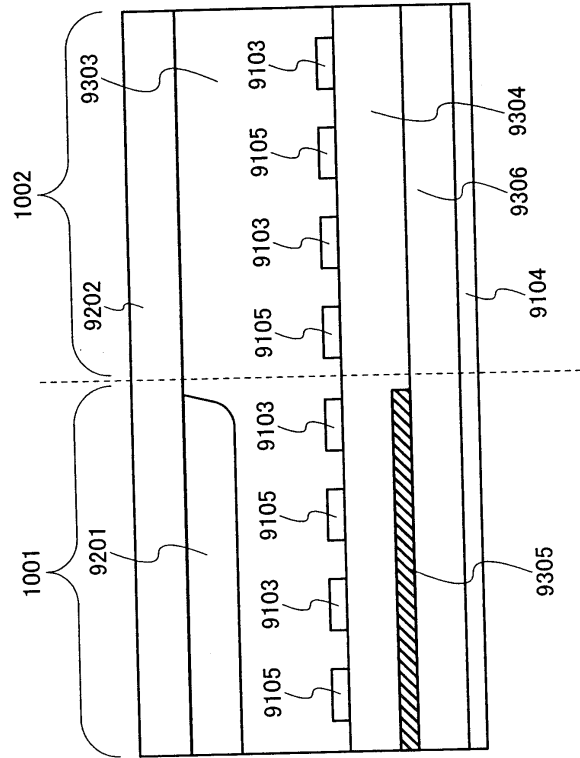
도면97



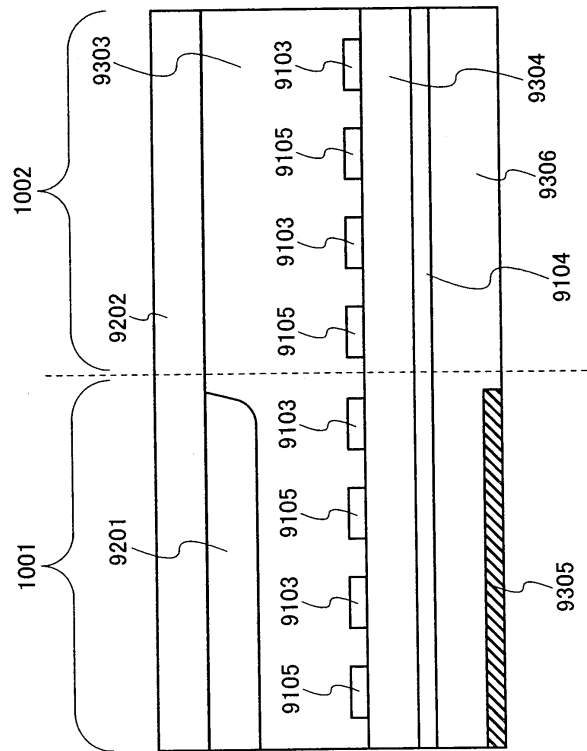
도면98



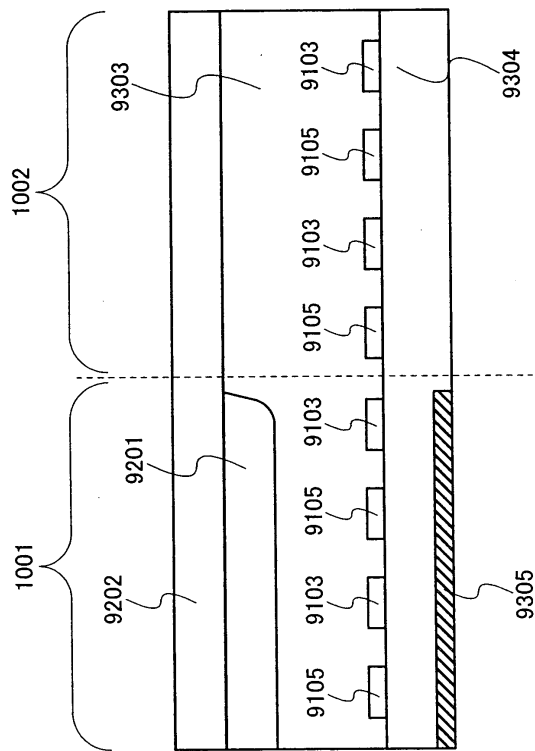
도면99



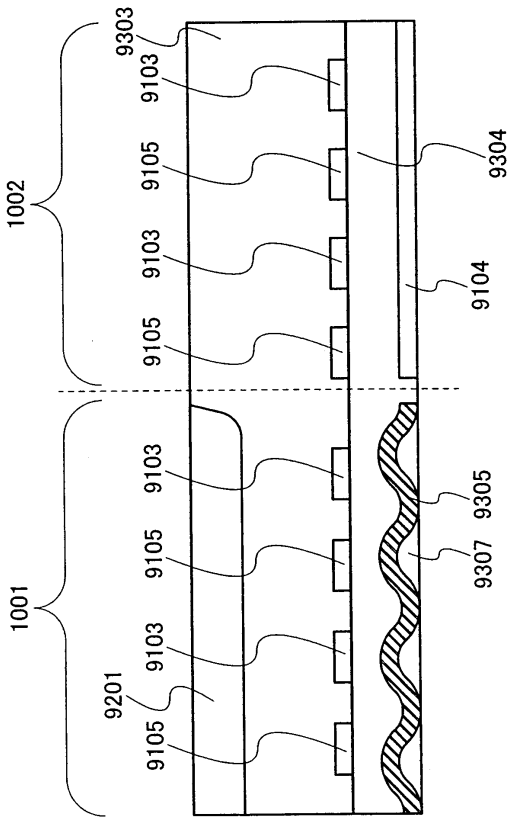
도면100



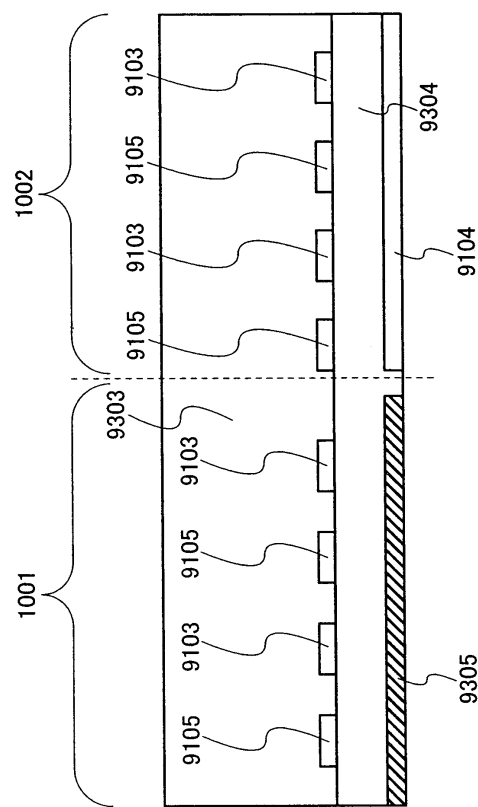
도면101



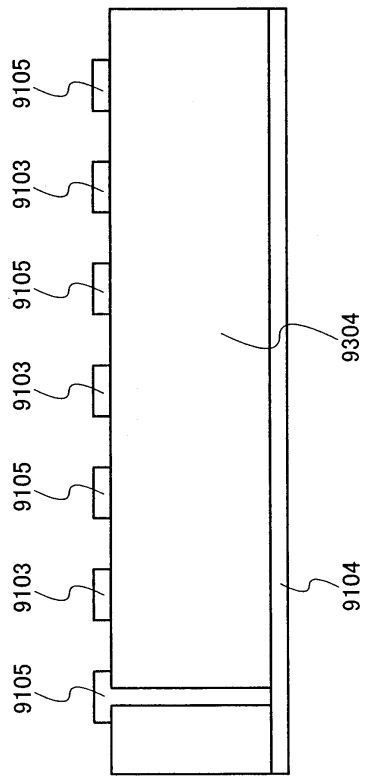
도면102



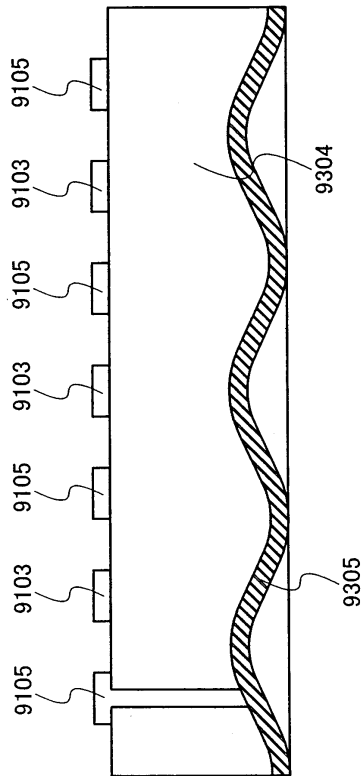
도면103



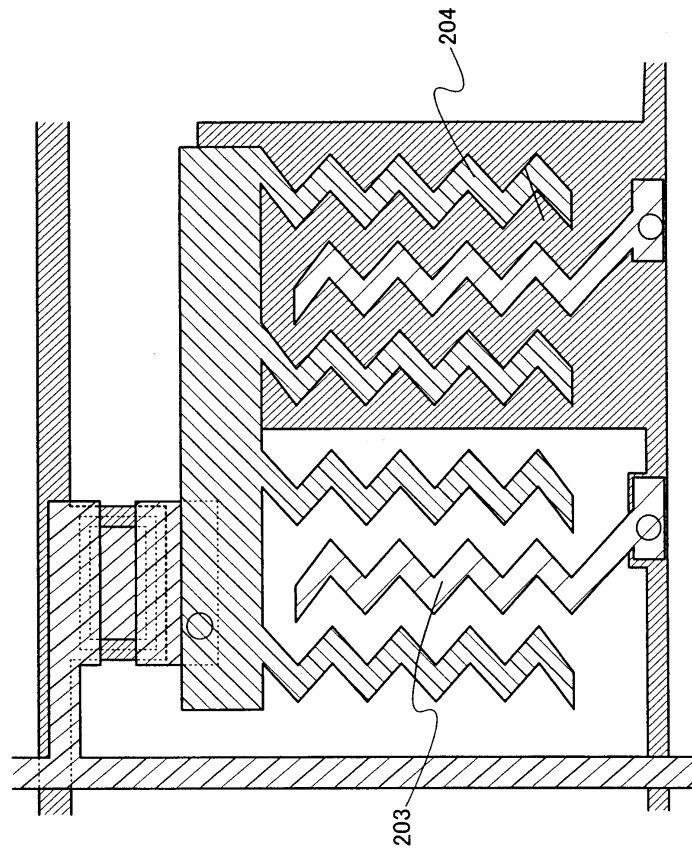
도면104



도면105

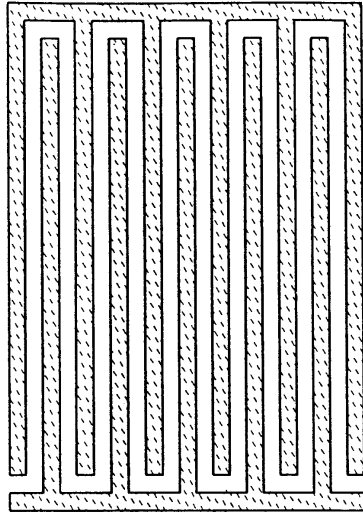


도면106

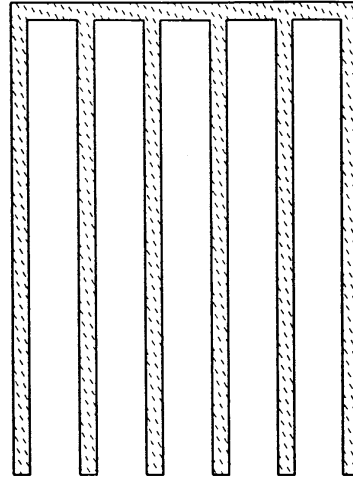


도면107

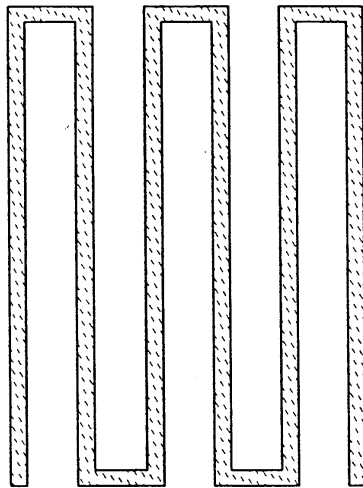
(A)



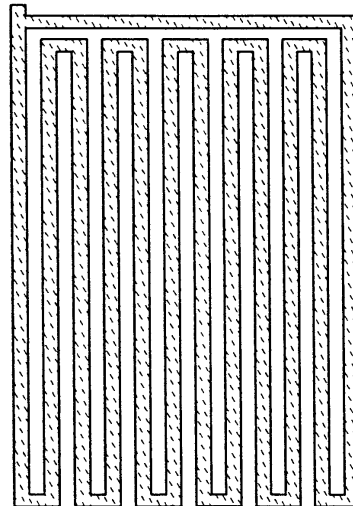
(B)



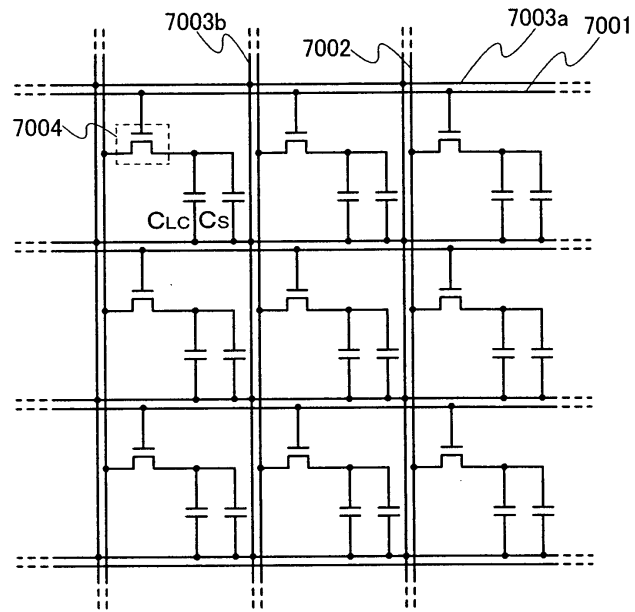
(C)



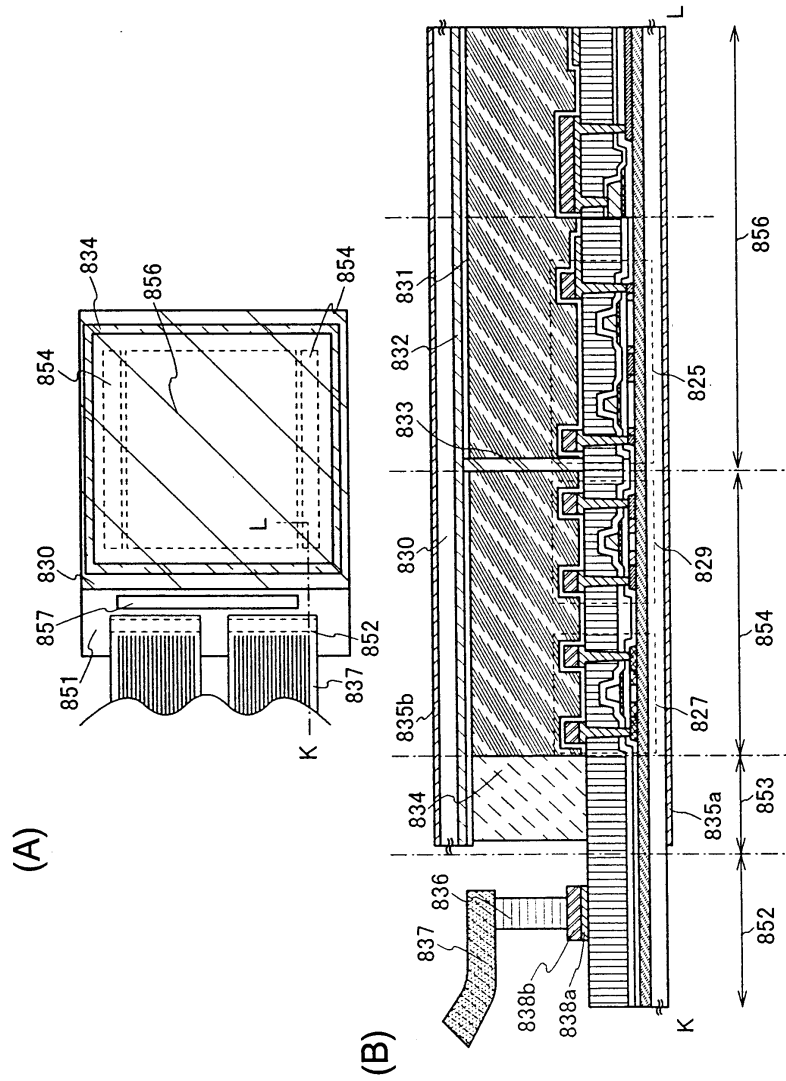
(D)



도면108

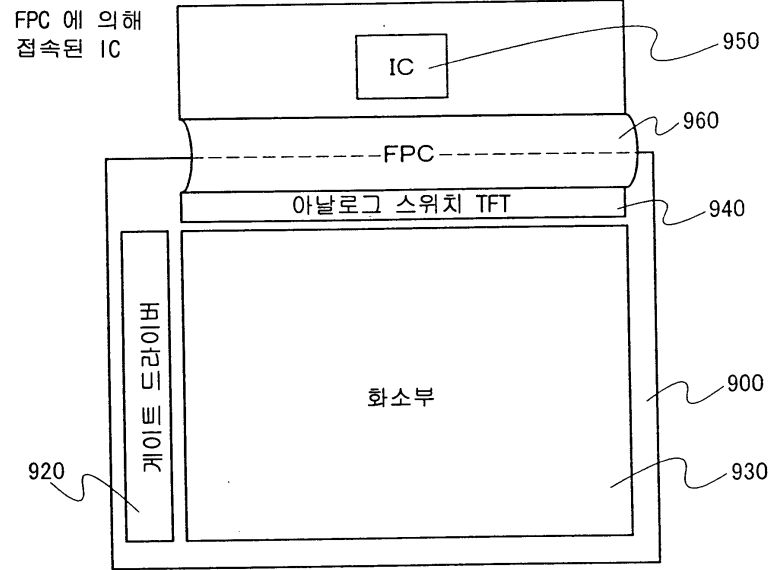


도면109

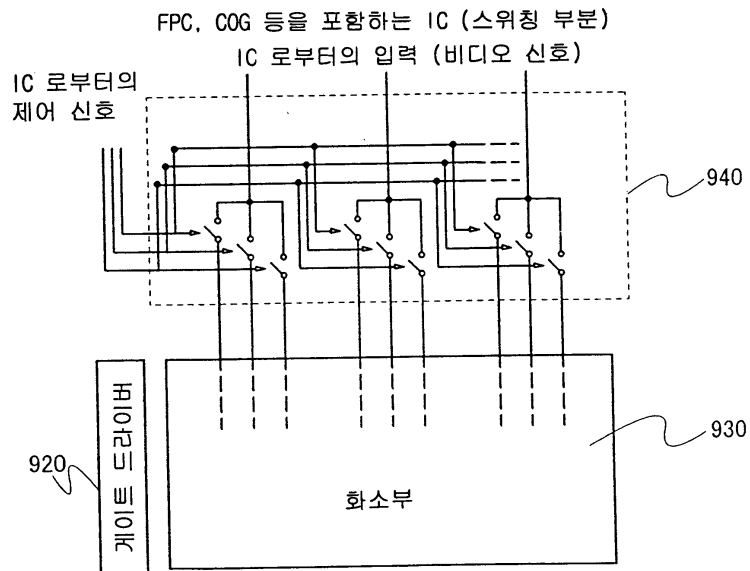


도면110

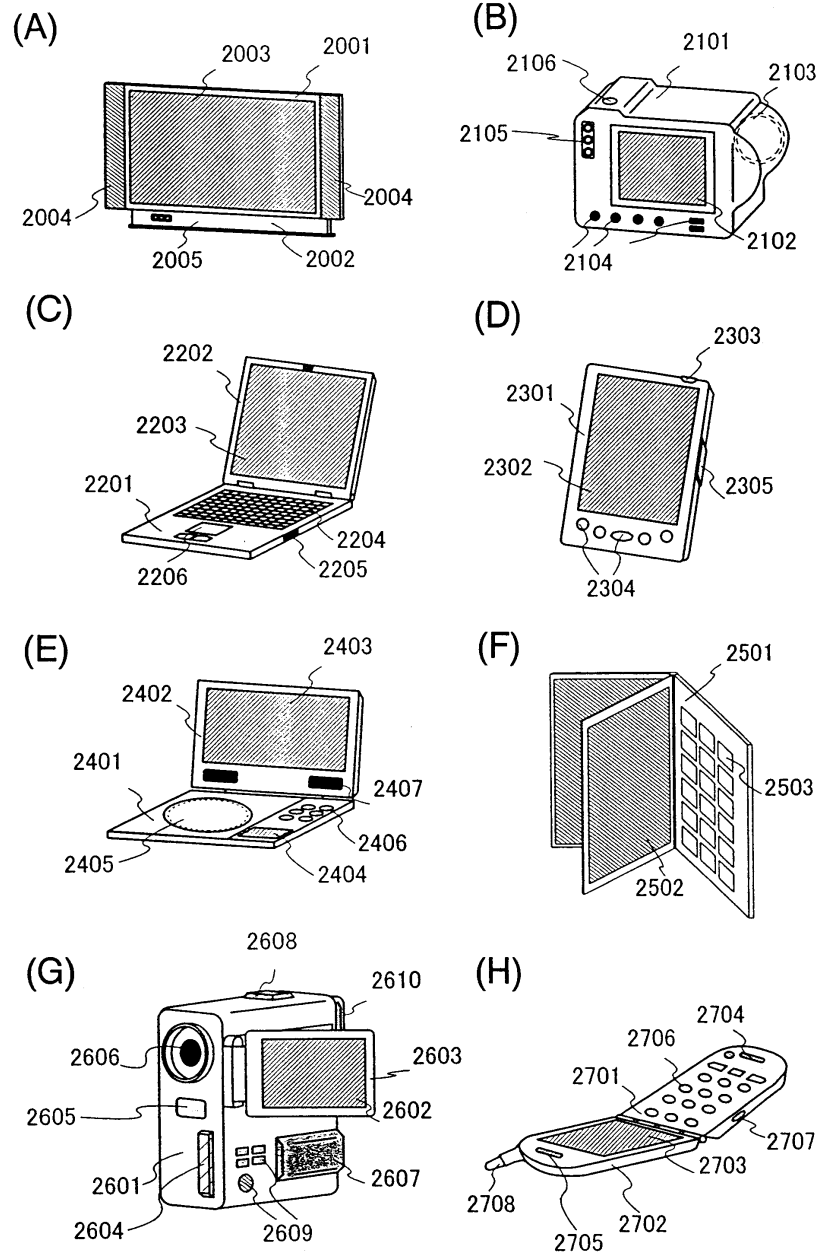
(A)



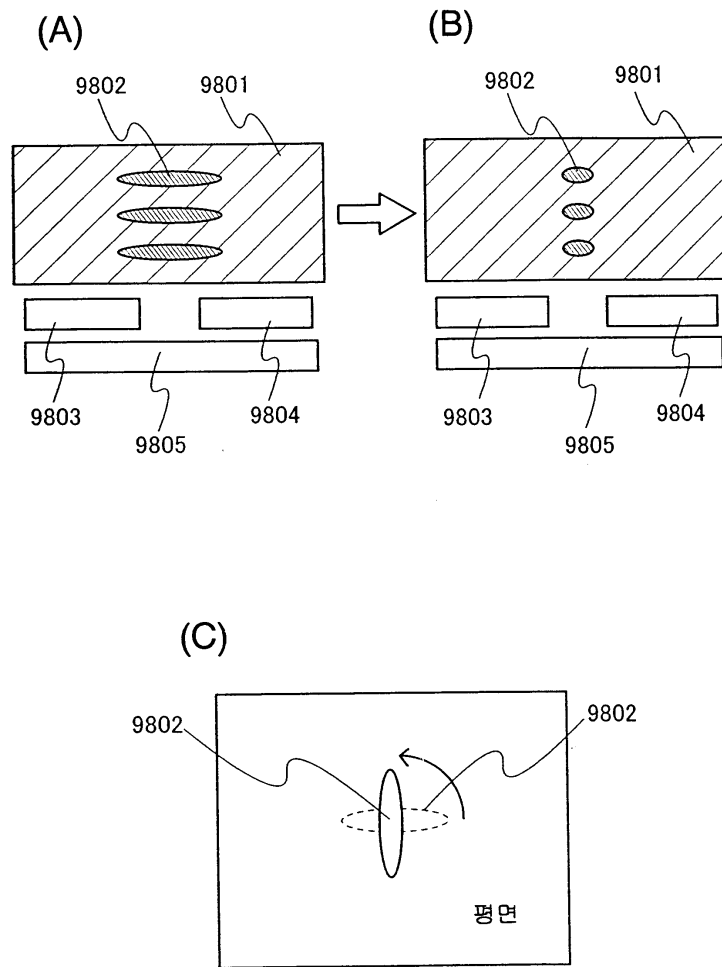
(B)



도면111



도면112



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070058971A	公开(公告)日	2007-06-11
申请号	KR1020060119993	申请日	2006-11-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME 키무라하지메 UOCHI HIDEKI 우오치히데키		
发明人	키무라하지메 우오치히데키		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/136222 G02F1/134363 G02F1/1368 G02F2201/124 G02F1/13439 G02F1/133553 G02F1/133555 G02F2001/134372 G02F1/136209 G02F1/133371 G02F1/1343 G02F1/133345 G02F1/136227 G02F1/136286 G02F2201/121 G02F2201/123		
优先权	2005350147 2005-12-05 JP		
其他公开文献	KR101469934B1		
外部链接	Espacenet		

摘要(译)

本发明涉及FFS模式。并且在所示的ips模式液晶显示器中，通过在液晶材料中授权足够的电场来完成。在面内切换模式液晶器件中，它不是电极对，而是电场施加在公共电极或像素电极中的液晶材料上，紧接着，上部使用多电极-对。一对电极包括梳子和梳子的公共电极的像素电极。另一对的电极包括公共电极的像素电极，提供给像素和梳状物。FFS型，面内切换模式液晶器件，梳状物的公共电极，梳状物的像素电极，和。

