



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0000909
G02F 1/136 (2006.01) (43) 공개일자 2007년01월03일

(21) 출원번호 10-2005-0056579
(22) 출원일자 2005년06월28일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 이기홍
제주 북제주군 조천읍 신흥리 14번지
(74) 대리인 박장원

전체 청구항 수 : 총 14 항

(54) 금속 게더링방법 및 이를 이용한 액정표시장치의 제조방법

(57) 요약

본 발명은 금속 게더링방법 및 이를 이용한 액정표시장치의 제조방법을 개시한다. 개시된 본 발명에 따른 액정표시장치의 제조방법은, 어레이기판상에 게이트전극을 형성한후 상기 게이트전극을 포함한 어레이기판상에 게이트절연막을 형성하는 단계; 상기 게이트절연막상에 활성층을 형성한후 이를 결정화시키는 단계; 상기 결정화된 활성층상에 캡핑층을 형성하는 단계; 상기 캡핑층을 산화시킨후 상기 산화처리된 캡핑층을 제거하여 결정화된 활성층을 노출시키는 단계; 상기 결정화된 활성층상에 도전층을 형성하는 단계; 박막트랜지스터부에 해당되는 지역을 제외한 도전층 부분을 제거하는 단계; 상기 게이트전극에 대응하는 도전층부분을 제거하여 소스/드레인전극을 형성하는 단계; 상기 기판전체에 보호막을 형성하는 단계; 상기 보호막 일부를 제거하여 상기 드레인전극을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인전극과 접속하는 화소전극을 형성하는 단계; 상기 컬러필터기판상에 블랙매트릭스와 컬러필터층을 형성하는 단계; 상기 컬러필터기판과 상기 어레이기판을 합착하는 단계; 및 상기 컬러필터기판과 상기 어레이기판사이에 액정을 주입하는 단계를 포함하여 구성된다.

대표도

도 3c

특허청구의 범위

청구항 1.

기판상에 비정질실리콘층을 형성하는 단계;

결정화공정을 진행하여 상기 비정질실리콘층을 결정화시키는 단계;

상기 결정화된 비정질실리콘층상에 캡핑층을 형성하는 단계;

상기 캡핑층을 산화시키는 단계; 및

상기 산화처리된 캡핑층을 제거하여 상기 결정화된 비정질실리콘층 표면을 노출시키는 단계를 포함하여 구성되는 것을 특징으로하는 금속 게더링방법.

청구항 2.

제 1 항에 있어서, 상기 결정화시키는 단계는, 금속유도결정화(metal induced crytallization) 또는 금속유도측면결정화(metal induced lateral crystallization) 공정을 통해 이루어지는 것을 특징으로하는 금속 게더링방법.

청구항 3.

제1항에 있어서, 상기 캡핑층으로는 질화막 또는 다공성 유전체막을 사용하는 것을 특징으로하는 금속 게더링방법.

청구항 4.

제1항에 있어서, 상기 캡핑층을 산화시키는 단계는 아닐링공정에 의해 이루어지는 것을 특징으로하는 금속 게더링방법.

청구항 5.

어레이기판과 컬러필터기판을 준비하는 단계;

상기 어레이기판상에 게이트전극을 형성한후 상기 게이트전극을 포함한 어레이기판상에 게이트절연막을 형성하는 단계;

상기 게이트절연막상에 활성층을 형성한후 이를 결정화시키는 단계;

상기 결정화된 활성층상에 캡핑층을 형성하는 단계;

상기 캡핑층을 산화시킨후 상기 산화처리된 캡핑층을 제거하여 결정화된 활성층을 노출시키는 단계;

상기 결정화된 활성층상에 도전층을 형성하는 단계;

박막트랜지스터부에 해당되는 지역을 제외한 도전층 부분을 제거하는 단계;

상기 게이트전극에 대응하는 도전층부분을 제거하여 소스/드레인전극을 형성하는 단계;

상기 기판전체에 보호막을 형성하는 단계;

상기 보호막 일부를 제거하여 상기 드레인전극을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀을 통해 상기 드레인전극과 접속하는 화소전극을 형성하는 단계;

상기 컬러필터기판상에 블랙매트릭스와 컬러필터층을 형성하는 단계;

상기 컬러필터기판과 상기 어레이기판을 합착하는 단계;

상기 컬러필터기판과 상기 어레이기판사이에 액정을 주입하는 단계를 포함하여 구성되는 것을 특징으로하는 액정표시장치 제조방법.

청구항 6.

제 5 항에 있어서, 상기 활성층을 결정화시키는 단계는, 금속유도결정화(metal induced crytallization) 또는 금속유도측면결정화(metal induced lateral crystallization) 공정을 통해 이루어지는 것을 특징으로하는 액정표시장치의 제조방법.

청구항 7.

제 5 항에 있어서, 상기 캡핑층으로는 질화막 또는 다공성 유전체막을 사용하는 것을 특징으로하는 액정표시장치의 제조방법.

청구항 8.

제 5 항에 있어서, 상기 캡핑층을 산화시키는 단계는 아닐링공정에 의해 이루어지는 것을 특징으로하는 액정표시장치의 제조방법.

청구항 9.

제 5 항에 있어서, 상기 활성층으로 비정질실리콘층을 이용하는 것을 특징으로하는 액정표시장치의 제조방법.

청구항 10.

어레이기판을 준비하는 단계;

상기 어레이기판상에 활성층을 형성한후 이를 결정화시키는 단계;

상기 결정화된 활성층상에 캡핑층을 형성하는 단계;

상기 캡핑층을 산화시킨후 상기 산화처리된 캡핑층을 제거하여 결정화된 활성층을 노출시키는 단계;

상기 활성층을 포함한 어레이기판상에 게이트절연막을 형성하는 단계; 및

상기 게이트절연막상에 게이트전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로하는 액정표시장치 제조방법.

청구항 11.

제 10 항에 있어서, 상기 활성층을 결정화시키는 단계는, 금속유도결정화(metal induced crytallization) 또는 금속유도측면결정화(metal induced lateral crystallization) 공정을 통해 이루어지는 것을 특징으로하는 액정표시장치의 제조방법.

청구항 12.

제 10 항에 있어서, 상기 캡핑층으로는 질화막 또는 다공성 유전체막을 사용하는 것을 특징으로하는 액정표시장치의 제조 방법.

청구항 13.

제 10 항에 있어서, 상기 캡핑층을 산화시키는 단계는 아닐링공정에 의해 이루어지는 것을 특징으로하는 액정표시장치의 제조 방법.

청구항 14.

제 10 항에 있어서, 상기 활성층으로 비정질실리콘층을 이용하는 것을 특징으로하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 액정표시장치의 제조방법에 있어서의 금속 게터링(metal gettering)방법에 관한 것이다.

일반적으로 게터링(gettering)이란, 소자가 형성되어 있는 활성영역으로 부터 불순물, 결정결함 등을 제거함에 의해 소수 캐리어의 수명 개선, 접합에서의 누설전류 방지, 실리콘과 산화막계면에서 여러가지 전하의 영향을 줄이는 것 등을 말한다.

이러한 게터링과 관련하여, 종래기술에 따른 액정표시장치의 제조방법에 있어서의 금속 게터링방법에 대해 도 1a 내지 도 1d를 참조하여 설명하면 다음과 같다.

도 1a 내지 도 1d는 종래기술에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도이다.

도 1a를 참조하면, 절연기판(10)을 준비하여 이 절연기판(10)상에 버퍼층(buffer layer)(20)을 일정두께로 증착한다.

그다음, 도 1b를 참조하면, 상기 버퍼층(20)상에 비정질실리콘층(30)을 일정 두께로 증착한후 금속 촉매(metal catalyst)를 이용한 결정화공정(40)을 통해 상기 비정질실리콘층(30)을 결정화시킨다. 이때, 상기 결정화공정(40)은 금속유도결정화

(metal induced crystallization) 또는 금속유도측면결정화(metal induced lateral crystallization)에 의해 이루어진다. 또한, 상기 결정화된 비정질실리콘층(30a)은 소자의 활성층으로 사용한다.

이어서, 도 1c를 참조하면, 산화분위기하에서 일정시간동안 열처리공정(60)을 실시하여 상기 결정화층(30a)상에 표면산화층(50)을 형성한다.

그다음, 도 1d를 참조하면, 상기 표면산화층(50)을 건식 또는 습식공정을 통해 제거하여 상기 결정화층(30a) 표면이 노출되도록 한다.

상기한 바와같이, 종래기술에 따른 액정표시장치의 제조방법에 의하면, 도 2a에 도시된 바와같이, 산화공정시에 폴리실리콘층(30a) 자체가 산화되면서 금속

(metal)이 이 표면에 형성되는 산화막(50)으로 세그리게이션(segregation)(35)

된다.

따라서, 도 2b에 도시된 바와같이, 산화공정시에, 폴리실리콘층(30a)의 경우 상대적으로 취약한 그레인 바운더리(grain boundary)(33)가 빨리 산화되게 된다.

이로 인해, 게더링 이후공정인 식각공정시에 결국 그레인바운더리(33)의 홈

(grooving)(37)이 생겨나게 되므로써, 활성층으로 사용되는 폴리실리콘층(30a)의 두께가 감소하게 된다.

그러므로, 산화되어 제거되는 폴리실리콘층의 두께가 균일하지 않을 경우에 전체적으로 활성층의 두께가 불균일하게 되고, 이에 따라 산화공정의 제어가 어렵게 된다.

결국, 금속유도측면 결정화(MILC; Metal Induced Lateral Crystallization) 및 금속유도결정화(MIL; Metal Induced Crystallization) 방식으로 결정화된 실리콘을 이용하여 소자를 제조하는 경우에, 결정화시 활성영역에 잔존하는 금속축매는 높은 누설전류(leakage current)를 야기하는 등 소자특성에 좋지 않은 영향을 미친다.

한편, 기존 방법의 경우, 결국 활성층인 폴리실리콘층이 희생(sacrifice)되면서 산화가 되는데, 금속축매와 실리콘의 산화력의 정도에 따라 게더링효과가 감소할 수 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기 종래기술에 따른 제반 문제점을 해결하기 위하여 안출한 것으로서, 활성층으로 사용되는 결정화층의 산화정도를 억제하여 금속게더링 효과를 향상시킬 수 있는 금속 게더링방법 및 이를 이용한 액정표시장치의 제조방법을 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 금속 게더링방법은, 기판상에 비정질실리콘층을 형성하는 단계; 결정화공정을 진행하여 상기 비정질실리콘층을 결정화시키는 단계; 상기 결정화된 비정질실리콘층상에 캡핑층을 형성하는 단계; 상기 캡핑층을 산화시키는 단계; 및 상기 산화처리된 캡핑층을 제거하여 상기 결정화된 비정질실리콘층 표면을 노출시키는 단계를 포함하여 구성되는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은, 어레이기판과 컬러필터기판을 준비하는 단계; 상기 어레이기판상에 게이트전극을 형성한후 상기 게이트전극을 포함한 어레이기판상에 게이트절연막을 형성하는 단계; 상기 게이트절연막상에 활성층을 형성한후 이를 결정화시키는 단계; 상기 결정화된 활성층상에 캡핑층을 형성하는 단계; 상기 캡핑층을 산화시킨후 상기 산화처리된 캡핑층을 제거하여 결정화된 활성층을 노출시키는 단계; 상기 결정화된 활성층상에 도전층을 형성하는 단계; 박막트랜지스터부에 해당되는 지역을 제외한 도전층 부분을 제거하는 단계; 상기 게이트전극에 대응하는 도전층부분을 제거하여 소스/드레인전극을 형성하는 단계; 상기 기판전체에 보호막을 형성하는 단계; 상기 보호막 일부를 제거하여 상기 드레인전극을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인전극과 접속하는 화소전극을 형성하는 단계; 상기 컬러필터기판상에 블랙매트릭스와 컬러필터층을 형성하는 단계; 상기 컬러필터기판과 상기 어레이기판을 합착하는 단계; 및 상기 컬러필터기판과 상기 어레이기판사이에 액정을 주입하는 단계를 포함하여 구성되는 것을 특징으로 한다.

이하, 본 발명에 따른 액정표시장치의 제조방법에 있어서의 금속 게더링방법의 바람직한 실시예에 대해 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 3a 내지 도 3e는 본 발명에 따른 액정표시장치의 제조방법에 있어서의 금속 게더링방법을 설명하기 위한 공정단면도이다.

도 3a를 참조하면, 절연기판(110)을 준비하여 이 절연기판(110)상에 버퍼층(buffer layer)(120)을 일정두께로 증착한후 상기 버퍼층(120)상에 소자의 활성층으로 사용하기 위한 비정질실리콘층(130)을 일정 두께로 증착한다.

그다음, 도 3b를 참조하면, 금속 촉매(metal catalyst)를 이용한 결정화공정

(140)을 통해 상기 비정질실리콘층(130)을 결정화시켜 소자의 활성층으로 사용하기 위한 폴리실리콘층(130a)을 형성한다. 이때, 상기 결정화공정(140)은 금속유도결정화(metal induced crystallization) 또는 금속유도측면결정화(metal induced lateral crystallization)에 의해 이루어진다.

이어서, 도 3c를 참조하면, 앞서 진행한 금속유도결정화(metal induced crystallization) 또는 금속유도측면결정화(metal induced lateral crystallization) 공정에서 사용하는 금속촉매(metal catalyst)를 활성층인 폴리실리콘층(130a)의 채널영역밖으로 추출하기 위하여, 활성층(active layer)인 폴리실리콘층(130a)상에 질화막(SiNx), 다공성 물질층(porous layer) 또는 기타 유전체층

(dielectric layer)으로 이루어진 캡핑층(capping layer)(150)을 증착한다.

그다음, 도 3d를 참조하면, 산화 분위기(oxidation atmosphere)하에서 어닐링공정(160)을 실시하여 상기 캡핑층(150)에 표면산화층(170)을 형성한다. 이때, 상기 캡핑층(150)으로 사용하는 다공성인 질화막으로 캡핑(capping)하고, 질화막

(nitride)의 산화를 통해 폴리실리콘층(130a)내의 금속(metal)을 게더링하게 된다.

이어서, 도 3e를 참조하면, 상기 건식식각 또는 습식식각공정을 통해 상기 표면산화층(170)과 캡핑층(150)을 순차적으로 제거하여 폴리실리콘층(130a) 표면이 외부로 노출되도록 한다.

한편, 상기에서 설명한 금속 게더링방법을 적용한 본 발명에 따른 액정표시장치의 제조방법에 대해 도 4a 내지 도 4k를 참조하여 설명하면 다음과 같다. 여기서는 바텀 게이트(bottom gate) 구조의 액정표시장치 제조방법에 대해서만 설명하였으나, 탑게이트(top gate) 구조의 액정표시장치 제조방법에 대해서는 동일하게 적용된다. 따라서, 탑게이트(top gate) 구조의 액정표시장치 제조방법에 대한 설명은 생략하기로 한다.

도 4a 내지 도 4k는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도이다.

도 4a를 참조하면, 유리 와 같은 투명한 어레이기판(210)상에는 금속으로 이루어진 게이트전극(215)을 형성한다. 이때, 상기 게이트전극(215)은 기판전체에 걸쳐서 금속층을 형성한후 그 위에 포토레지스트를 도포하고 제1마스크를 이용하여 현상하고 이를 에치트로 선택적으로 제거하여 형성한다.

그다음, 상기 게이트전극(215)이 형성된 어레이기판(210)상에 게이트절연층

(220)과 활성층으로 사용하기 위한 비정질실리콘층(230)을 순차적으로 적층한다.

이어서, 도 4b를 참조하면, 금속 촉매(metal catalyst)를 이용한 결정화

공정(240)을 통해 상기 비정질실리콘층(230)을 결정화시켜 활성층으로 사용하는 폴리실리콘층(230a)을 형성한다. 이때, 상기 결정화공정(240)은 금속유도결정화

(metal induced crystallization) 또는 금속유도측면결정화(metal induced lateral crystallization)에 의해 이루어진다.

그다음, 도 4c를 참조하면, 앞서 진행한 금속유도결정화(metal induced crystallization) 또는 금속유도측면결정화(metal induced lateral crystallization) 공정에서 사용하는 금속촉매(metal catalyst)를 활성층(즉, 결정화층)의 채널영역밖으로 추출하기 위하여, 활성층(active layer)인 폴리실리콘층

(230a)상에 질화막(SiNx) 또는 다공성 물질층(porous layer)으로 이루어진 캡핑층

(capping layer)(250)을 증착한다.

그다음, 도 4d를 참조하면, 산화 분위기(oxidation atmosphere)하에서 어닐링공정(260)을 실시하여 상기 캡핑층(250)상에 표면산화층(270)을 형성한다. 이때, 상기 캡핑층(250)으로 사용하는 다공성인 질화막으로 캡핑(capping)하고, 질화막

(nitride)의 산화를 통해 금속(metal)을 게더링하게 된다.

이어서, 도 4e를 참조하면, 상기 표면산화층(270)과 캡핑층(250)을 제거하여 폴리실리콘층(230a) 표면이 노출되도록 한다.

그다음, 도 4f를 참조하면, 상기 폴리실리콘층(230a)상에 소스/드레인을 형성하기 위한 도전층(280)을 형성한후 상기 도전층(280)상에 포토레지스트층(290)을 도포한다. 이때, 도면에는 도시하지 않았지만, 상기 폴리실리콘층(230a)과 도전층

(280)사이에는 불순물이 첨가된 설정 두께의 오우믹 콘택층이 형성되어 있다.

이어서, 도면에는 도시하지 않았지만, 상기 포토레지스트층(290)위에 회절마스크(미도시)를 위치시킨후 자외선과 같은 광을 조사한다. 이때, 상기 회절마스크(미도시)는 불투명하게 이루어져 조사되는 광을 블로킹하는 차단부와 투명하게 이루어져 조사되는 물질을 기판으로 투과시키는 투과부와, 일정간격을 갖는 슬릿(slit)으로 이루어져 어레이기판으로 투과되는 광의 세기를 조절하는 슬릿부로 구성되어 있다. 또한, 상기 슬릿부는 어레이기판에 형성된 게이트전극에 대응하는 게이트영역에 형성하고, 상기 차단부는 슬릿부의 양측면에 형성되어 이후의 공정예의해 TFT를 형성하며, 투과부는 화상이 표시될 표시부영역에 형성한다. 여기서는, 회절마스크를 노광마스크로 사용하는 경우를 예로 들어 설명하고 있는데, 이 회절마스크 대신에 기타 다른 일반 노광마스크를 사용할 수도 있다.

그다음, 도 4g을 참조하면, 회절마스크(미도시)를 이용하여 포토레지스트층

(290)에 광을 조사한후 현상액을 작용시킴에 따라 회절마스크(미도시)의 투과부에 대응하는 포토레지스트층이 전부 제거되고, 슬릿부의 포토레지스트층은 일부가 제거되어, 상기 도전층(280)상에는 포토레지스트패턴(290a)이 형성된다. 이때, 상기 차단부에 대응하는 영역의 포토레지스트층(290)은 현상액에 의해 제거되지 않기 때문에, 최초에 적층된 두께를 그대로 유지하지만, 슬릿부에 대응하는 영역(게이트영역)은 포토레지스트층(290)의 일부만이 제거된다. 통상적으로 슬릿부에 의해 포토레지스트층의 약 반 정도가 제거된다.

이어서, 도 4h를 참조하면, 상기 포토레지스트패턴(290a)으로 도전층(280)의 일부(TFT)영역을 블로킹한 상태에서 에천트에 의한 웨트에칭(wet etching)을 진행하여 상기 도전층(280) 및 폴리실리콘층(230a)을 에칭함에 따라 포토레지스트패턴

(290a)의 하부에는 소스/드레인전극(280a)(280b)으로 형성될 영역과 활성층으로 형성될 영역을 한정한다.

그다음, 도 4i를 참조하면, 상기 포토레지스트패턴(290a)을 플라즈마처리를 통한 에이싱(ashing)공정을 실시하여 상기 포토레지스트패턴(290a) 일부를 제거한다. 이때, 상기 포토레지스트패턴(290a)의 에이싱정도는 게이트영역의 하프톤 포토레지스트층의 두께보다 크게 설정하기 때문에, 상기 에이싱에 의해 하프톤 포토레지스트층이 완전히 제거되며, 그 결과 상기 영역의 소스/드레인전극 형성지역이 외부로 노출된다.

이어서, 도 4j를 참조하면, 상기 노출된 소스/드레인전극 형성될 도전층

(280)부분에 에천트를 작용시켜 해당영역의 도전층부분을 완전히 제거하여 소스/드레인전극(280a)(280b)을 형성하고, 계속해서 드라이에칭공정을 실행하여 상기 게이트영역과 대응하는 활성층(280a)상에 형성된 오우믹콘택층(미도시)을 제거하여 박막트랜지스터부를 형성한다.

그다음, 어레이기판전체에 걸쳐서 보호층(passivation layer)(300)을 적층한후 상기 보호층에는 노광마스크(미도시)를 이용한 노광공정 및 현상공정을 통해 상기 드레인전극(280b) 부분을 노출시키는 콘택홀(미도시)을 형성한다.

이어서, 상기 보호층(300)상에 ITO(Indium Tin Oxide)와 같은 투명한 물질층을 증착한후 마스크공정을 통해 이를 패터닝하여 화소전극(310)을 형성한다. 이때, 상기 화소전극(310)은 상기 콘택홀(미도시)을 통해 상기 드레인전극(280b)과 전기적으로 접속된다. 이렇게 하여, 액정표시장치의 박막트랜지스터 어레이기판이 완성된다.

그다음, 도 4k를 참조하면, 이렇게 완성된 박막트랜지스터부가 형성된 어레이기판(210)은, 블랙매트릭스(420)와 컬러필터층(430)이 형성된 컬러필터기판(410)에 합착하고, 이어 합착된 공간내부에 액정(450)을 주입하므로써 액정표시패널을 완성한다. 이때, 상기 박막트랜지스터 어레이가 형성된 어레이기판(210)과 컬러필터기판(410)사이에는 스페이서(440)가 위치하여 액정표시패널의 셀갭을 항상 일정하게 유지하게 된다.

또한, 본 발명의 또다른 실시예로서, 탑게이트(top gate) 구조의 액정표시장치 제조방법이 있는데, 여기서는 바텀 게이트(bottom gate) 구조의 액정표시장치 제조방법에 대해서만 설명하였다.

하지만, 게이트를 형성하는 공정을 결정화공정이전 또는 이후에 형성하는 순서만 다르고, 나머지 제조공정은 바텀 게이트(bottom gate) 구조의 액정표시장치 제조방법과 동일한 공정순으로 진행한다.

따라서, 본 발명의 또다른 실시예에 대한 설명은 생략하기로 한다.

발명의 효과

상기에서 설명한 바와같이, 본 발명에 따른 금속 게터링방법 및 이를 이용한 액정표시장치의 제조방법에 의하면, 금속유도 결정화(metal induced crystallization) 또는 금속유도측면결정화(metal induced lateral crystallization) 방법을 이용한 결정화공정에서 사용되는 금속촉매를 활성층(즉, 폴리실리콘층)의 채널영역밖으로 추출하기 위하여, 활성층인 폴리실리콘층상에 질화막(SiNx) 또는 다공성 물질층으로 이루어진 캡핑층을 형성하고, 이후 산화분위기하에서 열처리함으로써 캡핑층의 상부가 산화되면서 활성층안에 잔존하는 금속이 상부층 즉, 질화막으로 게터링된다.

따라서, 본 발명에 의하면, 질화막 또는 다공성 물질층으로 구성된 캡핑층을 이용하여 폴리실리콘층 자체가 산화되는 것을 방지함으로써 기존과 같이 폴리실리콘층이 산화되어 층 두께가 감소되는 일이 없게 된다. 따라서, 소자의 활성층으로 사용되는 폴리실리콘층의 두께를 균일하게 유지할 수가 있다.

그리고, 본 발명에 의하면, 질화막 또는 다공성 물질층으로 이루어지는 캡핑층때문에 활성층인 폴리실리콘층이 산화되지 않으므로써, 금속 게터링효과를 향상시킬 수 있다.

한편, 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a 내지 도 1d는 종래기술에 따른 액정표시장치의 제조방법에 있어서의 금속게터링방법을 설명하기 위한 공정단면도.

도 2a 및 도 2b는 종래기술에 따른 액정표시장치 제조시의 금속 게터링방법에 있어서 산화막 형성 및 제거단계를 도시한 단면도.

도 3a 내지 도 3e는 본 발명에 따른 액정표시장치의 제조방법에 있어서의 금속 게터링방법을 설명하기 위한 공정단면도.

도 4a 내지 도 4k는 본 발명에 따른 금속 게터링방법을 적용한 액정표시장치의 제조방법을 설명하기 위한 공정단면도.

- 도면의 주요부분에 대한 부호의 설명 -

110, 210 : 어레이기관 120 : 버퍼층

130, 230 : 비정질실리콘층 130a, 230a : 결정화층

140, 240 : 결정화공정 150, 250 : 캡핑층(capping layer)

160, 260 : 열처리공정 170, 270 : 표면산화층

280 : 도전층 290 : 포토레지스트층

300 : 보호층 310 : 화소전극

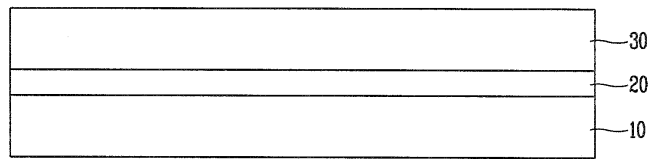
410 : 컬러필터기판 420 : 블랙매트릭스

430 : 컬러필터층 440 : 스페이서

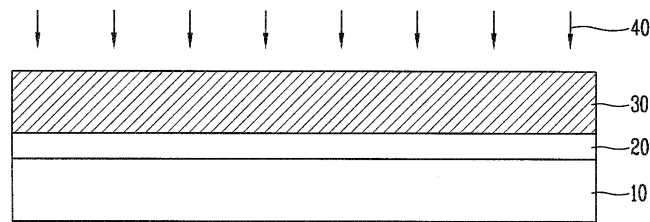
450 : 액정

도면

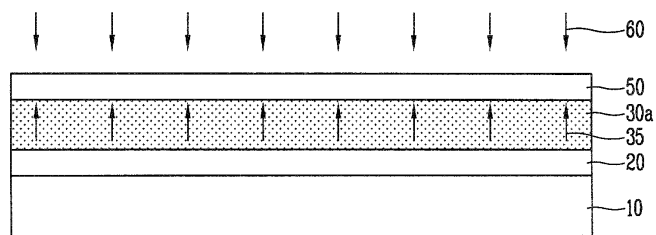
도면1a



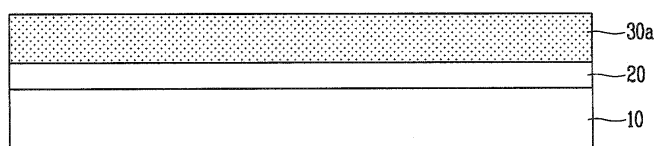
도면1b



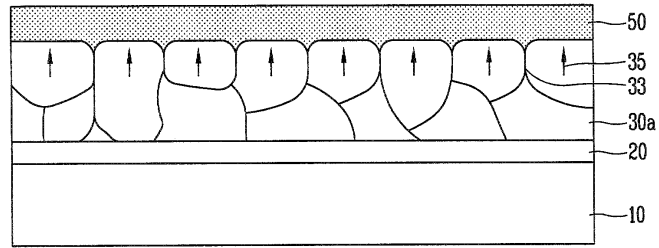
도면1c



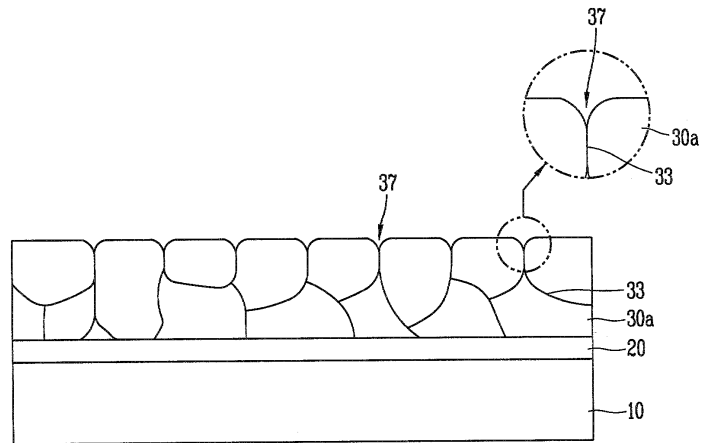
도면1d



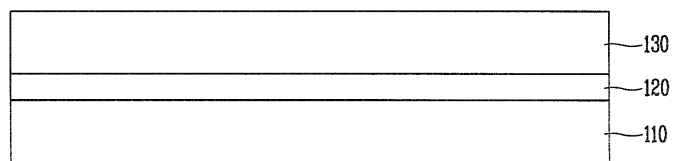
도면2a



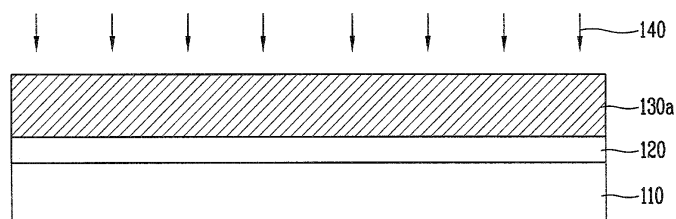
도면2b



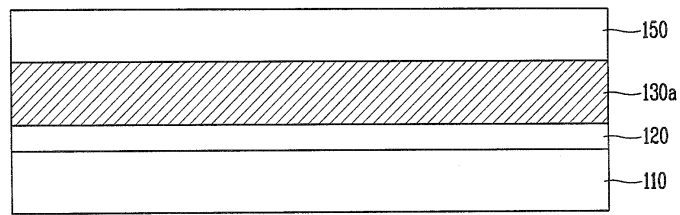
도면3a



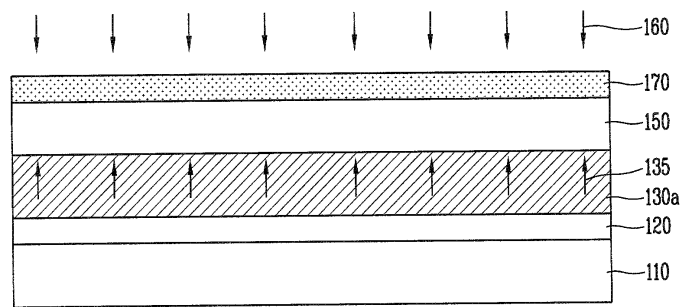
도면3b



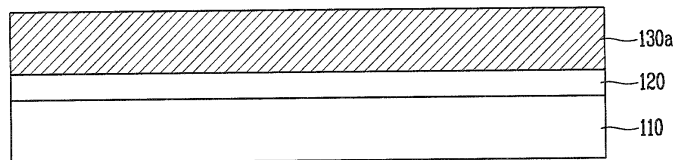
도면3c



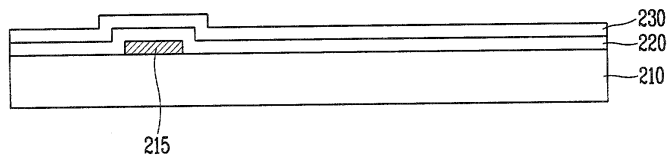
도면3d



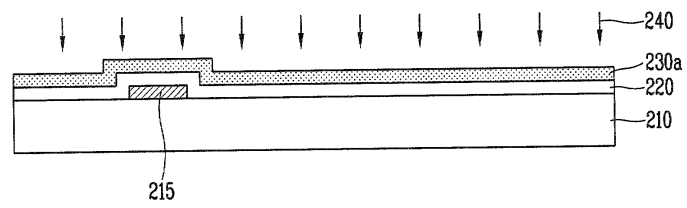
도면3e



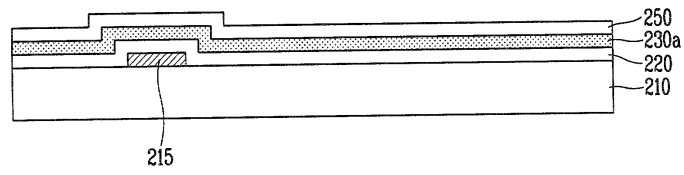
도면4a



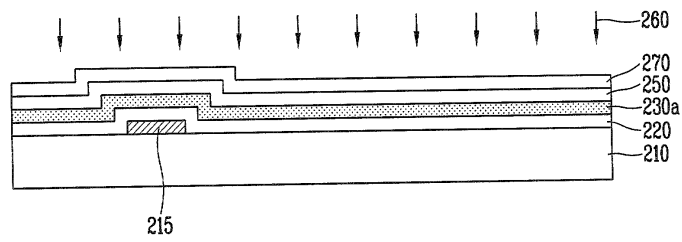
도면4b



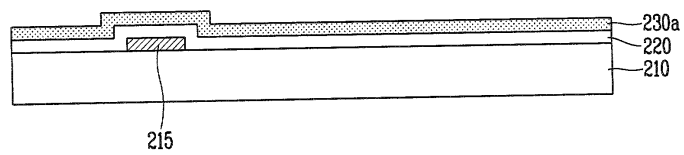
도면4c



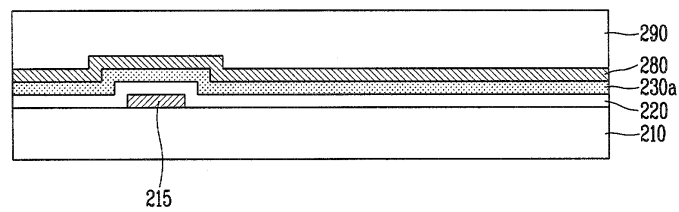
도면4d



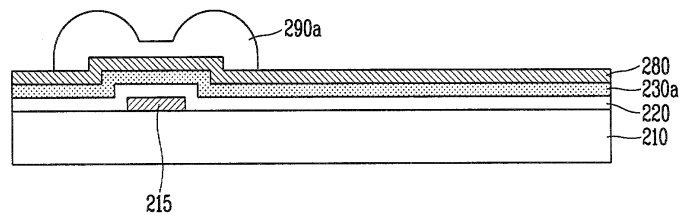
도면4e



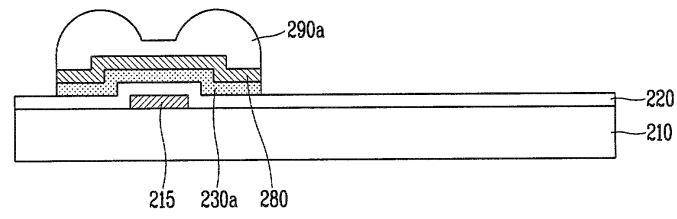
도면4f



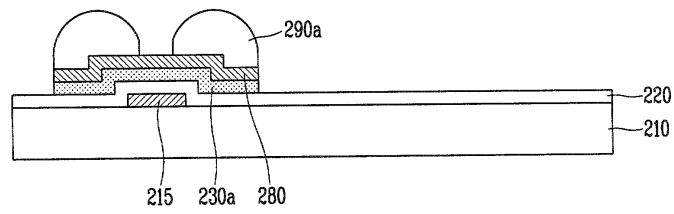
도면4g



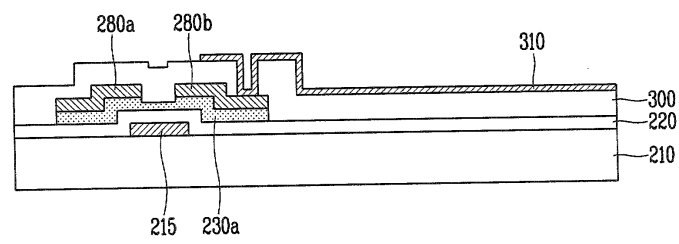
도면4h



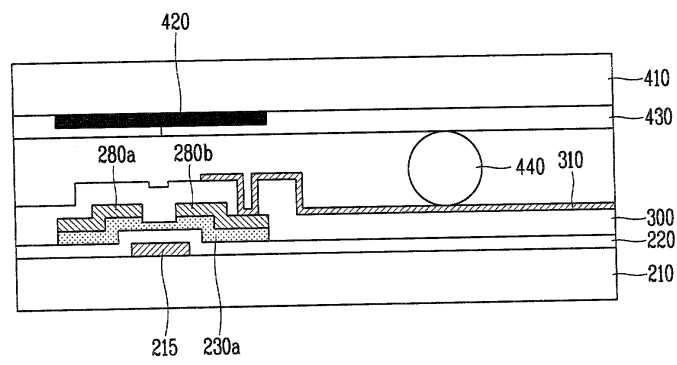
도면4i



도면4j



도면4k



专利名称(译)	液晶显示装置的金属收集方法及制造方法		
公开(公告)号	KR1020070000909A	公开(公告)日	2007-01-03
申请号	KR1020050056579	申请日	2005-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE KI HONG		
发明人	LEE,KI HONG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13439 G02F1/1368 H01L21/3226 H01L27/1277		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101193449B1		
外部链接	Espacenet		

摘要(译)

本发明公开了金属吸杂方法和使用该方法制造液晶显示装置的方法。它包括在形成源/漏电极的步骤中形成黑色矩阵和滤色器层的步骤：在整个衬底中形成保护膜；形成接触孔的步骤去除保护膜的一部分并暴露漏电极；形成通过接触孔与漏电极连接的像素电极的步骤；滤色器基板形成导电层的步骤；去除导电层部分的步骤除了对应于TFT部分的区域：对应于栅电极的导电层部分，附着滤色器基板和阵列面板的步骤，以及在滤色器基板和阵列面板之间注入液晶的步骤。覆盖层，有源层，结晶，氮化物膜，多孔材料层，介电层。

