

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0115161  
G02F 1/136 (2006.01) (43) 공개일자 2006년11월08일

(21) 출원번호 10-2005-0037519  
(22) 출원일자 2005년05월04일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416  
(72) 발명자 이백운  
경기 용인시 신봉동 신LG1차빌리지 104동 902호  
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치

요약

본 발명에 따른 액정 표시 장치는 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제1 및 제2 박막 트랜지스터와 연결되어 있는 화소 전극을 각각 포함하는 복수의 화소, 제1 박막 트랜지스터와 연결되어 있으며 제1 게이트 신호를 전달하는 제1 게이트선, 제2 박막 트랜지스터와 연결되어 있으며 제2 게이트 신호를 전달하는 제2 게이트선, 그리고 제1 박막 트랜지스터와 연결되어 있으며 데이터 신호를 전달하는 데이터선을 포함하고, 제2 박막 트랜지스터는 일정 전압과 연결되어 제2 게이트 신호에 따라 일정 전압을 화소 전극에 전달한다.

대표도

도 1

색인어

사전충전, 박막트랜지스터, 차폐전극

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 다른 액정 표시 장치의 한 화소에 대한 등가 회로도의 한 예이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 하부 표시판의 배치도이다.

도 4는 도 3의 하부 표시판을 포함하는 액정 표시판 조립체를 IV-IV선을 따라 잘라 도시한 단면도이다.

도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 6은 도 5의 박막 트랜지스터 표시판을 VI-VI선을 따라 잘라 도시한 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 8은 도 7의 박막 트랜지스터 표시판을 VIII-VIII'-VIII"선을 따라 잘라 도시한 단면도이다.

도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 10은 도 9의 박막 트랜지스터 표시판을 X-X'-X"선을 따라 잘라 도시한 단면도이다.

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 12는 도 11의 박막 트랜지스터 표시판을 XII-XII선을 따라 잘라 도시한 단면도이다.

**\*도면부호의 설명\***

81, 82: 접촉 보조 부재 88: 차폐 전극

110: 기관 121: 게이트선

140: 게이트 절연막

151, 154b: 반도체 171: 데이터선

191: 화소 전극 220: 차광 부재

230: 색 필터 270: 공통 전극

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치에 관한 것이다.

액정 표시 장치(liquid crystal display, LCD)는 평판 표시 장치 중 하나로서, 전기장을 생성하는 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다.

이러한 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 것이다. 이 중에서도 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있으며 공통 전압을 인가 받는다.

화소 전극과 공통 전극 사이의 액정층은 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이룬다.

이러한 액정 표시 장치는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.

현재는 동영상 화질 향상을 위해서 액정 표시 장치의 구동 속도를 빨리하고 있는데 이와 같은 경우 충전 시간이 원하는 수준으로 충전하기 어렵다. 그래서 본 데이터 전압이 들어오기 전에 전단의 데이터 전압 등을 입력하여 사전 충전을 하고 있다.

### 발명이 이루고자 하는 기술적 과제

그러나 사전 충전은 전단의 데이터 전압의 크기에 따라서 각 화소의 사전 충전량이 달라지고 이에 따라 본 데이터 전압의 충전량이 달라져서 그림자 현상 등이 생긴다.

본 발명의 기술적 과제는 전단의 신호에 영향을 받지 않고 일정하게 사전 충전하여 그림자 현상 등이 발생하지 않는 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치를 제공하는 것이다.

### 발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에 따른 액정 표시 장치는 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제1 및 제2 박막 트랜지스터와 연결되어 있는 화소 전극을 각각 포함하는 복수의 화소, 제1 박막 트랜지스터와 연결되어 있으며 제1 게이트 신호를 전달하는 제1 게이트선, 제2 박막 트랜지스터와 연결되어 있으며 제2 게이트 신호를 전달하는 제2 게이트선, 그리고 제1 박막 트랜지스터와 연결되어 있으며 데이터 신호를 전달하는 데이터선을 포함하고, 제2 박막 트랜지스터는 일정 전압과 연결되어 제2 게이트 신호에 따라 일정 전압을 화소 전극에 전달한다.

제2 박막 트랜지스터는 제1 박막 트랜지스터보다 먼저 도통된다.

화소 전극과 마주보는 공통 전극, 그리고 화소 전극과 공통 전극 사이에 들어 있는 액정층을 더 포함할 수 있다.

일정 전압은 공통 전극에 인가되는 전압일 수 있다.

상기한 다른 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판은 기판 위에 형성되어 있는 게이트선, 게이트선과 교차하는 데이터선, 데이터선 위에 형성되어 있는 차폐 전극, 게이트선 및 데이터선과 연결되어 있는 제1 박막 트랜지스터, 게이트선 및 차폐 전극과 연결되어 있는 제2 박막 트랜지스터, 제1 및 제2 박막 트랜지스터와 연결되어 있는 화소 전극, 그리고 데이터선과 화소 전극 및 차폐 전극 사이에 형성되어 있는 보호막을 포함한다.

차폐 전극은 데이터선을 따라 뻗어 있는 개구부를 가질 수 있다.

제1 박막 트랜지스터는 게이트선과 연결되어 있는 제1 게이트 전극, 제1 게이트 전극과 중첩하는 제1 반도체, 데이터선과 연결되어 있으며 제1 반도체와 중첩하는 제1 소스 전극, 그리고 제1 반도체와 일부분이 중첩하며 화소 전극과 연결되어 있는 제1 드레인 전극을 포함할 수 있다.

제2 박막 트랜지스터는 게이트선과 연결되어 있는 제2 게이트 전극, 제2 게이트 전극과 중첩하는 제2 반도체, 차폐 전극과 연결되어 있으며 제2 반도체와 중첩하는 제2 소스 전극, 그리고 제2 반도체와 일부분이 중첩하며 화소 전극과 연결되어 있는 제2 드레인 전극을 포함할 수 있다.

차폐 전극은 제2 반도체를 향해 뻗은 돌출부를 포함하고, 제2 소스 전극은 돌출부와 연결될 수 있다.

차폐 전극은 게이트선을 따라 뻗어 있으며 차폐 전극을 연결하는 연결부를 더 포함 할 수 있다.

제2 소스 전극은 게이트선 위에 위치하며, 게이트선 위에서 연결부와 연결될 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

우선 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 1 및 도 2를 참고하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도의 한 예이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300)와 이에 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선( $G_1-G_n, D_1-D_m$ )과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(Px)를 포함한다.

표시 신호선( $G_1-G_n, D_1-D_m$ )은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선( $G_1-G_n$ )과 데이터 신호를 전달하는 데이터선( $D_1-D_m$ )을 포함한다. 게이트선( $G_1-G_n$ )은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선( $D_1-D_m$ )은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소(Px), 예를 들면 i번째 화소행의 j번째 화소는 표시 신호선( $G_i, D_j, G_{i-1}$ )에 연결된 주 스위칭 소자(Q1) 및 부 스위칭 소자(Q2)와 이에 연결된 액정 축전기(liquid crystal capacitor)( $C_{LC}$ )를 포함한다. 필요에 따라 액정 축전기와는 별도로 유지 축전기(storage capacitor)(도시하지 않음)를 더 둘 수 있다.

주 및 부 스위칭 소자(Q1, Q2) 각각은 박막 트랜지스터 등의 형태로 하부 표시판(100)에 구비되어 있다. 주 스위칭 소자(Q1)는 i번째 게이트선( $G_i$ )에 연결되어 있는 제어 단자, j번째 데이터선( $D_j$ )에 연결되어 있는 입력 단자, 그리고 액정 축전기( $C_{LC}$ )에 연결되어 있는 출력 단자를 가지고 있다. 부 스위칭 소자(Q2)는 이전 게이트선, 즉 (i-1)번째 게이트선( $G_{i-1}$ )에 연결되어 있는 제어 단자, 공통 전압(Vcom)에 연결되어 있는 입력 단자, 그리고 액정 축전기( $C_{LC}$ )에 연결되어 있는 출력 단자를 가지고 있다.

액정 축전기( $C_{LC}$ )는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q1, Q2)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소(Px)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(Px)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색의 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(Px)가 화소 전극(191)에 대응하는 영역에 기본색 중 하나를 표시하는 색필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다. 또한, 편광자와 표시판(100, 200) 사이에는 액정의 굴절률 이방성을 보상할 수 있는 적어도 하나의 보상판(도시하지 않음)이 개재될 수 있다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소의 투과율과 관련된 두 벌의 복수 계조 전압을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선( $G_1-G_n$ )에 연결되어 외부로부터의 게이트 온 전압( $V_{on}$ )과 게이트 오프 전압( $V_{off}$ )의 조합으로 이루어진 게이트 신호를 게이트선( $G_1-G_n$ )에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선( $D_1-D_m$ )에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 전압으로서 화소에 인가한다.

게이트 구동부(400) 또는 데이터 구동부(500)는 적어도 하나의 구동 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착될 수도 있고, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착될 수도 있다. 이와는 달리, 게이트 구동부(400) 또는 데이터 구동부(500)가 표시 신호선( $G_1-G_n, D_1-D_m$ )과 박막 트랜지스터 스위칭 소자(Q1, Q2) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호( $V_{sync}$ )와 수평 동기 신호( $H_{sync}$ ), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 게이트 온 전압( $V_{on}$ )의 출력 시작을 지시하는 주사 시작 신호(STV) 및 게이트 온 전압( $V_{on}$ )의 출력 시기를 제어하는 적어도 하나의 클록 신호를 포함하며, 게이트 온 전압( $V_{on}$ )의 지속 시간을 한정하는 출력 인에이블 신호(OE) 등을 더 포함할 수 있다.

데이터 제어 신호(CONT2)는 일군의 영상 데이터(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH), 데이터선( $D_1-D_m$ )에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK) 등을 포함하며, 공통 전압( $V_{com}$ )에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소 중 반에 대한 영상 데이터(DAT) 집합을 차례로 수신하고 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선( $D_1-D_m$ )에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압( $V_{on}$ )을 게이트선( $G_1-G_n$ )에 인가한다. 각 게이트선( $G_1-G_n$ )은 해당 화소행의 주 스위칭 소자(Q1)와 다음 화소행의 부 스위칭 소자(Q2)에 연결되어 있으므로, 해당 화소행의 주 스위칭 소자(Q1)와 다음 화소행의 부 스위칭 소자(Q2)가 동시에 턴온된다. 이에 따라 데이터선( $D_1-D_m$ )에 인가된 데이터 전압이 주 스위칭 소자(Q1)를 통하여 한 행의 화소에 공급되는 한편, 공통 전압( $V_{com}$ )이 부 스위칭 소자(Q2)를 통하여 그 다음 행의 화소에 선충전(precharging) 전압으로서 공급된다.

화소에 인가된 데이터 전압과 공통 전압( $V_{com}$ )의 차이는 액정 축전기(CLC)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.

부 스위칭 소자(Q2)를 통해 공통 전압( $V_{com}$ )을 인가 받았던 화소행은 1 수평 주기(또는 "1H") [수평 동기 신호( $H_{sync}$ ), 데이터 인에이블 신호(DE)의 한 주기] 후에 주 스위칭 소자(Q1)를 통해 자신의 데이터 전압을 인가 받는다.

1/2 수평 주기(또는 "1/2 H") [수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기]를 단위로 하여 이러한 과정을 되풀이하여 한 프레임(frame) 동안 모든 게이트선( $G_1-G_n$ )에 대하여 차례로 게이트 온 전압( $V_{on}$ )을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 도트 반전), 인접 데이터선을 통하여 동시에 흐르는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 도트 반전).

이와 같이 하면 모든 화소에 대하여 동일한 전압, 즉 공통 전압( $V_{com}$ )이 선충전 전압으로서 인가되므로 충전율을 동일하게 가져갈 수 있다.

그러면 도 1 및 도 2에 도시한 액정 표시 장치의 액정 표시판 조립체의 한 예에 대하여 도 3 및 도 4를 참고로 하여 상세하게 설명한다.

도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 하부 표시판의 배치도이고, 도 4는 도 3의 하부 표시판을 포함하는 액정 표시판 조립체를 IV-IV선을 따라 잘라 도시한 단면도이다.

먼저 공통 전극 표시판(200)에 대해서 설명한다.

투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 블랙 매트릭스(black matrix)라고 하는 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 크롬 단일막 또는 크롬과 산화 크롬의 이중막으로 이루어지거나 흑색 안료(pigment)를 포함하는 유기막으로 이루어질 수 있다.

기판(210) 위에는 또한 복수의 색필터(color filter)(230)가 형성되어 있으며, 이웃하는 색필터(230)의 가장자리는 중첩될 수 있다.

색필터(230) 위에는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전체 따위로 만들어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)과 색필터(230) 사이에는 색필터가 노출되는 것을 방지하고 평탄면을 제공하기 위한 덮개막(overcoat)(도시하지 않음)이 형성될 수 있다.

다음 박막 트랜지스터 표시판(100)에 대하여 설명한다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121)이 형성되어 있다.

게이트선(121)은 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 위아래로 돌출한 복수의 제1 및 제2 게이트 전극(gate electrode)(124a, 124b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다.

게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO 및 IZO와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트선(121) 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30-80°인 것이 바람직하다.

게이트선(121)의 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 만들어진 복수의 선형 반도체(151) 및 섬형 반도체(154b)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 제1 게이트 전극(124a)을 향하여 뻗어 나온 복수의 돌출부(projection)(154a)를 포함한다. 섬형 반도체(154b)는 제2 게이트 전극(124b) 위에 위치한다.

반도체(151, 154b) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 163b, 165a, 165b)가 형성되어 있다. 저항성 접촉 부재(161, 163b, 165a, 165b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163a)를 가지고 있으며, 이 돌출부(163a)와 저항성 접촉 부재(165a)는 쌍을 이루어 반도체(151)의 돌출부(154a) 위에 배치되어 있다. 그리고 섬형 저항성 접촉 부재(163b, 165b)는 쌍을 이루어 섬형 반도체(154b) 위에 배치되어 있다.

반도체(151)와 저항성 접촉 부재(161, 163b, 165a, 165b)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30-80°정도이다.

저항성 접촉 부재(161, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 제1 소스 전극(source electrode)(173a)을 포함하는 복수의 데이터선(data line)(171), 복수의 제2 소스 전극(173b), 그리고 복수의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)이 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제1 소스 전극(173a) 외에도 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다.

제1 소스 전극(173a)은 데이터선(171)에서 제1 게이트 전극(124a)을 향하여 뻗어 있고 U자형으로 구부러져 있다.

제2 소스 전극(173b)은 데이터선(171)과 분리되어 있고 제2 게이트 전극(124b)과 일부분이 중첩한다.

제1 및 제2 드레인 전극(175a, 175b)은 데이터선(171) 및 제2 소스 전극(173b)과 분리되어 있고, 각각 제1 및 제2 게이트 전극(124a, 124b)을 중심으로 제1 및 제2 소스 전극(173a, 173b)과 마주 본다. 제1 드레인 전극(175a)은 면적이 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있다. 막대형의 끝 부분은 U자형으로 구부러진 제1 소스 전극(173a)으로 일부 둘러싸여 있다.

하나의 제1 게이트 전극(124a), 하나의 제1 소스 전극(173a) 및 하나의 제1 드레인 전극(175a)은 선형 반도체(151)의 돌출부(154aa)와 함께 하나의 제1 박막 트랜지스터(thin film transistor, TFT)(Q1)를 이루며, 제1 박막 트랜지스터(Q1)의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 돌출부(154a)에 형성된다. 하나의 제2 게이트 전극(124b), 하나의 제2 소스 전극(173b) 및 하나의 제2 드레인 전극(175b)은 섬형 반도체(154b)와 함께 하나의 제2 박막 트랜지스터(Q2)를 이루며, 제2 박막 트랜지스터의 채널(channel)은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 섬형 반도체(154b)에 형성된다.

데이터선(171), 제2 소스 전극(173b) 및 드레인 전극(175a, 175b)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속 따위의 도전막(도시하지 않음)과 저저항 물질 도전막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171), 제2 소스 전극(173b) 및 드레인 전극(175a, 175b)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터선(171), 제2 소스 전극(173b) 및 드레인 전극(175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(161, 163b, 165a, 165b)는 그 아래의 반도체(151, 154b)와 그 위의 데이터선(171), 제2 소스 전극(173b), 드레인 전극(175a, 175b) 사이에만 존재하며, 이들 사이의 접촉 저항을 낮추어 준다. 대부분의 곳에서는 선형 반도체(151)의 너비가 데이터선(171)의 너비보다 작지만, 앞서 설명하였듯이 게이트선(121)과 만나는 부분에서 너비가 넓

어저 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(151, 154b)에는 제1 및 제2 소스 전극(173a, 173b)과 제1 및 제2 드레인 전극(175a, 175b) 사이를 비롯하여 데이터선(171), 제2 소스 전극(173b) 및 드레인 전극(175a, 175b)으로 가리지 않고 노출된 부분이 있다.

데이터선(171), 제2 소스 전극(173b), 드레인 전극(175a, 175b) 및 노출된 반도체(151, 154b) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화 규소와 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막이 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179), 제2 소스 전극(173b), 제1 및 제2 드레인 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 183, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 차폐 전극(shielding electrode)(88) 및 복수의 접촉 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(191)은 접촉 구멍(185a, 185b)을 통하여 제1 및 제2 드레인 전극(175a, 175b)과 물리적·전기적으로 연결되어 있으며, 제1 및 제2 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받는다. 차폐 전극(88)은 공통 전압을 인가 받으며, 데이터선(171)을 따라 뻗어 있는 세로부와 게이트선(121)을 따라 뻗은 가로부를 포함한다. 세로부는 데이터선(171)을 완전히 덮으며 접촉 구멍(183)을 통해서 제2 소스 전극(173b)과 연결되는 돌출부를 포함한다. 가로부는 인접한 세로부를 연결하며 게이트선(121)의 경계선 안쪽에 위치한다.

차폐 전극(88)은 데이터선(171)과 화소 전극(191) 사이 및 데이터선(171)과 공통 전극(270) 사이에서 형성되는 전계를 차단하여 화소 전극(191)의 전압 왜곡 및 데이터선(171)이 전달하는 데이터 전압의 신호 지연을 줄여준다.

화소 전극(191)은 차폐 전극(88)과 일정 거리 이상 떨어져 있으며 이는 둘 사이의 단락을 방지하기 위해서이다. 따라서 화소 전극(191)이 데이터선(171)으로부터 더 멀어지므로 이들 사이의 기생 용량이 줄어든다.

더욱이, 액정층(3)의 유전율(permittivity)이 보호막(180)의 유전율보다 높기 때문에, 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 차폐 전극(88)이 없을 때 데이터선(171)과 공통 전극(270) 사이의 기생 용량에 비하여 작다.

또한, 화소 전극(191)과 차폐 전극(88)이 동일한 층으로 만들어지기 때문에 이들 사이의 거리가 일정하게 유지되며 이에 따라 이들 사이의 기생 용량이 일정하다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선의 끝부분(129) 및 데이터선의 끝 부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선의 끝부분(129)과 데이터선(171)의 끝 부분(179)과 구동 집적 회로와 같은 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 6은 도 5의 박막 트랜지스터 표시판을 VI-VI선을 따라 잘라 도시한 단면도이다.

도 5 및 도 6에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터의 층상 구조는 대개 도 3 및 도 4에 도시한 것과 유사하다.

기관(110) 위에 게이트 전극(124a, 124b) 및 끝 부분(129)을 가지는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154a)를 포함하는 복수의 선형 반도체(151), 섬형 반도체(154b), 돌출부(163a)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(163b, 165a, 165b)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 제1 소스 전극(173a) 및 끝 부분(179)을 포함하는 복

수의 데이터선(171), 복수의 제2 소스 전극(173b) 및 복수의 드레인 전극(175a, 175b)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 185a, 185b)이 형성되어 있으며 그 위에는 복수의 화소 전극(191), 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 도 3 및 도 4의 액정 표시 장치용 박막 트랜지스터 표시판과 달리, 본 발명의 실시예에서는 차폐 전극(88)이 개구부(opening)(89)를 가진다. 개구부(89)는 데이터선(171)을 따라 길게 뻗어 있다.

이처럼 개구부(89)를 형성하면 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 감소하여 도 3 내지 도 4에 도시한 실시예에서보다 데이터선(171)의 부하(load)가 줄어든다.

도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 8은 도 7의 박막 트랜지스터 표시판을 VIII-VIII'-VIII"선을 따라 잘라 도시한 단면도이다.

도 7 및 도 8에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터의 층상 구조는 대개 도 3 및 도 4에 도시한 것과 거의 동일하다.

기관(110) 위에 게이트 전극(124a, 124b) 및 끝 부분(129)을 가지는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154a)를 포함하는 복수의 선형 반도체(151), 섬형 반도체(154b), 돌출부(163a)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(163b, 165a, 165b)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 제1 소스 전극(173a) 및 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 제2 소스 전극(173b) 및 복수의 드레인 전극(175a, 175b)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 185a, 185b)이 형성되어 있으며 그 위에는 복수의 화소 전극(191), 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 도 3 및 도 4의 액정 표시 장치용 박막 트랜지스터 표시판과 달리, 본 발명의 실시예에서는 제2 소스 전극(173b)이 차폐 전극(88)의 가로부와 게이트선(121)과 중첩하고, 제2 소스 전극(173b)과 차폐 전극(88)을 연결하는 접촉 구멍(183)이 차폐 전극(88)의 가로부 바로 아래에 위치한다. 따라서 차폐 전극(88)이 도 3 및 도 4의 박막 트랜지스터 표시판에 비하여 화소의 개구율이 증가한다.

도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 10은 도 9의 박막 트랜지스터 표시판을 X-X'-X"선을 따라 잘라 도시한 단면도이다.

도 9 및 도 10에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터의 층상 구조는 대개 도 7 및 도 8에 도시한 것과 거의 동일하다.

기관(110) 위에 게이트 전극(124a, 124b) 및 끝 부분(129)을 가지는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154a)를 포함하는 복수의 선형 반도체(151), 섬형 반도체(154b), 돌출부(163a)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(163b, 165a, 165b)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 제1 소스 전극(173a) 및 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 제2 소스 전극(173b) 및 복수의 드레인 전극(175a, 175b)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 185a, 185b)이 형성되어 있으며 그 위에는 복수의 화소 전극(191), 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 도 7 및 도 8의 액정 표시 장치용 박막 트랜지스터 표시판과 달리, 본 발명의 실시예에서는 차폐 전극(88)이 개구부(89)를 가진다. 개구부(89)는 차폐 전극(88)의 세로부에 형성되어 있으며 세로부를 따라 길게 뻗어 있다.

이처럼 개구부(89)를 형성하면 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 감소하여 도 6 및 도 7에 도시한 실시예에서보다 데이터선(171)의 부하가 줄어든다.

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 12는 도 11의 박막 트랜지스터 표시판을 XII-XII"선을 따라 잘라 도시한 단면도이다.

도 11 및 도 12에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터의 층상 구조는 대개 도 3 및 도 4에 도시한 것과 거의 동일하다.

기관(110) 위에 게이트 전극(124a, 124b) 및 끝 부분(129)을 가지는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154a)를 포함하는 복수의 선형 반도체(151), 섬형 반도체(154b), 돌출부(163a)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(163b, 165a, 165b)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 163b, 165a, 165b) 위에는 제1 소스 전극(173a) 및 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 제2 소스 전극(173b) 및 복수의 드레인 전극(175a, 175b)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 185a, 185b)이 형성되어 있으며 그 위에는 복수의 화소 전극(191), 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 도 3 및 도 4에 도시한 액정 표시 장치용 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서 선형 반도체(151)는 데이터선(171), 드레인 전극(175a, 175b) 및 그 하부의 저항성 접촉 부재(161, 165a, 165b)와 실질적으로 동일한 평면 모양을 가지고 있다. 그러나 선형 반도체(151)의 돌출부(154a, 154b)는 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이 등 데이터선(171) 및 드레인 전극(175a, 175b)으로 가리지 않고 노출된 부분을 가지고 있다.

이러한 박막 트랜지스터를 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171), 드레인 전극(175a, 175b)과 반도체(151) 및 저항성 접촉 부재(161, 165a, 165b)를 한 번의 사진 공정으로 형성한다.

이러한 사진 공정에서 사용하는 감광막은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선(171), 드레인 전극(175a, 175b)이 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투광 영역(light transmitting area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투광 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.

이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

도 1 내지 도 10에 도시한 액정 표시 장치의 많은 특징들이 도 11 및 도 12에 도시한 액정 표시 장치용 박막 트랜지스터 표시판에도 해당할 수 있다.

### 발명의 효과

이와 같이, 본 발명의 실시예에서는 차폐 전극을 이용하여 사전 충전을 실시하기 때문에 항상 일정한 용량의 사전 충전을 할 수 있어 표시 특성을 안정적으로 확보할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### (57) 청구의 범위

#### 청구항 1.

제1 박막 트랜지스터, 제2 박막 트랜지스터 및 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 화소 전극을 각각 포함하는 복수의 화소,

상기 제1 박막 트랜지스터와 연결되어 있으며 제1 게이트 신호를 전달하는 제1 게이트선,

상기 제2 박막 트랜지스터와 연결되어 있으며 제2 게이트 신호를 전달하는 제2 게이트선, 그리고

상기 제1 박막 트랜지스터와 연결되어 있으며 데이터 신호를 전달하는 데이터선

을 포함하고,

상기 제2 박막 트랜지스터는 일정 전압과 연결되어 상기 제2 게이트 신호에 따라 상기 일정 전압을 상기 화소 전극에 전달하는

액정 표시 장치.

## 청구항 2.

제1항에서,

상기 제2 박막 트랜지스터는 상기 제1 박막 트랜지스터보다 먼저 도통되는 액정 표시 장치.

## 청구항 3.

제1항 또는 제2항에서,

상기 화소 전극과 마주보는 공통 전극, 그리고

상기 화소 전극과 상기 공통 전극 사이에 들어 있는 액정층을 더 포함하는

액정 표시 장치.

## 청구항 4.

제3항에서,

상기 일정 전압은 상기 공통 전극에 인가되는 전압인 액정 표시 장치.

## 청구항 5.

기판 위에 형성되어 있는 게이트선,

상기 게이트선과 교차하는 데이터선,

상기 데이터선 위에 형성되어 있는 차폐 전극,

상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 박막 트랜지스터,

상기 게이트선 및 상기 차폐 전극과 연결되어 있는 제2 박막 트랜지스터,

상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 화소 전극, 그리고

상기 데이터선과 상기 화소 전극 및 상기 차폐 전극 사이에 형성되어 있는 보호막

을 포함하는 박막 트랜지스터 표시판.

### 청구항 6.

제5항에서,

상기 차폐 전극은 상기 데이터선을 따라 뺀어 있는 개구부를 가지는 박막 트랜지스터 표시판.

### 청구항 7.

제5항에서,

상기 제1 박막 트랜지스터는

상기 게이트선과 연결되어 있는 제1 게이트 전극,

상기 제1 게이트 전극과 중첩하는 제1 반도체,

상기 데이터선과 연결되어 있으며 상기 제1 반도체와 중첩하는 제1 소스 전극, 그리고

상기 제1 반도체와 일부분이 중첩하며 상기 화소 전극과 연결되어 있는 제1 드레인 전극

을 포함하는 박막 트랜지스터 표시판.

### 청구항 8.

제7항에서,

상기 제2 박막 트랜지스터는

상기 게이트선과 연결되어 있는 제2 게이트 전극,

상기 제2 게이트 전극과 중첩하는 제2 반도체,

상기 차폐 전극과 연결되어 있으며 상기 제2 반도체와 중첩하는 제2 소스 전극, 그리고

상기 제2 반도체와 일부분이 중첩하며 상기 화소 전극과 연결되어 있는 제2 드레인 전극

을 포함하는 박막 트랜지스터 표시판.

### 청구항 9.

제8항에서,

상기 차폐 전극은 상기 제2 반도체를 향해 뺀어 돌출부를 포함하고,

상기 제2 소스 전극은 상기 돌출부와 연결되어 있는

박막 트랜지스터 표시판.

청구항 10.

제5항 내지 제8항 중 어느 한 항에서,

상기 차폐 전극은 상기 게이트선을 따라 뻗어 있으며 상기 차폐 전극을 연결하는 연결부를 더 포함하는 박막 트랜지스터 표시판.

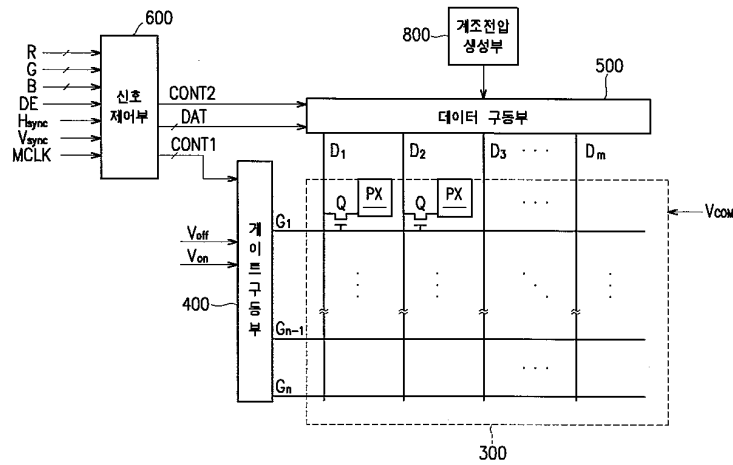
청구항 11.

제10항에서,

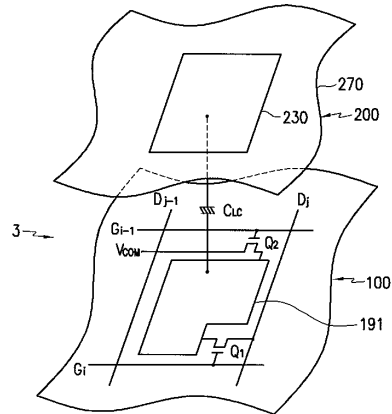
상기 제2 소스 전극은 상기 게이트선 위에 위치하며, 상기 게이트선 위에서 상기 연결부와 연결되는 박막 트랜지스터 표시판.

도면

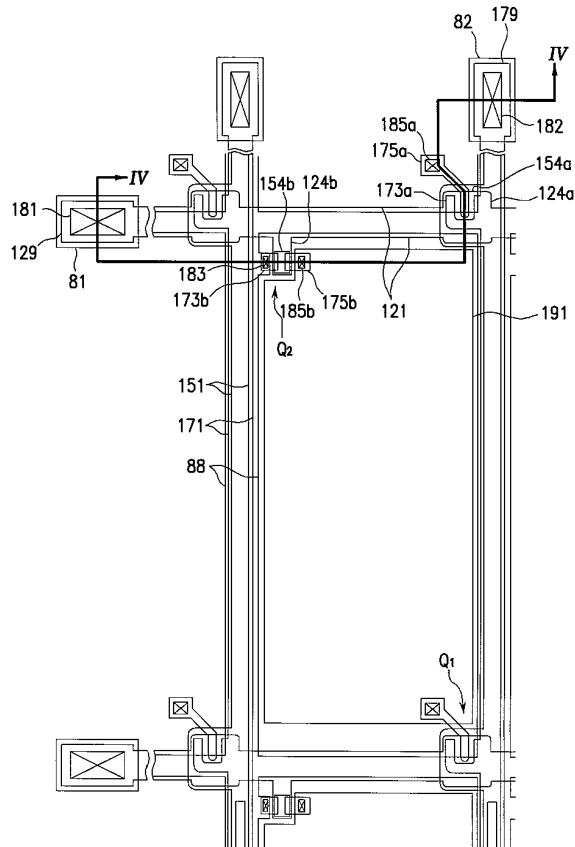
도면1



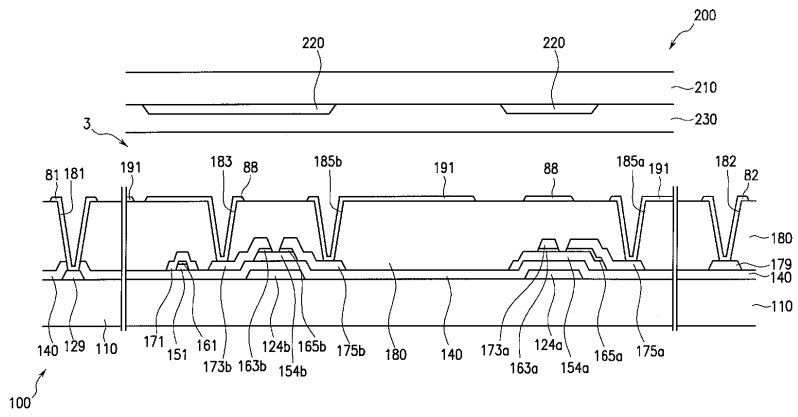
도면2



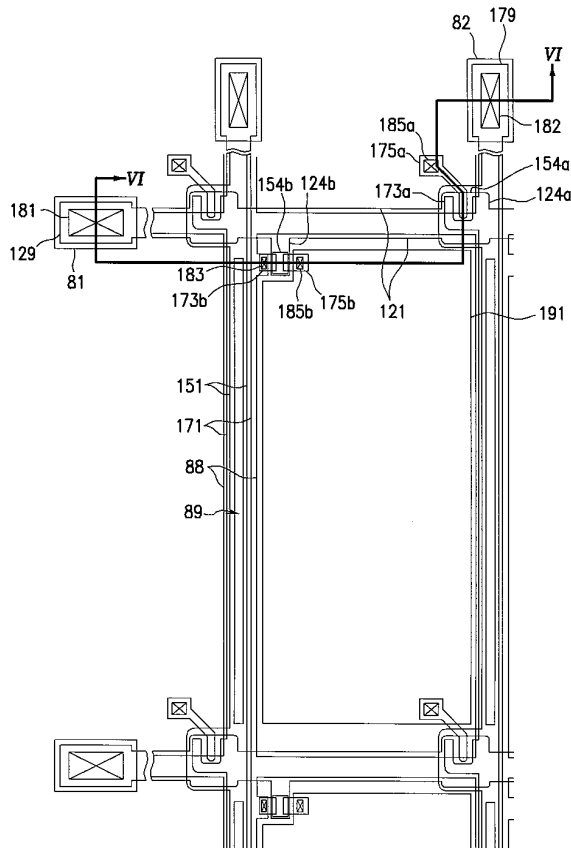
도면3



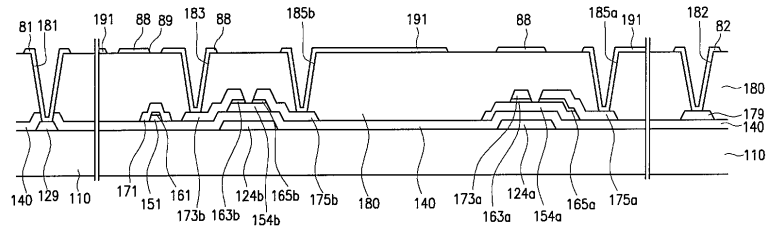
도면4



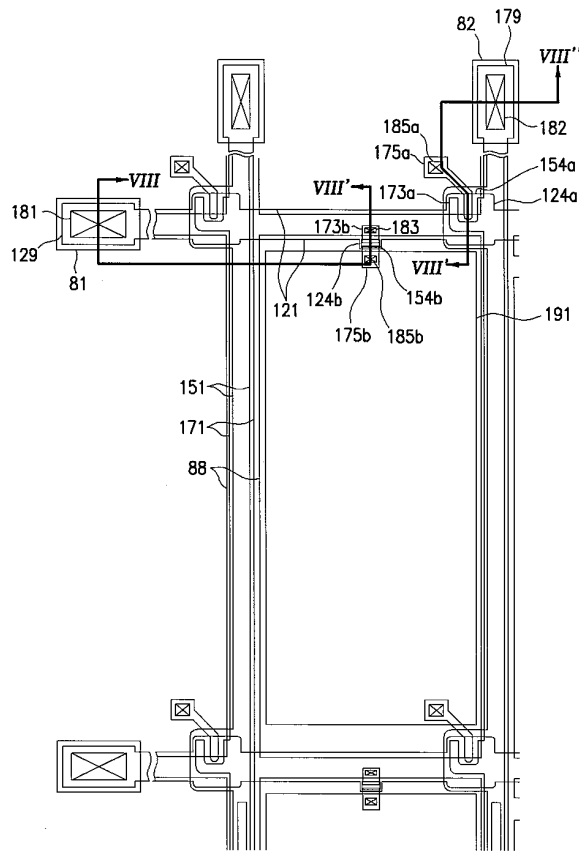
도면5



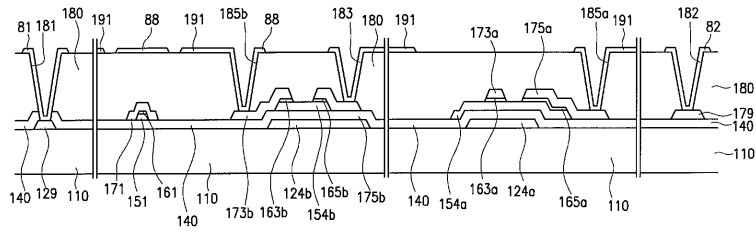
도면6



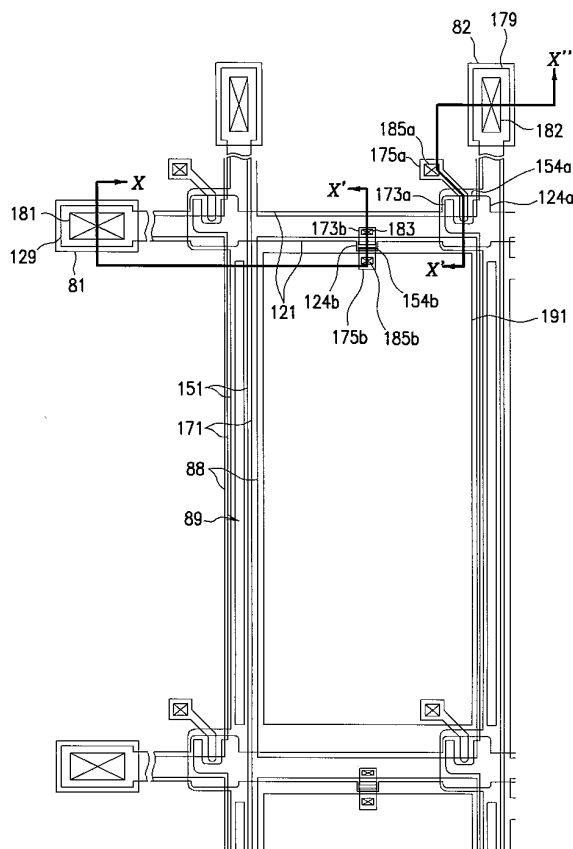
도면7



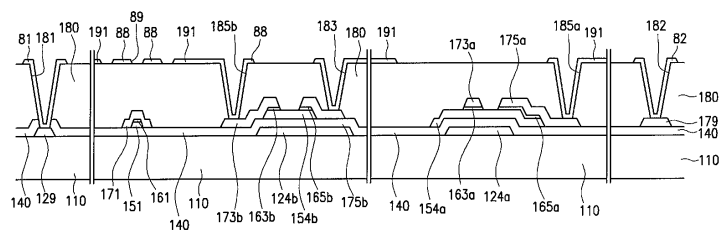
도면8



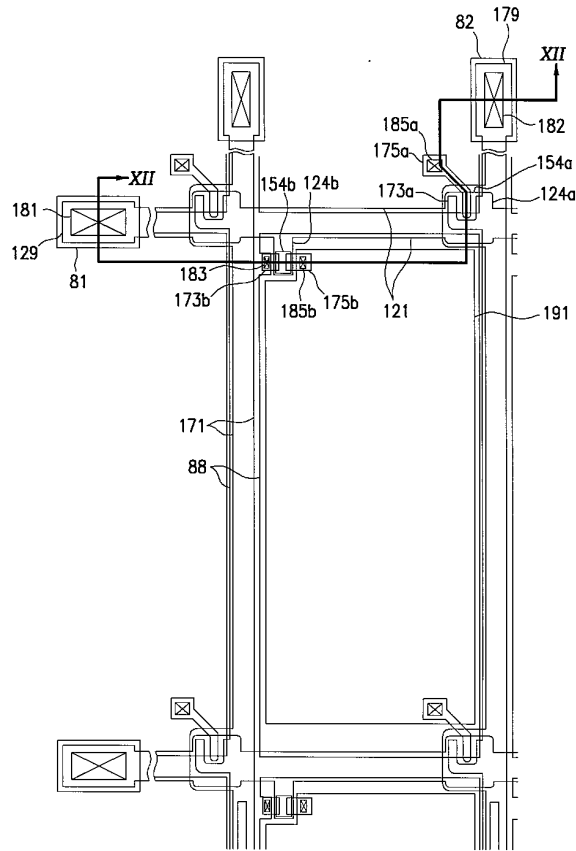
도면9



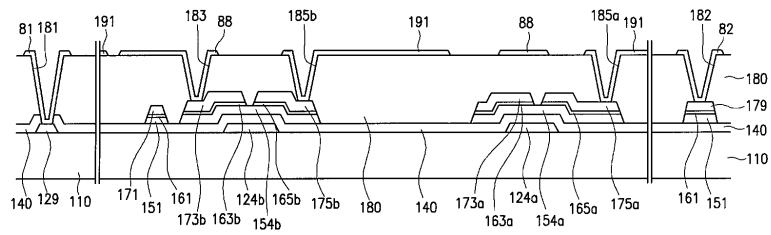
도면10



도면11



도면12



专利名称(译)	薄膜晶体管显示面板和包括其的液晶显示装置		
公开(公告)号	<a href="#">KR1020060115161A</a>	公开(公告)日	2006-11-08
申请号	KR1020050037519	申请日	2005-05-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE BAEK WOON		
发明人	LEE, BAEK WOON		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13624 G02F2001/136218		
其他公开文献	KR101209051B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

多个像素，第一栅极线传送第一栅极信号，它连接到薄膜晶体管，第二栅极线传送第二栅极信号，它连接到第二薄膜晶体管和数据线传送数据信号，它连接根据本发明的液晶显示器包括薄膜晶体管的薄膜晶体管，包括第二薄膜晶体管和与第一和第二薄膜晶体管连接的像素电极。第二薄膜晶体管连接到指定电压，并且根据第二栅极信号将指定电压传送到像素电极。预充电，薄膜晶体管 and 屏蔽电极。

