

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0063306
(43) 공개일자 2006년06월12일

(21) 출원번호 10-2004-0102441

(22) 출원일자 2004년12월07일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김도연
부산 동구 범일1동 62-720 한성기린아파트 나동 2419동
남현택
대구 동구 효목1동 동촌강나루타운 106/804

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 횡전계방식 액정표시장치 및 이의 구동방법

요약

본 발명은 플리커 현상을 방지할 수 있고, 데이터 드라이버의 구동전압을 감소시킬 수 있는 횡전계방식 액정표시장치 및 이의 구동방법에 관한 것으로, 일방향으로 배열된 다수개의 게이트 라인들; 상기 게이트 라인들과 교차하도록 배열되는 다수개의 데이터 라인들; 상기 각 데이터 라인에 데이터 전압을 공급하기 위한, 도트 인버전 구동방식의 데이터 드라이버; 상기 게이트 라인들과 데이터 라인들에 의해서 매트릭스 형태로 정의되는 다수개의 화소영역들에 형성되는 다수개의 화소전극들; 상기 각 게이트 라인과 각 데이터 라인이 교차하는 부근에 형성된 박막트랜지스터; 상기 각 화소영역마다 형성되는 다수개의 공통전극들; 대각선 방향으로 배열된 화소영역들간을 가로지르며, 상기 대각선 방향으로 배열된 화소영역들의 공통전극들간을 연결하는 다수개의 공통라인; 및, 상기 인접한 공통라인간에 서로 반전된 위상을 갖는 제 1 및 제 2 공통전압을 인가하는 공통전압발생부를 포함하여 구성되는 것이다.

대표도

도 6

색인어

액정표시장치, 횡전계, 데이터 드라이버, 도트 인버전 구동, 공통전압, 스윙(swing)

명세서

도면의 간단한 설명

도 1은 종래의 횡전계방식 액정표시장치의 하나의 화소영역을 나타낸 평면도

도 2는 데이터 전압 및 공통전압을 설명하기 위한 도면

도 3a는 교류 구동방식의 공통전압의 파형도

도 3b는 직류 구동방식의 공통전압의 파형도

도 4는 종래의 교류 구동방식의 공통전압을 사용한 횡전계방식 액정표시장치의 구성도

도 5는 종래의 횡전계방식 액정표시장치에서의 각 화소영역에 인가된 데이터 전압의 극성을 설명하기 위한 도면

도 6은 본 발명의 제 1 실시예에 따른 횡전계방식 액정표시장치의 구성도

도 7은 도 6의 공통라인에 인가되는 제 1 공통전압 및 제 2 공통전압의 파형

도 8은 도 6의 데이터 드라이버로부터 기수번째 프레임동안 출력되는 데이터 전압의 극성을 설명하기 위한 도면

도 9는 기수번째 프레임동안 도 6의 액정패널의 각 화소영역에 인가되는 데이터 전압의 극성 및 공통전압의 극성을 설명하기 위한 도면

도 10은 도 6의 데이터 드라이버로부터 우수번째 프레임동안 출력되는 데이터 전압의 극성을 설명하기 위한 도면

도 11은 우수번째 프레임동안 도 6의 액정패널의 각 화소영역에 인가되는 데이터 전압의 극성 및 공통전압의 극성을 설명하기 위한 도면

도 12는 본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치의 구성도

* 도면의 주요부에 대한 부호 설명

624 : 게이트 드라이버 626 : 데이터 드라이버

P, P1, P2 : 화소영역 630 : 공통전압발생부

GL1 내지 GLn : 게이트 라인 DL1 내지 DLm : 데이터 라인

CL1 내지 CLp+q : 공통라인 619 : 공통전극

T : 박막트랜지스터 622 : 액정패널

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 플리커 현상을 방지할 수 있고, 데이터 드라이버의 구동전압을 감소시킬 수 있는 횡전계방식 액정표시장치 및 그의 구동방법에 대한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어 졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.

따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.

이와 같은 액정표시장치는, 화상을 표시하는 액정표시패널과 상기 액정표시패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정표시패널은 공간을 갖고 함착된 제 1 및 제 2 기판과, 상기 제 1 기판과 제 2 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일방향으로 배열되는 다수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 다수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소전극에 전달하는 다수개의 박막 트랜지스터가 형성되어 있다.

그리고, 제 2 기판(컬러필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙매트릭스층과, 컬러 색상을 표현하기 위한 R, G, B 컬러필터층과 화상을 구현하기 위한 공통전극이 형성되어 있다.

이와 같은 상기 제 1 및 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 시일재(sealant)에 의해 함착되고 상기 두 기판 사이에 액정이 형성된다.

한편, 상기 제 1 기판과 제 2 기판의 마주보는 면에는 각각 배향막이 형성되고 상기 액정층을 배향시키기 위하여 러빙처리된다.

이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 수직 전계에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

그러나, 수직 전계에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.

이와 같은 좁은 시야각의 문제를 해결하기 위하여 공통 전극과 화소 전극을 제 1 기판상에 함께 형성하여 수평 전계를 이용한 횡전계방식 액정표시장치가 개발되었다.

이하 도면을 참조하여 종래의 횡전계방식 액정표시장치를 상세히 설명하면 다음과 같다.

도 1은 종래의 횡전계방식 액정표시장치의 하나의 화소영역을 나타낸 평면도이다.

종래의 횡전계방식 액정표시장치의 하나의 화소영역(P)은, 도 1에 도시된 바와 같이, 상기 화소영역(P)을 정의하기 위해 일방향으로 배열되는 게이트 라인(GL), 및 상기 게이트 라인(GL)에 수직한 방향으로 배열되는 데이터 라인(DL)과, 상기 게이트 라인(GL)에 평행하게 형성된 공통라인(113)을 포함한다. 여기서, 상기 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 부근에는 게이트 전극(115)과 액티브층(125)과 소스 전극(116) 및 드레인 전극(117)을 포함하는 박막트랜지스터(T)가 구성되며, 상기 소스 전극(116)은 상기 데이터 라인(DL)과 연결되고, 상기 게이트 전극(115)은 상기 게이트 라인(GL)과 연결된다.

그리고, 상기 화소영역(P)에는 일정간격을 갖고 배열되는 다수개의 화소전극들(118)이 상기 데이터 라인(DL)에 평행하도록 형성되어 있으며, 상기 화소전극들(118)의 각 일단부들은 서로 연결되어 상기 박막트랜지스터(T)의 드레인 전극(117)과 연결되며, 각 타단부들은 서로 연결되어 상기 공통라인(113)을 중첩하도록 상기 공통라인(113)의 상부에 위치한다.

그리고, 상기 공통라인(113)으로부터는 다수개의 공통전극들(119)이 일정간격을 갖고 분기되며, 각 분기된 공통전극들(119)은 상기 화소전극들(118) 사이에 위치한다. 그리고, 상기 각 분기된 공통전극들(119)의 끝단은 서로 연결되고, 이 연결된 끝단은 상기 화소전극들(118)의 타단부가 연결된 부분을 중첩하도록, 상기 화소전극들(118)의 하부에 위치한다.

이와 같이 구성된 횡전계방식 액정표시장치는 상기 공통전극들(119)과 화소전극들(118) 사이에 걸리는 수평 전계에 의해서 액정층을 구동하게 되므로, 일반적인 TN(Twisted Nematic) 모드의 액정표시장치에 비하여 시야각이 넓다는 장점이 있다.

그러나, 이러한 장점에도 불구하고, 상기 횡전계방식 액정표시장치는 일반적인 TN 모드의 액정표시장치에 비하여 전압 대비 투과율이 낮기 때문에, 상기 횡전계방식 액정표시장치는, 도면에 도시하지 않았지만, 상기 데이터 라인(DL)을 구동하기 위하여 높은 구동전압을 갖는 고전압의 데이터 드라이버를 사용하여야 하는 문제점이 있었다. 최근에는 이러한 문제점을 해결하기 위해 공통전압을 스윙시켜, 상기 데이터 드라이버의 구동전압을 낮출 수 있는 방법이 개발되었다.

이를 좀 더 구체적으로 설명하면 다음과 같다.

도 2는 데이터 전압 및 공통전압을 설명하기 위한 도면이다.

상기 데이터 드라이버는 타이밍 콘트롤러로부터 디지털 화상 데이터를 입력받아, 이를 미리 설정된 아날로그 데이터 전압(이하, '데이터 전압'으로 표기)으로 변환하기 위한 것으로, 상기 데이터 드라이버는 다수개의 데이터 드라이브 IC들로 구성된다. 상기 각 데이터 드라이브 IC는 상기 각 데이터 라인들(DL)에 접속되는 다수개의 출력핀들을 갖고 있다. 따라서, 전체 데이터 라인(DL)은 상기 다수개의 데이터 드라이브 IC들에 의해서 나누어져 구동되게 된다.

한편, 액정의 열화를 방지하기 위하여, 상기 데이터 드라이버는 상기 각 화소영역에 서로 상반된 극성의 데이터 전압을 교번하여 인가하는데, 이를 위하여 상기 데이터 드라이버는, 도 2에 도시된 바와 같이, 각 화상 데이터에 따라 미리 설정된 한 세트의 정극성의 데이터 전압들, 및 한 세트의 부극성의 데이터 전압들을 생성한다. 여기서, 상기 정극성의 데이터 전압들 및 부극성의 데이터 전압들은 공통전압(Vcom)을 기준으로, 서로 상반된 극성을 나타내며 아울러 서로 동일한 절대값을 가지고 있다. 다시말하면, 상기 공통전압(Vcom)과 상기 정극성의 데이터 전압들간의 전위차와, 상기 공통전압(Vcom)과 상기 부극성의 데이터 전압들간의 전위차는 동일하다.

이때, 상술한 바와 같이, 액정의 열화를 방지하기 위해 상기 데이터 드라이브 IC의 각 출력핀들로부터 출력되는 데이터 전압은 정극성 및 부극성을 교번하여 가지게 되는데, 구체적으로, 각 출력핀들로부터는 매 수평기간마다 정극성의 데이터 전압 및 부극성의 데이터 전압이 교번하여 출력됨과 아울러, 서로 인접한 출력핀들로부터는 서로 상반된 극성의 데이터 전압이 출력된다. 따라서, 상기 각 화소영역은 상기 데이터 라인(DL)에 충전된 정극성의 데이터 전압 및 부극성의 데이터 전압을 교번적으로 인가받게 되며, 이에 따라 각 화소영역에 형성된 액정의 열화가 방지된다.

한편, 노말리 블랙(normally black)으로 구동되는 횡전계방식 액정표시장치에서는 상기 정극성의 데이터 전압들 중 가장 큰 값을 갖는 정극성의 데이터 전압(이하, '정극성 최고전압'으로 표기), 및 상기 부극성의 데이터 전압들 중 가장 작은 값을 갖는 부극성의 데이터 전압(이하, '부극성 최저전압'으로 표기)이 가장 밝은 계조(화이트)를 나타낸다. 또한, 상기 정극성의 데이터 전압들 중 가장 작은 값을 갖는 정극성의 데이터 전압(이하, '정극성 최저 전압'으로 표기), 및 상기 부극성의 데이터 전압들 중 가장 큰 값을 갖는 부극성의 데이터 전압(이하, '부극성 최고전압'으로 표기)이 가장 어두운 계조(블랙)를 나타낸다. 여기서, 상기 화이트 계조를 나타내는 상기 정극성 최고전압 및 부극성 최저전압은, 상술한 바와 같은 횡전계방식 액정표시장치의 특성상 높은 전압 값을 가지게 되며, 이로 인해 상기 데이터 드라이버의 소비전력이 높아지는 단점이 있었다.

이와 같은 문제점을 해결하기 정극성 및 부극성을 교번적으로 갖도록 상기 공통전압을 교류 구동하는 방식이 제안되었다.

도 3a는 교류 구동방식의 공통전압의 파형도이고, 도 3b는 직류 구동방식의 공통전압의 파형도이다.

즉, 도 3a에 도시된 바와 같이, 최근에는 상기 공통전압(Vcom')을 정극성 및 부극성으로 교번적으로 스윙시켜, 상기 정극성의 데이터 전압들에 대해서는 부극성의 공통전압(Vcom')을 적용하고, 상기 부극성의 데이터 전압들에 대해서는 정극성의 공통전압(Vcom')을 적용함으로써, 상대적으로 상기 정극성 최고전압의 크기 및 부극성 최저전압의 크기를 줄이고 있다.

예를 들어, 도 3b에 도시된 바와 같은 종래의 직류구동 방식의 공통전압(V_{com})이 0V라고 가정할 때, 상기 정극성의 데이터 전압들을 1V 내지 10V의 크기로 설정하고, 상기 부극성의 데이터 전압들을 -1V 내지 -10V의 크기로 설정하기 위해서는, 상기 데이터 드라이버는 적어도 -10V보다 더 작은 크기의 전압, 및 적어도 +10V보다 더 큰 크기의 전압을 인가받아 이를 전압분배하여 필요한 정극성의 데이터 전압들 및 부극성의 데이터 전압들을 생성하게 된다.

한편, 상기 교류 구동방식의 공통전압(V_{com})이 +5V에서 -5V로 스윙한다고 가정할 때, 상기 정극성의 데이터 전압들을 상기과 같이 1V 내지 10V의 크기로 설정하고, 상기 부극성의 데이터 전압들을 -1V 내지 -10V의 크기로 설정하기 위해서는, 상기 데이터 드라이버는 적어도 -5V보다 더 작은 크기의 전압, 및 적어도 +5V보다 더 큰 크기의 전압을 인가받아 이를 전압분배하여 필요한 정극성의 데이터 전압들 및 부극성의 데이터 전압들을 생성한다.

즉, 정극성 최고전압을 10V로 설정한다고 할 때, 상기 0V의 직류구동 방식의 공통전압(V_{com})을 사용하게 되면, 상기 데이터 드라이버는 외부로부터 적어도 +10V의 구동전압을 인가 받아야 한다. 그러나, -5V의 교류구동 방식의 공통전압(V_{com})을 사용하게 되면, 상기 데이터 드라이버는 외부로부터 적어도 +5V의 구동전압만을 인가 받으면 된다. 또한, 상기 부극성 최저전압을 -10V로 설정한다고 할 때, 상기 0V의 직류구동 방식의 공통전압(V_{com})을 사용하게 되면, 상기 데이터 드라이버는 외부로부터 적어도 -10V의 구동전압을 인가 받아야 한다. 그러나, +5V의 교류구동 방식의 공통전압(V_{com})을 사용하게 되면, 상기 데이터 드라이버는 외부로부터 적어도 -5V의 구동전압만을 인가 받으면 된다. 따라서, 상기와 같은 교류구동 방식의 공통전압(V_{com})을 사용하게 되면, 상기 데이터 드라이버의 소비전력을 약 1/2 정도로 감소시킬 수 있다.

이하, 첨부된 도면을 참조하여, 상기 교류 구동방식의 공통전압을 사용한 횡전계방식 액정표시장치를 상세히 설명하면 다음과 같다.

도 4는 종래의 교류 구동방식의 공통전압을 사용한 횡전계방식 액정표시장치의 구성도이다.

종래의 교류 구동방식의 공통전압을 사용한 횡전계방식 액정표시장치는, 도 4에 도시된 바와 같이, 서로 수직교차하는 다수개의 게이트 라인들(GL_1 내지 GL_{n+1}) 및 데이터 라인들(DL_1 내지 DL_m)에 의해 정의되는 화소영역들(P)이 매트릭스 형태로 배열되어진 액정패널(422)과, 상기 액정패널(422)의 게이트 라인들(GL_1 내지 GL_{n+1})을 구동하기 위한 게이트 드라이버(424)와, 상기 액정패널(422)의 데이터 라인들(DL_1 내지 DL_m)을 구동하기 위한 데이터 드라이버(426)와, 상기 게이트 드라이버(424) 및 데이터 드라이버(426)를 제어하기 위한 타이밍 콘트롤러(도시되지 않음)와, 각 게이트 라인들(GL_1 내지 GL_{n+1})을 따라 배열된 각 수평라인의 화소영역들을 가로지르며 지나가는 다수개의 공통라인들(CL_1 내지 CL_p)과, 상기 공통라인들(CL_1 내지 CL_p)로부터 분기되어, 각 화소영역(P)의 화소전극들(도 1의 118) 사이에 위치하는 다수개의 공통전극들(119)과, 서로 반전된 위상을 갖는 제 1 공통전압(V_{com1}) 및 제 2 공통전압(V_{com2})을 출력하여 상기 공통라인들(CL_1 내지 CL_p)에 제공하는 공통전압발생부(430)를 포함한다.

상기 공통전압발생부(430)로부터 출력되는 제 1 공통전압(V_{com1})과 제 2 공통전압(V_{com2})은 매 프레임마다 정극성 및 부극성을 교번하여 갖는 교류 전압이며, 상기 제 1 공통전압(V_{com1})과 제 2 공통전압(V_{com2})은 서로 상반된 위상을 갖는다. 즉, 동일 프레임에서 상기 제 1 공통전압(V_{com1})이 부극성을 나타낸다면, 상기 제 2 공통전압(V_{com2})은 정극성을 나타낸다.

여기서, 상기 화소영역들(P) 각각의 구성은 도 1에 도시된 구성과 동일하다. 한편, 상기 화소전극(118)과 상기 공통전극들(119)간에는 액정용량 커패시터(Clc)가 형성되며, 상기 화소전극(118)과 상기 공통라인(113)간에는 상기 액정용량 커패시터에 충전된 데이터 전압을 다음 데이터 전압이 충전될 때까지 유지시키기 위한 스토리지 커패시터(Cst)가 형성된다.

또한, 상기 게이트 라인들(GL_1 내지 GL_{n+1})과 데이터 라인들(DL_1 내지 DL_m)이 교차하는 부근에는 박막트랜지스터(T)가 형성된다. 상기 박막트랜지스터(T)는 해당 게이트 라인(GL_1 내지 GL_{n+1})으로부터의 스캔펄스에 응답하여 해당 데이터 라인(DL_1 내지 DL_m)으로부터의 데이터 전압을 화소영역(P)에 공급한다.

특히, 상기 박막트랜지스터(T)는 게이트 라인(GL_1 내지 GL_{n+1})을 따라 지그재그형으로 접속된다. 이에 따라, 상기 게이트 라인(GL_1 내지 GL_{n+1})에 의해 구동되는 화소영역들(P)도 해당 게이트 라인(GL_1 내지 GL_{n+1})을 기준으로 지그재그형으로 위치하게 된다. 다시 말하면, 동일 수평라인을 구성하는 화소영역들(P)은 컬럼마다 교번하여 서로 다른 게이트 라인(GL)에 의해 구동된다. 이에 따라, 상기 게이트 라인들(GL_1 내지 GL_{n+1}) 각각이 구동될 때마다 인접한 두 수평라인에 지그재그형으로 배치된 화소영역들(P)이 구동되므로 수평라인 각각은 두 게이트 라인들에 의해 구동된다. 이를 위하여, 제 n 게이트 라인(GL_n) 다음에는 제 n+1 게이트 라인(GL_{n+1})이 추가된다.

구체적으로, 박막트랜지스터(T)를 통해 기수번째 데이터 라인들(DL1, DL3, ..., DL_{m-1})에 접속되는 기수번째 컬럼의 화소영역들(P)은 자신들의 하측으로 인접한 게이트 라인들에 의해 구동된다. 이와 달리, 박막트랜지스터(T)를 통해 우수번째 데이터 라인들(DL2, DL4, ..., DL_m)에 접속되는 우수번째 컬럼의 화소영역들(P)은 자신의 상측으로 인접한 게이트 라인들에 의해 구동된다. 다시 말하여, i번째 수평라인의 화소영역들(P) 중 기수번째 컬럼의 화소영역들(P)은 i+1번째 게이트 라인에 의해 구동되는 반면에 우수번째 컬럼의 화소영역들(P)은 i번째 게이트 라인에 의해 구동된다.

예를 들면, 제 1 수평라인의 화소영역들(P) 중 기수번째 컬럼의 화소영역들(P)은 제 2 게이트 라인(GL2)에 의해 구동되고, 우수번째 컬럼의 화소영역들(P)은 제 1 게이트 라인(GL1)에 의해 구동된다. 그리고, 제 n 수평라인의 화소영역들(P) 중 기수번째 컬럼의 화소영역들(P)은 제 n+1 게이트 라인(GL_{n+1})에 의해 구동되고, 우수번째 컬럼의 화소영역들(P)은 제 n 게이트 라인(GL_n)에 의해 구동된다.

한편, 인접한 공통라인들(CL1 내지 CL_p)간에는 서로 반전된 위상을 갖는 제 1 및 제 2 공통전압(V_{com1}, V_{com2})이 인가된다. 즉, 기수번째 수평라인의 화소영역들(P)을 가로지르는 공통라인들(CL1, CL3, ..., CL_{p-1})에는 제 1 공통전압(V_{com1})이 인가되고, 우수번째 수평라인의 화소영역들(P)을 가로지르는 공통라인들(CL2, CL4, ..., CL_p)에는 제 2 공통전압(V_{com2})이 인가된다. 따라서, 상기 기수번째 수평라인의 화소영역들(P)에 구비된 공통전극들(119)에는 제 1 공통전압(V_{com1})이 인가되고, 상기 우수번째 수평라인의 화소영역들(P)에 구비된 공통전극들(119)에는 제 2 공통전압(V_{com2})이 인가된다.

여기서, 상기 횡전계방식 액정표시장치에 구비된 데이터 드라이버(426)는 도트 인버전 구동 방식의 데이터 드라이버(426)로서, 기수번째 수평기간에 상기 데이터 드라이버(426)의 기수번째 출력핀들로부터 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들로부터 부극성의 데이터 전압이 출력된다. 그리고, 우수번째 수평기간에 상기 데이터 드라이버(426)의 기수번째 출력핀들로부터 부극성의 데이터 전압이 출력되고, 우수번째 출력핀들로부터는 정극성의 데이터 전압이 출력된다.

이와 같이 구성된 종래의 횡전계방식 액정표시장치의 동작을 상세히 설명하면 다음과 같다.

도 5는 종래의 횡전계방식 액정표시장치에서의 각 화소영역에 인가된 데이터 전압의 극성을 설명하기 위한 도면이다.

먼저, 제 1 수평기간동안의 동작을 설명하면 다음과 같다.

제 1 수평기간 동안에는, 상기 게이트 드라이버(424)로부터 출력된 스캔펄스가 제 1 게이트 라인(GL1)에 인가된다. 따라서, 제 1 수평라인의 우수번째 컬럼의 화소영역들(P)에 구비된 박막트랜지스터들(T)이 턴-온된다. 또한, 상기 데이터 드라이버(426)의 기수번째 출력핀들로부터는 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들로부터는 부극성의 데이터 전압이 출력된다.

한편, 상기 제 1 수평기간 동안에는 제 1 수평라인의 우수번째 컬럼의 화소영역들(P)만 구동되므로, 상기 우수번째 화소영역들(P)에 대응하는 상기 데이터 드라이버(426)의 우수번째 출력핀들로부터만 부극성의 데이터 전압이 출력되고, 기수번째 컬럼의 화소영역들(P)에 대응하는 상기 데이터 드라이버(426)의 기수번째 출력핀들로부터는 정극성의 데이터 전압이 출력되지 않는다. 따라서, 제 1 수평기간동안에는 상기 제 1 수평라인의 우수번째 컬럼의 화소영역들(P)에만 부극성의 데이터 전압이 인가된다.

이어서, 제 2 수평기간 동안의 동작을 설명하면 다음과 같다.

제 2 수평기간 동안에는, 상기 게이트 드라이버(424)로부터 출력된 스캔펄스가 제 2 게이트 라인(GL2)에 인가된다. 따라서, 제 1 수평라인의 기수번째 컬럼의 화소영역들(P)에 구비된 박막트랜지스터들(T), 및 제 2 수평라인의 우수번째 컬럼의 화소영역들(P)에 구비된 박막트랜지스터들(T)이 턴-온된다. 또한, 상기 데이터 드라이버(426)의 기수번째 출력핀들로부터는 부극성의 데이터 전압이 출력되고, 우수번째 출력핀들로부터는 정극성의 데이터 전압이 출력된다.

따라서, 제 2 수평기간 동안에는, 상기 제 1 수평라인의 기수번째 컬럼의 화소영역들(P)에는 부극성의 데이터 전압이 인가되고, 제 2 수평라인의 우수번째 컬럼의 화소영역들(P)에는 정극성의 데이터 전압이 인가된다. 결국, 제 1 수평라인을 따라 배열된 모든 화소영역들(P)(기수번째 컬럼의 화소영역들(P), 및 우수번째 컬럼의 화소영역들(P))에는 부극성의 데이터 전압이 인가된다.

다음으로, 제 3 수평기간 동안의 동작을 설명하면 다음과 같다.

제 3 수평기간 동안에는, 상기 게이트 드라이버(424)로부터 출력된 스캔펄스가 제 3 게이트 라인(GL3)에 인가된다. 따라서, 상기 제 2 수평라인의 기수번째 컬럼의 화소영역들(P)에 구비된 박막트랜지스터들(T), 및 제 3 수평라인의 우수번째 컬럼의 화소영역들(P)에 구비된 박막트랜지스터들(T)이 턴-온된다. 또한, 상기 데이터 드라이버(426)의 기수번째 출력핀들로부터는 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들로부터는 부극성의 데이터 전압이 출력된다.

따라서, 제 3 수평기간 동안에, 상기 제 2 수평라인의 기수번째 컬럼의 화소영역들(P)에는 정극성의 데이터 전압이 인가되고, 제 3 수평라인의 우수번째 컬럼의 화소영역들(P)에는 부극성의 데이터 전압이 인가된다. 결국, 제 2 수평라인을 따라 배열된 모든 화소영역들(P)(기수번째 컬럼의 화소영역들(P), 및 우수번째 컬럼의 화소영역들(P))에는 정극성의 데이터 전압이 인가된다.

이와 같은 방식으로 나머지 제 3 내지 제 n 수평라인의 화소영역들(P)이 구동됨에 따라, 도 5에 도시된 바와 같이, 기수번째 수평라인의 모든 화소영역들(P)에는 부극성의 데이터 전압이 인가되고, 우수번째 수평라인의 모든 화소영역들(P)에는 정극성의 데이터 전압이 인가된다. 결국, 종래의 횡전계방식 액정표시장치는 수평라인간의 화소영역들(P)이 서로 반전된 극성을 갖는 라인 인버전 방식으로 구동된다.

한편, 상기 기수번째 수평라인의 화소영역들(P)에는 제 1 공통전압(Vcom1)이 인가되고, 상기 우수번째 수평라인의 화소영역들(P)에는 제 2 공통전압(Vcom2)이 인가된다. 이때, 한 프레임동안 상기 제 1 공통전압(Vcom1)은 정극성으로 유지되고, 상기 제 2 공통전압(Vcom2)은 부극성으로 유지된다.

결국, 상기 기수번째 수평라인의 화소영역들(P)은 부극성의 데이터 전압과 정극성의 공통전압(Vcom1)이 인가되고, 상기 우수번째 수평라인의 화소영역들(P)은 정극성의 데이터 전압과 부극성의 공통전압(Vcom2)이 인가된다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 횡전계방식 액정표시장치에는 다음과 같은 문제점이 있었다.

첫째, 종래의 횡전계방식 액정표시장치는, 교류 구동방식의 공통전압을 사용하기 때문에 데이터 드라이버의 구동전압을 감소시킬 수 있는 장점은 있지만, 기수번째 수평라인의 화소영역들과 우수번째 화소영역들간이 서로 반전된 극성을 갖는 라인 인버전 방식으로 구동된다. 이러한 라인 인버전 구동방식은 수평방향 화소영역들간에 크로스토크가 존재함에 따라 수평라인들간에 줄무늬 패턴과 같은 플리커가 발생하는 문제점이 있다.

둘째, 종래의 횡전계방식 액정표시장치는, 각 게이트 라인에 박막트랜지스터가 지그재그형으로 연결되므로, 각 게이트 라인의 박막트랜지스터가 턴-온될 때마다, 상기 각 게이트 라인의 상측 및 하측에 위치한 화소영역들에 동시에 데이터 전압이 인가된다. 이와 같이, 상기 데이터 전압을 상측에 위치한 화소영역들과 하측에 위치한 화소영역들에 동시에 인가하기 위해서는, 타이밍 컨트롤러는 상기 데이터 전압에 해당하는 화상 데이터를 재정렬 해야만 한다.

즉, 상기 타이밍 컨트롤러는 외부 시스템으로부터 순차적으로 화상 데이터를 입력받게 되는데, 이때, 상기 화상 데이터는 수평라인단위로 순차적으로 입력되므로, 상기 타이밍 컨트롤러는 상기 화상 데이터를 입력받아, 기수번째 수평라인의 기수번째 컬럼의 화소영역에 해당하는 화상 데이터와, 우수번째 수평라인의 우수번째 컬럼의 화소영역에 해당하는 화상 데이터가 교번하여 출력될 수 있도록 상기 화상 데이터를 재정렬한다. 그러나, 이를 위해서, 상기 타이밍 컨트롤러는 상기 화상 데이터를 재정렬하고 이를 저장하기 위한 메모리를 더 구비해야만 하는 문제점이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 데이터 전압이 액정패널의 한 수평라인단위로 인가되도록 하고, 데이터 드라이버의 구동전압을 감소시킴과 아울러, 서로 인접한 화소영역들간에 서로 다른 공통전압이 인가되도록 하여 플리커 현상을 방지할 수 있는 횡전계방식 액정표시장치 및 그의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 일방향으로 배열된 다수개의 게이트 라인들; 상기 게이트 라인들과 교차하도록 배열되는 다수개의 데이터 라인들; 상기 각 데이터 라인에 데이터 전압을 공급하기 위한, 도트 인버전 구동방식의 데이터 드라이버; 상기 게이트 라인들과 데이터 라인들에 의해서 매트릭스 형태로 정의되는 다수개의 화소영역들에 형성되는 다수개의 화소전극들; 상기 각 게이트 라인과 각 데이터 라인이 교차하는 부근에 형성된 박막트랜

지스터; 상기 각 화소영역마다 형성되는 다수개의 공통전극들; 대각선 방향으로 배열된 화소영역들간을 가로지르며, 상기 대각선 방향으로 배열된 화소영역들의 공통전극들간을 연결하는 다수개의 공통라인; 및, 상기 인접한 공통라인간에 서로 반전된 위상을 갖는 제 1 및 제 2 공통전압을 인가하는 공통전압발생부를 포함하여 구성되는 것을 그 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은, 다수개의 화소영역이 매트릭스 형태로 배열된 액정패널, 및 상기 각 화소영역에 형성된 화소전극을 포함한 액정표시장치에 있어서, 상기 화소영역들에 도트 인버전 방식으로 데이터 전압을 인가하는 단계; 및, 상기 화소영역들에 상기 데이터 전압과 상반된 극성을 갖는 공통전압을 도트 인버전 방식으로 인가하는 단계를 포함하여 이루어지는 것을 그 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 횡전계방식 액정표시장치를 상세히 설명하면 다음과 같다.

도 6은 본 발명의 제 1 실시예에 따른 횡전계방식 액정표시장치의 구성도이고, 도 7은 도 6의 공통라인에 인가되는 제 1 공통전압 및 제 2 공통전압의 파형이다.

본 발명의 제 1 실시예에 따른 횡전계방식 액정표시장치는, 도 6에 도시된 바와 같이, 서로 수직교차하는 게이트 라인들(GL1 내지 GLn) 및 데이터 라인들(DL1 내지 DLm)에 의해서 정의되는 매트릭스 형태의 화소영역들(P)을 갖는 액정패널(622)과, 상기 각 게이트 라인들(GL1 내지 GLn)과 각 데이터 라인들(DL1 내지 DLm)이 교차하는 부근에 형성되는 박막 트랜지스터(T)와, 상기 게이트 라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(624)와, 상기 데이터 라인들(DL1 내지 DLm)을 구동하기 위한, 도트 인버전 구동방식의 데이터 드라이버(626)와, 상기 게이트 드라이버(624) 및 데이터 드라이버(626)를 제어하기 위한 타이밍 컨트롤러(도시되지 않음)와, 상기 각 화소영역(P)마다 형성되는 다수개의 화소전극들(도시되지 않음)과, 상기 각 화소영역(P)마다 형성되며, 상기 화소전극들 사이에 위치하는 다수개의 공통전극들(619)과, 서로 인접한 화소영역들(P)간의 공통전극들(619)에 서로 상반된 위상을 갖는 제 1 및 제 2 공통전압(Vcom1, Vcom2)을 공급하는 공통전압발생부(630)를 포함한다.

상기 공통전압발생부(630)로부터 출력되는 제 1 공통전압(Vcom1)과 제 2 공통전압(Vcom2)은, 도 7에 도시된 바와 같이, 매 프레임마다 정극성 및 부극성을 교번하여 갖는 교류 전압이며, 상기 제 1 공통전압(Vcom1)과 제 2 공통전압(Vcom2)은 매 프레임마다 서로 상반된 위상을 갖는다. 즉, 동일 프레임에서 상기 제 1 공통전압(Vcom1)이 부극성을 나타낸다면, 상기 제 2 공통전압(Vcom2)은 정극성을 나타낸다.

여기서, 상기 제 1 및 제 2 공통전압(Vcom1, Vcom2)은 공통라인들(CL1 내지 CLp+q)을 통해 각 공통전극들(619)에 전달되는데, 상술한 바와 같이, 서로 인접한 화소영역들(P)간의 공통전극들(619)에 서로 반전된 위상의 공통전압이 인가되도록 하기 위해, 상기 공통라인들(CL1 내지 CLp+q)은 다음과 같이 구성된다.

즉, 도 6에 도시된 바와 같이, 상기 각 공통라인(CL1 내지 CLp+q)은 대각선 방향으로 배열된 화소영역들(P)간을 가로지르며, 상기 대각선 방향으로 배열된 화소영역들(P)에 형성된 공통전극들(619)간을 서로 연결한다. 이때, 각 공통라인(CL1 내지 CLp+q)은 서로 평행하도록 배열되며, 서로 인접한 공통라인(CL1 내지 CLp+q)간에는, 도 7에 도시된 바와 같이, 서로 반전된 위상의 제 1 및 제 2 공통전압(Vcom1, Vcom2)이 인가된다. 즉, 기수번째 공통라인들(CL1, CL3, ..., CLp+(q-1))에는 제 1 공통전압(Vcom1)이 인가되며, 우수번째 공통라인(CL2, CL4, ..., CLp+q)에는 제 2 공통전압(Vcom2)이 인가된다. 따라서, 상하 좌우 방향으로 서로 인접한 화소영역들(P)간에는 서로 다른 위상의 공통전압(Vcom1, Vcom2)이 인가된다.

예를 들면, 제 1 수평라인의 화소영역들(P) 중 기수번째 컬럼의 화소영역들(P)에는 제 1 공통전압(Vcom1)이 인가되고, 우수번째 컬럼의 화소영역들(P)에는 제 2 공통전압(Vcom2)이 인가된다. 그리고, 제 2 수평라인의 화소영역들(P) 중 기수번째 컬럼의 화소영역들(P)에는 제 2 공통전압(Vcom2)이 인가되고, 우수번째 컬럼의 화소영역들(P)에는 제 1 공통전압(Vcom1)이 인가된다.

한편, 도 6에 도시된 바와 같이, 상기 각 박막트랜지스터(T)는 자신이 연결된 게이트 라인(GL1 내지 GLn)을 기준으로 하여, 상기 게이트 라인(GL1 내지 GLn)의 상측에 인접한 화소영역(P)에 형성되어, 상기 화소영역(P)에 구비된 화소전극에 데이터 전압을 인가한다. 따라서, 상기 매트릭스 형태로 배열된 전체 화소영역들(P)은 수평라인단위로 데이터 전압을 인가받게 된다. 즉, 먼저 제 1 수평라인을 따라 배열된 화소영역들(P)이 데이터 전압을 인가받고, 이어서 제 2 수평라인을 따라 배열된 화소영역들(P)이 데이터 전압을 인가받고, ..., 이어서 제 n-1 수평라인을 따라 배열된 화소영역들(P)이 데이터 전압을 인가받고, 마지막으로 제 n 수평라인을 따라 배열된 화소영역들(P)이 데이터 전압을 인가받는다.

따라서, 상기 타이밍 컨트롤러는 시스템(도시되지 않음)으로부터 수평라인단위로 순차적으로 출력되는 화상 데이터를 입력받아, 이를 그대로 데이터 드라이버(626)로 타이밍에 맞춰 출력하게 된다. 이에 따라, 상기 타이밍 컨트롤러는 종래와 같이 상기 화상 데이터를 재정렬하여 저장하기 위한 메모리를 필요로 하지 않는다.

또한, 도면에 도시하지 않았지만, 상기 각 박막트랜지스터(T)는 자신이 연결된 게이트 라인(GL1 내지 GLn)을 기준으로 하여, 상기 게이트 라인(GL1 내지 GLn)의 하측에 위치한 화소영역(P)에 형성되어, 상기 화소영역(P)에 구비된 화소전극에 데이터 전압을 인가할 수도 있다. 단, 이때는 제 1 수평라인의 화소영역들(P)의 상측에 게이트 라인이 더 구비되며, 제 n 수평라인의 화소영역들(P)의 하측에 위치한 제 n 게이트 라인(GLn)은 제거된다.

한편, 상기 각 화소영역(P)의 화소전극들은 서로 일정 간격을 갖고 일방향으로 배열되어 있으며, 상기 화소전극들의 각 일단부들은 서로 연결되어 상기 박막트랜지스터(T)의 드레인전극과 연결되며, 각 타단부들은 서로 연결되어 상기 공통라인(CL1 내지 CLp+q)을 중첩하도록 상기 공통라인(CL1 내지 CLp+q)의 상부에 위치한다.

그리고, 상기 공통전극들(619)은 일정간격을 갖고 공통라인(CL1 내지 CLp+q)으로부터 분기되며, 각 분기된 공통전극들(619)은 상기 화소전극들 사이에 위치한다. 그리고, 상기 각 분기된 공통전극들(619)의 끝단은 서로 연결되고, 이 연결된 끝단은 상기 화소전극들의 타단부가 연결된 부분을 중첩하도록, 상기 화소전극의 하부에 위치한다.

여기서, 상기 화소전극과 상기 공통전극들(619)간에는 액정용량 커패시터(Clc)가 형성되며, 상기 화소전극과 상기 공통라인(CL1 내지 CLp+q)이 중첩하는 부분에 상기 액정용량 커패시터(Clc)에 충전된 데이터 전압을 다음 데이터 전압이 충전될 때까지 유지시키기 위한 스토리지 커패시터(Cst)가 형성된다.

한편, 상기 제 1 수평라인에 위치한 화소영역들(P) 중 제 1 데이터 라인(DL1)에 연결된 화소영역(P1), 및 제 n 수평라인에 위치한 화소영역들(P) 중 제 m 데이터 라인(DLm)에 연결된 화소영역(P2)을 좀 더 구체적으로 살펴보자.

상기 화소영역(P1)으로부터 대각선 방향(구체적으로, 상기 화소영역(P1)으로부터 우상측 방향, 및 상기 화소영역(P1)으로부터 좌하측 방향), 및 상기 화소영역(P2)으로부터 대각선 방향(구체적으로, 상기 화소영역(P2)로부터 우상측 방향, 및 상기 화소영역(P2)으로부터 좌하측 방향)에는 다른 화소영역들(P)이 존재하지 않으므로, 상기 화소영역들(P1, P2)에 형성된 제 1 및 제 p+q 공통라인(CL1, CLp+q)은 자신이 속한 화소영역들(P1, P2)에만 공통전압을 제공한다. 즉, 제 1 공통라인(CL1)은 상기 화소영역(P1)의 공통전극들(619)에만 제 1 공통전압(Vcom1)을 제공하며, 제 p+q 공통라인(CLp+q)은 상기 화소영역(P2)의 공통전극들(619)에만 제 2 공통전압(Vcom2)을 제공한다.

이와 같이 구성된 본 발명의 실시예에 따른 횡전계방식 액정표시장치의 동작을 상세히 설명하면 다음과 같다.

도 8은 도 6의 데이터 드라이버로부터 기수번째 프레임동안 출력되는 데이터 전압의 극성을 설명하기 위한 도면이고, 도 9는 기수번째 프레임동안 도 6의 액정패널의 각 화소영역에 인가되는 데이터 전압의 극성 및 공통전압의 극성을 설명하기 위한 도면이다.

상기 횡전계방식 액정표시장치에 구비된 데이터 드라이버(626)는 도트 인버전 방식의 데이터 드라이버(626)로서, 도 8의 (a)에 도시된 바와 같이, 기수번째 프레임의 기수번째 수평기간에는, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)로부터 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)로부터 부극성의 데이터 전압이 출력된다. 그리고, 상기 기수번째 프레임의 우수번째 수평기간에는, 도 8의 (b)에 도시된 바와 같이, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)들로부터 부극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)들로부터 정극성의 데이터 전압이 출력된다.

먼저, 제 1 프레임의 제 1 수평기간동안의 동작을 설명하면 다음과 같다.

제 1 프레임의 제 1 수평기간에 게이트 드라이버(624)로부터 출력된 스캔펄스는 제 1 게이트 라인(GL1)에 인가되며, 이때, 상기 스캔펄스에 응답하여 상기 제 1 게이트 라인(GL1)에 연결된 모든 박막트랜지스터들(T)이 턴-온된다. 또한, 상기 제 1 수평기간은 기수번째 수평기간이므로, 도 8의 (a)에 도시된 바와 같이, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)로부터는 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)로부터는 부극성의 데이터 전압이 출력된다.

따라서, 제 1 프레임의 제 1 수평기간동안에, 상기 제 1 수평라인의 기수번째 컬럼의 화소영역들(P)에는 정극성의 데이터 전압이 인가되고, 우수번째 컬럼의 화소영역들(P)에는 부극성의 데이터 전압이 인가된다. 이때, 기수번째 공통라인(CL1, CL3, ..., CLp+ (q-1))에 제 1 공통전압(Vcom1)이 인가되고, 우수번째 공통라인(CL2, CL4, ..., CLp+ q)에 제 2 공통전압(Vcom2)이 인가됨에 따라, 상기 제 1 수평라인의 기수번째 컬럼의 화소영역들(P)에 구비된 공통전극들(619)에는 제 1 공통전압(Vcom1)이 인가되고, 우수번째 컬럼의 화소영역들(P)에 구비된 공통전극들(619)에는 제 2 공통전압(Vcom2)이 인가된다. 여기서, 도 7에 도시된 바와 같이, 제 1 프레임동안 상기 제 1 공통전압(Vcom1)은 부극성으로 유지되고, 상기 제 2 공통전압(Vcom2)은 정극성으로 유지된다.

이어서, 제 2 수평기간 동안의 동작을 설명하면 다음과 같다.

제 1 프레임의 제 2 수평기간에 게이트 드라이버(624)로부터 출력된 스캔펄스는 제 2 게이트 라인(GL2)에 인가되며, 이때, 상기 스캔펄스에 응답하여 상기 제 2 게이트 라인(GL2)에 연결된 박막트랜지스터들(T)이 턴-온된다. 또한, 상기 제 2 수평기간은 우수번째 수평기간이므로, 도 8의 (b)에 도시된 바와 같이, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)로부터는 부극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)로부터는 정극성의 데이터 전압이 출력된다.

따라서, 제 2 수평기간동안에, 상기 제 2 수평라인의 기수번째 컬럼의 화소영역들(P)에는 부극성의 데이터 전압이 인가되고, 우수번째 컬럼의 화소영역들(P)에는 정극성의 데이터 전압이 인가된다. 이때, 기수번째 공통라인(CL1, CL3, ..., CLp+ (q-1))에 제 1 공통전압(Vcom1)이 인가되고, 우수번째 공통라인(CL2, CL4, ..., CLp+ q)에 제 2 공통전압(Vcom2)이 인가됨에 따라, 상기 제 2 수평라인의 기수번째 컬럼의 화소영역들(P)에 구비된 공통전극들(619)에는 제 2 공통전압(Vcom2)이 인가되고, 우수번째 컬럼의 화소영역들(P)에 구비된 공통전극들(619)에는 제 1 공통전압(Vcom1)이 인가된다. 여기서, 도 7에 도시된 바와 같이, 제 1 프레임동안 상기 제 1 공통전압(Vcom1)은 부극성으로 유지되고, 상기 제 2 공통전압(Vcom2)은 정극성으로 유지된다.

다음으로, 제 1 프레임의 제 3 수평기간 동안의 동작을 설명하면 다음과 같다.

제 1 프레임의 제 3 수평기간에 게이트 드라이버(624)로부터 출력된 스캔펄스는 제 3 게이트 라인(GL3)에 인가되며, 이때, 상기 스캔펄스에 응답하여 상기 제 3 게이트 라인(GL3)에 연결된 박막트랜지스터들(T)이 턴-온된다. 또한, 상기 제 3 수평기간은 기수번째 수평기간이므로, 도 8의 (a)에 도시된 바와 같이, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)로부터는 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)로부터는 부극성의 데이터 전압이 출력된다.

따라서, 제 3 수평기간동안에, 상기 제 3 수평라인의 기수번째 컬럼의 화소영역들(P)에는 정극성의 데이터 전압이 인가되고, 우수번째 컬럼의 화소영역들(P)에는 부극성의 데이터 전압이 인가된다. 이때, 기수번째 공통라인(CL1, CL3, ..., CLp+ (q-1))에 제 1 공통전압(Vcom1)이 인가되고, 우수번째 공통라인(CL2, CL4, ..., CLp+ q)에 제 2 공통전압(Vcom2)이 인가됨에 따라, 상기 제 3 수평라인의 기수번째 컬럼의 화소영역들(P)에 구비된 공통전극들(619)에는 제 1 공통전압(Vcom1)이 인가되고, 상기 우수번째 컬럼의 화소영역들(P)에 구비된 공통전극들(619)에는 제 2 공통전압(Vcom2)이 인가된다. 여기서, 도 7에 도시된 바와 같이, 제 1 프레임동안 상기 제 1 공통전압(Vcom1)은 부극성으로 유지되고, 상기 제 2 공통전압(Vcom2)은 정극성으로 유지된다.

이와 같은 방식으로 나머지 제 3 내지 제 n 수평라인이 화소영역들(P)이 구동됨에 따라, 도 9에 도시된 바와 같이, 기수번째 프레임 동안에는, 기수번째 수평라인의 모든 화소영역들(P)과 우수번째 수평라인의 모든 화소영역들(P)에 정극성의 데이터 전압과 부극성의 데이터 전압이 교번하여 나타난다. 이때, 상기 기수번째 수평라인의 화소영역들(P)과 우수번째 수평라인의 화소영역들(P)간이 서로 반전된 형태의 극성패턴을 갖게 됨에 따라, 상기 액정패널(622)은 도트 인버전 방식으로 구동된다.

또한, 상술한 바와 같이, 상기 공통라인들(CL1 내지 CLp+ q)이 대각선 방향의 화소영역들(P)을 서로 연결함에 따라(즉, 상기 대각선 방향의 화소영역들(P)에 구비된 공통전극들(619)을 연결함에 따라), 상기 정극성의 데이터 전압이 인가되는 화소영역들(P)에는 제 1 공통전압(Vcom1)이 인가되고, 상기 부극성의 데이터 전압이 인가되는 화소영역들(P)에는 제 2 공통전압(Vcom2)이 인가된다. 즉, 서로 상하 좌우 방향으로 인접한 화소영역들(P)간에는 서로 반전된 극성의 데이터 전압, 및 서로 위상 반전된 공통전압이 인가된다.

또한, 상기 기수번째 프레임동안에 상기 제 1 공통전압(Vcom1)은 부극성으로 유지되고, 상기 제 2 공통전압(Vcom2)은 정극성으로 유지된다.

이어서, 제 2 프레임동안 상기 액정패널(622)에 인가되는 데이터 전압의 극성 및 공통전압의 극성을 살펴보면 다음과 같다.

도 10은 도 6의 데이터 드라이버로부터 우수번째 프레임동안 출력되는 데이터 전압의 극성을 설명하기 위한 도면이고, 도 11은 우수번째 프레임동안 도 6의 액정패널의 각 화소영역에 인가되는 데이터 전압의 극성 및 공통전압의 극성을 설명하기 위한 도면이다.

즉, 도 10의 (a)에 도시된 바와 같이, 우수번째 프레임의 기수번째 수평기간에는, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)로부터 부극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)로부터 정극성의 데이터 전압이 출력된다. 그리고, 우수번째 프레임의 우수번째 수평기간에는, 도 10의 (b)에 도시된 바와 같이, 상기 데이터 드라이버(626)의 기수번째 출력핀들(700)로부터 정극성의 데이터 전압이 출력되고, 우수번째 출력핀들(700)로부터 부극성의 데이터 전압이 출력된다.

따라서, 우수번째 프레임 동안에도, 도 11에 도시된 바와 같이, 액정패널(622)이 도트 인버전 방식으로 구동된다. 단, 상기 우수번째 프레임동안 액정패널(622)의 전체 화소영역들(P)에 인가된 극성패턴과, 상기 기수번째 프레임동안 액정패널(622)의 전체 화소영역들(P)에 인가된 극성패턴은 서로 반전된 형태이다. 또한, 상기 우수번째 프레임동안에 상기 제 1 공통전압(Vcom1)은 정극성으로 유지되고, 상기 제 2 공통전압(Vcom2)은 부극성으로 유지된다.

한편, 상기 공통라인(CL1 내지 CLp+q)은 상기 대각선 방향으로 수직하는 대각선 방향으로 구성될 수도 있다. 이를 첨부된 도면을 참조하여 좀 더 구체적으로 설명하면 다음과 같다.

도 12는 본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치의 구성도이다.

본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치는 상술한 제 1 실시예의 횡전계방식 액정표시장치와 그 구성이 동일하며, 단지 공통라인(CL1' 내지 CLp+q')의 배열이 서로 다르다. 즉, 본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치에서의 공통라인들(CL1' 내지 CLp+q')은, 도 12에 도시된 바와 같이, 상술한 제 1 실시예에서의 공통라인들(CL1 내지 CLp+q)과 서로 교차되는 대각선 방향으로 배열된다.

여기서, 상기 제 1 수평라인에 위치한 화소영역들(P) 중 제 m 데이터 라인(DLm)에 연결된 화소영역(P3), 및 제 n 수평라인에 위치한 화소영역들(P) 중 제 1 데이터 라인(DL1)에 연결된 화소영역(P4)을 좀 더 구체적으로 살펴보자.

상기 화소영역(P3)으로부터 대각선 방향(구체적으로, 상기 화소영역(P3)으로부터 좌상측 방향, 및 화소영역(P3)으로부터 우하측 방향), 및 상기 화소영역(P4)으로부터 대각선 방향(구체적으로, 상기 화소영역(P4)으로부터 좌상측 방향, 및 상기 화소영역(P4)으로부터 우하측 방향)에는 다른 화소영역들(P)이 존재하지 않으므로, 상기 화소영역들(P3, P4)에 형성된 제 1 및 제 p+q 공통라인(CL1', CLp+q')은 자신이 속한 화소영역들(P3, P4)에만 공통전압을 제공한다. 즉, 제 1 공통라인(CL1')은 상기 화소영역(P3)의 공통전극들(619)에만 제 1 공통전압(Vcom1)을 제공하며, 제 p+q 공통라인(CLp+q')은 상기 화소영역(P4)의 공통전극들(619)에만 제 2 공통전압(Vcom2)을 제공한다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 횡전계방식 액정표시장치 및 이의 구동방법에는 다음과 같은 효과가 있다.

첫째, 서로 인접한 화소영역들간에 서로 상반된 극성의 데이터 전압이 인가됨에 따라, 액정패널의 수평라인간의 크로스 토크, 및 수직라인간의 크로스 토크가 방지된다.

둘째, 액정패널의 전체 화소영역들이 수평라인단위로 화상을 표시하므로, 타이밍 컨트롤러는 시스템으로부터 입력된 화상 데이터를 재정렬할 필요가 없다. 따라서, 상기 타이밍 컨트롤러에는 상기 시스템으로부터 입력된 화상 데이터를 재정렬하여 저장하기 위한 메모리를 필요로 하지 않는다.

(57) 청구의 범위

청구항 1.

일방향으로 배열된 다수개의 게이트 라인들;

상기 게이트 라인들과 교차하도록 배열되는 다수개의 데이터 라인들;

상기 각 데이터 라인에 데이터 전압을 공급하기 위한, 도트 인버전 구동방식의 데이터 드라이버;

상기 게이트 라인들과 데이터 라인들에 의해서 매트릭스 형태로 정의되는 다수개의 화소영역들에 형성되는 다수개의 화소 전극들;

상기 각 게이트 라인과 각 데이터 라인이 교차하는 부근에 형성된 박막트랜지스터;

상기 각 화소영역마다 형성되는 다수개의 공통전극들;

대각선 방향으로 배열된 화소영역들간을 가로지르며, 상기 대각선 방향으로 배열된 화소영역들의 공통전극들간을 연결하는 다수개의 공통라인; 및,

상기 인접한 공통라인간에 서로 반전된 위상을 갖는 제 1 및 제 2 공통전압을 인가하는 공통전압발생부를 포함하여 구성되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 및 제 2 공통전압은 프레임마다 극성이 반전되는 교류전압인 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 각 박막트랜지스터는 자신이 연결된 게이트 라인을 기준으로 하여, 상기 게이트 라인의 상측에 인접한 화소영역들의 화소전극들에 데이터 전압을 인가하는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 각 박막트랜지스터는 자신이 연결된 게이트 라인을 기준으로 하여, 상기 게이트 라인의 하측에 인접한 화소영역들의 화소전극들에 데이터 전압을 인가하는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 5.

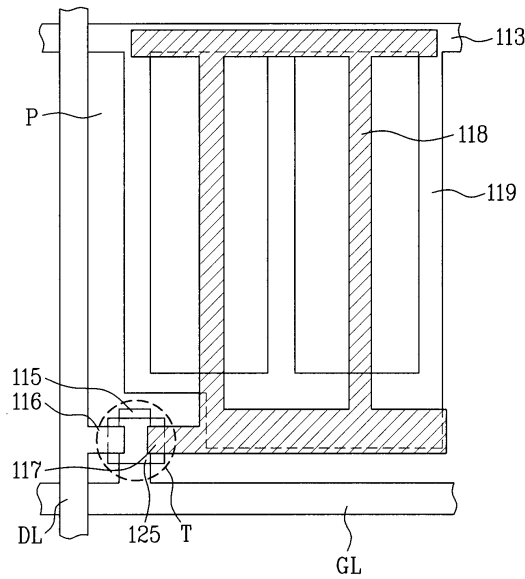
다수개의 화소영역이 매트릭스 형태로 배열된 액정패널, 및 상기 각 화소영역에 형성된 화소전극을 포함한 액정표시장치에 있어서,

상기 화소영역들에 도트 인버전 방식으로 데이터 전압을 인가하는 단계; 및,

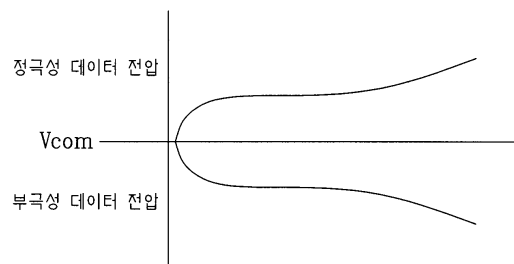
상기 화소영역들에 상기 데이터 전압과 상반된 극성을 갖는 공통전압을 도트 인버전 방식으로 인가하는 단계를 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정표시장치의 구동방법.

도면

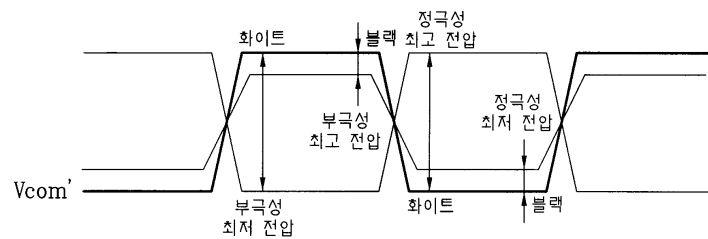
도면1



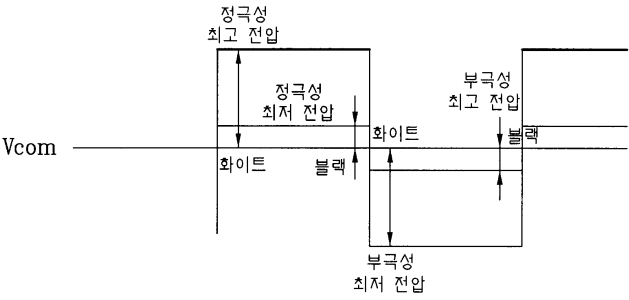
도면2



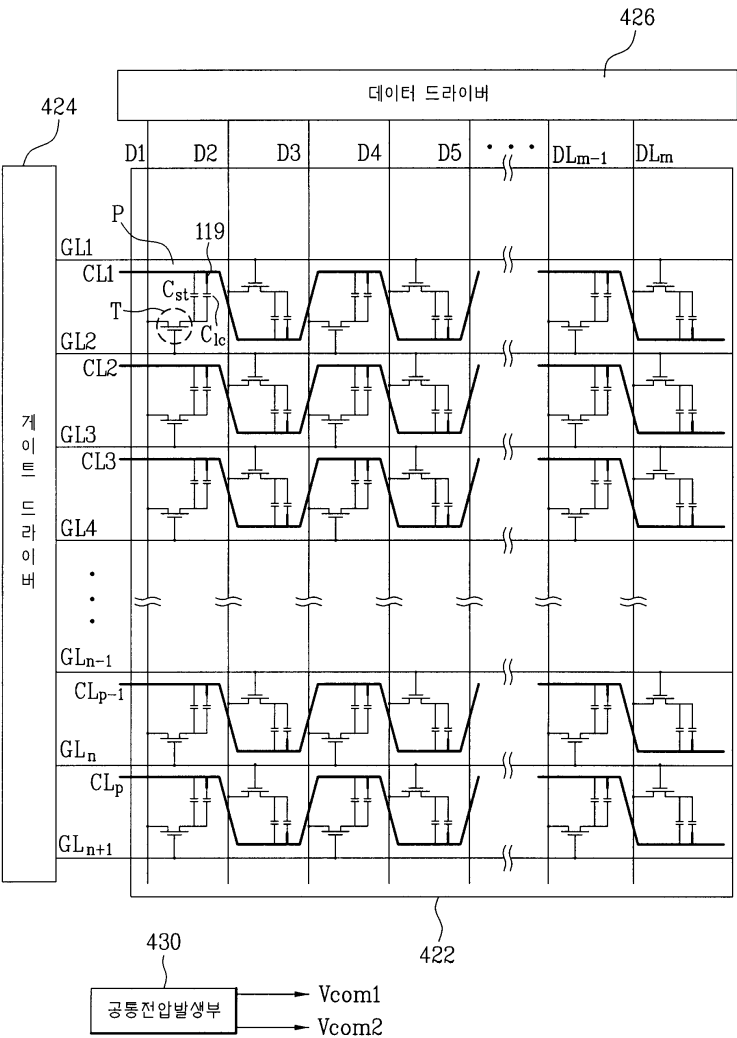
도면3a



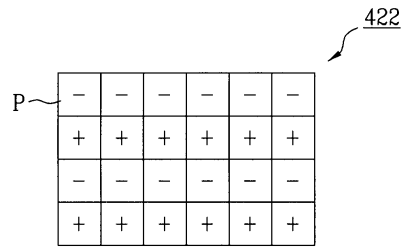
도면3b



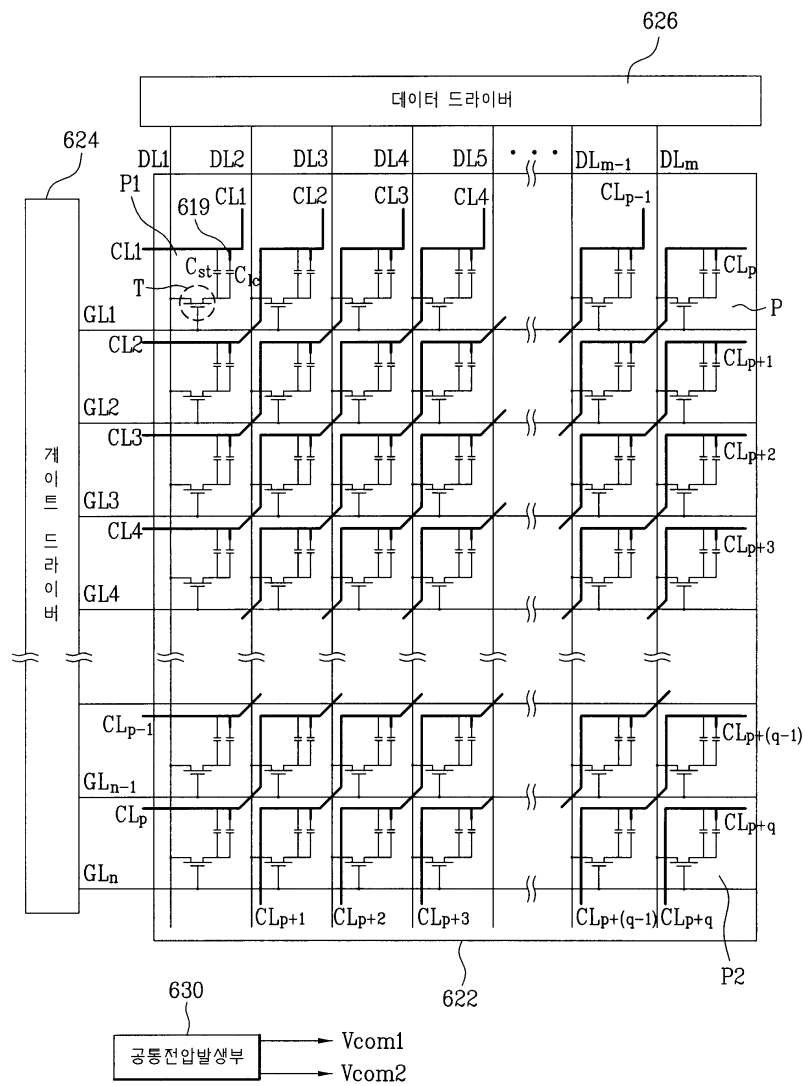
도면4



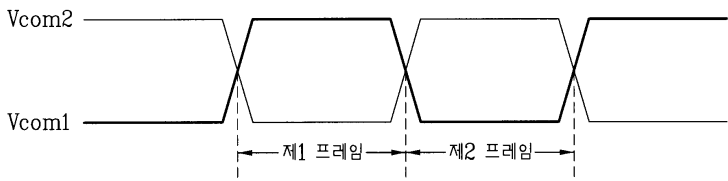
도면5



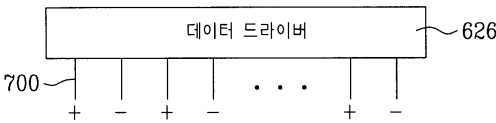
도면6



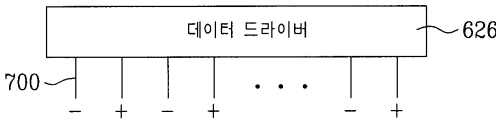
도면7



도면8

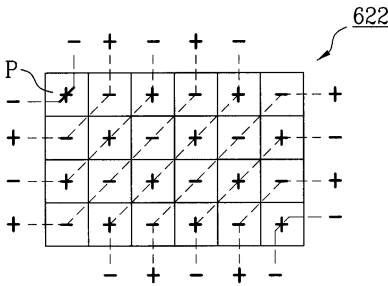


(a)

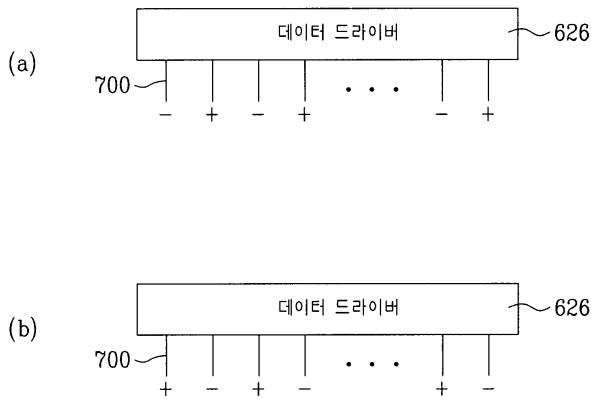


(b)

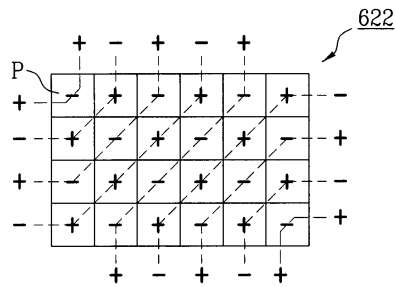
도면9



도면10



도면11



专利名称(译)	横向电场型液晶显示装置及其驱动方法		
公开(公告)号	KR1020060063306A	公开(公告)日	2006-06-12
申请号	KR1020040102441	申请日	2004-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DOYEON 김도연 NAM HYUNTAEK 남현택		
发明人	김도연 남현택		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3655 G09G3/3696 G09G2320/0247		
代理人(译)	金勇 新昌		
其他公开文献	KR101074381B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种面内切换模式液晶装置，用于防止闪烁效应，降低数据驱动器的驱动电压。并且它包括连接像素区域的公共电极肝脏的多条公共线，所述像素区域沿对角线方向排列，所述像素区域与布置在数据驱动器中的像素区域肝脏相交：多个公共电极：在附近形成薄膜晶体管的对角线方向，如上所述，公共电压发生部分授权在相邻公共线之间具有反相的第一和第二公共电压。对于多条公共线，形成的多个像素电极：每条栅极线和每条数据线交叉：每个像素区由数据线形成，栅极线形成矩阵形式，用于点反转驱动方法的定义多个像素区域中。向多条栅极线提供数据电压：多条数据线：每条数据线布置成与布置在特定方向上的栅极线相交。液晶显示器，平面切换，数据驱动器，点反转驱动，公共电压，摆动。

