

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2005-0039185
(43) 공개일자 2005년04월29일

(21) 출원번호 10-2003-0074610
(22) 출원일자 2003년10월24일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 김상래
경상북도포항시북구학잠동학잠동아아파트107동202호
(74) 대리인 김영호

심사청구 : 없음

(54) 액정 표시 장치 및 그의 구동방법

요약

본 발명은 화질 저하를 방지할 수 있도록 한 액정표시장치 및 그의 구동방법을 제공하는 것이다.

본 발명에 의한 액정표시장치는 액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널과; 전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 스캔전압 발생부와; 상기 스캔전압을 이용하여 스캔펄스를 발생하고 상기 스캔펄스를 상기 게이트라인들에 공급하기 위한 다수의 게이트 구동 집적회로들과; 상기 스캔전압들을 스위칭하여 상기 게이트 구동 집적회로들에 공급하는 스위칭회로를 구비한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 라인 온 글래스형 액정 표시 장치를 도시한 평면도.

도 2는 도 1에 도시된 액정 표시 장치에서의 가로선 줄무늬 현상을 설명하기 위한 도면.

도 3은 플리커 유발을 줄이기 위해 이용되는 스캔펄스를 나타내는 도면.

도 4a 내지 도 4c는 도 3에 도시된 스캔펄스가 라인 글래스형 신호라인을 거치면서 게이트 드라이버 집적회로들에 공급되는 모습을 나타내는 도면.

도 5는 본 발명의 실시예에 의한 LOG형 액정표시장치를 나타내는 도면.

도 6은 도 5에 도시된 전원부를 상세히 나타내는 도면.

도 7은 도 6에 도시된 전압 조정부를 상세히 나타내는 도면.

도 8은 도 6에 도시된 전압 조정부에 공급되는 주기 콘트롤 시그널(PCS)를 나타내는 도면.

도 9는 도 5에 도시된 게이트 드라이브 집적회로들에 내장된 스캔펄스 발생회로를 나타내는 회로도.

도 10a 내지 도 10c는 게이트 드라이브 집적회로들에 동일한 스캔전압이 공급되는 모습을 나타내는 도면.

<도면의 주요부분에 대한 설명>

- 2,172 : 박막 트랜지스터 어레이 기판 4,174 : 칼라 필터 어레이 기판
- 6,170 : 액정 표시 패널 8,160 : 게이트 TCP
- 10,162 : 게이트 구동 IC 12,150 : 데이터 TCP
- 14,164 : 데이터 구동 IC 16,140 : 데이터 PCB
- 18 : FPC 20 : 메인 PCB
- 22,130 : 타이밍 콘트롤러 24,190 : 전원부
- 26,176 : LOG 신호 라인군 32,42 : 가로선
- 110 : 시스템 120 : 인터페이스회로
- 1621 내지 1623 : 제1 내지 제3 게이트 드라이브 IC
- 200 : DC-DC 변환기 210 : 전압 조정부
- 212 : 제1 배압부 214 : 제2 배압부
- 216 : 전압 선택부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 화질 저하를 방지할 수 있도록 한 액정표시장치 및 그의 구동방법에 관한 것이다.

액정표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스형으로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.

액정표시패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.

구동회로는 액정표시패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러와, 상기 액정표시패널과 상기 구동회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.

데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 IC 영역에 실장되거나 COF(Chip On Film) 방식으로 TCP의 베이스 필름 상에 실장되고, TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 콘트롤러와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.

TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 콘트롤러 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 FPC와 데이터 PCB를 통해 메인 PCB에 실장된 타이밍 콘트롤러로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 게이트 FPC와 게이트 PCB를 통해 메인 PCB 상에 실장된 타이밍 콘트롤러로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.

COG 방식으로 액정표시패널에 실장되는 드라이브 IC들은 FPC와 액정표시패널에 형성되는 라인 온 글래스(Line On Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 콘트롤러로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.

최근에는 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 PCB를 제거함으로써 액정 표시 장치가 더욱 박형화되게 하고 있다. 특히, 상대적으로 적은 신호를 전달하는 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에

형성하고 있다. 이에 따라, TCP에 실장된 게이트 드라이브 IC들은 메인 PCB->FPC->데이터 PCB->데이터 TCP->LOG 신호 라인->게이트 TCP를 경유하여 타이밍 콘트롤러로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급 받게 된다. 이 경우, 게이트 드라이브 IC에 공급되는 게이트 제어 신호들과 게이트 전원 신호들이 LOG 신호 라인들의 라인 저항에 의해 왜곡됨으로써 액정 표시 패널에 표시되는 화상의 품질이 저하되는 문제가 발생하게 된다.

구체적으로, 게이트 PCB가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 타이밍 콘트롤러(22)와 전원부(24)를 포함하는 메인 PCB(20)와, FPC(22)를 통해 메인 PCB(20)와 접속된 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)를 구비한다.

액정 표시 패널(6)은 박막 트랜지스터 어레이 기관(2)과, 칼라 필터 어레이 기관(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)와 FPC(18)를 통해 메인 PCB(20) 상의 타이밍 콘트롤러(22) 및 전원부(24)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.

이를 위하여, 메인 PCB(20) 상의 타이밍 콘트롤러(22) 및 전원부(24)로부터의 게이트 제어 신호들과 전원 신호들은 FPC(18)와 데이터 PCB(16)를 경유하여 데이터 TCP(12)에 공급된다. 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(2)의 가장자리 영역에 형성된 LOG 신호 라인군(26)을 경유하여 게이트 TCP(8)에 공급된다. 게이트 TCP(12)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 입력 단자들을 통해 게이트 드라이브 IC(10) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 출력 단자들을 통해 출력되어 게이트 TCP(8)와 LOG 신호 라인군(26)을 경유하여 다음 게이트 TCP(8)에 실장된 게이트 드라이브 IC(10)로 공급된다.

LOG형 신호라인군(26)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 배이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

이러한 LOG 신호 라인군(26)은 박막 트랜지스터 어레이 기관(2)의 한정된 패드 영역에 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 또한, LOG 신호 라인군(26)은 게이트 TCP(8)와 ACF 본딩(Bonding)을 통해 접촉됨에 따라 그 게이트 TCP(8)와의 접촉 부분(A)이 증가하여 접촉 저항이 커지게 된다. 이에 따라, LOG 신호 라인군(26)은 기존의 게이트 PCB의 신호 라인들 보다 큰 라인 저항을 가지게 된다. 이러한 라인 저항으로 인하여 LOG 신호 라인군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 가로 줄무늬, 얼룩 등이 발생되고 도트 패턴의 크로스토크, 그리니쉬(Greenish) 등과 같은 화질 저하 현상이 심해지게 된다.

예를 들면, 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)을 공급하는 LOG 신호 라인군(26)들은 도 2에 도시된 바와 같이 게이트 TCP들(8) 사이 각각에 접속되는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 구성된다. 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3) 각각은 그 라인길이에 비례하는 라인 저항($a\Omega$, $b\Omega$, $c\Omega$)을 갖고 게이트 TCP(8)와 게이트 드라이브 IC(10)를 경유하여 직렬로 연결된다. 이러한 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)으로 인하여 게이트 드라이브 IC(10) 마다 입력되는 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM) 간에 레벨 차가 발생하게 된다. 이 결과, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 수평라인 블록들(A 내지 C) 간에 휘도차가 발생되어 가로선 줄무늬(32)가 생기게 된다.

구체적으로, 제1 게이트 드라이브 IC(10)에는 제1 LOG 신호 라인군(LOG1)의 제1 라인 저항($a\Omega$)에 의해, 제2 게이트 드라이브 IC(10)에는 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항($a\Omega + b\Omega$)에 의해, 제3 게이트 드라이브 IC(10)에는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항($a\Omega + b\Omega + c\Omega$)에 의해 전압 강하된 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 공급된다. 이에 따라, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 제1 내지 제3 수평 블록(A 내지 C)의 게이트 라인들에 공급되는 스캔 펄스들(VG1 내지 VG3) 간에 차이가 발생함에 따라 그 수평 라인 블록(A 내지 C) 간에 가로선 줄무늬(32)가 발생하여 화질이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질 저하를 방지할 수 있도록 한 액정표시장치 및 그의 구동방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 의한 액정표시장치는 액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널과; 전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 스캔전압 발생부와; 상기 스캔전압을 이용하여 스캔펄스를 발생하고 상기 스캔펄스를 상기 게이트라인들에 공급하기 위한 다수의 게이트 구동 집적회로들과; 상기 스캔전압들을 스위칭하여 상기 게이트 구동 집적회로들에 공급하는 스위칭회로를 구비한다.

상기 액정표시장치에서 상기 스캔전압은 상기 박막트랜지스터의 문턱전압 이상의 게이트 하이전압과, 상기 게이트 하이전압보다 낮은 중간전압과, 상기 중간전압과 상기 박막트랜지스터의 문턱전압보다 낮은 게이트 로우전압을 구비한다.

상기 액정표시장치에서 상기 게이트 구동 집적회로는 상기 게이트 하이전압을 상기 게이트라인에 일정 시간 동안 공급한 후에 상기 중간 전압을 상기 게이트라인에 공급하여 상기 스캔펄스를 발생하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 스캔전압 발생부는 상기 게이트 구동 집적회로에 따라 상기 중간 전압들의 전압레벨을 다르게 하는 것을 특징으로 한다.

상기 액정표시장치에서 상기 스캔전압 발생부는 상기 게이트 구동 집적회로들의 수만큼의 개수로 상기 중간전압들을 발생하고, 상기 중간전압들은 서로 다른 것을 특징으로 한다.

상기 액정표시장치에서 상기 게이트 구동 집적회로는 상기 액정표시패널의 n(여기서, n은 자연수) 번째 표시라인군의 게이트라인들에 스캔펄스를 순차적으로 공급하는 n 번째 게이트 구동 집적회로와; 상기 n 번째 표시라인군에 이어서 스캐닝되는 n+1 번째 표시라인군의 게이트라인들에 스캔펄스를 순차적으로 공급하는 n+1 번째 게이트 구동 집적회로와; 상기 n+1 번째 표시라인군에 이어서 스캐닝되는 n+2 번째 표시라인군의 게이트라인들에 스캔펄스를 순차적으로 공급하는 n+2 번째 게이트 구동 집적회로를 구비한다.

상기 액정표시장치에서 상기 스캔전압 발생부는 상기 중간전압을 n 번째 중간전압, n+1 번째 중간전압 및 n+2 번째 중간전압으로 생성하며, 상기 제n 번째 중간전압은 상기 스위칭회로의 스위칭에 의해 제1 시간 동안 상기 제n 번째 게이트 구동 집적회로로 공급되고, 상기 n+1 번째 중간전압은 상기 스위칭회로의 스위칭에 의해 제2 시간 동안 상기 n+1 번째 게이트 구동 집적회로로 공급되며, 상기 n+2 번째 중간전압은 상기 스위칭회로의 스위칭에 의해 제3 시간 동안 상기 n+2 번째 게이트 구동 집적회로로 공급되는 것을 특징으로 한다.

상기 액정표시장치에서 상기 제1 내지 제3 시간은 서로 상이하게 설정되는 것을 특징으로 한다.

상기 액정표시장치는 상기 액정표시패널의 유리기판 상에 형성되어 상기 스캔전압을 상기 게이트 구동 집적회로들에 공급하기 위한 전압배선을 더 구비한다.

본 발명의 실시예에 의한 액정표시장치의 구동방법은 전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 단계와; 상기 스캔전압들을 스위칭하여 서로 다른 전압의 스캔펄스를 발생하는 단계와; 상기 스캔펄스를 이용하여 액정표시패널을 스캐닝하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 10c를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

한편, 본 발명에 따른 LOG형 액정표시장치의 게이트라인들에 공급되는 스캔펄스는 플리커 유발을 줄이기 위하여 도 3에 도시된 바와 같은 스캔펄스가 제한된다.

이를 상세히 하면, 플리커는 피드 쓰로우 전압(ΔV_p)이 상승하게 되면 더 많이 유발된다. 이러한 피드 쓰로우 전압(ΔV_p)은 스캔펄스가 하강할 때 특히 더 많이 유발된다. 따라서, 플리커의 유발을 줄이기 위해서는 스캔펄스가 하강할 때 피드 쓰로우 전압(ΔV_p)을 줄여야 한다. 이러한 피드 쓰로우 전압(ΔV_p)을 줄이기 위해서는 수학식1에서 보듯이 스캔펄스의 게이트 하이전압(VGH)과 게이트 로우전압(VGL)의 차전압인 ΔV_g 을 줄여야 함을 알 수 있다.

수학식 1

$$\Delta V_p = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} \Delta V_g$$

여기서, C_{gd} 는 TFT의 게이트단자와 드레인단자사이에 형성되는 기생캐패시터이고, C_{lc} 는 TFT의 드레인 단자와 공통전극 사이에 접속된 액정캐패시터이다. C_{st} 는 TFT의 드레인 단자와 이전단 게이트라인에 접속된 스토리지 캐패시터이다. ΔV_g 는 게이트 펄스의 게이트 하이전압(VGH)과 게이트 로우전압(VGL)의 차전압이다.

따라서, 도 3에 도시된 바와 같이 게이트 하이 전압(VGH)을 VDD 전압까지 하강시킨 후 게이트 로우전압(VGL)으로 하강시킴으로써 ΔVg 을 줄일 수 있게 되어 수확식1에서 보듯이 퍼드 쓰로우 전압(ΔVp)을 줄일 수 있게 된다. 여기서, 게이트 하이전압(VGH)과 게이트 로우전압(VGL)의 차전압인 ΔVg 는 스캔펄스가 하강할 때 VDD 전압에서 게이트 로우전압(VGL)을 뺀 전압이 된다. 이에 따라, 플리커의 유발을 줄일 수 있게 된다.

그런데, 도 3에 도시된 스캔펄스를 도 1에 도시된 LOG형 액정표시장치에 적용시 화질이 저하되는 문제점이 있다.

이를 도 4a 내지 도 4c를 참조하여 설명하면, 플리커 유발을 줄이기 위하여 게이트 드라이브 IC들(62)과 접속된 다수의 게이트라인들에는 도 4a에 도시된 바와 같이 게이트 하이 전압(VGH)이 제1 VDD전압(VDD1)으로 하강하는 스캔펄스가 순차적으로 공급된다. 그런데, 이러한 스캔펄스는 제2 게이트 드라이브 IC(62)와 연결된 제2 수평 블록(B)의 게이트 라인들에 공급될 때 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항($a\Omega + b\Omega$)에 의해 전압 강하가 발생하게 된다. 이에 따라, 제2 게이트 드라이브 IC(62)와 연결된 게이트라인들에는 도 4b에 도시된 바와 같이 게이트 하이전압(VGH)이 제1 VDD전압(VDD1)보다 제1 직류전압($Vc1$) 만큼 높은 제2 VDD전압($VDD2 = VDD1 + Vc1$)으로 하강하는 스캔펄스가 공급된다.(즉, 게이트 하이전압(VGH)은 제1 VDD전압(VDD1)까지 하강해야 함에도 불구하고, 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항($a\Omega + b\Omega$)에 의해 제2 VDD전압(VDD2)까지 밖에 하강하지 못하게 된다.) 그리고, 이러한 스캔펄스가 제3 게이트 드라이브 IC(62)와 연결된 제3 수평 블록(C)의 게이트 라인들에 공급될 때 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항($a\Omega + b\Omega + c\Omega$)에 의해 전압 강하가 더욱 더 많이 발생하게 된다. 이에 따라, 제3 게이트 드라이브 IC(62)와 연결된 게이트라인들에는 도 4c에 도시된 바와 같이 게이트 하이전압(VGH)이 제1 VDD전압(VDD1)보다 제2 직류전압($Vc2$) 만큼 높은 제3 VDD전압($VDD3 = VDD1 + Vc2$)으로 하강하는 스캔펄스가 공급된다.(즉, 게이트 하이전압(VGH)은 제1 VDD전압(VDD1)까지 하강해야 함에도 불구하고, 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항($a\Omega + b\Omega + c\Omega$)에 의해 제2 VDD전압(VDD2)보다도 높은 제3 VDD전압(VDD3)까지 밖에 하강하지 못하게 된다.) 따라서, 서로 다른 게이트 드라이브 IC(62)에 의해 구동되는 제1 내지 제3 수평 블록(A 내지 C)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG3) 간에 차이가 발생함에 따라 그 수평 라인 블록(A 내지 C) 간에 가로선 줄무늬(42)가 발생하여 화질이 저하되는 문제점이 있다. 이에 따라, 도 5 및 도 6에 도시된 바와 같은 LOG형 액정표시장치가 제한된다.

도 5 및 도 6은 본 발명의 실시예에 의한 LOG형 액정표시장치를 나타내는 도면이다.

도 5 및 도 6를 참조하면, 본 발명의 실시예에 의한 LOG형 액정표시장치는 시스템(110)으로부터 각종 신호를 공급받는 액정표시패널(170)과, 액정표시패널(170)의 데이터 라인들에 데이터를 공급하기 위한 데이터 집적회로 IC들(152)이 실장된 다수의 데이터 TCP(150)와, 게이트라인들에 스캔신호를 공급하기 위한 게이트 집적회로 IC들(162)이 실장된 다수의 게이트 TCP(160)와, 인터페이스회로(120)로부터의 동기신호를 이용하여 다수의 데이터 TCP(150)와 다수의 게이트 TCP(160)를 제어하기 위한 타이밍 콘트롤러(130)와, 액정표시패널(170)에 공급되는 전압들을 발생하기 위한 전원부(190)를 구비한다.

시스템(110)은 그래픽 콘트롤러의 LVDS(Low Voltage Differential Signaling) 송신기를 통하여 수직/수평 동기신호, 클럭신호 및 데이터(RGB)를 인터페이스회로(120)에 공급하고 전원으로부터 발생하는 3.3V의 VCC 전압을 전원전압으로써 디지털 회로소자들(120,130,152,162)과 전원부(190)에 공급한다.

액정표시패널(170)은 박막 트랜지스터 어레이 기관(172)과, 칼러 필터 어레이 기관(174)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정표시패널(170)은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터의 화소 신호를 액정셀에 공급한다. 한편, 타이밍 콘트롤러(130) 및 전원부(190)로부터의 게이트 제어 신호들과 전원 신호들은 데이터 PCB(140)를 경유하여 데이터 TCP(150)에 공급된다. 데이터 TCP(150)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(172)의 가장자리 영역에 형성된 LOG 신호 라인군(176)를 경유하여 게이트 TCP(160)에 공급된다. 게이트 TCP(160)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(162)의 입력 단자들을 통해 게이트 드라이브 IC(162) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(162)의 출력 단자들을 통해 출력되어 게이트 TCP(160)와 LOG 신호 라인군(176)을 경유하여 다음 게이트 TCP(160)에 실장된 게이트 드라이브 IC(162)로 공급된다. 여기서, 본 발명에서는 설명의 편의를 위해 3개의 게이트 드라이브 IC(162)가 있다고 가정한다.

LOG형 신호라인군(176)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 배이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러(130)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

데이터 드라이브 IC들(152)은 데이터 TCP(150) 및 액정표시패널(170)의 데이터 패드부를 경유하여 데이터 라인들과 접속된다. 이러한 데이터 드라이브 IC들(152)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들에 공급한다. 이를 위하여, 데이터 드라이브 IC들(152)은 데이터 PCB(140)를 통해 타이밍 콘트롤러(130) 및 전원부(190)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원전압으로써 3.3V의 VCC 전압을 공급받게 된다.

게이트 드라이브 IC들(162)은 게이트 TCP(150) 및 액정표시패널(170)의 게이트 패드부를 경유하여 게이트 라인들과 접속된다. 이러한 게이트 드라이브 IC들(152)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(152)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들에 공급한다. 한편, 게이트 드라이브 IC들(152)에는 전원전압으로써 3.3V의 VCC 전압이 공급된다.

타이밍 콘트롤러(130)는 인터페이스회로(120)를 경유하여 시스템(110)의 그래픽 콘트롤러로부터 입력되는 수직/수평 동기신호와 클럭신호를 이용하여 게이트 집적회로 IC들(152) 제어하기 위한 게이트 제어신호와 데이터 집적회로 IC들(162)

을 제어하기 위한 데이터 제어신호를 발생한다. 그리고 타이밍 콘트롤러(130)는 인터페이스회로(120)를 경유하여 시스템(110)의 그래픽 콘트롤러로부터 입력되는 디지털 비디오 데이터(RGB)를 재정렬하여 다수의 데이터 집적회로 IC들(152)에 공급한다. 이 타이밍 콘트롤러(130)를 구동시키기 위한 전원전압은 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압이다. 또한, VCC 전압은 타이밍 콘트롤러(130) 내부에 설치된 위상고정루프회로(Phase Lock Loop : PLL)의 전원전압으로 공급된다. 위상고정루프회로(PLL)는 타이밍 콘트롤러(130)에 입력되는 클럭신호를 도시하지 않은 발진기로부터 발생하는 기준 주파수와 비교하고 그 오차만큼 클럭신호의 주파수를 조정하여 디지털 비디오 데이터(RGB)를 샘플링하기 위한 클럭신호를 발생한다.

인터페이스회로(120)는 LVDS(Low Voltage Differential Signaling) 수신기를 포함하여 시스템(110)의 그래픽 콘트롤러로부터 입력되는 신호들의 전압레벨을 낮추고 주파수를 높임으로써 시스템(110)과 타이밍 콘트롤러(130) 사이에 필요한 신호배선 수를 줄이게 된다. 이 인터페이스회로(120)를 구동시키기 위한 전원전압은 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압이다.

전원부(190)는 도시하지 않은 커넥터를 경유하여 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압을 공급받아 액정표시패널(170)을 구동시키기 위한 구동전압을 생성하는 역할을 한다. 이를 위하여 전원부(190)는 도 6에 도시된 바와 같이 다수의 게이트 드라이브 IC들(1621 내지 1623) 및 다수의 데이터 드라이브 IC들(152)에 공급되는 전압을 발생하는 DC-DC 변환기(200)와, DC-DC 변환기(200)로부터 공급되는 VDD 전압을 조정하기 위한 전압 조정부(210)를 구비한다.

DC-DC 변환기(200)는 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압을 승압 또는 감압하여 액정표시패널(170)에 공급되는 전압을 발생한다. 이를 위하여, DC-DC 변환기(200)는 출력단에 출력전압을 절환하기 위한 출력 스위치소자와, 그 출력 스위치소자의 제어신호의 듀티비나 주파수를 제어하여 출력전압을 승압하거나 감압시키기 위한 펄스 폭 변조기(Pulse Width Modulator : PWM)나 펄스주파수 변조기(Pulse Frequency Modulator : PFM)를 포함한다. 펄스 폭 변조기는 출력 스위치소자의 제어신호 듀티비를 높여 DC-DC 변환기(200)의 출력 전압을 높이거나, 그 출력 스위치소자의 제어신호 듀티비를 낮추어 DC-DC 변환기(200)의 출력 전압을 낮춘다. 펄스주파수 변조기는 출력 스위치소자의 제어신호 주파수를 높여 DC-DC 변환기(200)의 출력 전압을 높이거나, 그 출력 스위치소자의 주파수를 낮추어 DC-DC 변환기(200)의 출력 전압을 낮춘다. DC-DC 변환기(200)의 출력 전압은 6V 이상의 제1 VDD 전압, 10 단계 미만의 감마기준전압(GMA1~10), 2.5~3.3V의 VCOM 전압, 15V 이상의 VGH 전압, -4V 이하의 VGL 전압이다. 그리고, DC-DC 변환기(200)는 제1 및 제2 직류전압(Vc1, Vc2)을 출력한다. 여기서, 제1 직류전압(Vc1)은 제1 게이트 드라이브 IC(1621)와 제2 게이트 드라이브 IC(1622) 사이에 형성된 라인 온 클래스 신호라인의 라인저항에 의해 왜곡되는 전압이다. 그리고, 제2 직류전압(Vc2)은 제2 게이트 드라이브 IC(1622)와 제3 게이트 드라이브 IC(1623) 사이에 형성된 라인 온 클래스 신호라인의 라인저항에 의해 왜곡되는 전압이다. 이러한 제1 및 제2 직류전압(Vc1, Vc2)는 미리 설정된다. 감마기준전압(GMA1~10)은 제1 VDD 전압의 분압에 의해 발생된 전압이다. 제1 VDD 전압과 감마기준전압은 아날로그 감마전압으로써 데이터 드라이브 IC들(152)에 공급된다. VCOM 전압은 데이터 드라이브 IC들(152)을 경유하여 액정표시패널(170)에 형성된 공통전극에 공급되는 전압이다. VGH 전압은 TFT의 문턱전압 이상으로 설정된 스캔펄스의 하이논리전압으로써 제1 내지 제3 게이트 드라이브 IC들(1621 내지 1623)에 공급되고 VGL 전압은 TFT의 오프전압으로 설정된 스캔펄스의 로우논리전압으로써 제1 내지 제3 게이트 드라이브 IC들(1621 내지 1623)에 공급된다.

전압 조정부(210)는 플리커 유발 및 화질저하를 방지하기 위하여 DC-DC 변환기(200)로부터 공급되는 제1 VDD전압(VDD1)을 조정하여 다수의 게이트 드라이브 IC들(1621 내지 1623)에 공급하는 역할을 한다. 이를 위해서 전압 조정부(210)는 도 7에 도시된 바와 같이 DC-DC 변환기(200)로부터 입력되는 제1 VDD전압(VDD1) 및 제1 직류전압(Vc1)를 더한 제2 VDD전압(VDD2)을 출력하는 제1 배압부(212)와; DC-DC 변환기(200)로부터 입력되는 제1 VDD전압(VDD1) 및 제2 직류전압(Vc2)를 더한 제3 VDD전압(VDD3)을 출력하는 제2 배압부(214)와; DC-DC 변환기(200)로부터 입력되는 제1 VDD전압(VDD1), 제1 배압부(212)로부터 입력되는 제2 VDD전압(VDD2), 제2 배압부(214)로부터 입력되는 제3 VDD전압(VDD3)을 입력받아 선택적으로 출력하는 전압 선택부(216)를 구비한다. 한편, 본 발명의 실시예에 의한 LOG형 액정표시장치는 게이트 드라이브 IC들(162)이 3개인 경우이므로 전압 선택부(216)는 도 8에 도시된 바와 같이 주기 콘트롤 시그널(PCS)을 1/3 주기마다 펄스를 공급하여 제1 내지 제3 VDD 전압(VDD1 내지 VDD3)의 출력 시퀀스를 결정한다. 여기서 주기 콘트롤 시그널(PCS)의 한 주기는 액정표시패널(170) 상에 형성된 게이트라인들의 전체 스캐닝시간이다. 이러한 전압 선택부(216)는 주기 콘트롤 시그널(PCS)을 공급받아 주기 콘트롤 시그널(PCS)의 처음 1/3 주기 동안 제1 스위치(S1)을 온 시킨다. 이 때, 제2 및 제3 스위치(S2, S3)는 오프상태이다. 이에 따라, 주기 콘트롤 시그널(PCS)의 처음 1/3 주기 동안 제1 VDD전압(VDD1)은 제1 게이트 드라이브 IC(1621)에 공급된다. 그리고, 전압 선택부(216)는 주기 콘트롤 시그널(PCS)의 다음 1/3 주기 동안 제2 스위치(S2)를 온 시킨다. 이 때, 제1 및 제3 스위치(S1, S3)는 오프상태이다. 이에 따라, 주기 콘트롤 시그널(PCS)의 다음 1/3 주기 동안 제2 VDD전압(VDD2)은 제2 게이트 드라이브 IC(1622)에 공급된다. 또한, 전압 선택부(216)는 주기 콘트롤 시그널(PCS)의 나머지 1/3 주기 동안 제3 스위치(S3)를 온 시킨다. 이 때, 제1 및 제2 스위치(S1, S2)는 오프상태이다. 이에 따라, 주기 콘트롤 시그널(PCS)의 나머지 1/3 주기 동안 제3 VDD전압(VDD3)은 제3 게이트 드라이브 IC(1623)에 공급된다.

한편, 제1 내지 제3 게이트 드라이브 IC들(1621 내지 1623)에는 도 9에 도시된 바와 같은 스캔펄스 발생회로가 내장되어 있다. 이러한 스캔펄스 발생회로에 의해 도 3에 도시된 바와 같은 스캔펄스가 생성되어 게이트라인들에 순차적으로 공급된다.

도 9를 참조하면, 스캔펄스 발생회로는 제1 게이트 하이전압 입력라인(VGH_IN1)과 게이트 하이전압 출력라인(VGH_OUT) 사이에 접속되어진 제1 P형 트랜지스터(Q1)와, 제1 P형 트랜지스터(Q1)와 접지단자(GND) 사이에 설치된 제2 N형 트랜지스터(Q2)와, 게이트 하이전압 출력라인(VGH_OUT)과 전압 조정부(210) 사이에 설치된 제3 N형 트랜지스터(Q3)와, 제3 N형 트랜지스터(Q3)와 접지단자(GND) 사이에 설치된 제4 N형 트랜지스터(Q4)를 구비한다.

제1 P형 트랜지스터(Q1)는 제1 게이트 하이전압 입력라인(VGH_IN1)으로부터 공급되는 게이트 하이전압(VGH)을 게이트 하이전압 출력라인(VGH_OUT)으로 전송하는 역할을 한다.

이러한, 제1 P형 트랜지스터(Q1)는 베이스단자의 문턱전압에 따라 동작된다. 문턱전압은 제1 P형 트랜지스터(Q1)의 베이스단자와 제2 N형 트랜지스터(Q2) 사이에 설치된 제3 저항(R3)과 제1 게이트 하이전압 입력라인(VGH_IN1)과 제3 저항(R3) 사이에 설치된 제4 저항(R4)에 의해 결정된다. 제3 저항(R3)과 제4 저항(R4) 사이에 제1 노드(N1)에 나타나는 전압은 제2 N형 트랜지스터(Q2)의 동작에 의해 결정된다.

제2 N형 트랜지스터(Q2)는 베이스단자에 입력되는 클럭신호 입력라인(CLK)으로부터의 클럭신호에 따라 동작한다. 이러한, 제2 N형 트랜지스터(Q2)는 베이스단자와 클럭신호 입력라인(CLK) 사이에 접속된 제5 저항(R5)의 바이어스 전압에 의해 문턱전압이 결정되어 동작한다.

제3 N형 트랜지스터(Q3)는 게이트 하이전압 출력라인(VGH_OUT) 상의 게이트 하이전압(VGH)을 방전시키는 역할을 한다. 게이트 하이전압(VGH)은 게이트 하이전압 출력라인(VGH_OUT)과 제3 N형 트랜지스터(Q3) 사이에 설치된 풀업저항(R6)을 통해 전압 조정부(210)으로부터 공급된 전압으로 방전된다.

이러한, 제3 N형 트랜지스터(Q3)는 베이스단자의 문턱전압에 따라 동작한다. 이를 위해, 제3 N형 트랜지스터(Q3)의 베이스단자, 즉 제2 노드(N2)를 사이에 두고 제1 및 제2 저항(R1, R2)이 접속된다. 제1 및 제2 저항(R1, R2)은 분압저항으로써, 제1 저항(R1)은 제2 게이트 하이전압 입력라인(VGH_IN2)에 접속되고, 제2 저항(R2)은 제4 N형 트랜지스터(Q4)에 접속된다. 제1 및 제2 저항(R1, R2)의 저항값은 제4 N형 트랜지스터(Q4)가 턴-온될 경우에는 제3 N형 트랜지스터(Q3)의 문턱전압을 낮추고, 제4 N형 트랜지스터(Q4)가 턴-오프될 경우에는 제3 N형 트랜지스터(Q3)의 문턱전압을 높게 된다. 이를 위해, 제4 N형 트랜지스터(Q4)는 클럭신호 입력라인(CLK)과 접속된다.

이와 같은 스캔펄스 발생회로는 클럭신호 입력라인(CLK)으로부터 하이 상태의 클럭신호가 입력되면 게이트 하이전압(VGH)은 제2 N형 트랜지스터(Q2) 및 제1 P형 트랜지스터(Q1)를 통해 게이트 하이전압 출력라인(VGH_OUT)으로 전송된다. 이를 상세히 하면, 제2 N형 트랜지스터(Q2)가 턴-온 됨으로써 제1 노드(N1) 상의 전압은 제3 저항(R3) 및 제2 N형 트랜지스터(Q2)를 통해 접지단자(GND)로 방전되기 때문에 제1 P형 트랜지스터(Q1)는 문턱전압이 낮아지게 되어 턴-온된다.

이 때, 제4 N형 트랜지스터(Q4)는 제2 N형 트랜지스터(Q2)와 동시에 턴-온 되기 때문에 제3 N형 트랜지스터(Q3)는 턴-오프 상태가 된다. 이는 제4 N형 트랜지스터(Q4)가 턴-온됨에 따라 제2 노드(N2) 상의 전압은 제1 및 제2 저항(R1, R2)의 분압에 의해 전압 조정부(210)로부터 공급되는 전위보다 낮아지기 때문에 제3 N형 트랜지스터(Q3)는 턴-오프 상태가 된다.

이와 같이, 스캔펄스 발생회로에서 발생하는 게이트 하이전압(VGH)은 제1 P형 트랜지스터(Q1)와 게이트 하이전압 출력단자(VGH_OUT)를 통해 게이트라인들에 공급된다. 이 게이트 하이전압(VGH)을 가지는 스캔신호는 TFT를 턴-온시키게 되고, TFT가 턴-온되는 기간동안 화소셀은 데이터 드라이브 IC(152)로부터 공급되는 데이터신호를 충전하게 된다.

반면에, 클럭신호 입력라인(CLK)으로부터 로우 상태의 클럭신호가 입력되면 게이트 하이전압(VGH)은 제1 P형 트랜지스터(Q1)에 의해 차단된다. 이를 상세히 하면, 클럭신호에 의해 제2 N형 트랜지스터(Q2)가 턴-오프됨으로써 제1 P형 트랜지스터(Q1)는 제4 저항(R4)의 저항값에 의해 제1 노드(N1) 상에 나타나는 게이트 하이전압(VGH)으로 인하여 문턱전압이 높아져 턴-오프된다.

이 때, 제4 N형 트랜지스터(Q4)는 제2 N형 트랜지스터(Q2)와 동시에 턴-오프되기 때문에 제3 N형 트랜지스터(Q3)는 턴-온 상태가 된다. 이는 제4 N형 트랜지스터(Q4)가 턴-오프됨에 따라 제2 노드(N2) 상의 전압은 제1 및 제2 저항(R1, R2)의 분압에 의해 전압 조정부(210)로부터 공급되는 전위보다 높아지기 때문에 제3 N형 트랜지스터(Q3)는 턴-온되어 게이트 하이전압 출력라인(VGH_OUT) 상의 게이트 하이전압(VGH)은 풀업 저항(R6) 및 제3 N형 트랜지스터(Q3)를 통해 전압 조정부(210)로부터 공급되는 전압으로 방전된다. 따라서, 게이트 하이 출력전압(VGH_OUT)은 전압 조정부(210)로부터 공급되는 전압까지 하강한 후 게이트 로우전압(VGL)으로 하강하게 된다. 이에 따라, 도 3에 도시된 바와 같은 스캔펄스가 생성되어 게이트라인들에 순차적으로 공급된다.

한편, 각각의 게이트 드라이브 IC들(1621 내지 1623)은 DC-DC 변환기(200)로부터 게이트 하이 전압(VGH)을 공급받고, 전압 조정부(210)로부터 제1 내지 제3 VDD전압(VDD1 내지 VDD3)을 주기 콘트롤 시그널(PCS)에 따라 선택적으로 공급받아 변형된 게이트 하이 전압(VGH)을 제1 내지 제3 게이트 드라이브 IC들(1621 내지 1623)에 공급하게 된다.

이와 같은 스캔펄스 발생회로를 이용하여 본 발명에 의한 스캔펄스를 생성하는 방법을 설명하면, 먼저 제1 게이트 드라이브 IC(1621)는 DC-DC 변환기(200)로부터 게이트 하이 전압(VGH)을 입력받는다. 그리고, 주기 콘트롤 시그널(PCS)의 처음 1/3 주기 동안에 전압 조정부(210)로부터 제1 VDD전압(VDD1)을 공급받는다. 따라서, 제1 게이트 드라이브 IC(1621)는 주기 콘트롤 시그널(PCS)의 처음 1/3 주기 동안에 도 10a와 같이 게이트 하이 전압(VGH)이 제1 VDD전압(VDD1)으로 하강한 후 게이트 로우 전압(VGL)으로 하강하는 스캔펄스를 생성한다. 이러한 스캔펄스는 제1 게이트 드라이브 IC(1621)에 접속된 게이트라인들에 순차적으로 공급되어 각 게이트라인들을 구동시키게 된다.

제2 게이트 드라이브 IC(1622)는 주기 콘트롤 시그널(PCS)의 다음 1/3 주기 동안에 VDD 조정부(210)로부터 제1 VDD전압보다 제1 직류전압(Vc1) 만큼 높은 제2 VDD전압(VDD2)을 공급받는다. 이러한 제2 VDD전압(VDD2)은 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항(aΩ+bΩ)에 의해 전압 강하가 발생하여 제1 직류전압(Vc1) 만큼 줄어들게 된다. 결국, 제2 게이트 드라이브 IC(1622)에는 전압 조정부(210)로부터 제2 VDD전압(VDD1)이 공급되더라도 제1 VDD전압(VDD1)이 공급되는 것과 같게 된다. 따라서, 제2 게이트 드라이브 IC(1622)는 주기 콘트롤 시그널(PCS)의 다음 1/3 주기 동안에 도 10b와 같이 게이트 하이 전압(VGH)이 제1 VDD전압(VDD1)으로 하강한 후 게이트 로우 전압(VGL)으로 하강하는 스캔펄스를 생성한다. 이러한 스캔펄스는 제2 게이트 드라이브 IC(1622)에 접속된 게이트라인들에 순차적으로 공급되어 각 게이트라인들을 구동시키게 된다.

제3 게이트 드라이브 IC(1623)는 주기 콘트롤 시그널(PCS)의 나머지 1/3 주기 동안에 VDD 조정부(210)로부터 제1 VDD 전압 보다 제2 직류전압(Vc2) 만큼 높은 제3 VDD전압(VDD3)을 공급받는다. 이러한 제3 VDD전압(VDD3)은 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제2 라인 저항(aΩ+ bΩ+ cΩ)에 의해 전압 강하가 발생하여 제2 직류 전압(Vc2) 만큼 줄어들게 된다. 결국, 제3 게이트 드라이브 IC(1623)에는 전압 조정부(210)으로부터 제3 VDD전압(VDD3)이 공급되더라도 제1 VDD전압(VDD1)이 공급되는 것과 같게 된다. 따라서, 제3 게이트 드라이브 IC(1623)는 주기 콘트롤 시그널(PCS)의 나머지 1/3 주기 동안에 도 10c와 같이 게이트 하이 전압(VGH)이 제1 VDD전압(VDD1)으로 하강한 후 게이트 로우 전압(VGL)으로 하강하는 스캔펄스를 생성한다. 이러한 스캔펄스는 제3 게이트 드라이브 IC(1623)에 접속된 게이트라인들에 순차적으로 공급되어 각 게이트라인들을 구동시키게 된다.

결론적으로, 제1 내지 제3 게이트 드라이브 IC들(1621 내지 1623) 각각은 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항(aΩ, aΩ+ bΩ, aΩ+ bΩ+ cΩ) 각각에 의해 전압 강하가 발생하더라도 게이트 하이 전압(VGH)이 제1 VDD전압(VDD1)으로 하강한 후 게이트 로우 전압(VGL)으로 하강하는 스캔펄스를 공급받게 된다. 이에 따라, 서로 다른 게이트 드라이브 IC(162)에 의해 구동되는 제1 내지 제3 수평 블록(A 내지 C)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG3) 간에 차이가 발생하지 않게되어 그 수평 라인 블록(A 내지 C) 간에 가로선 줄무늬가 발생하는 것을 방지할 수 있게 되어 화질이 저하되는 것을 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그의 구동방법은 라인 온 글래스형 신호라인들로 연결된 게이트 드라이브 집적회로들 각각에 미리 설정된 서로 다른 스캔펄스를 공급함으로써 라인 온 글래스형 신호라인들의 영향에 의한 서로 다른 게이트 드라이브 IC들에 의해 구동되는 수평 블록들 간에 가로선 줄무늬가 발생하는 것을 방지할 수 있다. 이에 따라, 화질이 저하되는 것을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널과;

전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 스캔전압 발생부와;

상기 스캔전압을 이용하여 스캔펄스를 발생하고 상기 스캔펄스를 상기 게이트라인들에 공급하기 위한 다수의 게이트 구동 집적회로들과;

상기 스캔전압들을 스위칭하여 상기 게이트 구동 집적회로들에 공급하는 스위칭회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 스캔전압은,

상기 박막트랜지스터의 문턱전압 이상의 게이트 하이전압과,

상기 게이트 하이전압보다 낮은 중간전압과,

상기 중간전압과 상기 박막트랜지스터의 문턱전압보다 낮은 게이트 로우전압을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 게이트 구동 집적회로는,

상기 게이트 하이전압을 상기 게이트라인에 일정 시간 동안 공급한 후에 상기 중간 전압을 상기 게이트라인에 공급하여 상기 스캔펄스를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 스캔전압 발생부는,

상기 게이트 구동 집적회로에 따라 상기 중간 전압들의 전압레벨을 다르게 하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 스캔전압 발생부는 상기 게이트 구동 집적회로들의 수만큼의 개수로 상기 중간전압들을 발생하고, 상기 중간전압들은 서로 다른 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 게이트 구동 집적회로는,

상기 액정표시패널의 n (여기서, n 은 자연수) 번째 표시라인군의 게이트라인들에 스캔펄스들을 순차적으로 공급하는 n 번째 게이트 구동 집적회로와;

상기 n 번째 표시라인군에 이어서 스캐닝되는 $n+1$ 번째 표시라인군의 게이트라인들에 스캔펄스들을 순차적으로 공급하는 $n+1$ 번째 게이트 구동 집적회로와;

상기 $n+1$ 번째 표시라인군에 이어서 스캐닝되는 $n+2$ 번째 표시라인군의 게이트라인들에 스캔펄스들을 순차적으로 공급하는 $n+2$ 번째 게이트 구동 집적회로를 구비하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 스캔전압 발생부는 상기 중간전압을 n 번째 중간전압, $n+1$ 번째 중간전압 및 $n+2$ 번째 중간전압으로 생성하며,

상기 제 n 번째 중간전압은 상기 스위칭회로의 스위칭에 의해 제1 시간 동안 상기 제 n 번째 게이트 구동 집적회로로 공급되고,

상기 $n+1$ 번째 중간전압은 상기 스위칭회로의 스위칭에 의해 제2 시간 동안 상기 $n+1$ 번째 게이트 구동 집적회로로 공급되며,

상기 $n+2$ 번째 중간전압은 상기 스위칭회로의 스위칭에 의해 제3 시간 동안 상기 $n+2$ 번째 게이트 구동 집적회로로 공급되는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 제1 내지 제3 시간은 서로 상이하게 설정되는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1 항에 있어서,

상기 액정표시패널의 유리기관 상에 형성되어 상기 스캔전압을 상기 게이트 구동 집적회로들에 공급하기 위한 전압배선을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10.

전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 단계와;

상기 스캔전압들을 스위칭하여 서로 다른 전압의 스캔펄스를 발생하는 단계와;

상기 스캔펄스를 이용하여 액정표시패널을 스캐닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11.

제 10 항에 있어서,

상기 스캔전압은,

박막트랜지스터의 문턱전압 이상의 게이트 하이전압과,

상기 게이트 하이전압보다 낮은 중간전압과,

상기 중간전압과 상기 박막트랜지스터의 문턱전압보다 낮은 게이트 로우전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12.

제 11 항에 있어서,

상기 게이트 하이전압을 게이트라인에 일정 시간 동안 공급한 후에 상기 중간 전압을 상기 게이트라인에 공급하여 상기 스캔펄스를 발생하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13.

제 11 항에 있어서,

상기 전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 단계는 게이트 구동 집적회로에 따라 상기 중간 전압들의 전압레벨을 다르게 하는 것을 특징으로 하는 액정표시장치의 구동방법.

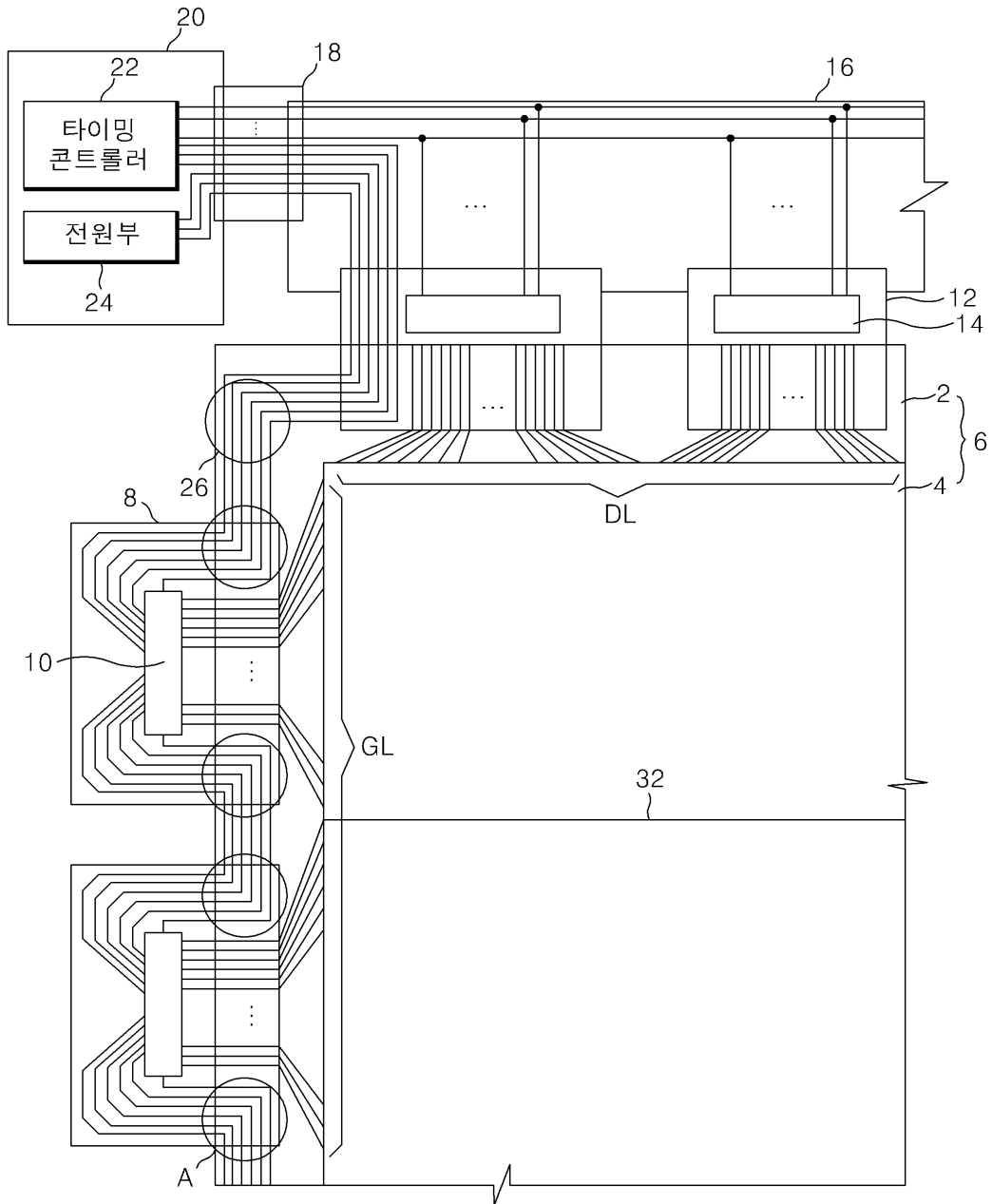
청구항 14.

제 13 항에 있어서,

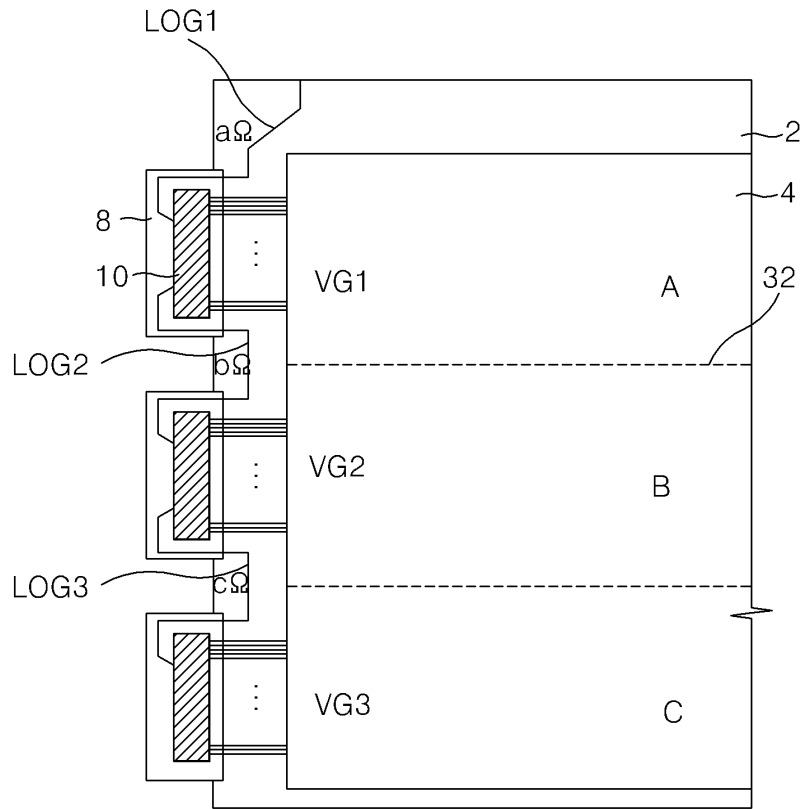
상기 전압이 서로 다른 적어도 둘 이상의 스캔전압들을 발생하는 단계는 상기 게이트 구동 집적회로들의 수만큼의 개수로 상기 중간전압들을 발생하고, 상기 중간전압들은 서로 다른 것을 특징으로 하는 액정표시장치의 구동방법.

도면

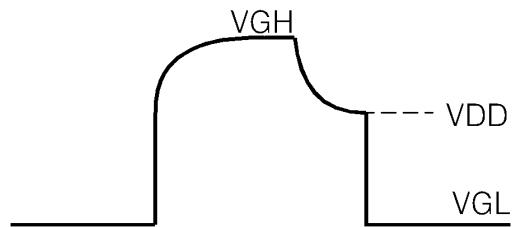
도면1



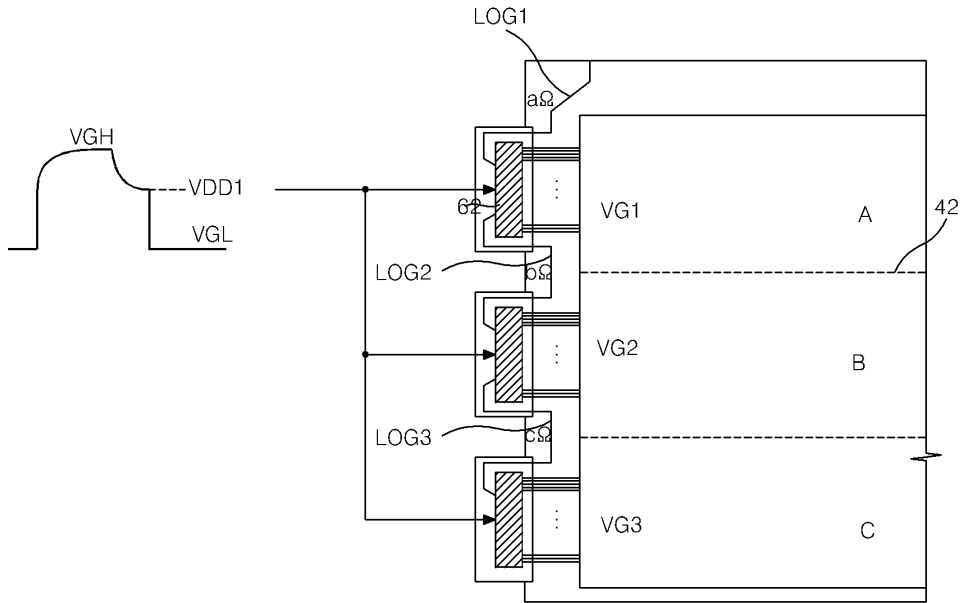
도면2



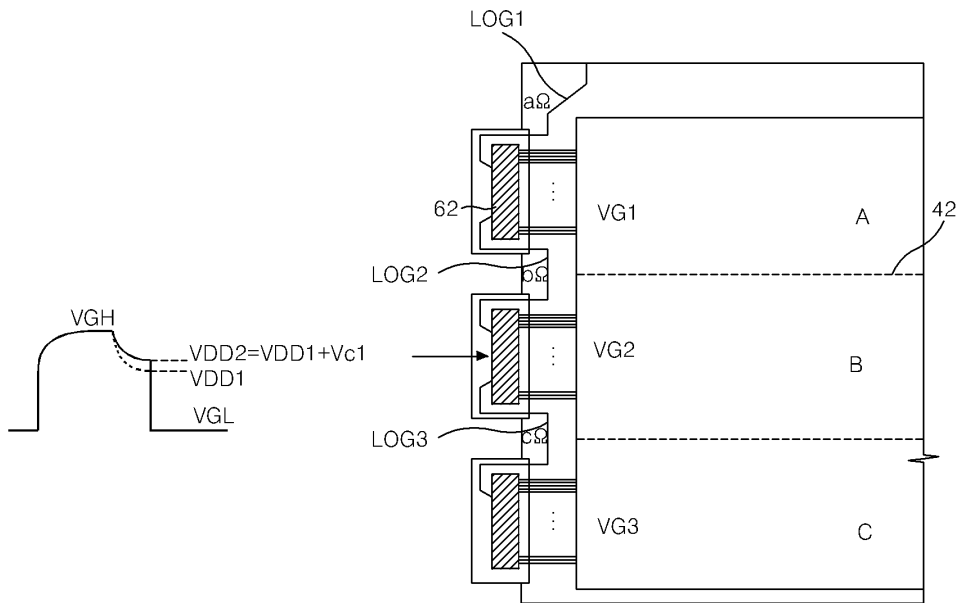
도면3



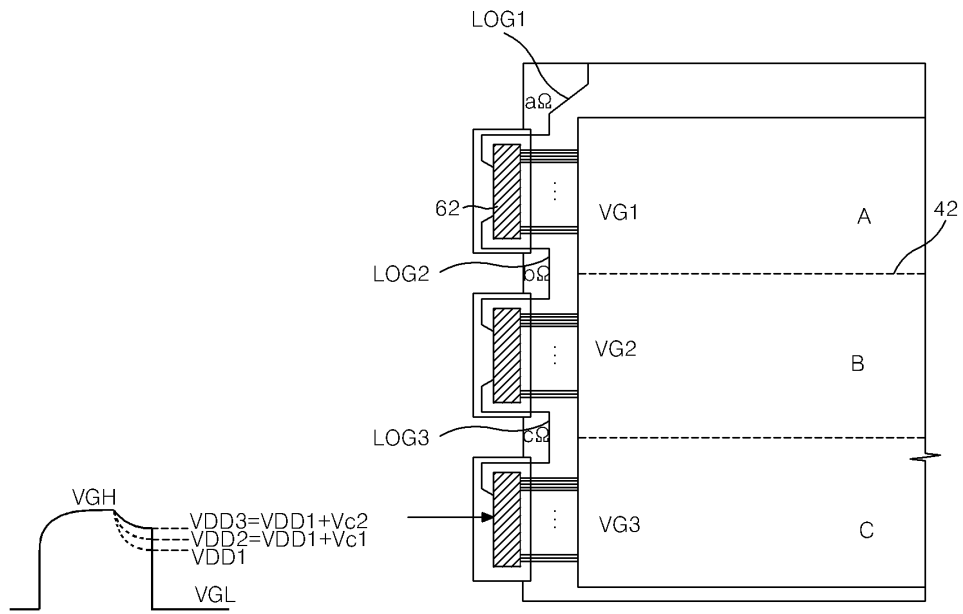
도면4a



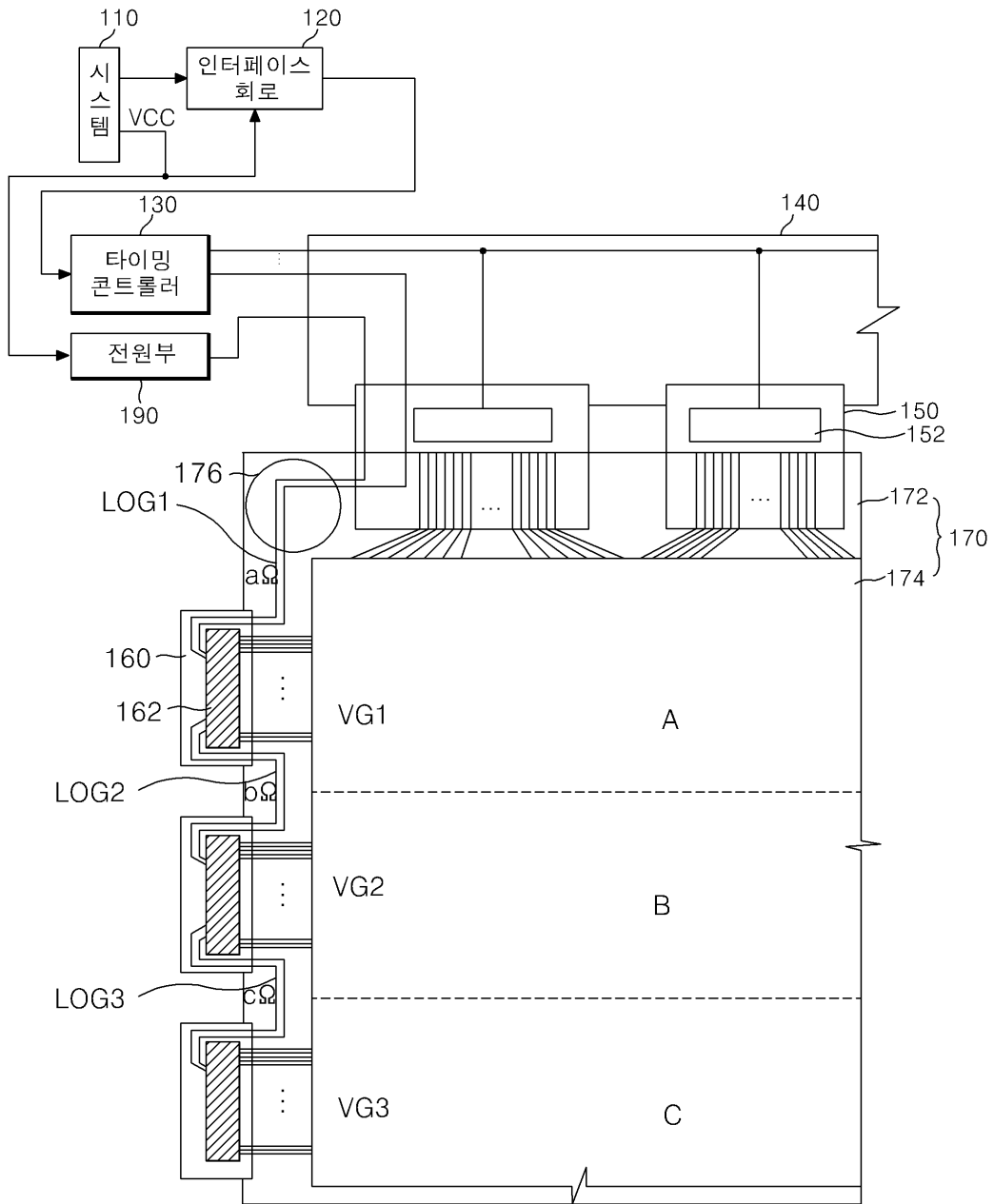
도면4b



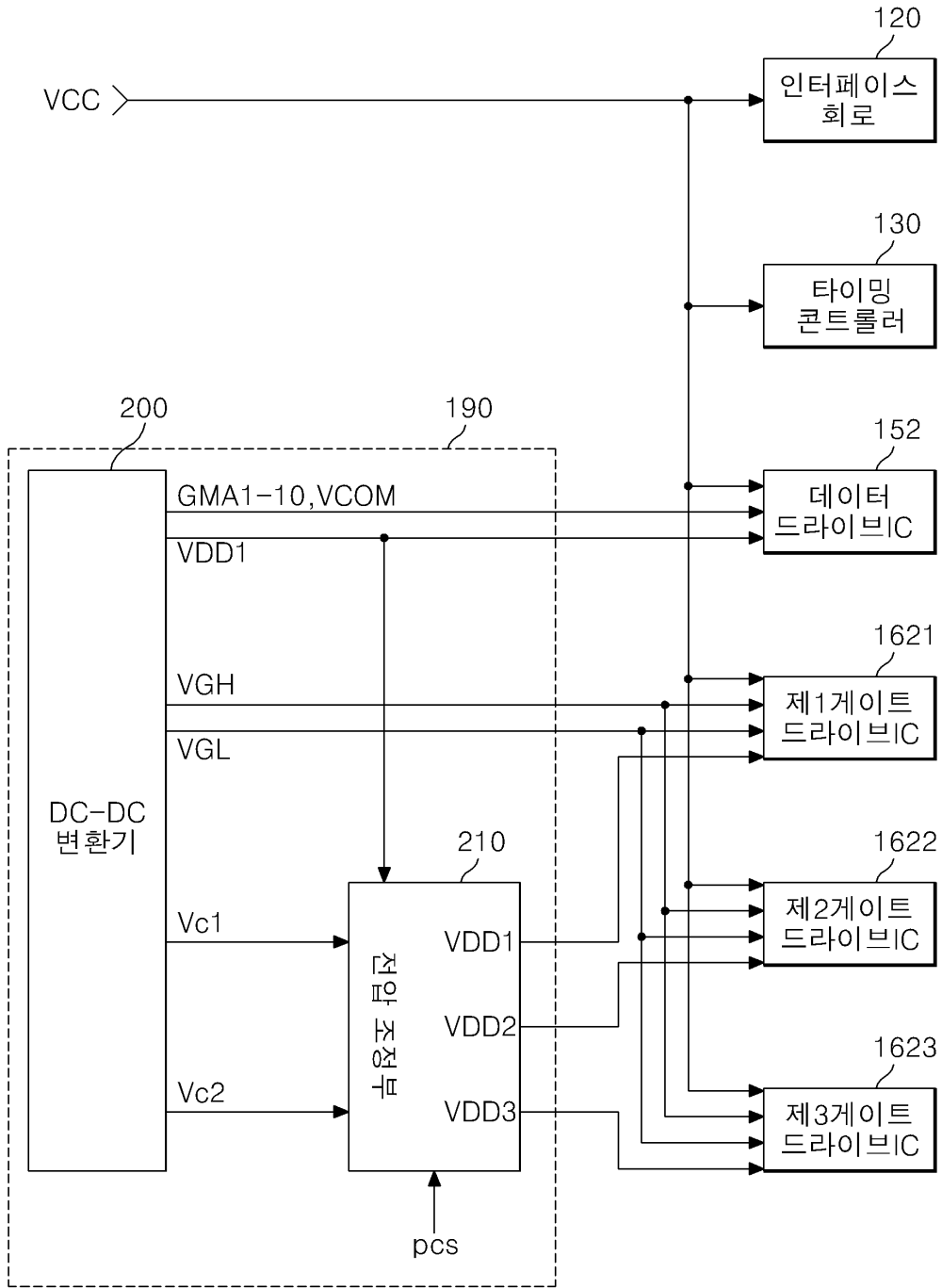
도면4c



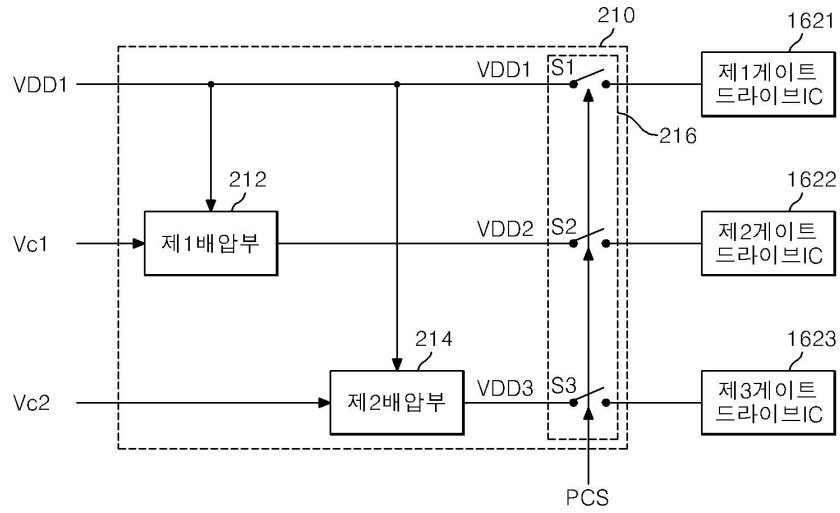
도면5



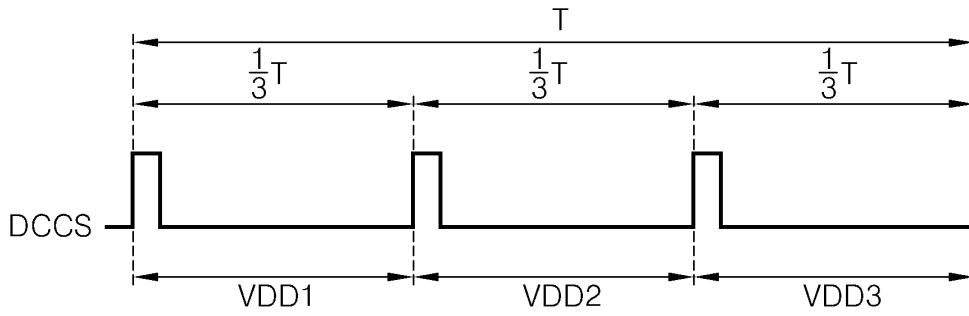
도면6



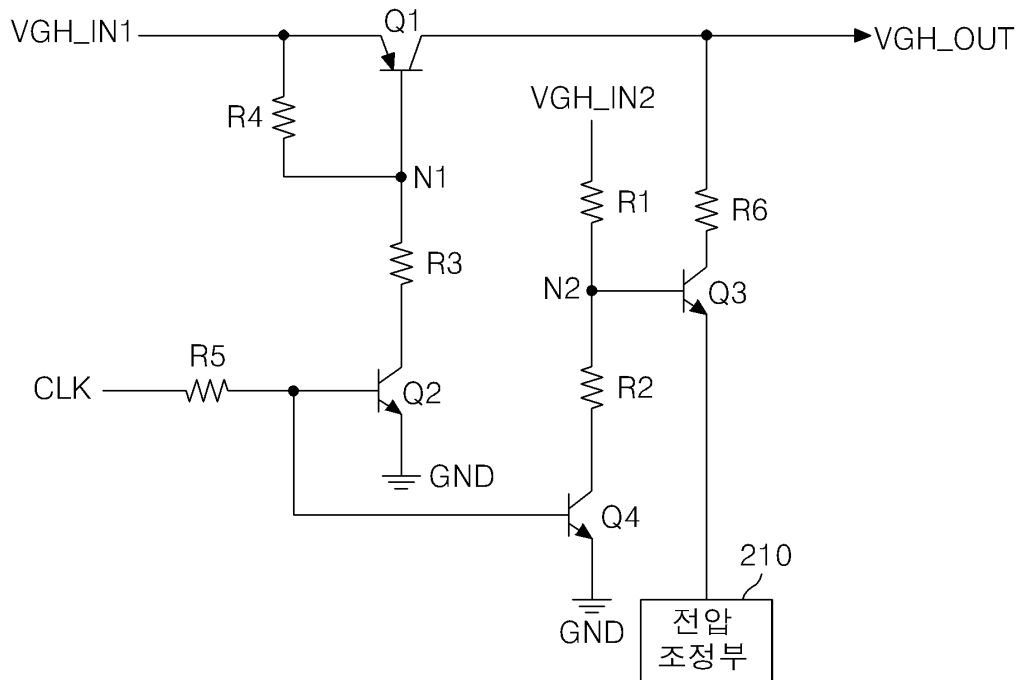
도면7



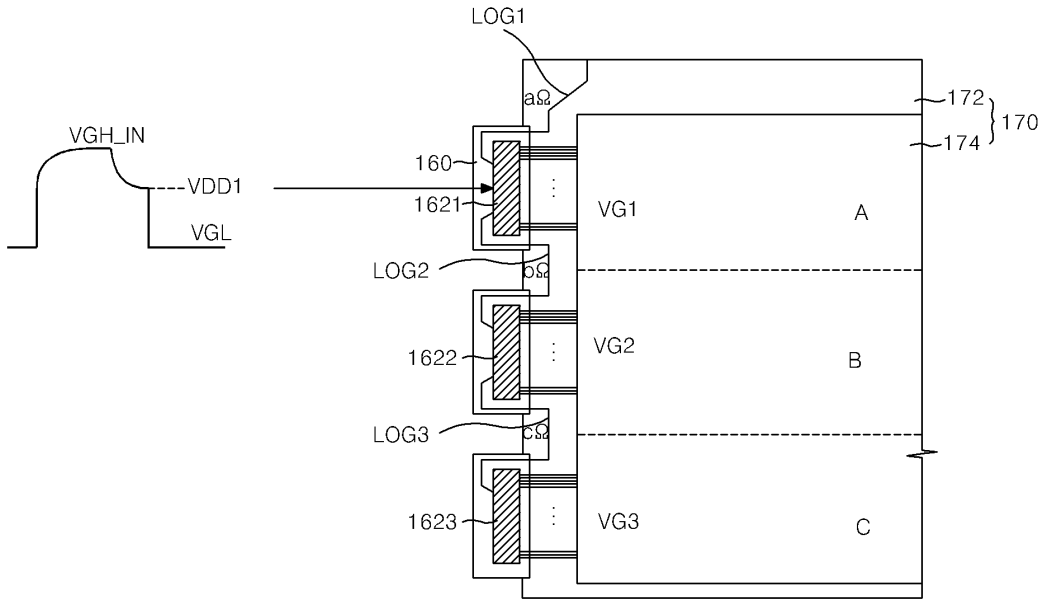
도면8



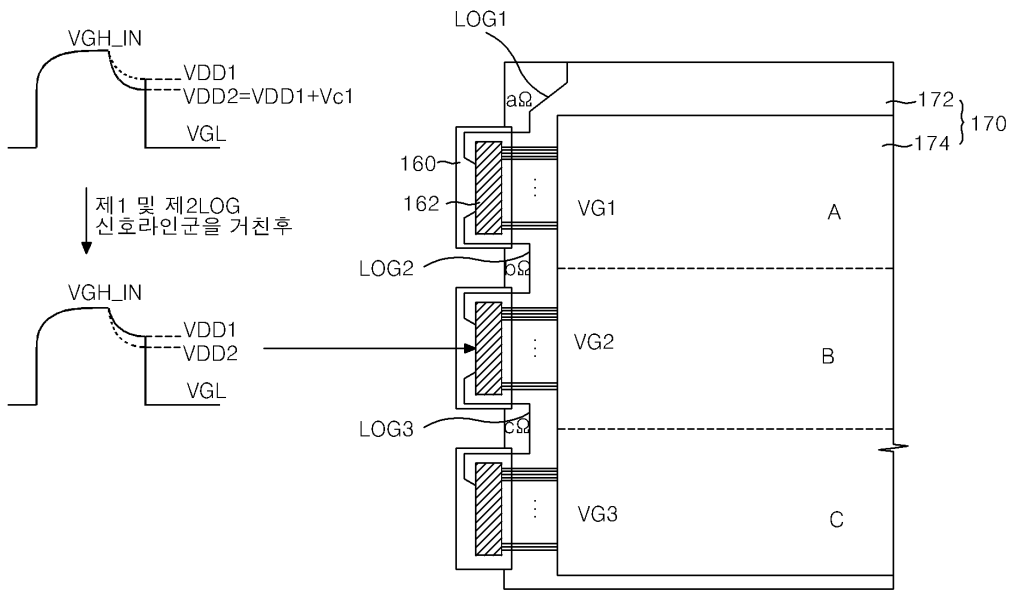
도면9



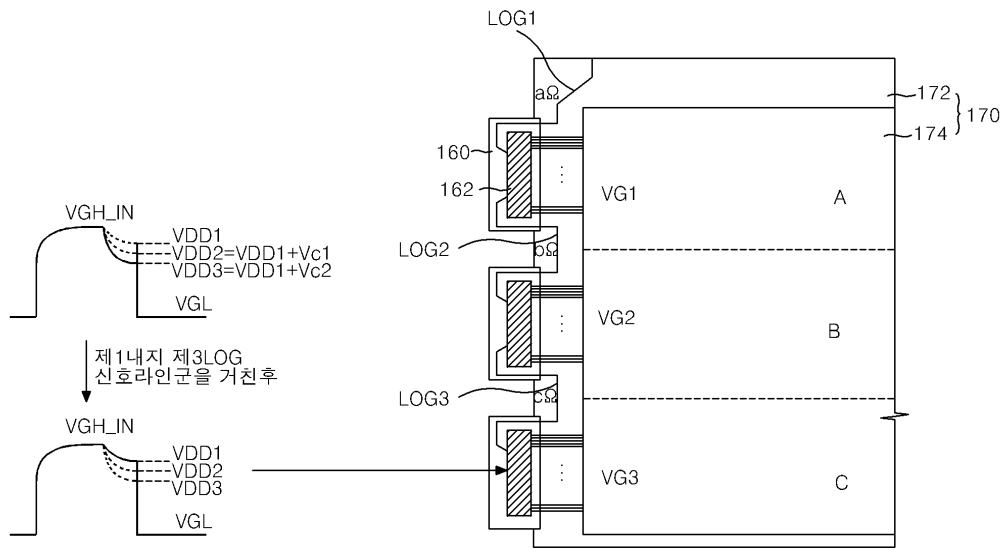
도면10a



도면10b



도면10c



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050039185A	公开(公告)日	2005-04-29
申请号	KR1020030074610	申请日	2003-10-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SANGRAE		
发明人	KIM,SANGRAE		
IPC分类号	G09G3/36 G09G3/04 G02F1/133		
CPC分类号	G09G2320/0219 G09G3/3677 G09G2320/0223		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100983575B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够防止图像质量下降的液晶显示器及其驱动方法。液晶显示器包括液晶单元，液晶单元是液晶显示面板，其中薄膜晶体管在多条栅极线与扫描电压发生器的交叉处形成数据线，产生两个或多个扫描电压，其中电压不同多栅极驱动集成电路用于向栅极线提供扫描脉冲，它使用扫描电压产生扫描脉冲，并且切换扫描电压的开关电路和多路提供的栅极驱动集成电路被设置为矩阵型。

