

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/136(11) 공개번호 10-2005-0035500
(43) 공개일자 2005년04월18일(21) 출원번호 10-2004-0080925
(22) 출원일자 2004년10월11일

(30) 우선권주장 1020030071090 2003년10월13일 대한민국(KR)

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 이성영
서울특별시 양천구 신월7동 331-54번지 성일빌라 가동 302호
장종웅
경기도 수원시 장안구 정자2동 36-21

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터, 박막 트랜지스터 표시판 및 표시 장치

요약

본 발명의 박막 트랜지스터 표시판은 게이트 전극, 상기 게이트 전극 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 적어도 일부분 형성되어 있고, 서로 마주보는 소스 전극 및 드레인 전극, 상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 형성되어 있는 보호막, 그리고 상기 보호막 위에 형성되어 있고 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 차단 전극을 포함한다.

대표도

도 5

색인어

액정표시장치, LCD, 박막트랜지스터, 화소전극, 차단전극, 게이트전극, 말굽형, 박막트랜지스터표시판

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 표시 장치의 한 예인 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 구동부용 박막 트랜지스터를 개략적으로 도시한 배치도이다.

도 4는 도 3에 도시한 박막 트랜지스터의 일부를 확대하여 도시한 배치도이다.

도 5는 도 4에 도시한 박막 트랜지스터를 V-V' 선을 따라 자른 단면도이다.

도 6은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 일부를 도시한 배치도이다.

도 7은 도 6에 도시한 박막 트랜지스터 표시판을 VII-VII' 선을 따라 절단한 단면도이다.

도 8 및 도 9는 각각 공통 전극에 +3.3V 및 -1.0V의 공통 전압을 인가할 때 액정층의 액정 분자들의 배열과 등전위선을 나타낸 도면이다.

도 10은 공통 전극이 없을 때 액정층의 액정 분자들의 배열과 등전위선을 도시한 도면이다.

도 11 및 도 13은 액정층이 존재하는 상태에서, 각각 +3.3V와 -1.0V의 공통 전압을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 도면이다.

도 12 및 도 14는 액정층이 존재하지 않는 상태에서, 각각 +3.3V와 -1.0V의 공통 전압을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이다.

*** 도면 부호에 대한 설명 ***

3: 액정층 11, 21: 배향막

82: 접촉 보조 부재

100, 200: 표시판 110, 210: 절연 기판

121, 127: 게이트선 124: 게이트 전극

124a: 제어 전극 126: 제어 신호선

140: 게이트 절연막 154, 155: 반도체

163, 163a, 165, 165a: 저항성 접촉 부재

171, 179: 데이터선 171a: 신호 입력선

172: 입력 신호선 연결부 173: 소스 전극

173a: 입력 전극 175: 드레인 전극

175a: 출력 전극 176: 출력 신호선

177: 유지 축전기용 도전체 178: 출력 신호선 연결부

180: 보호막 182, 185, 187: 접촉 구멍

190: 화소 전극 196, 196a: 차단부재

220: 차광 부재 230: 색필터

250: 오버코트막 270: 공통 전극

300: 표시판부

400: 게이트 구동부 500: 데이터 구동부

600: 신호 제어부 800: 계조 신호 생성부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터, 박막 트랜지스터 표시판 및 표시 장치에 관한 것이다.

액정 표시 장치(liquid crystal display, LCD)나 유기 발광 표시 장치(organic light emitting display, OLED) 따위의 평판 표시 장치는 표시판과 이를 구동하기 위한 구동부 및 구동부를 제어하기 위한 제어부를 포함한다.

액정 표시 장치 및 유기 발광 표시 장치의 표시판은 일반적으로 행렬의 형태로 배열된 화소 전극 및 표시판의 전면에 걸쳐 존재하며 공통 전압을 인가 받는 공통 전극을 구비한다. 액정 표시 장치의 경우 두 전극 사이에는 유전율 이방성(dielectric anisotropy)을 갖는 액정층이 개재되어 있고, 유기 발광 표시 장치의 경우에는 유기 발광층이 개재되어 있다.

표시판에는 또한 화소 전극에 인가되는 전압을 개별적으로 제어하기 위한 박막 트랜지스터(TFT) 등 스위칭 소자와 이에 연결된 복수의 게이트선 및 복수의 데이터선이 구비되어 있다. 게이트선은 스위칭 소자를 턴온시키는 게이트 온 전압과 턴오프시키는 게이트 오프 전압으로 이루어진 게이트 신호를 전달하고, 데이터선은 데이터 신호를 전달한다.

표시 장치의 구동부는 게이트 신호를 생성하여 게이트선에 인가하는 게이트 구동부와 데이터 신호를 생성하여 데이터선에 인가하는 데이터 구동부를 포함한다. 이들 게이트 구동부와 데이터 구동부는 복수의 구동 IC(integrated circuit) 칩의 형태로 표시판에 장착되거나 가요성 인쇄 회로(flexible printed circuit, FPC) 필름에 장착되어 표시판에 부착될 수 있다.

또한 유효 화면을 확장시키고 화면 외부 틀의 면적을 축소시키며 원가를 절감하기 위하여 게이트 구동부를 스위칭 소자와 함께 표시판 상에 집적하기도 한다. 이때 게이트 구동부는 복수의 박막 트랜지스터 등으로 이루어진다.

아래에서는 화소 전극과 연결된 박막 트랜지스터를 화소 박막 트랜지스터라 하고 게이트 구동부의 박막 트랜지스터를 구동부 박막 트랜지스터라 한다. 이러한 박막 트랜지스터는 게이트 전극, 소스 전극 및 드레인 전극을 가진다.

발명이 이루고자 하는 기술적 과제

한편, 일반적으로 공통 전극의 아래에 위치하는 박막 트랜지스터는 공통 전극에 인가되는 공통 전압의 영향을 받는다.

박막 트랜지스터의 문턱 전압(threshold voltage)(V_t)은 다음 [수학식 1]과 같이 나타낼 수 있다.

$$V_t = V_{t0} + \gamma (\sqrt{2\phi_f + V_{cs}} - \sqrt{2\phi_f})$$

수학식 1

여기서, $V_{cs} = V_{com} - V_s$ (V_{com} : 공통 전압, V_s : 박막 트랜지스터의 소스 단자에 인가되는 전압), V_{t0} 는 $V_{cs} = 0$ 일 때의 문턱 전압, γ 는 제조사의 공정 변수, ϕ_f 는 물리적 매개변수 상수이다.

[수학식 1]에서 알 수 있는 바와 같이, 문턱 전압(V_t)은 V_{cs} 의 값에 의존하고, 이에 따라 공통 전압(V_{com})의 값에 의존하게 된다.

특히 공통 전압(V_{com})의 크기가 커서 문턱 전압(V_t)이 높아지면, 박막 트랜지스터를 턴온시키기 위하여 게이트 전극에 인가하는 구동 전압을 높여야 하고 이에 따라 턴온 시의 전류 흐름이 감소하여 박막 트랜지스터의 동작 효율이 감소하는 결과를 초래한다.

또한, 공통 전극과 게이트 전극 사이에 기생 축전기가 형성되고, 이 축전기에 의해 박막 트랜지스터의 출력 전압이 낮아진다. 이러한 박막 트랜지스터가 게이트 구동부의 출력단에 위치하는 구동부 박막 트랜지스터인 경우 출력 전압은 화소 박막 트랜지스터를 턴온시키는 게이트 온 전압에 해당하므로 화소 박막 트랜지스터가 제대로 턴온되지 않는 문제가 발생할 수 있다.

또한 구동부 박막 트랜지스터는 화소 박막 트랜지스터보다 그 크기가 훨씬 커서 채널 폭이 7,000 내지 10,000 μm 정도에 달한다. 이에 따라 공통 전극과 게이트 전극 사이의 기생 용량도 더욱 커지게 된다. 예를 들어 저전압 액정의 경우, 게이트 전극과 소스 전극 사이의 기생 용량(C_{gs})과 게이트 전극과 공통 전극 사이의 기생 용량(C_{gc})을 비교해 보면,

$$C_{gs} : C_{gc} = 4.6 : 1$$

로 게이트 전극과 공통 전극 사이의 기생 용량(C_{gc})이 매우 커서 박막 트랜지스터의 구동에 많은 영향을 미칠 수 있다는 것을 알 수 있다.

따라서 본 발명이 이루고자 하는 기술적 과제는 이러한 종래 기술의 문제를 해결하기 위한 것이다.

발명의 구성 및 작용

본 발명의 한 특징에 따른 박막 트랜지스터는, 게이트 전극, 상기 게이트 전극 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 적어도 일부분 형성되어 있고, 서로 마주보는 소스 전극 및 드레인 전극, 상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 형성되어 있는 보호막, 그리고 상기 보호막 위에 형성되어 있고 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 차단 전극을 포함한다.

상기 차단 전극은 전기적으로 고립될 수 있다.

그러나 차단 부재에 소정 전압이 인가될 수 있으며, 이 때, 상기 소정 전압은 접지 전압 이하이거나 부극성 전압일 수 있다.

상기 차단 전극은 IZO 또는 ITO로 이루어질 수 있고, 말굽형일 수 있다.

상기 보호막은 유기 절연 물질로 이루어질 수 있다.

본 발명의 한 특징에 따른 박막 트랜지스터 표시판은, 게이트선과 데이터선, 제어 전극, 입력 전극, 출력 전극, 그리고 상기 입력 전극과 상기 출력 전극 사이에 위치한 채널부를 포함하고, 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터, 상기 게이트선에 연결되어 있는 게이트 전극, 상기 데이터선에 연결되어 있는 소스 전극, 드레인 전극, 그리고 상기 소스 전극 및 상기 드레인 전극 사이에 위치한 채널부를 포함하며, 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 전달하는 제2 박막 트랜지스터, 상기 드레인 전극에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고 상기 제1 박막 트랜지스터의 채널부 위에 위치하는 제1 차단 전극을 포함한다.

상기 제1 차단 전극은 전기적으로 고립될 수 있다.

이와는 달리 상기 제1 차단 부재에는 소정 전압이 인가될 수 있으며, 이 때, 상기 소정 전압은 접지 전압 이하이거나 부극성 전압이거나 상기 제2 박막 트랜지스터를 턴오프시킬 수 있는 크기를 가질 수 있다.

상기 제1 차단 전극은 상기 화소 전극과 동일한 층을 포함할 수 있다.

상기 박막 트랜지스터 표시판은 상기 제2 박막 트랜지스터의 채널부 위에 위치하며 상기 화소 전극과 동일한 층을 포함하는 제2 차단 전극을 더 포함할 수 있다.

상기 박막 트랜지스터 표시판은 또한 상기 제1 및 제2 박막 트랜지스터와 상기 제1 및 제2 차단 부재 사이에 형성되어 있는 절연막을 더 포함할 수 있다.

상기 절연막은 유기 절연 물질로 이루어질 수 있다.

본 발명의 한 특징에 따른 표시 장치는, 게이트선 및 데이터선, 채널층을 포함하고 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터, 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 전달하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고 상기 제1 박막 트랜지스터의 상기 채널층 위에 위치하며 도전 물질로 이루어진 차단 전극, 그리고 상기 화소 전극과 마주보는 공통 전극을 포함한다.

또한 제1 차단 전극은 상기 화소 전극과 동일한 층에 형성되어 있다.

상기 공통 전극은 상기 차단 전극과 마주볼 수 있다..

상기 차단 전극은 상기 공통 전극에 인가되는 전압보다 낮은 소정의 전압을 인가 받을 수 있고, 이 소정의 전압은 상기 제2 박막 트랜지스터를 턴오프시킬 수 있는 크기를 가질 수 있다.

상기 차단 전극은 상기 화소 전극과 동일한 층을 포함할 수 있다.

상기 표시 장치는 상기 차단 전극과 상기 공통 전극 사이에 위치하는 유전체를 더 포함할 수 있으며, 상기 유전체는 액정층을 포함할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대 하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 박막 트랜지스터, 박막 트랜지스터 표시판 및 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 표시 장치의 한 예인 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 표시 장치는 표시판부(display panel unit)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 신호 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

도 1을 참고하면, 표시판부(300)는 등가 회로로 볼 때 복수의 표시 신호선(display signal line)(G_1-G_n , D_1-D_m)과 이에 연결되어 있고 대략 행렬의 형태로 배열되어 있으며 표시 영역(display area)(DA)을 이루는 복수의 화소(pixel)(PX)를 포함한다. 도 2를 참고하면, 액정 표시 장치의 표시판부(300)는 하부 및 상부 표시판(100, 200)과 그 사이의 액정층(3)을 포함한다. 유기 발광 표시 장치(organic light emitting display)의 경우 표시판부(300)가 하나의 표시판만을 포함할 수 있다.

표시 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(gate line)(G_1-G_n)과 데이터 신호를 전달하는 데이터선(data line)(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소(PX)는 박막 트랜지스터 등 적어도 하나의 스위칭 소자(도시하지 않음)와 적어도 하나의 축전기(도시하지 않음)를 포함한다.

도 2를 참고하면, 액정 표시 장치의 각 화소(PX)는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC}) 및 유지 축전기(storage capacitor)(C_{ST})를 포함한다. 표시 신호선(G_1-G_n , D_1-D_m)은 하부 표시판(100)에 배치되어 있으며, 유지 축전기(C_{ST})는 필요에 따라 생략할 수 있다.

박막 트랜지스터 따위의 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 각각 게이트선(G_1-G_n)에 연결되어 있는 제어 단자, 데이터선(D_1-D_m)에 연결되어 있는 입력 단자, 그리고 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있는 출력 단자를 가지고 있는 삼단자 소자이다.

액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어질 수 있다.

유지 축전기(C_{ST})는 액정 축전기(C_{LC})를 보조하는 축전기로서, 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

색 표시를 구현하기 위해서, 각 화소(PX)가 복수의 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 복수의 원색을 번갈아 표시함으로써(시간 분할), 원색의 공간적, 시간적 합으로 원하는 색상을 나타낸다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다. 도 2는 각 화소(PX)가 상부 표시판(200)에서 화소 전극(190)과 마주보는 대응하는 영역에 원색 중 하나의 색상을 나타내는 색 필터(230)를 구비한 공간 분할의 예를 보여주고 있다. 이와는 달리 색필터(230)는 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

표시판부(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 하나 이상의 편광자(도시하지 않음)가 부착되어 있다.

유기 발광 표시 장치의 각 화소(PX)는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 트랜지스터(도시하지 않음), 이에 연결된 구동 트랜지스터(driving transistor)(도시하지 않음) 및 유지 축전기(도시하지 않음), 그리고 발광 다이오드(light emitting diode)(도시하지 않음)를 포함할 수 있다. 발광 다이오드는 화소 전극(도시하지 않음)과 공통 전극(도시하지 않음) 및 그 사이의 발광 부재(light emitting member)(도시하지 않음)를 포함한다.

도 1을 다시 참고하면, 계조 신호 생성부(800)는 화소(PX)의 투과율과 관련된 복수의 계조 신호를 생성한다. 액정 표시 장치용 계조 신호 생성부(800)의 경우 공통 전압(Vcom)에 대하여 양의 값과 음의 값을 각각 가지는 두 별개의 계조 전압을 생성한다.

게이트 구동부(400)는 표시판부(300)의 게이트선(G_1-G_n)에 연결되어 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)과 각각 동일한 두 값을 가지는 게이트 신호를 게이트선(G_1-G_n)에 인가한다. 게이트 구동부(400)는 표시판부(300)에 집적되어 있으며 복수의 구동 회로(도시하지 않음)를 포함한다. 게이트 구동부(400)를 이루는 각각의 구동 회로는 하나의 게이트선(G_1-G_n)에 연결되어 있으며 복수의, 예를 들면 약 14개의 박막 트랜지스터를 포함한다. 그러나 게이트 구동부(400)가 집적 회로(integrated circuit, IC) 칩의 형태로 표시판부(300) 위에 장착되거나 가요성 인쇄 회로(flexible printed circuit, FPC) 필름 위에 장착될 수 있다. 후자의 경우에 가요성 인쇄 회로 필름이 표시판부(300) 위에 부착된다.

데이터 구동부(500)는 표시판부(300)의 데이터선(D_1-D_m)에 연결되어 있으며 계조 신호 생성부(800)로부터의 계조 전압을 선택하여 데이터 전압으로서 데이터선(D_1-D_m)에 인가한다. 데이터 구동부(500)는 또한 표시판부(300)에 집적되거나, 하나 이상의 집적 회로 칩의 형태로 표시판부(300) 위에 장착되거나 표시판부(300) 위에 부착된 가요성 인쇄 회로(flexible printed circuit, FPC) 필름 위에 장착될 수 있다.

구동부(400, 500) 또는 이들이 장착되어 있는 가요성 인쇄 회로 필름은 표시판부(300)에서 표시 영역(DA)의 바깥쪽에 위치한 주변 영역(peripheral area)에 위치한다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어하며 인쇄 회로 기판(printed circuit board, PCB) 등에 장착될 수 있다.

그러면, 도 3 내지 도 7 및 앞서의 도 1 및 도 2를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 구동부용 박막 트랜지스터를 개략적으로 도시한 배치도이고, 도 4는 도 3에 도시한 박막 트랜지스터의 일부를 확대하여 도시한 배치도이며, 도 5는 도 4에 도시한 박막 트랜지스터를 V-V' 선을 따라 자른 단면도이다. 또한 도 6은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 일부를 도시한 배치도이고, 도 7은 도 6에 도시한 박막 트랜지스터 표시판을 VII-VII' 선을 따라 절단한 단면도이다.

도 3 내지 도 7을 참고하면, 본 실시예에 따른 액정 표시 장치는 간극(間隙)을 두고 있는 하부 표시판(100)과 상부 표시판(200) 및 이 간극에 채워져 있는 액정층(3)을 포함한다.

먼저 상부 표시판(200)에 대하여 설명한다.

투명한 유리 따위의 절연 기판(210) 위에 블랙 매트릭스라고도 하는 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 표시 영역(DA)에서 복수의 개구부를 가지고 있는 반면에, 주변 영역에서는 별도의 개구부를 구비하고 있지 않다. 기판(210)과 차광 부재(220)의 일부 위에는 적색, 녹색, 청색 등의 원색을 표시하는 복수의 색필터(230)가 형성되어 있는데, 이들은 표시 영역(DA)에만 존재하고 주변 영역에는 존재하지 않을 수 있다. 색필터(230) 및 차광 부재(220) 위에는 오버코트막(250), 공통 전극(270) 및 폴리이미드(polyimide) 따위로 만들어진 배향막(21)이 차례로 형성되어 있다.

액정층(3)의 두께, 또는 표시판(100, 200) 사이의 간격은 약 $3.7\mu\text{m}$ 이고 색필터(230)의 두께는 약 $1.5\mu\text{m}$ 에서 $1.6\mu\text{m}$ 일 수 있다.

다음에, 하부 표시판(200)에 대하여 설명한다.

절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)과 제어 신호선(126)이 형성되어 있다.

게이트선(121)은 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선의 다른 일부는 아래 방향으로 돌출하여 복수의 돌출부(projection)(127)를 이룬다.

각 제어 신호선(126)은 너비가 넓은 제어 전극(124a)을 포함한다. 각 제어 전극(124a)은 자신을 상반부와 하반부로 나누는 개구부(124b)를 가지고 있다.

게이트선(121) 및 제어 신호선(126)은 알루미늄(Al)이나 알루미늄 합금 따위의 알루미늄 계열 금속, 은(Ag)이나 은 합금 따위의 은 계열 금속, 구리(Cu)나 구리 합금 따위의 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 따위의 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 따위로 이루어지는 것이 바람직하다. 그러나 이들은 물리적 성질이 다른 두 개의 막을 포함하는 다중막 구조를 가질 수 있다. 이들 중 한 막은 게이트선(121)의 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 알루미늄 계열 금속, 은 계열 금속, 또는 구리 계열 금속으로 이루어지는 것이 바람직하다. 이와는 달리 다른 막은 다른 물질, 특히 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 좋은 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 및 이들의 합금 따위로 이루어지는 것이 바람직하다. 이러한 막의 예로는 크롬 하부막과 알루미늄 상부막, 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다.

게이트선(121) 및 제어 신호선(126)의 측면은 기판(110)의 표면에 대하여 경사져 있으며, 경사각은 약 30° - 80° 범위이다.

게이트선(121) 및 제어 신호선(126) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 이루어진 복수의 섬형 반도체(154)와 반도체(155)가 형성되어 있다. 반도체(154, 155)는 각각 게이트 전극(124) 및 제어 전극(124a) 위에 위치하고 있다.

반도체(154, 155) 위에는 각각 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉 부재(ohmic contact)(163, 165) 및 저항성 접촉 부재(163a, 165a)가 쌍을 이루면서 형성되어 있다.

반도체(154, 155)와 저항성 접촉 부재(163, 165, 163a, 165a)의 측면 역시 기판(100)의 표면에 대하여 경사져 있으며 경사각은 30° - 80° 이다.

저항 접촉 부재(163, 165, 163a, 165a) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 입력 신호선(171a), 복수의 드레인 전극(drain electrode)(175)과 출력 신호선(176), 그리고 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 드레인 전극(175)을 향하여 뻗어 소스 전극(source electrode)(173)을 이루는 복수의 가지와 다른 층 또는 외부 장치와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다.

입력 신호선(171a)은 주로 세로 방향으로 뻗어 있는 세로부, 이 세로부에서 주로 가로 방향으로 뻗어 나와 입력 신호선 연결부(172)를 형성하는 복수의, 예를 들면 세 개의 주 가지, 그리고 주 가지(172)로부터 제어 전극(124a)을 향하여 세로 방향으로 빗살 형상으로 뻗어 나와 입력 전극(173a)을 형성하는 복수의 부 가지를 포함한다. 주 가지 중 중앙에 위치한 것은 제어 전극(124a)의 개구부와 중첩한다.

또한 출력 신호선(176)은 게이트선(121)과 연결되며 면적이 넓은 출력단, 출력단에서 입력 신호 연결부(172) 사이로 가로 방향으로 뻗어 나와 출력 신호 연결부(178)를 형성하는 복수의, 예를 들면 두 개의 주 가지, 그리고 주 가지(178)로부터 제어 전극(124a)을 향하여 세로 방향으로 빗살 모양으로 뻗어 나와 출력 전극(175a)을 형성하는 복수의 부 가지를 포함한다.

게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(154)와 함께 스위칭 박막 트랜지스터를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다. 이와 마찬가지로, 제어 전극(124a), 입력 전극(173a) 집합 및 출력 전극(175a) 집합은 반도체(155)와 함께 구동부 박막 트랜지스터를 이루며, 박막 트랜지스터의 채널은 입력 전극(173a)과 출력 전극(175a) 사이의 반도체(155)에 형성된다. 구동부 박막 트랜지스터의 채널부는 말굽 형상을 갖는다.

유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.

데이터선(171)과 입력 신호선(171a), 드레인 전극(175)과 출력 신호선(176), 그리고 유지 축전기용 도전체(177)는 몰리브덴, 크롬, 티타늄, 탄탈륨 따위의 내화성 금속(refractory metal) 또는 그 합금으로 이루어지는 것이 바람직하다. 그러나 이들 또한 저저항 막과 접촉성 막을 포함하는 다층막 구조로 이루어질 수 있다. 예를 들면 데이터선(171) 등은 알루미늄 또는 알루미늄 합금 중간막과 몰리브덴 또는 몰리브덴 합금 상부막 및 하부막을 포함하는 삼층막 구조를 가질 수 있다.

데이터선(171)과 입력 신호선(171a), 드레인 전극(175)과 출력 신호선(176), 그리고 유지 축전기용 도전체(177)의 측면 또한 기판(110)의 표면에 대하여 경사져 있으며, 그 경사각은 약 30°-80° 범위이다.

저항성 접촉 부재(163, 165, 163a, 165a)는 그 하부의 반도체(154, 155)와 그 상부의 데이터선(171)과 입력 신호선(171a) 및 드레인 전극(175)과 출력 신호선(176) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

데이터선(171)과 입력 신호선(171a), 드레인 전극(175)과 출력 신호선(176), 그리고 유지 축전기용 도전체(177)와 노출된 반도체(154, 155) 부분의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma-enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소나 산화규소 따위로 이루어진 보호막(passivation layer)(180)이 형성되어 있다. 이와는 달리 보호막(180)은 하부 무기막과 상부 유기막의 이중막으로 이루어질 수 있다.

보호막(180)에는 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185, 187, 182)이 형성되어 있다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(190)과 차단 부재(196, 196a) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다.

화소 전극(190)은 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 도전체(177)에 데이터 전압을 전달한다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 상부 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(190, 270) 사이의 액정층(3)의 액정 분자들의 배향을 결정한다.

또한 도 2를 참고로 하여 앞에서 설명한 것처럼, 화소 전극(190)과 공통 전극(270)은 액정 축전기(C_{LC})를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다. 전압 유지 능력을 강화하기 위한 유지 축전기(C_{ST})는 화소 전극(190) 및 전단 게이트선(previous gate line)(121)의 중첩으로 만들어진다. 유지 축전기(C_{ST})의 정전 용량, 즉 유지 용량을 늘리기 위하여 게이트선(121)에 돌출부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 돌출부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있으나, 중첩되지 않을 수도 있다.

차단 부재(196, 196a)는 스위칭 박막 트랜지스터 및 구동부 박막 트랜지스터의 채널부 위, 즉 소스 전극(173)과 드레인 전극(175) 사이 및 입력 전극(173a)과 출력 전극(175a) 사이의 채널부 위에 위치한다. 차단 부재(196a)는 굴곡부가 많은 말굽 형상이고, 차단 부재(196)는 직사각형이다. 차단 부재(196a)는 소정의 신호선(도시하지 않음)을 통하여 소정의 전압을 인가 받는데, 이러한 전압의 예로는 게이트 오프 전압(V_{off}) 및 접지 전압 등을 들 수 있다. 그러나 차단 부재(196, 196a)는 모두 전기적으로 고립되어 있을 수 있다.

접촉 보조 부재(82)는 접촉 구멍(182)을 통하여 데이터선의 끝 부분(179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다.

본 발명의 다른 실시예에 따르면 화소 전극(190)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용한다. 이때, 접촉 보조 부재(82)는 화소 전극(190)과 다른 물질, 특히 ITO 또는 IZO로 만들어질 수 있다.

화소 전극(190)과 차단 부재(196, 196a) 및 이들에 의해 가려지지 않은 보호막(180) 위에는 폴리이미드 등으로 이루어진 배향막(11)이 형성되어 있다.

다음, 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 표시판부(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)는 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV) 및 게이트 온 전압(Von)의 출력 시기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 구동부(400)에 입력되는 적어도 하나의 클록 신호의 예로는 180°의 위상차를 가지는 한 쌍의 클록 신호를 들 수 있으며, 기타 일정 간격의 위상차를 가지는 세 개 이상의 클록 신호도 그 중 하나이다. 게이트 제어 신호(CONT1)에는 그 외에도 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE) 등이 포함될 수 있다.

데이터 제어 신호(CONT2)는 영상 데이터(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소(PX)에 대응하는 영상 데이터(DAT)를 차례로 수신하고, 계조 신호 생성부(800)로부터의 계조 신호 중 각 영상 데이터(DAT)에 대응하는 계조 신호를 선택함으로써, 영상 데이터(DAT)를 아날로그 데이터 신호로 변환한 다음 이를 데이터선(D₁-D_m)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G₁-G_n)에 인가하여 이 게이트선(G₁-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다.

도 3 내지 도 5에 도시한 구동부 박막 트랜지스터는 게이트 구동부(400)의 출력단에 배치되어 있다. 구동부 박막 트랜지스터의 출력 신호선(176)의 출력단은 게이트선(G₁-G_n)에 연결되어 있어, 게이트 온 전압(Von)을 포함하는 게이트 신호를 해당 게이트선(G₁-G_n)에 인가한다. 구동부 박막 트랜지스터의 입력 신호선(171a)에는 클록 신호가 인가되며 제어 신호선(126)에는 외부로부터 구동 신호가 인가된다. 따라서 제어 전극(124a)에 제어 신호선(126)을 통하여 적절한 크기의 구동 전압이 인가되면, 구동부 박막 트랜지스터는 입력 신호선(171a)을 통하여 입력 전극(173a)에 인가되는 클록 신호를 출력 전극(175a) 및 출력단을 통하여 출력한다. 클록 신호의 고레벨 전압은 구동부 박막 트랜지스터에서 전압 강하되어 게이트 온 전압(Von)으로서 출력된다. 클록 신호의 저레벨 전압은 차단 부재(196a)에 인가되는 게이트 오프 전압(Voff)일 수 있다. 그러나 차단 부재(196a)는 별도의 경로를 통하여 공급되는 게이트 오프 전압(Voff)을 인가 받을 수 있다.

그러면, 데이터선(D₁-D_m)에 인가된 데이터 신호는 도통된 스위칭 소자(Q)를 통해 해당 화소(PX)에 인가된다.

도 2 내지 도 7에 도시한 액정 표시 장치의 경우, 화소(PX)에 인가된 데이터 신호의 전압, 즉 데이터 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C_{LC})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자(310)들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 결정된다. 이러한 빛의 편광은 편광자(11, 21)에 의하여 빛의 투과율로 변환된다.

1 수평 주기(horizontal period)[이 기간을 "1H"로 표기하기도 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로, 이러한 과정을 반복하여, 한 프레임(frame) 동안 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 전압을 인가한다.

도 2 내지 도 7에 도시한 액정 표시 장치의 경우, 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 도트 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 도트 반전).

여기에서, 차단 부재(196, 196a)는 공통 전극(270)에 인가되는 공통 전압(Vcom)이 액정층(3)이나 전극(124, 173, 175, 124a, 173a, 175a)과 반도체(154, 155)를 포함하는 박막 트랜지스터의 채널에 미치는 영향을 차단하여, 박막 트랜지스터

의 문턱 전압에 대한 악영향을 방지한다. 나아가, 게이트 오프 전압(V_{off}) 등 공통 전압(V_{com})보다 낮은 전압을 차단 부재(196, 196a)에 인가함으로써, 박막 트랜지스터의 구동 전압을 낮추고 스위칭 시점을 앞당겨 박막 트랜지스터에 입력되는 전압의 효율을 향상하며 박막 트랜지스터의 동작 효율을 높인다.

더욱이, 차단 부재(196, 196a)를 화소 전극(190)과 동일한 층으로 함께 형성하므로, 제조 비용이 늘거나 제조 공정이 복잡해지지 않는다.

그러면 도 8 내지 도 14를 참고로 하여 공통 전극에 인가되는 공통 전압을 변화시키거나 공통 전극을 제거하는 등의 간접적인 방법을 통하여 본 발명의 실시예에 따른 차단 부재의 효과에 대하여 상세하게 설명한다.

다음, 도 8 내지 도 10을 참고로 하여, 공통 전극에 인가되는 공통 전압의 크기 변화에 따른 액정층의 액정 분자들의 배열과 등전위선의 변화에 대하여 상세하게 설명한다.

도 8 및 도 9는 각각 공통 전극에 +3.3V 및 -1.0V의 공통 전압을 인가할 때 액정층의 액정 분자들의 배열과 등전위선을 나타낸 도면이며, 도 10은 공통 전극이 없을 때 액정층의 액정 분자들의 배열과 등전위선을 나타낸 도면이다. 박막 트랜지스터의 게이트 전극(또는 제어 전극)(G), 소스 전극(또는 입력 전극)(S) 및 드레인 전극(또는 출력 전극)(D)의 전압은 각각 25V, 25V 및 14V 이었다. 액정층은 양의 유전율 이방성을 가진다.

도 8 및 도 9에 도시한 것처럼, 공통 전극에 인가되는 공통 전압이 클수록 공통 전압이 드레인 전극(D)과 소스 전극(S)의 전압에 미치는 영향이 커져, 등전위선이 더 수평하게 된다. 하지만, 도 10에 도시한 것처럼, 공통 전극이 없는 경우에는, 드레인 전극 및 소스 전극의 전압에 의해서만 등전위선이 결정되어 액정 분자의 배열이 정해짐을 알 수 있다.

이미 기술한 바와 같이, 공통 전압(V_{com})의 값이 작으면 작을수록 박막 트랜지스터의 문턱 전압을 낮추는 효과가 발생하므로, 작은 값의 공통 전압(V_{com})이 인가될수록 박막 트랜지스터의 동작 효율이 향상됨을 알 수 있다.

다음엔 도 11 및 도 12와 도 13 및 도 14를 참고로 하여 공통 전압 변화에 따라 액정 표시 장치의 게이트 구동부에서 출력되는 게이트 신호의 변화를 설명한다.

도 11 및 도 12는 각각 액정층이 존재하는 경우와 그렇지 않은 경우에, +3.3V의 공통 전압을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이고, 도 13 및 도 14는 각각 액정층이 존재하지 않는 경우와 그렇지 않은 경우에, -1.0V의 공통 전압을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이다. 도 11 내지 도 14에서 게이트 신호는 도면 부호 V_g 로 나타내었고, 게이트 신호를 생성하기 위한 클럭 신호는 V_{CK} 로 나타내었으며 클럭 신호(V_{CK})의 고레벨 전압은 +23.6V이다.

액정층이 존재하는 경우 +3.3V의 공통 전압이 인가되는 도 11의 경우엔 게이트 신호(V_g)의 고레벨 전압, 즉, 게이트 온 전압(V_{on})이 약 +14.6V로서 클럭 신호(V_{CK})의 고레벨 전압에 비하여 약 9.0V 정도의 전압 강하가 발생한다. 그러나 -1.0V의 공통 전압이 인가되는 도 13의 경우엔 게이트 온 전압(V_{on})이 약 +20.6V로서 클럭 신호(V_{CK})의 고레벨 전압에 비하여 3.0V의 전압 강하만 발생한다. 이와 같이, 공통 전압의 값이 작을수록 공통 전압이 액정층과 전극 등에 미치는 영향이 줄어들어 게이트 구동부로부터 출력되는 게이트 신호의 전압 강하가 감소하고, 그로 인해 박막 트랜지스터의 동작 효율이 향상된다는 것을 알 수 있다.

액정층을 제거한 경우, 게이트 온 전압(V_{on})이 각각 약 +20.6V와 약 +20.8V로 도 12에서처럼 공통 전압이 +3.3V일 때와 도 14에서처럼 공통 전압이 -1.0V일 때 게이트 신호의 고레벨 전압값은 각각 +20.6V와 +20.8V로서 별 차이가 없다. 이는 공통 전압이 박막 트랜지스터의 동작에 거의 영향을 미치지 못한다는 것을 보여준다.

이와 같은 결과를 보면, 공통 전압보다 낮은 전압을 인가 받는 차단 부재가 박막 트랜지스터의 동작 효율을 개선하며 이는 특히 액정층 등 유전체가 공통 전극과 박막 트랜지스터 사이에 존재할 때 더 그러하다는 것을 알 수 있다.

앞서 설명한 내용들은 유기 발광 표시 장치 등 다른 평판 표시 장치에도 적용될 수 있다.

발명의 효과

본 발명에 따르면, 차단 전극은 공통 전극에 인가되는 공통 전압이 액정층이나 박막 트랜지스터의 채널에 미치는 영향을 차단하여, 박막 트랜지스터의 문턱 전압에 대한 악영향을 방지한다. 나아가, 게이트 오프 전압 등 공통 전압보다 낮은 전압을 차단 부재에 인가함으로써, 박막 트랜지스터의 구동 전압을 낮추고 스위칭 시점을 앞당겨 박막 트랜지스터에 입력되는 전압의 효율을 향상하고 박막 트랜지스터의 동작 효율을 높인다.

또한, 차단 부재를 화소 전극과 동일한 층으로 함께 형성하므로, 제조 비용이 늘거나 제조 공정이 복잡해지지 않는다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

게이트 전극,

상기 게이트 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 적어도 일부분 형성되어 있고, 서로 마주보는 소스 전극 및 드레인 전극,

상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 형성되어 있는 보호막, 그리고

상기 보호막 위에 형성되어 있고 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 차단 전극을 포함하는 박막 트랜지스터.

청구항 2.

제1항에서,

상기 차단 전극은 전기적으로 고립되어 있는 박막 트랜지스터.

청구항 3.

제1항에서,

상기 차단 전극은 소정 전압이 인가되는 박막 트랜지스터.

청구항 4.

제3항에서,

상기 차단 전극에 인가되는 소정 전압은 접지 전압 이하인 박막 트랜지스터.

청구항 5.

제3항에서,

상기 차단 전극에 인가되는 소정 전압은 부극성 전압인 박막 트랜지스터.

청구항 6.

제1항에서,

상기 차단 전극은 IZO 또는 ITO로 이루어진 박막 트랜지스터.

청구항 7.

제1항에서,

상기 차단 전극은 말굽형인 박막 트랜지스터.

청구항 8.

제1항에서,

상기 보호막은 유기 절연 물질로 이루어진 박막 트랜지스터.

청구항 9.

게이트선과 데이터선,

제어 전극, 입력 전극, 출력 전극, 그리고 상기 입력 전극과 상기 출력 전극 사이에 위치한 채널부를 포함하고, 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터,

상기 게이트선에 연결되어 있는 게이트 전극, 상기 데이터선에 연결되어 있는 소스 전극, 드레인 전극, 그리고 상기 소스 전극 및 상기 드레인 전극 사이에 위치한 채널부를 포함하며, 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 전달하는 제2 박막 트랜지스터,

상기 드레인 전극에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고

상기 제1 박막 트랜지스터의 채널부 위에 위치하는 제1 차단 전극

를 포함하는 박막 트랜지스터 표시판.

청구항 10.

제9항에서,

상기 제1 차단 전극은 전기적으로 고립되어 있는 박막 트랜지스터 표시판.

청구항 11.

제9항에서,

상기 제1 차단 전극은 소정 전압을 인가 받는 박막 트랜지스터 표시판.

청구항 12.

제11항에서,

상기 제1 차단 전극에 인가되는 상기 소정 전압은 접지 전압 이하인 박막 트랜지스터 표시판.

청구항 13.

제11항에서,

상기 제1 차단 전극에 인가되는 상기 소정 전압은 부극성 전압인 박막 트랜지스터 표시판.

청구항 14.

제11항에서,

상기 제1 차단 전극에 인가되는 상기 소정 전압은 상기 제2 박막 트랜지스터를 턴오프시킬 수 있는 크기를 가지는 박막 트랜지스터 표시판.

청구항 15.

제9항에서,

상기 제1 차단 전극은 상기 화소 전극과 동일한 층을 포함하는 박막 트랜지스터 표시판.

청구항 16.

제9항에서,

상기 제2 박막 트랜지스터의 채널부 위에 위치하며 상기 화소 전극과 동일한 층을 포함하는 제2 차단 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 17.

제16항에서,

상기 제1 및 제2 박막 트랜지스터와 상기 제1 및 제2 차단 부재 사이에 형성되어 있는 절연막을 더 포함하는 박막 트랜지스터 표시판.

청구항 18.

제17항에서,

상기 절연막은 유기 절연 물질로 이루어진 박막 트랜지스터 표시판.

청구항 19.

게이트선 및 데이터선,

채널층을 포함하고 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터,

상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 전달하는 제2 박막 트랜지스터,

상기 제2 박막 트랜지스터에 연결되어 상기 데이터 신호를 인가받는 화소 전극,

상기 제1 박막 트랜지스터의 상기 채널층 위에 위치하는 차단 전극, 그리고

상기 화소 전극과 마주보는 공통 전극

을 포함하는 표시 장치.

청구항 20.

제19항에서,

상기 차단 전극은 상기 공통 전극과 마주보는 표시 장치.

청구항 21.

제20항에서,

상기 차단 전극은 상기 공통 전극에 인가되는 전압보다 낮은 소정의 전압을 인가 받는 표시 장치.

청구항 22.

제21항에서,

상기 차단 전극에 인가되는 소정의 전압은 상기 제2 박막 트랜지스터를 턴오프시킬 수 있는 크기를 가지는 표시 장치.

청구항 23.

제19항에서,

상기 차단 전극은 상기 화소 전극과 동일한 층에 형성되어 있는 액정 표시 장치.

청구항 24.

제23항에서,

상기 차단 전극과 상기 공통 전극 사이에 위치하는 유전체를 더 포함하는 표시 장치.

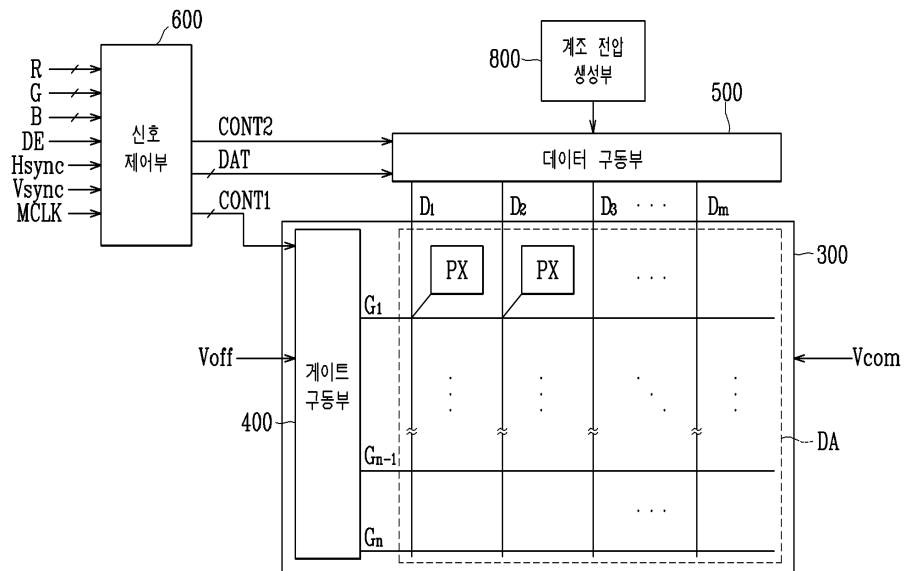
청구항 25.

제24항에서,

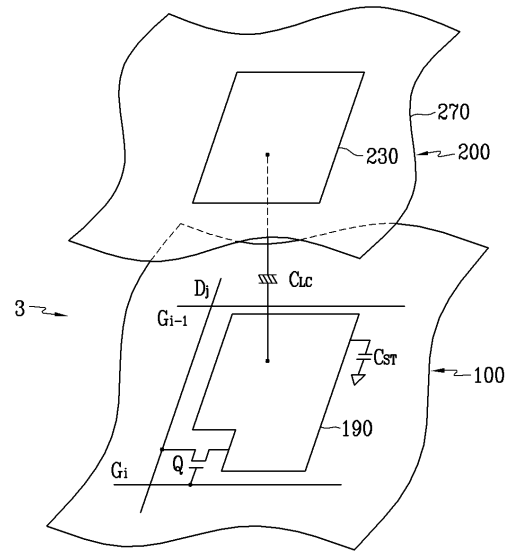
상기 유전체는 액정층을 포함하는 표시 장치.

도면

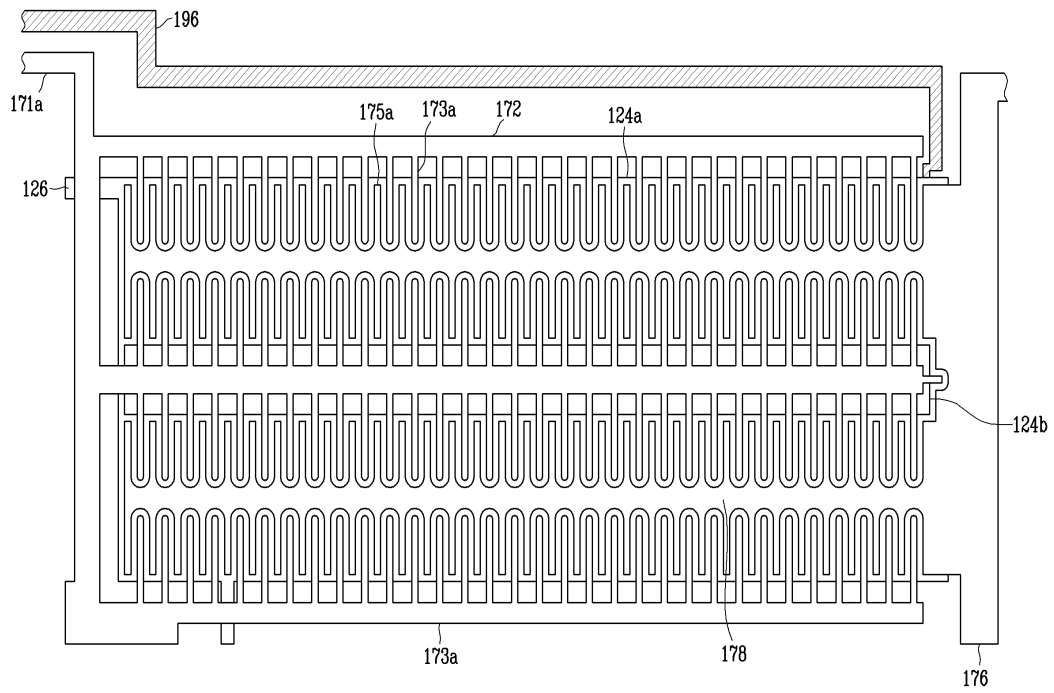
도면1



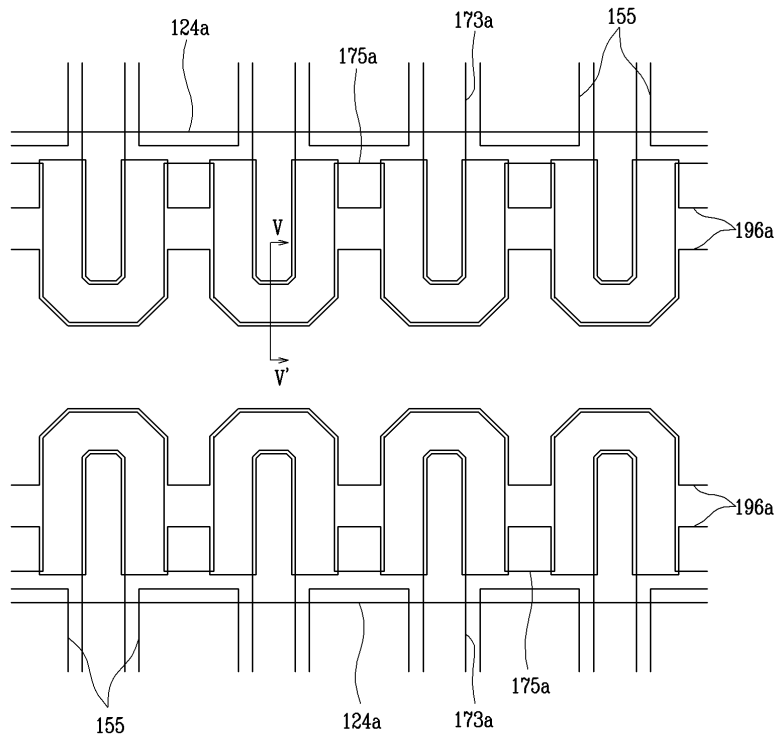
도면2



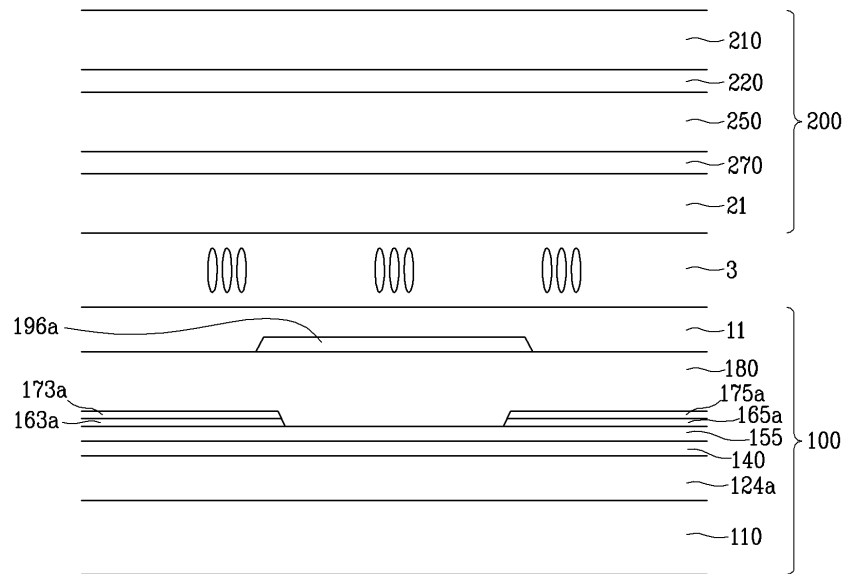
도면3



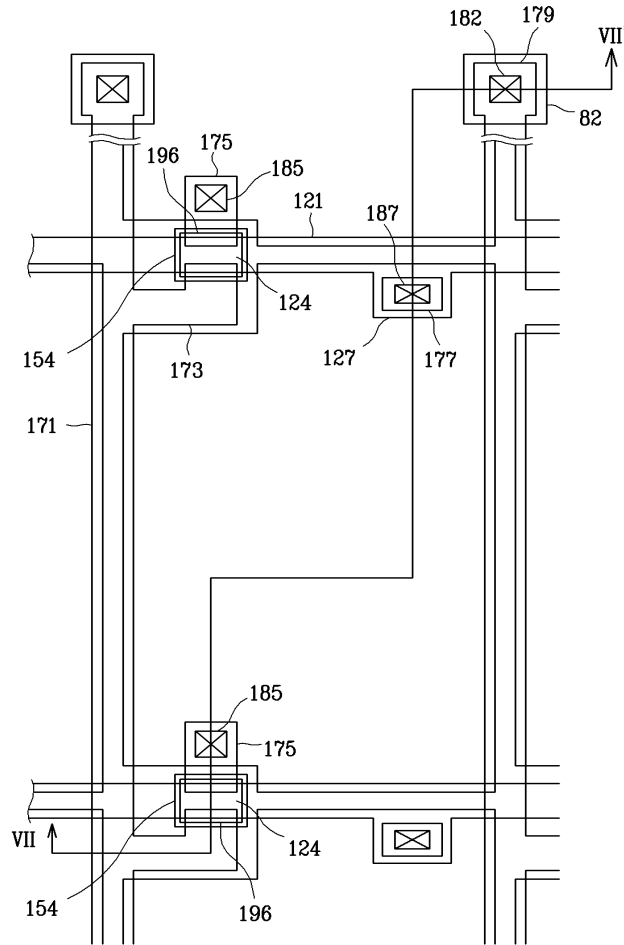
도면4



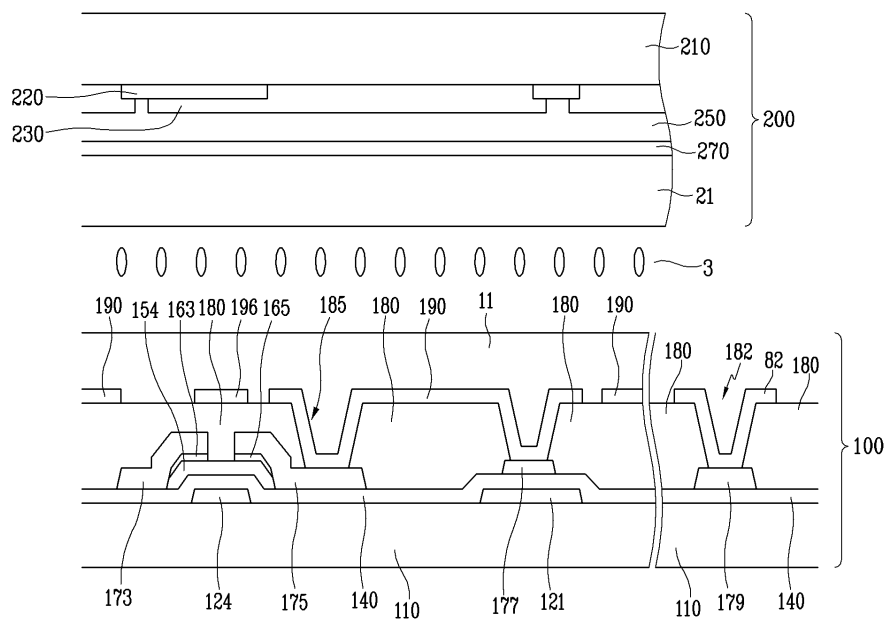
도면5



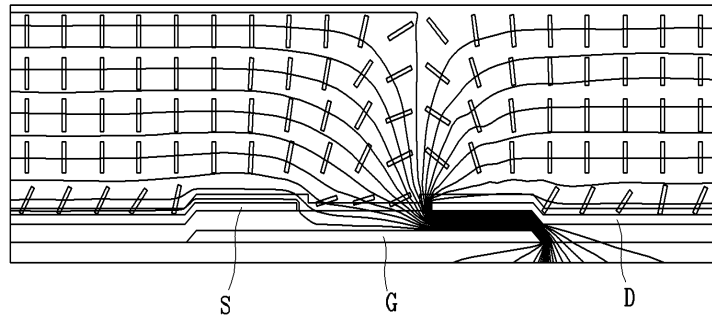
도면6



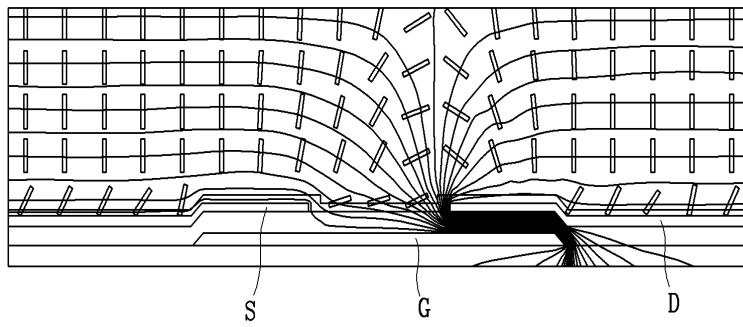
도면7



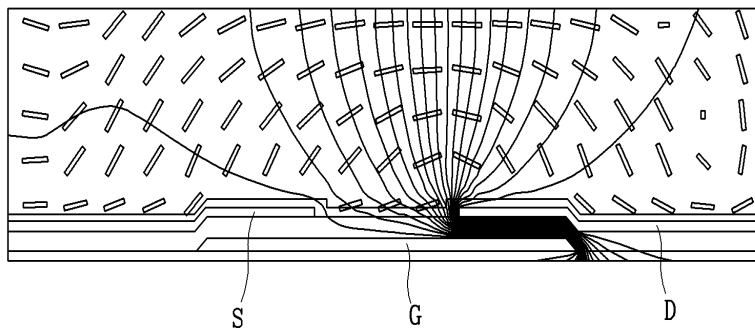
도면8



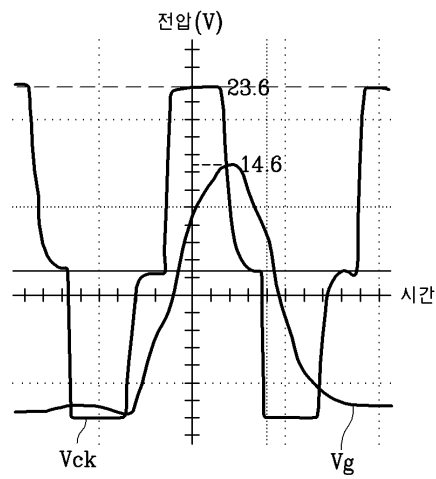
도면9



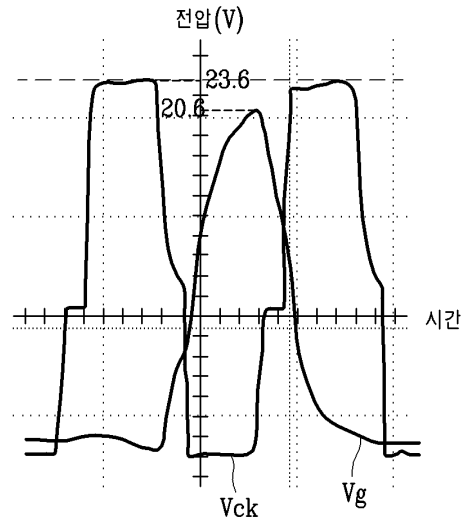
도면10



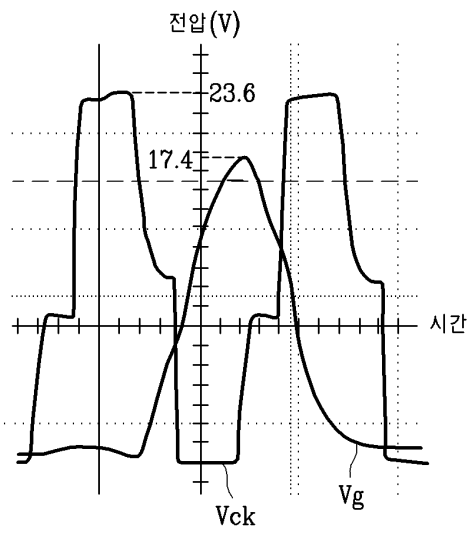
도면11



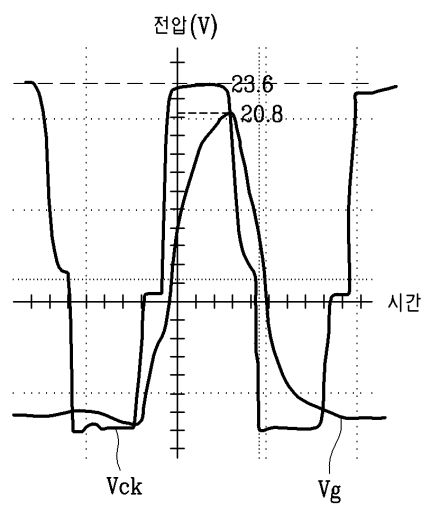
도면12



도면13



도면14



专利名称(译)	薄膜晶体管，薄膜晶体管显示面板和显示装置		
公开(公告)号	KR1020050035500A	公开(公告)日	2005-04-18
申请号	KR1020040080925	申请日	2004-10-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SEONGYOUNG 이성영 CHANG JONGWOONG 장종웅		
发明人	이성영 장종웅		
IPC分类号	G02F1/1362 G09G3/36 H01L27/12 H01L29/40 G02F1/1368 G02F1/136 H01L29/06 G09G3/32		
CPC分类号	G09G3/3208 G09G2300/0408 H01L29/402 G09G2320/0209 G09G2300/08 H01L27/12 G09G3/3655 G02F2001/136218 G02F1/1368		
优先权	1020030071090 2003-10-13 KR		
其他公开文献	KR101080356B1		
外部链接	Espacenet		

摘要(译)

根据本发明的薄膜晶体管面板包括栅电极，形成在栅电极上的栅极绝缘膜，形成在栅极绝缘膜上的半导体层，至少部分地形成在半导体层上的源电极和漏电极，形成在源电极，漏电极，未被源电极和漏电极覆盖的半导体层部分上的保护膜，以及形成在保护膜上并位于源电极和漏电极之间的阻挡电极的。五 指数方面 液晶显示器，LCD，薄膜晶体管，像素电极，阻挡电极，栅电极，马蹄形，

