



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년02월02일
(11) 등록번호 10-1488197
(24) 등록일자 2015년01월26일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2007-0006105
(22) 출원일자 2007년01월19일
심사청구일자 2011년12월21일
(65) 공개번호 10-2008-0001593
(43) 공개일자 2008년01월03일
(30) 우선권주장
1020060059402 2006년06월29일 대한민국(KR)
(56) 선행기술조사문헌
JP2676916 B2
KR1020020057408 A
JP02312371 A
JP07294882 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이주영
경북 구미시 상사서로 17, 206동 905호 (상모동, 우방신세계타운)
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 16 항

심사관 : 이옥우

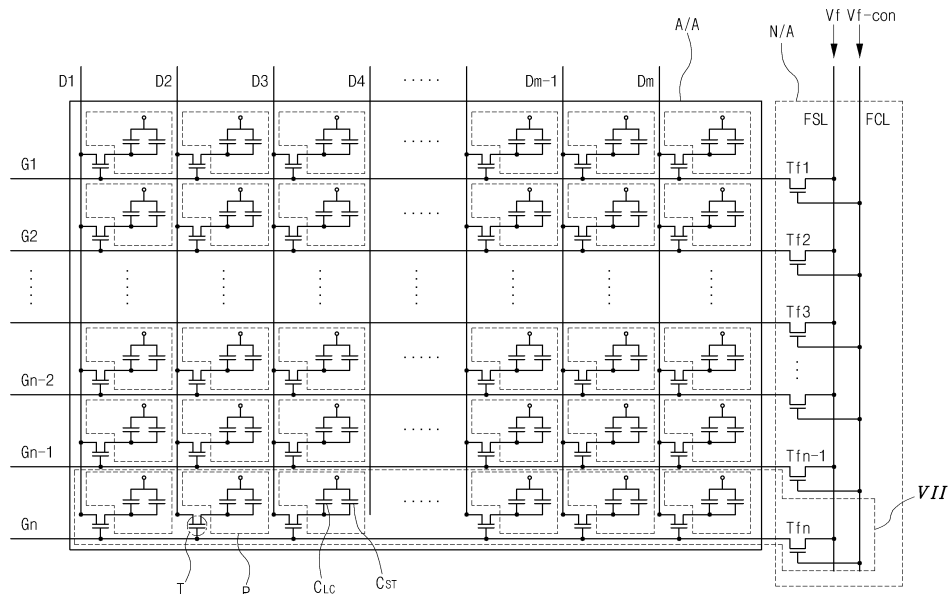
(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 특히 게이트라인의 RC 딜레이에 의해 비정상적으로 출력되는 화상의 표시품질을 개선하기 위해 다수의 박막트랜지스터를 형성한 액정패널, 액정표시장치 및 그 구동방법에 관한 것이다.

(뒷면에 계속)

대표도 - 도5



이에 본 발명은, 서로 교차되는 게이트라인 및 데이터라인을 갖는 제1기판과; 상기 제1기판과 소정간격 이격된 제2기판과; 상기 제1 및 제2기판 사이에 배치된 액정층과; 상기 게이트라인에 연결된 피드박막트랜지스터와; 상기 피드박막트랜지스터에 연결되어 상기 피드박막트랜지스터를 턴-온 시키는 피드제어라인과; 상기 피드박막트랜지스터에 연결되어 상기 게이트라인에 피드신호를 공급하는 피드신호라인을 포함하는 액정표시장치를 제공하며, 게이트라인 자체의 RC성분에 의한 게이트펄스 지연으로 발생하는 플리커, 휘도 불균형, 수직 크로스 토크 등을 개선하여 고품위의 표시 화질을 제공하는 장점이 있다.

특허청구의 범위

청구항 1

게이트라인과;

상기 게이트라인과 교차하는 데이터라인과;

상기 게이트라인과 상기 데이터라인의 교차지점에 형성되고, 상기 게이트라인 및 데이터라인과 연결되는 화소박막트랜지스터와;

상기 게이트라인 일끝단에 연결되는 피드박막트랜지스터와;

상기 피드박막트랜지스터에 연결되어 상기 피드박막트랜지스터를 턴-온 시키는 피드제어라인과;

상기 피드박막트랜지스터에 연결되어 상기 게이트라인에 피드신호를 공급하는 피드신호라인과;

상기 게이트라인에 연결된 화소박막트랜지스터를 턴-오프 시키는 로우레벨전압과 상기 화소박막트랜지스터를 턴-온 시키는 하이레벨전압 중 하나의 값을 갖는 게이트펄스를 공급하는 게이트드라이버와;

상기 피드신호를 상기 피드신호라인에 공급하는 피드신호생성부와 피드제어신호를 상기 피드제어라인에 공급하여 상기 피드박막트랜지스터를 턴-온 시키는 피드제어신호생성부를 구비한 피드제어회로부와;

상기 게이트드라이버와 상기 피드제어회로부에 연결된 타이밍컨트롤러를 포함하고,

상기 피드제어신호는 상기 타이밍컨트롤러에 의하여 생성된 게이트출력인에이블신호(GOE)의 라이징 시점에 동기되고, 상기 게이트펄스의 폴링 시점에 동기된 펄스인 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 제 1 항에 있어서,

상기 피드신호는 -10V 에서 -5V 사이의 전압인 액정표시장치.

청구항 5

청구항 제 1 항에 있어서,

상기 피드제어신호는 상기 하이레벨전압인 액정표시장치.

청구항 6

청구항 제 1 항에 있어서,

상기 피드제어신호는 20V 에서 30V 사이의 전압인 액정표시장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

청구항 제 1 항에 있어서,

상기 피드백막트랜지스터는, 상기 피드제어라인에 연결된 게이트전극과, 상기 피드신호라인에 연결된 소스전극과, 상기 게이트라인에 연결된 드레인전극을 구비하는 액정표시장치.

청구항 10

청구항 제 1 항에 있어서,

상기 타이밍컨트롤러와 연결되고, 상기 데이터라인에 연결되어 상기 데이터라인에 데이터펄스를 공급하는 데이터드라이버를 더욱 포함하는 액정표시장치.

청구항 11

청구항 제 1 항에 있어서,

상기 피드제어회로부는 상기 타이밍컨트롤러에 집적되어 일체화된 액정표시장치.

청구항 12

청구항 제 1 항에 있어서,

상기 피드백막트랜지스터와 상기 게이트드라이버는 각각 상기 게이트라인의 반대 끝단에 연결된 액정표시장치.

청구항 13

액정표시장치의 게이트라인에 게이트펄스를 인가하는 단계와;

상기 게이트라인에 상기 게이트펄스에 동기된 피드신호펄스를 공급하는 단계를 포함하고,

상기 피드신호펄스를 상기 게이트라인에 공급하는 단계는,

상기 게이트라인에 연결된 스위칭소자에 피드제어회로로부터 타이밍컨트롤러에 의하여 생성된 게이트출력인에이블신호(GOE)의 라이징 시점에 동기되고 상기 게이트펄스의 폴링 시점에 동기된 피드제어펄스를 공급하는 단계와;

상기 스위칭소자에 상기 피드제어펄스에 동기하여 상기 스위칭소자를 제어하도록 피드신호전압을 공급하는 단계를 포함하는 액정표시장치 구동방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

청구항 제 13 항에 있어서,

상기 스위칭소자는 박막트랜지스터인 액정표시장치 구동방법.

청구항 18

청구항 제 17 항에 있어서,

상기 게이트펄스는 상기 박막트랜지스터를 턴-오프 시키는 로우레벨전압과 상기 박막트랜지스터를 턴-온 시키는 하이레벨전압 중 하나의 값을 갖는 액정표시장치 구동방법.

청구항 19

청구항 제 18 항에 있어서,

상기 피드신호전압은 상기 로우레벨전압 값을 갖고, 상기 피드제어펄스는 상기 하이레벨전압 값을 갖는 액정표시장치 구동방법.

청구항 20

청구항 제 19 항에 있어서,

상기 피드신호전압은 -10V 에서 -5V 사이의 전압인 액정표시장치 구동방법.

청구항 21

청구항 제 19 항에 있어서,

상기 피드제어펄스는 20V 에서 30V 사이의 전압인 액정표시장치 구동방법.

청구항 22

청구항 제 13 항에 있어서,

상기 게이트펄스와 상기 피드신호펄스는 각각 상기 게이트라인의 반대 끝단으로 공급되는 액정표시장치 구동방법.

청구항 23

삭제

청구항 24

청구항 제 13 항에 있어서,

상기 피드신호펄스는 1 μ sec 에서 3 μ sec 사이의 시간동안 상기 게이트라인에 공급되는 액정표시장치 구동방법.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 액정표시장치에 관한 것으로서, 특히 게이트라인의 RC 딜레이에 의해 비정상적으로 출력되는 화상의 표시품질을 개선하기 위해 다수의 박막트랜지스터를 형성한 액정패널, 액정표시장치 및 그 구동방법에 관한 것이다.
- [0017] 최근 들어 사회가 본격적인 정보화 시대로 접어듦에 따라 대량의 정보를 처리하여 표시하는 디스플레이(display) 산업이 급속도로 발전해왔다.
- [0018] 이에 박형화, 경량화, 저소비 전력화 등 수요자들의 다양한 요구를 충족시킬 수 있는 액정표시장치(Liquid Crystal Display : LCD)가 개발되었고, 현재 기존의 브라운관(Cathode-Ray Tube : CRT)을 대체하는 차세대 디스플레이 장치로 각광받고 있다.
- [0019] 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 디스플레이한다.
- [0020] 즉, 액정은 분자구조가 가늘고 길며, 배열에 방향성을 갖는 광학적 이방성과 인위적으로 전기장을 인가할 경우 배열방향이 변화되는 분극성질을 가지고 있다. 이에 액정표시장치는 액정에 전압을 인가하여 분자배열을 인위적으로 조절하고, 이때 변화되는 편광특성을 이용해 다양한 화상을 표시한다.
- [0021] 특히 전술한 구동원리를 통해 사용자에게 보여지는 화상을 디스플레이하는 액정패널은, 간단히 서로 대향하는 양 기관 사이로 액정이 개재된 구성을 가지는 바, 도 1은 일반적인 액정표시장치용 액정패널의 단면을 도시한 도면이다.
- [0022] 또한 도 2는 이 액정패널을 구성하는 하부어레이기관의 개략적인 평면등가회로도로서, 해상도 및 동영상 구현능력이 뛰어나 현재 가장 널리 사용되는 능동행렬(Active Matrix LCD : AM-LCD) 방식을 채택하고 있다.
- [0023] 먼저 액정패널(10)은 일면에 공통전극(24)이 설치된 상부컬러필터기관(20)과, 일면에 화소전극(32)이 설치된 하부어레이기관(30)이 서로의 전극을 마주보도록 대향 배열되고, 그 사이로 액정(50)이 개재된 구성을 가진다.
- [0024] 이때 상부컬러필터기관(20)은 유리등의 투명재질로 이루어진 투명기관 하부로 설치되는 컬러필터층(22) 및 블랙 매트릭스(26)와, 액정(50)에 전압을 인가하는 일 전극 역할의 공통전극(24)을 포함한다. 특히 컬러필터층(22)은 각각 붉은 색을 반사하는 레드 컬러필터와, 녹색을 반사하는 그린 컬러필터와, 푸른색을 반사하는 블루 컬러필터로 구분될 수 있고, 블랙매트릭스(26)는 상기 각 컬러별 컬러필터의 사이를 커버(cover)하며, 후술하는 하부어레이기관(30)으로 침투되는 빛을 일부 차단한다.
- [0025] 또한 하부어레이기관(30)은 유리등의 투명재질로 이루어진 투명기관 상부로 중첩하는 다수의 평행한 게이트라인(G1~Gn)과 데이터라인(D1~Dm), 그리고 다수의 박막트랜지스터(T) 및 이와 연결되는 화소전극(32)을 포함한다.
- [0026] 이때 다수의 게이트라인(G1~Gn)과 다수의 데이터라인(D1~Dm)은 서로 중첩하며 매트릭스(matrix) 형태의 화소(P)를 정의하고, 이들 화소(P)에는 각각 박막트랜지스터(T) 및 이와 일대일 대응 연결되는 화소전극(32)이 실장되는 바, 액정을 사이에 두고 서로 대향하는 공통전극(24)과 화소전극(32)을 포함하여 액정커패시터(C_{LC})를 정의한다. 또한 각 화소(P)에는 기생용량을 해결하기 위한 스토리지 커패시터(storage capacitor : C_{ST})가 구비되어 액정커패시터(C_{LC})와 병렬 연결된다.
- [0027] 그리고 상부컬러필터기관(20)과 하부어레이기관(30) 외면으로는 각각 제 1 편광판(28)과 제 2 편광판(34)이 위치한다.
- [0028] 또한 하부어레이기관(30) 일 가장자리로는 다수의 게이트라인(G1~Gn) 일단을 연결하는 게이트드라이버(38)가 위치하여 각 게이트라인(G1~Gn)으로 게이트펄스를 순차적 일방향 스캔(scan) 전달하고, 이와 인접한 다른 가장자

리로는 다수의 데이터라인(40) 일단을 연결하는 데이터드라이버(42)가 위치하여 데이터펄스를 전달한다.

[0029] 이때 게이트라인(G1~Gn)으로 전달되는 게이트펄스는 박막트랜지스터(T)의 온(on) 전압이고, 데이터라인(40)으로 전달되는 데이터펄스는 액정의 분자배열을 변화시키는 액정구동전압이다.

[0030] 또한 도 3은 도2의 III부분을 확대한 부분확대도로서, 전술한 도 1 및 도 2 와 함께 설명한다.

[0031] 각 화소(P)에 실장되는 박막트랜지스터(T)는 각각 게이트라인(G1~Gn)과 연결되는 게이트전극과, 데이터라인(40)과 연결되는 소스전극과, 액정커패시터(C_{LC})와 연결되는 드레인전극을 포함한다. 이에 박막트랜지스터(T)는 게이트펄스를 통해 온/오프 제어되면서 데이터펄스를 액정커패시터(C_{LC})에 접속하는 스위치 역할을 한다.

[0032] 상기한 하부어레이기판(30)을 포함하는 액정패널(10)은 프레임(frame) 별로 화상을 표시하는데, 이의 작동은 이하와 같다.

[0033] 먼저 게이트드라이버(38)는 게이트펄스를 매 프레임마다 G1 번째 게이트라인으로부터 Gn 번째 게이트라인까지 일방향으로 순차적 스캔(scan) 전달한다. 또 데이터드라이버(42)는 상기 각 게이트펄스에 대응되는 데이터펄스를 D1 데이터라인 내지 Dm 데이터라인 전체로 각각 전달한다.

[0034] 일례로, 도 3과 같이 Gn-1 번째 게이트라인에 게이트펄스가 전달됨과 동시에 D1 내지 Dm 데이터라인을 통해 데이터펄스가 전달된다. 따라서 Gn-1 게이트라인에 연결된 T1 내지 Tm 박막트랜지스터가 온(on) 되어 D1 내지 Dm 데이터라인으로 전달된 데이터펄스를 각각 해당 화소(P)의 액정커패시터(C_{LC})에 접속시킨다.

[0035] 이에 각 화소(P)의 액정커패시터(C_{LC})에 전압이 충전되어 액정의 분자배열이 변화되고, 제 1 및 제 2 편광판(28, 34) 사이에서 액정분자의 배열방향에 따른 투과율 변화와, 컬러필터층(22)의 레드, 그린, 블루 컬러필터의 색 조합을 통해 컬러영상을 표시한다.

[0036] 미설명 부호 60은 액정패널(10)의 배면에서 전면을 향해 빛을 공급하는 백라이트를 도시한 것으로, 액정패널(10)에는 자체 발광요소가 없으므로 이 백라이트(60)의 빛을 통해 비로소 충분한 휘도의 화상을 표시할 수 있다.

[0037] 또 비록 도시되지는 않았지만, 액정(50)의 누설을 방지하기 위해 양 기판 가장자리는 실링제 등으로 봉합되고, 상부컬러필터기판(20) 및 하부어레이기판(30)과 액정(50)의 경계에는 각각 액정 분자배열에 신뢰성을 부여하는 상, 하부 배향막이 개재된다.

[0038] 한편, 전술한 구성의 하부어레이기판(30)을 포함하는 액정패널(10) 및 이의 구동방법을 사용할 경우, 게이트펄스는 각 게이트라인(G1~Gn) 일단으로부터 타단으로 진행된다. 따라서 도체로서 게이트라인(G1~Gn)이 가지는 자체저항과 커패시터 성분에 의해 게이트라인(G1~Gn) 타단으로 갈수록 최초 전달된 게이트펄스와 상이한 파형으로 왜곡되는 현상이 발생한다.

[0039] 즉, 도 4a 내지 도 4b는 각각 도 3에 도시한 Gn-1 번째 게이트라인에 있어서, PXL1 및 PXLm 화소에서의 박막트랜지스터(즉 T1 및 Tm)에 인가되는 게이트펄스 및 데이터펄스를 비교하여 도시한 그래프이다.

[0040] 이때 설명의 편의를 위해 임의로 Gn-1 게이트라인을 지정한 것이므로, 이하의 설명은 그 외의 게이트라인에서도 동일하게 나타나는 현상이다. 또 Gn-1 게이트라인에 연결된 다수의 박막트랜지스터(T)를 구분하기 위해 일단에서부터 T1 내지 Tm 부호를 각각 부여하는 바, 이중 도 4a는 게이트펄스(G(N-1))가 최초로 도달되는 첫 번째의 T1 박막트랜지스터에 해당되고, 도 4b는 이 게이트펄스(G(N-1))가 Gn-1 게이트라인을 경유하여 최종적으로 전달되는 마지막 Tm 박막트랜지스터에 해당된다.

[0041] 그리고 D(N-1)은 게이트펄스가 Gn-1 게이트라인에 인가되는 동안 T1 박막트랜지스터 내지 Tm 박막트랜지스터에 각각 전달되는 데이터펄스를, D(N-2)은 게이트펄스가 상기 Gn-1 게이트라인 이전의 Gn-2 게이트라인에 인가되는 동안 T1 박막트랜지스터 내지 Tm 박막트랜지스터에 각각 전달되는 데이터펄스를, D(N)은 게이트펄스가 상기 Gn-1 게이트라인 이후의 Gn 게이트라인에 인가되는 동안 T1 박막트랜지스터 내지 Tm 박막트랜지스터에 각각 전달되는 데이터펄스를 나타낸다.

[0042] 도시된 바와 같이, 게이트펄스(G(N-1))와 데이터펄스(D(N-1))는 각각 구형파로서, 정상 상태의 초기전압으로부터 라이징(rising)되어 한동안 일정크기의 전압을 유지한 후 폴링(falling)된다.

[0043] 이에 Gn-1 게이트라인으로 전달된 게이트펄스(G(N-1))가 라이징(rising)되어 임계전압(V_{th}) 이상으로 승압되면

T1 내지 Tm 박막트랜지스터가 온(on) 되어 데이터펄스(D(N-1))를 액정커패시터(C_{LC})에 전달하고, 이 데이터펄스(D(N-1)) 전압이 액정커패시터(C_{LC})에 충전된다. 이후 게이트펄스(G(N-1))가 임계전압(V_{th}) 이하로 폴링(falling)되면 T1 내지 Tm 박막트랜지스터가 오프(off)되어 액정커패시터(C_{LC})로부터 데이터펄스(D(N-1))를 차단한다.

[0044] 따라서 도 4a와 도 4b에 있어서, Ta(1) 및 Ta(m) 로 표시된 구간은 각각 PXL1 및 PXLm 화소에서의 데이터펄스(D(N-1)) 전압이 액정커패시터(C_{LC})에 충전되는 충전타임(charging time)을, Tb(1) 및 Tb(m)은 게이트펄스(G(N-1)) 폴링이 시작된 후 임계전압(V_{th}) 이하로 감압되어 T1 내지 Tm 박막트랜지스터가 오프되는 오프타임(off time)을 의미한다.

[0045] 이때 게이트펄스(G(N-1))의 폴링이 시작되어도 데이터펄스(D(N-1))는 일정한 전위를 유지하고, 게이트펄스(G(N-1))가 T1 내지 Tm 박막트랜지스터의 임계전압(V_{th}) 이하로 감압된 후 비로소 데이터펄스(D(N-1))의 폴링이 시작되는데, 이는 박막트랜지스터 소자의 오프 동작에 신뢰성을 부여하여 다음의 데이터펄스(D(N))에 의한 신호 잡음(noise)을 방지하기 위한 것이다.

[0046] 즉, 게이트펄스(G(N-1))의 폴링이 시작되어도 임계전압(V_{th}) 이하로 감압되기 전까지 T1 내지 Tm 박막트랜지스터는 온 상태를 유지한다. 특히 소자 특성에 따라 임계전압(V_{th}) 이하로 감압되더라도 가벼운 턴 온(slightly turn on) 상태가 될 수 있다.

[0047] 따라서 만일 게이트펄스(G(N-1))와 데이터펄스(D(N-1))의 폴링이 동시에 진행된다면 G_{n-1} 게이트라인의 T1 내지 Tm 박막트랜지스터가 오프 되기 전, 다음단의 G_n 게이트라인에 대응되는 데이터펄스(D(N))가 발생할 수 있고, 이 경우 하나의 액정커패시터(C_{LC})로 서로 다른 두 개의 데이터펄스(D(N-1), D(N))가 섞이는 잡음 현상이 발생된다.

[0048] 이를 방지하기 위해 게이트펄스(G(N-1))의 폴링이 시작된 후 한동안 데이터펄스(D(N-1))는 일정전위를 유지하고, 이어 게이트펄스(G(N-1))가 임계전압(V_{th}) 이하로 감압되어 이에 대응된 T1 내지 Tm 박막트랜지스터가 모두 오프된 후, 해당 데이터펄스(D(N-1))의 폴링이 시작된다.

[0049] 한편, 도 4a와 도 4b를 비교할 경우 동일한 G_{n-1} 게이트라인에 연결되어 있다하더라도 T1 박막트랜지스터와 Tm 박막트랜지스터에 전달되는 게이트펄스(G(N-1)) 파형이 서로 상이함을 알 수 있는데, 이는 도체로서 게이트라인(G1~G_n)이 가지는 자체저항 및 커패시터 성분에 원인한다.

[0050] 즉, 최초 T1 박막트랜지스터에 전달되는 게이트펄스(G(N-1))는 G_{n-1} 게이트라인을 이동통로로 마지막의 Tm 박막트랜지스터까지 도달되는데, 이 동안 도체로서 G_{n-1} 게이트라인이 가지는 자체 저항성분 및 커패시터 성분으로 인해 게이트펄스(G(N-1))가 왜곡될 수 있고, 이는 게이트펄스의 라이징 시간과 폴링 시간이 연장되는 RC 딜레이(RC Delay) 현상으로 나타난다.

[0051] 이러한 현상은 게이트라인의 저항이 커지거나 또는 길이가 길어질수록 더욱 심화되는데, 특히 폴링 시간이 연장될 경우 액정표시장치가 디스플레이하는 화상에 큰 영향을 준다.

[0052] 즉, G_{n-1} 게이트라인을 기준으로 보면, 다음단의 G_n 게이트라인에 전달될 데이터펄스(D(N))가 섞이는 잡음 문제를 해결하기 위해 해당 게이트펄스(G(N-1))의 폴링시작 시점으로부터 데이터펄스(D(N-1))는 한동안 동일전위를 유지하고, 해당 게이트펄스(G(N-1))가 박막트랜지스터의 임계전압(V_{th}) 이하로 감압된 후에야 비로소 데이터펄스(D(N-1))가 폴링 되어야 함은 앞서 잠시 언급한 바 있다.

[0053] 도 4b를 참조하면, 하지만 RC 딜레이로 인해 게이트펄스(G(N-1))의 폴링시간이 길어질 경우 이는 결국 폴링 시작 시점으로부터 임계전압(V_{th}) 이하로 감압되는 오프타임 Tb(m) 의 연장을 의미하는 바, 다음단의 G_n 게이트라인으로 전달되는 데이터펄스(D(N))에 인한 신호잡음을 방지하기 위해서는 충전 타임인 Ta(m)가 단축될 수밖에 없다.

[0054] 그러나 충전타임 Ta(m)가 단축되면 액정커패시터(C_{LC})에 데이터펄스(D(N-1))가 충전되는 시간을 단축하게 되고, 이에 액정분자배열을 충분하게 변화시키지 못해 목적하는 투과율을 구현할 수 없다.

[0055] 따라서 디스플레이되는 화상의 좌우 휘도차와 대비비의 불균일을 심화시키는 물론 잔상과 깜박임(flicker)등의 여러 가지 문제점이 나타나고, 이는 액정표시장치의 디스플레이 신뢰성을 크게 위협한다.

[0056] 이를 해결하게 위해, 전통적으로는 게이트라인(G1~G_n)을 구현하는 금속재질로서 보다 저 저항을 가지는 신 금속

재질의 개발노력이 계속되었고, 게이트모듈레이션(gate modulation) 기능을 가지는 추가적인 회로의 구비방법, 또는 게이트라인(G1~Gn) 양 끝단에 각각 게이트드라이버를 설치하는 방법이 개발되기도 하였다.

[0057] 그러나 이들 방법은 액정표시장치의 비용을 상승시키는 부작용을 수반하며, 특히 RC 딜레이로 인한 여러 가지 문제점을 충분히 해결하지 못하는 실정이다.

발명이 이루고자 하는 기술적 과제

[0058] 본 발명은 전술한 바와 같은 문제점을 해결하고자 안출한 것으로, RC 딜레이로 인한 게이트펄스의 폴링시간 지연 문제를 해결하고, 보다 신뢰성 있는 액정표시장치를 구현하는데 그 목적이 있다.

발명의 구성 및 작용

[0059] 상기와 같은 목적을 달성하기 위해 본 발명은, 게이트라인과; 상기 게이트라인과 교차하는 데이터라인과; 상기 게이트라인에 연결되는 피드박막트랜지스터와; 상기 피드박막트랜지스터에 연결되어 상기 피드박막트랜지스터를 턴-온 시키는 피드제어라인과; 상기 피드박막트랜지스터에 연결되어 상기 게이트라인에 피드신호를 공급하는 피드신호라인을 포함하는 액정표시장치용 구동회로를 제공한다.

[0060] 상기 액정표시장치용 구동회로는 상기 게이트라인에 연결된 화소박막트랜지스터를 턴-오프 시키는 로우레벨전압과 상기 화소박막트랜지스터를 턴-온 시키는 하이레벨전압 중 하나의 값을 갖는 게이트펄스를 공급하는 게이트드라이버를 더욱 포함하고, 상기 피드신호를 상기 피드신호라인에 공급하는 피드신호생성부와 피드제어신호를 상기 피드제어라인에 공급하여 상기 피드박막트랜지스터를 턴-온 시키는 피드제어신호생성부를 구비한 피드제어회로부를 더욱 포함하고, 상기 피드신호는 상기 로우레벨전압이다.

[0061] 상기 피드신호는 -10V 에서 -5V 사이의 전압이며, 상기 피드제어신호는 상기 하이레벨전압이고 20V 에서 30V 사이의 전압이다. 또한, 상기 피드제어신호는 상기 게이트펄스의 폴링 시점에 동기된 펄스이다.

[0062] 상기 액정표시장치용 구동회로는 상기 게이트드라이버에 연결된 타이밍컨트롤러를 더욱 포함하고, 상기 피드제어신호는 상기 타이밍컨트롤러에 의하여 생성된 게이트출력엔이블신호(GOE)의 라이징 시점에 동기된다.

[0063] 상기 피드박막트랜지스터는, 상기 피드제어라인에 연결된 게이트전극과, 상기 피드신호라인에 연결된 소스전극과, 상기 게이트라인에 연결된 드레인전극을 구비한다.

[0064] 상기 액정표시장치용 구동회로는 상기 데이터라인에 연결되어 상기 데이터라인에 데이터펄스를 공급하는 데이터드라이버와; 상기 게이트드라이버와 상기 데이터드라이버와 상기 피드제어회로부에 연결된 타이밍컨트롤러를 더욱 포함한다.

[0065] 상기 피드제어회로부는 상기 타이밍컨트롤러에 집적되어 일체화되며, 상기 피드박막트랜지스터와 상기 게이트드라이버는 각각 상기 게이트라인의 반대 끝단에 연결된다.

[0066] 한편, 본 발명은, 액정표시장치의 게이트라인에 게이트펄스를 인가하는 단계와; 상기 게이트라인에 상기 게이트펄스에 동기된 피드신호펄스를 공급하는 단계를 포함하는 액정표시장치 구동방법을 제공한다.

[0067] 상기 피드신호펄스는 상기 게이트펄스의 폴링 시점에 동기되며, 상기 피드신호펄스를 상기 게이트라인에 공급하는 단계는, 상기 게이트라인에 연결된 스위칭소자에 상기 게이트펄스에 동기된 피드제어펄스를 공급하는 단계와; 상기 스위칭소자에 피드신호전압을 공급하는 단계를 포함한다.

[0068] 상기 피드신호전압을 상기 스위칭소자에 공급하는 단계는, 상기 피드제어펄스에 동기하여 상기 스위칭소자를 제어하도록 피드신호를 공급하는 단계를 포함하며, 상기 스위칭소자는 박막트랜지스터이다.

[0069] 상기 게이트펄스는 상기 박막트랜지스터를 턴-오프 시키는 로우레벨전압과 상기 박막트랜지스터를 턴-온 시키는 하이레벨전압 중 하나의 값을 가지며, 상기 피드신호전압은 상기 로우레벨전압 값을 갖고, 상기 피드제어펄스는 상기 하이레벨전압 값을 갖는다.

[0070] 상기 피드신호전압은 -10V 에서 -5V 사이의 전압이고, 상기 피드제어펄스는 20V 에서 30V 사이의 전압이며, 상기 게이트펄스와 상기 피드신호펄스는 각각 상기 게이트라인의 반대 끝단으로 공급된다.

- [0071] 상기 액정표시장치 구동방법은 상기 게이트드라이버를 제어하는 타이밍컨트롤러를 제공하는 단계를 더욱 포함하고, 상기 피드신호펄스는 상기 타이밍컨트롤러에 의하여 생성된 게이트출력인에이블신호(GOE)의 라이징 시점에 동기된다.
- [0072] 그리고 상기 피드신호펄스는 1 μ sec 에서 3 μ sec 사이의 시간동안 상기 게이트라인에 공급된다.
- [0073] 다른 한편 본 발명은, 서로 교차되는 게이트라인 및 데이터라인을 갖는 제1기판과; 상기 제1기판과 소정간격 이격된 제2기판과; 상기 제1 및 제2기판 사이에 배치된 액정층과; 상기 게이트라인에 연결된 피드박막트랜지스터와; 상기 피드박막트랜지스터에 연결되어 상기 피드박막트랜지스터를 턴-온 시키는 피드제어라인과; 상기 피드박막트랜지스터에 연결되어 상기 게이트라인에 피드신호를 공급하는 피드신호라인을 포함하는 액정표시장치를 제공한다.
- [0074] 상기 액정표시장치는 상기 게이트라인에 연결된 화소박막트랜지스터를 턴-오프 시키는 로우레벨전압과 상기 화소박막트랜지스터를 턴-온 시키는 하이레벨전압 중 하나의 값을 갖는 게이트펄스를 공급하는 게이트드라이버와; 상기 게이트드라이버를 제어하는 타이밍컨트롤러와; 상기 피드신호를 상기 피드신호라인에 공급하는 피드신호생성부와 피드제어신호를 상기 피드제어라인에 공급하여 상기 피드박막트랜지스터를 턴-온 시키는 피드제어신호생성부를 구비한 피드제어회로부를 더욱 포함하고, 상기 피드신호는 상기 로우레벨전압이다.
- [0075] 상기 피드제어신호는 상기 게이트펄스의 폴링 시점에 동기된 펄스이고, 상기 피드제어신호는 상기 타이밍컨트롤러에 의하여 생성된 게이트출력인에이블신호(GOE)의 라이징 시점에 동기된 펄스이다.
- [0076] 상기 피드박막트랜지스터와 상기 게이트드라이버는 각각 상기 게이트라인의 반대 끝단에 연결되며, 상기 피드박막트랜지스터는, 상기 피드제어라인에 연결된 게이트전극과, 상기 피드신호라인에 연결된 소스전극과, 상기 게이트라인에 연결된 드레인전극을 구비한다.
- [0077] 이하 첨부된 도면을 참조하여 본 발명에 대해 상세하게 설명한다.
- [0078] 도 5는 본 발명에 따른 액정표시장치의 액정패널을 도시한 평면 등가회로도로서, 화상이 표시되는 표시영역(A/A)과 화상이 표시되지 않고 블랙매트릭스 등으로 차단되어 화상이 표시되지 않는 비표시영역(N/A)으로 구분된다.
- [0079] 상기 표시영역(A/A)에는 순차로 게이트펄스(로우레벨 전압 약 -5V, 하이레벨전압 약 25V)가 인가되는 다수의 게이트라인(G1~Gn)과, 상기 각 게이트펄스에 동기되어 데이터펄스가 인가되는 다수의 데이터라인(D1~Dm)이 교차 구성되며, 상기 교차 영역에는 화소박막트랜지스터(T)와 액정커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})를 포함한 화소(P)가 각각 형성된다.
- [0080] 아울러 상기 비표시영역(N/A)에는 상기 다수의 게이트라인(G1~Gn)에 각각 연결된 다수의 피드 박막트랜지스터(Tf1~Tfn)가 구성되고, 또한 상기 각 피드 박막트랜지스터(Tf1~Tfn)의 스위칭 제어전극(또는 게이트전극)으로 상기 다수의 피드 박막트랜지스터(Tf1~Tfn)의 스위칭 구동을 제어하기 위한 신호인 피드제어신호(Vf-con)를 인가하기 위한 피드제어라인(FCL)과, 상기 다수의 피드 박막트랜지스터(Tf1~Tfn)로 피드신호(Vf)를 공급하기 위한 피드신호라인(FSL)이 구성된다.
- [0081] 상기 피드 박막트랜지스터(Tf1~Tfn)는 상기 각 화소(P)에 형성된 화소박막트랜지스터(T)와 동일 채널 타입의 트랜지스터이며, 바람직하게는 NMOS 타입의 트랜지스터로 구성된다.
- [0082] 또한 상기 피드제어라인(FCL)으로 인가되는 피드제어신호(Vf-con)는 상기 피드 박막트랜지스터(Tf1~Tfn)를 온(on) 스위칭시킬 수 있는 전압신호로서 20~30V 사이의 전압신호이며, 상기 피드신호라인(FSL)으로 인가되는 피드신호(Vf)는 -5 ~ -10V 사이의 전압신호로서 상기 피드제어신호(Vf-con)에 의해 온 스위칭된 상기 피드 박막트랜지스터(Tf1~Tfn)를 통해 각 게이트라인(G1~Gn)으로 1~3 μ s 사이의 시간동안 인가된다.
- [0083] 다시 말해, 상기 피드제어신호(Vf-con)는 바람직하게는 상기 각 게이트라인(G1~Gn)으로 인가되는 게이트펄스의 하이레벨전압(Vgh)이고, 상기 피드신호(Vf)는 상기 게이트펄스의 로우레벨전압(Vgl)이다.
- [0084] 상기 설명한 바와 같이 상기 피드신호(Vf)와 피드제어신호(Vf-con)는 게이트펄스의 전압레벨을 이용하기 때문에 게이트드라이버 구성회로를 이용하거나 또는 별도의 회로부로 구성된 피드 제어회로부(미도시함)를 구성하여 생성할 수 있다. 예를 들면, 상기 피드제어신호(Vf-con)는 타이밍컨트롤러(T-con)로부터 게이트드라이버로 인가되

는 게이트출력인에이블(GOE) 신호를 게이트드라이버 내의 레벨 슈프트 회로를 이용하여 전압 레벨을 증폭한 후 상기 게이트출력인에이블(GOE) 신호의 인가타이밍과 동시에 상기 피드제어라인(FCL)으로 출력한다.

[0085] 도 6은 본 발명에 따른 액정표시장치에 사용되는 각종 신호의 타이밍도인데, 상기한 형태의 피드신호(Vf)는 도 6에 도시한 것과 같이, 상기 각 게이트라인(G1~Gn)으로 인가된 게이트펄스(Vg1~Vgn)가 폴링(falling) 되는 시점에 동기하여 상기 각 게이트라인(G1~Gn)으로 인가되며, 상기 피드신호(Vf)가 음의 전압이기 때문에 상기 게이트펄스(Vg1~Vgn)가 화소박막트랜지스터(T1~Tm)의 임계전압(Vth)으로 떨어지는 시간을 더욱 단축시켜 주는 역할을 수행한다.

[0086] 이하 도 7은 도 5의 VII부분을 확대한 부분확대도이고, 도 8a 및 8b는 도 7에 도시한 Gn 번째 게이트라인에 있어서, 각각 PXL1 및 PXLm 화소에서의 박막트랜지스터(즉 T1 및 Tm)에 인가되는 게이트펄스, 데이터펄스, 피드신호 및 피드제어신호를 비교 도시한 그래프인데, 이들을 참조하여 본 발명에 따른 액정표시장치용 액정패널 구동방법을 상세히 설명한다.

[0087] 이때 설명의 편의를 위해 임의로 Gn 게이트라인을 이용하는 수평화소열을 지정한 것이므로, 이하의 설명은 그 외의 게이트라인을 이용하는 수평화소열에서도 동일하게 나타나는 현상이다.

[0088] 도 7의 게이트라인(Gn)과 데이터라인(D1~Dm)으로 인가되는 게이트펄스(G(N))와 데이터펄스(D(N))는 각각 구형파로 입력되며, 초기전압으로부터 라이징(rising)되어 일정 시간동안 일정 전압레벨을 유지한 후 폴링(falling)된다.

[0089] 이에 상기 게이트라인(Gn)으로 인가된 게이트펄스(G(N))가 게이트라인(Gn)에 충전되면서 임계전압(Vth) 이상으로 승압되면 상기 T1 내지 Tm 화소박막트랜지스터가 턴 온(turn on)되어 데이터펄스(D(N))가 액정커패시터(C_{LC})에 인가됨과 동시에 액정커패시터(C_{ST})에 충전된다.

[0090] 이후 상기 게이트펄스(G(N))가 임계전압(Vth) 이하로 떨어지면 상기 T1 내지 Tm 화소박막트랜지스터가 턴 오프(turn off)된다.

[0091] 이때 상기 게이트펄스(G(N))의 폴링 시점과 대응되는 피드제어신호(Vf-con)에 동기하여 피드 박막트랜지스터(Tfn)를 턴온시켜 피드신호(Vf)를 상기 게이트라인(Gn)으로 인가한다. 상기 게이트라인(Gn)으로 인가되는 피드신호(Vf)는 상기 게이트펄스(G(N))의 로우레벨 전압(Vg1)인 약 -5 ~ -10V 정도의 음의 전압으로 인가되기 때문에 상기 게이트라인(Gn)을 빠르게 상기 피드신호(Vf)의 전압 레벨로 충전시킨다.

[0092] 이에 상기 PXLm 화소에서는 게이트펄스(G(N))의 폴링 타임(Tb(m))이 짧아짐으로 인해 데이터펄스(D(N)) 차징타임 Ta(m)가 증가되어 액정커패시터(C_{LC})에 데이터펄스(D(N))가 충전되는 시간을 증가시키게 되고, 이에 액정분자배열을 충분하게 변화시켜 목적하는 투과율을 구현할 수 있다.

[0093] 다시 말해, PXL1 화소의 T1 화소박막트랜지스터와 PXLm 화소의 Tm 화소박막트랜지스터에서 데이터펄스 차징타임(Ta(1), Ta(m))이 실질적으로 비슷해지고 또한 게이트펄스의 오프 타임(Tb(1), Tb(m))이 실질적으로 비슷해진 것이다.

[0094] 결국 게이트라인(Gn)의 PXL1 및 PXLm 화소는 RC 성분의 편차에 크게 좌우되지 않고 거의 유사한 데이터 차징타임을 보장받음으로 인해 잔상과 깜박임(flicker) 등의 문제를 개선할 수 있게 된다.

[0095] 도 9는 본 발명에 따른 액정표시장치를 도시한 블록도이다.

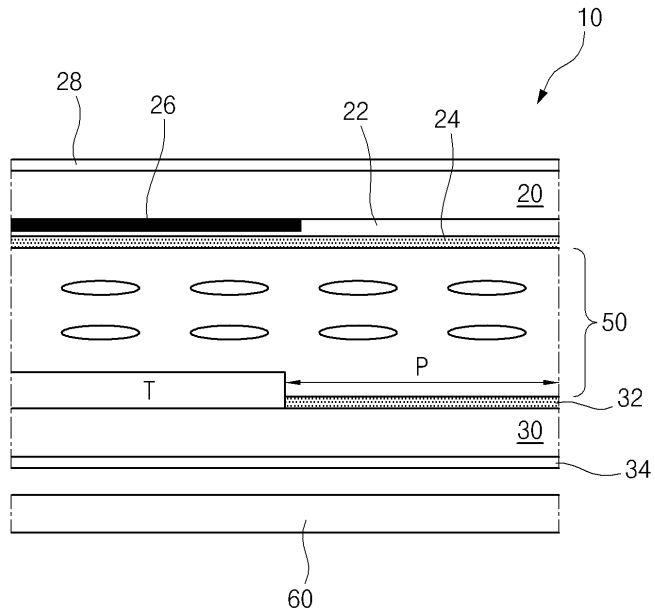
[0096] 도 9에 도시한 바와 같이, 액정표시장치는 액정패널(110)과, 타이밍컨트롤러(120)와, 게이트드라이버(130)와, 데이터드라이버(140)와, 전원전압공급부(150)와 피드제어회로부(160)을 포함한다.

[0097] 다수의 게이트라인(G1~Gn)과 다수의 데이터라인(D1~Dm)이 액정패널(110)에 형성되어 있고, 각각은 게이트드라이버(130)와 데이터드라이버(140)에 의하여 구동된다. 다수의 게이트라인(G1~Gn)은 다수의 데이터라인(D1~Dm)과 교차하여 다수의 화소영역을 정의하고, 각 화소영역에는 해당 게이트라인 및 데이터라인과 연결되는 박막트랜지스터(T)가 형성된다. 그리고, 박막트랜지스터(T)에 연결되는 액정커패시터(미도시)가 화소영역에 형성된다. 액정커패시터는 박막트랜지스터(T)에 의하여 온/오프되어 입사광의 투과율을 조절하여 영상을 표시한다. 다수의 피드트랜지스터(Tf1~Tfn)은 다수의 게이트라인(G1~Gn) 각각의 일끝단에 연결된다.

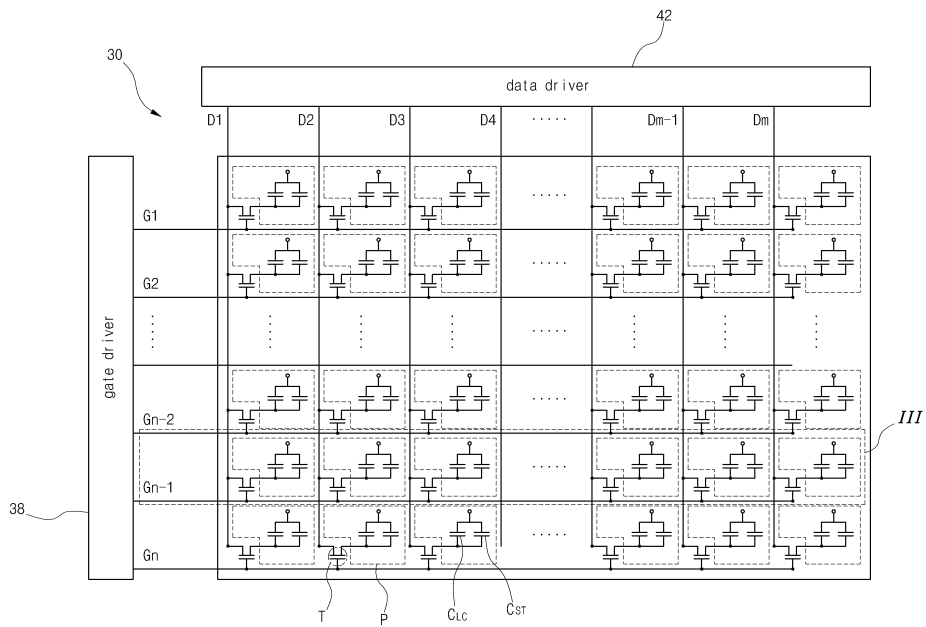
[0098] 퍼스널컴퓨터 같은 외부구동시스템으로부터, RGB 데이터와 클럭신호, 수평동기신호, 수직동기신호, 데이터인에이블신호와 같은 타이밍동기신호가 인터페이스(미도시)를 통해 타이밍컨트롤러(120)에 입력된다. 타이밍컨트롤

도면

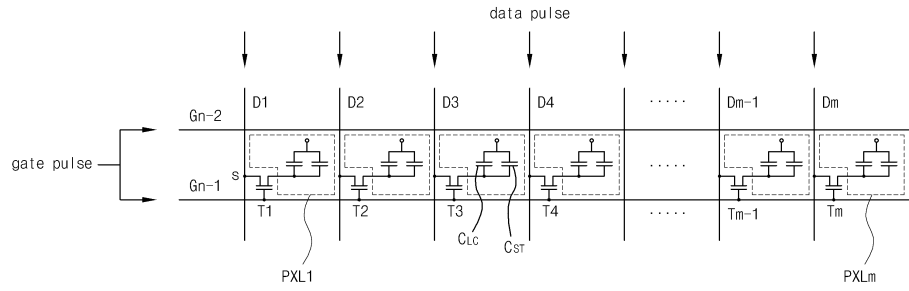
도면1



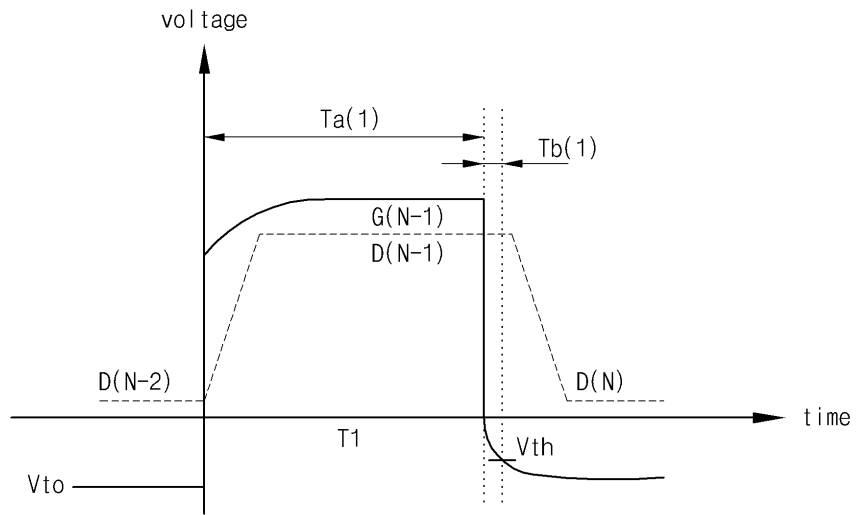
도면2



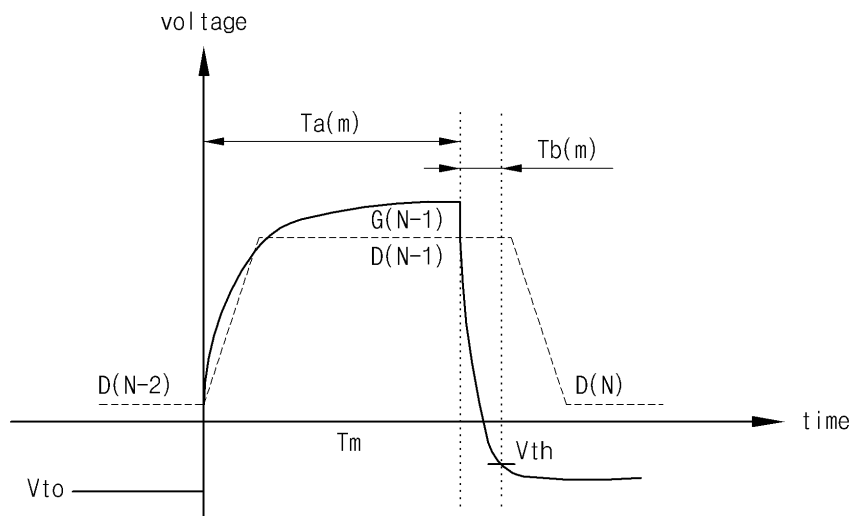
도면3



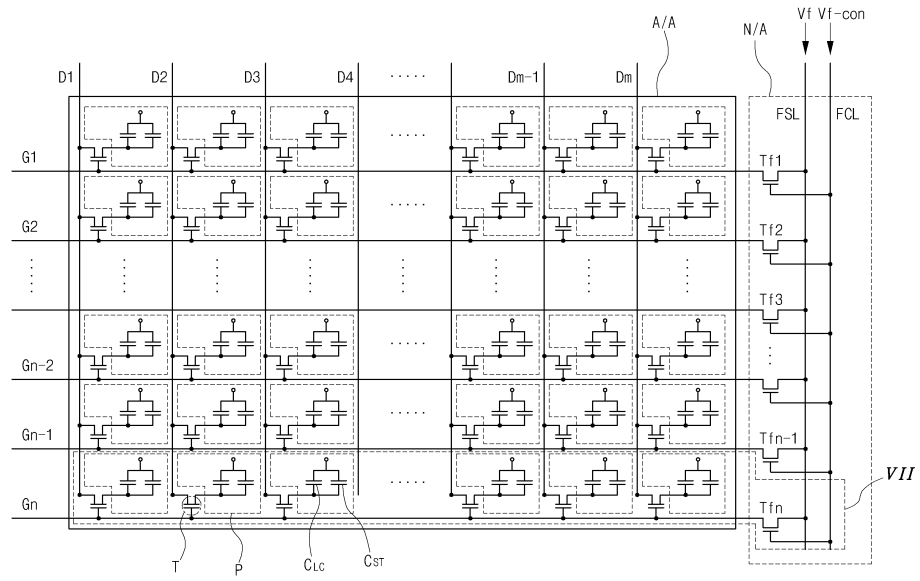
도면4a



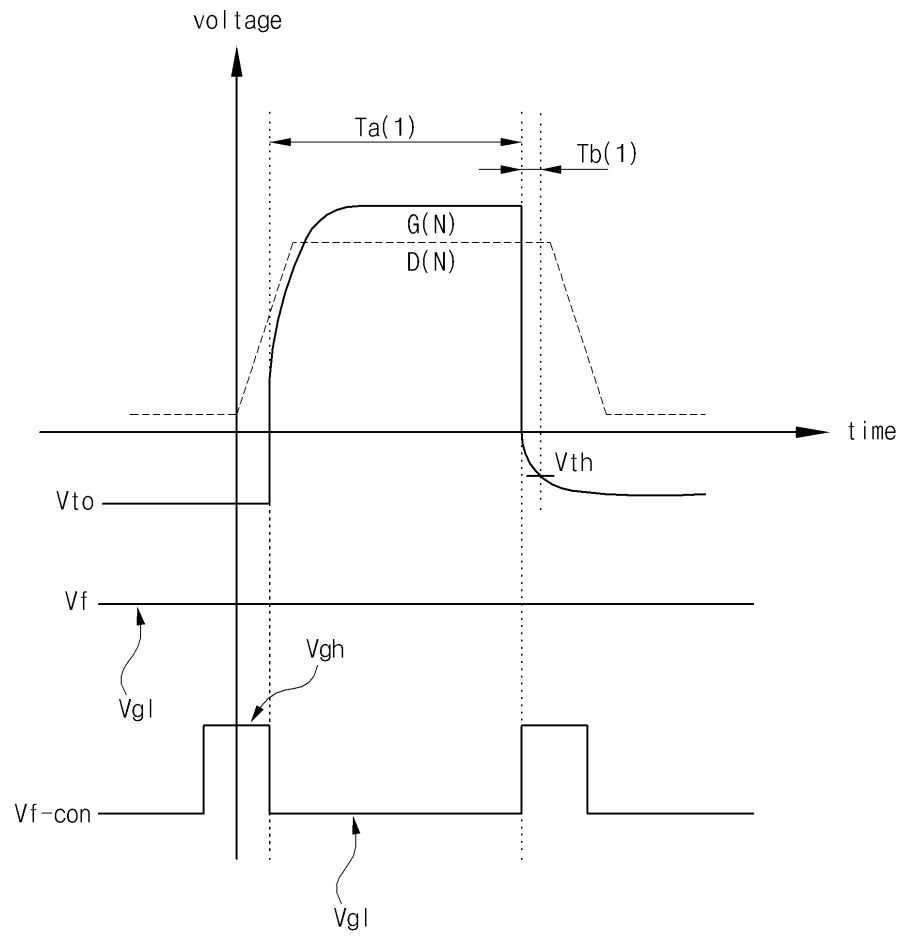
도면4b



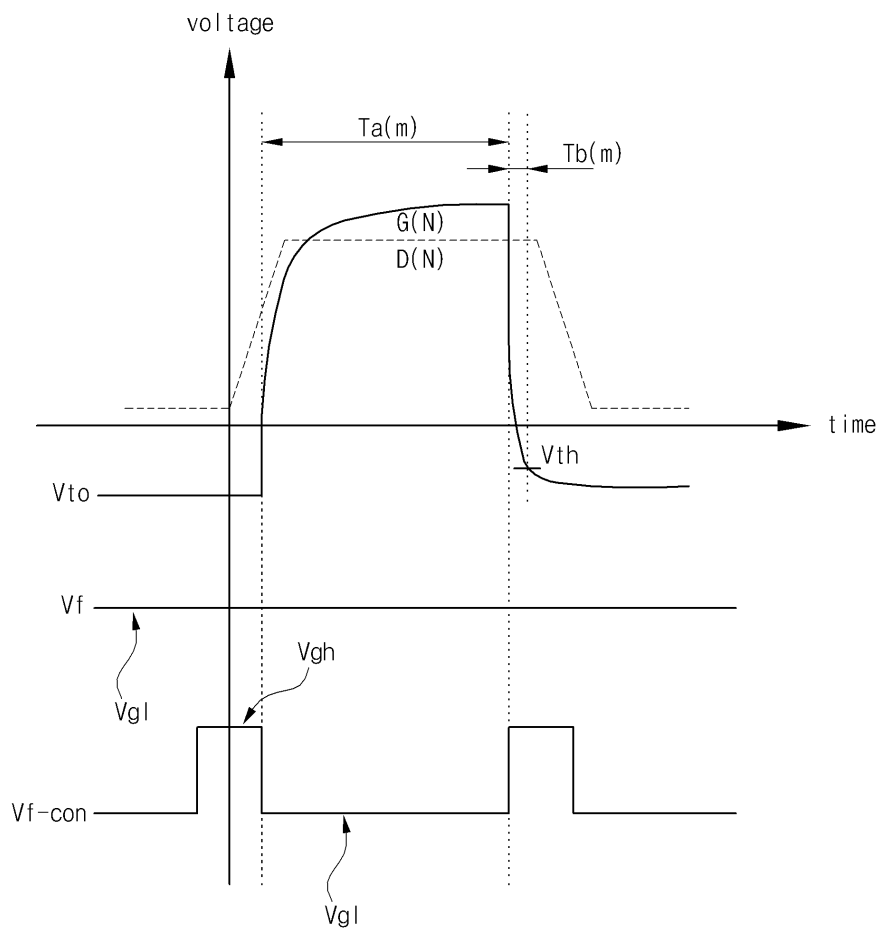
도면5



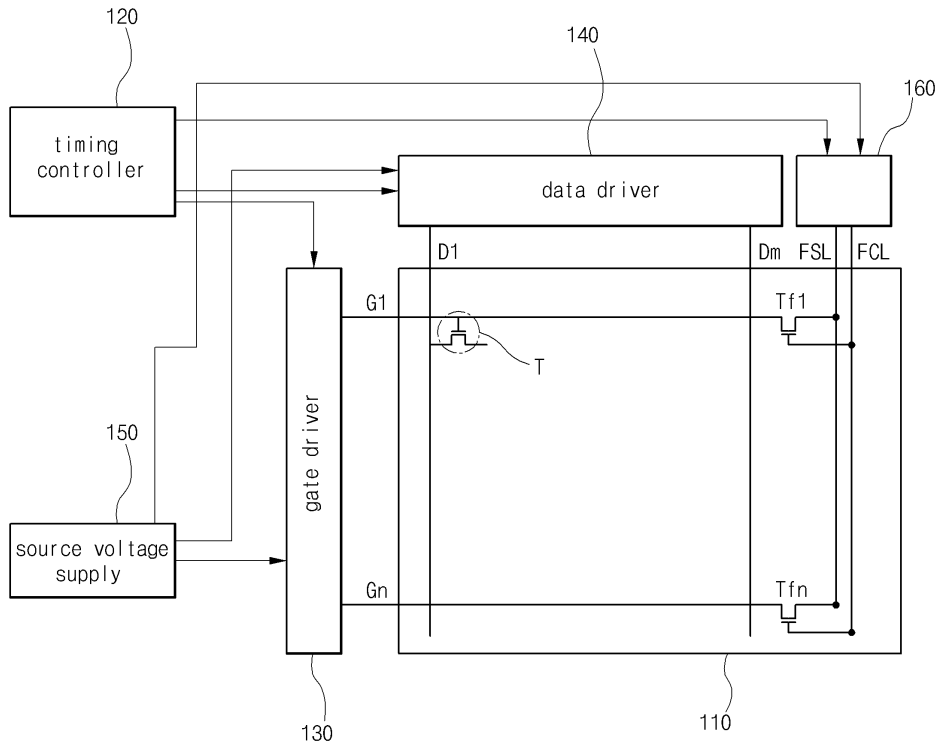
도면8a



도면8b



도면9



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101488197B1	公开(公告)日	2015-02-02
申请号	KR1020070006105	申请日	2007-01-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU YOUNG		
发明人	LEE, JU YOUNG		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G09G2320/0223 A47K3/10 A61H33/0087 A61H33/6073		
优先权	1020060059402 2006-06-29 KR		
其他公开文献	KR1020080001593A		
外部链接	Espacenet		

摘要(译)

#CMT ## / CMT # 驱动电路具有与栅极线 (G1 , G2) 交叉的数据线 (D1-D4) 和与栅极线连接的馈电薄膜晶体管 (TFT) (Tf1-Tf3)。馈电控制线 (FCL) 连接到馈电TFT以接通馈电TFT。馈电信号线 (FSL) 连接到馈电TFT, 以向栅极线提供馈电信号。 # CMT # : # / CMT # 包含以下独立声明 : (1) LCD显示驱动方法; (2) LCD装置。 #CMT #USE : # / CMT # 用于笔记本个人电脑和台式电脑的LCD设备 (声称) 的LCD显示器。 #CMT # ADVANTAGE : # / CMT # 降低了闪烁, 非均匀亮度和垂直串扰等显示质量劣化效果。由于栅极线的延迟而导致的栅极脉冲失真导致的图像残留减少, 以提供高显示质量的图像。 #CMT # 附图说明 : # / CMT # 该图示出了LCD显示设备的电路图。 D1-D4 : 数据线 FCL : 馈电控制线 FSL : 馈电信号线 G1 , G2 : 栅极线 Tf1-Tf3 : TFT。

