



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월19일
(11) 등록번호 10-1256544
(24) 등록일자 2013년04월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0080558

(22) 출원일자 2006년08월24일

심사청구일자 2011년07월25일

(65) 공개번호 10-2008-0018442

(43) 공개일자 2008년02월28일

(56) 선행기술조사문헌

KR1020060033481 A

전체 청구항 수 : 총 14 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최낙봉

경기도 의왕시 갈미1로 17, LG상록@ 104동 1104호
(내손동)

(74) 대리인

특허법인네이트

심사관 : 신창우

(54) 발명의 명칭 유기 박막트랜지스터 액정표시장치 및 그 제조방법

(57) 요약

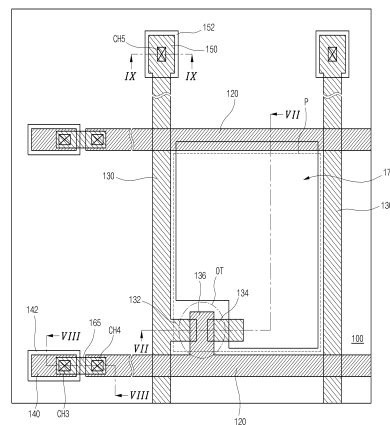
본 발명은 유기 박막트랜지스터 액정표시장치에 관한 것으로, 특히 기관 상에 일 방향으로 형성된 게이트 배선과, 상기 게이트 배선의 일 끝단에 이와 연결되고 투명한 재질인 게이트 패드 전극과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하며, 일 끝단에 데이터 패드를 갖는 데이터 배선과, 상기 데이터 패드를 감싸는 투명한 재질의 데이터 패드 전극과;

상기 게이트 및 데이터 배선이 교차하는 부분에서, 상기 데이터 배선에서 연장한 소스 전극과, 상기 소스 전극과 이격한 드레인 전극과, 상기 소스 및 드레인 전극의 이격 영역에 위치하고, 상기 소스 및 드레인 전극의 일부와 중첩하여 구성된 유기 반도체층과, 상기 유기 반도체층 상에 구성하고 상기 게이트 배선과 일체로 구성되는 게이트 전극을 포함하는 유기 박막트랜지스터와;

상기 드레인 전극과 연결되고, 상기 화소 영역에 구성된 화소 전극을 포함하는 것을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

기관과;

상기 기관 상에 일 방향으로 형성된 게이트 배선과;

상기 게이트 배선의 일 끝단에 연결되고 투명한 재질인 게이트 패드 전극과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하며, 일 끝단에 데이터 패드를 갖는 데이터 배선과;

상기 데이터 패드를 감싸는 투명한 재질의 데이터 패드 전극과;

상기 게이트 배선 및 데이터 배선이 교차하는 부분에서, 상기 데이터 배선에서 연장한 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과, 상기 소스 전극 및 드레인 전극의 이격 영역에 위치하고 상기 소스 전극 및 드레인 전극 상부에서 상기 소스 전극 및 드레인 전극의 일부와 중첩하는 유기 반도체층과, 상기 유기 반도체층 상에 형성되고 상기 게이트 배선과 일체로 구성되는 게이트 전극을 포함하는 유기 박막트랜지스터와;

상기 드레인 전극과 연결되고, 상기 화소 영역에 형성되는 화소 전극

을 포함하는 유기 박막트랜지스터 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 패드 전극은, 상기 게이트 배선과 상이한 층으로 형성되고, 막대 형상의 금속층에 의해 상기 게이트 배선에 연결되는 유기 박막트랜지스터 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 패드 전극 하부에 형성되고, 불투명한 도전성 금속층으로 이루어진 게이트 패드를 더욱 포함하는 유기 박막트랜지스터 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 화소 전극의 일부를 제 1 전극으로 하고, 상기 화소 전극의 일부에 중첩하는 상기 게이트 배선을 제 2 전극으로 한 스토리지 커패시터를 더욱 포함하는 유기 박막트랜지스터 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 게이트 배선의 하부에 상기 유기 반도체층과 상기 게이트 절연막이 형성되는 유기 박막트랜지스터 액정표시장치.

청구항 6

기관과;

상기 기관 상에 일 방향으로 형성된 게이트 배선과;

상기 게이트 배선의 일 끝단에서 이와 연결되고 투명한 재질인 게이트 패드 전극과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하며, 일 끝단에 데이터 패드를 갖는 데이터 배선과;

상기 데이터 패드를 감싸는 투명한 재질의 데이터 패드 전극과;

상기 게이트 배선 및 데이터 배선이 교차하는 부분에서, 상기 데이터 배선에서 연장한 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과, 상기 소스 전극 및 드레인 전극의 이격 영역에 위치하고 상기 소스 전극 및 상기

드레인 전극 상부에서 상기 소스 전극 및 드레인 전극의 일부와 중첩하는 유기 반도체층과, 상기 유기 반도체층 상에 형성되고 상기 게이트 배선과 별도의 층으로 형성되어 상기 게이트 배선과 접촉하는 게이트 전극을 포함하는 유기 박막트랜지스터와;

상기 드레인 전극과 연결되어 상기 화소 영역에 형성되는 화소 전극을 포함하는 유기 박막트랜지스터 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 게이트 패드 전극은, 상기 게이트 배선과 상이한 층으로 형성되고 상기 게이트 배선과 직접 접촉하는 유기 박막트랜지스터 액정표시장치.

청구항 8

제 6 항에 있어서,

상기 게이트 패드 전극 하부에 형성되고, 불투명한 도전성 금속층으로 이루어진 게이트 패드를 더욱 포함하는 유기 박막트랜지스터 액정표시장치.

청구항 9

기관 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드와, 아일랜드 형상의 게이트 패드를 형성하는 단계와;

상기 소스 전극 및 드레인 전극이 형성된 기관의 전면에 투명한 도전성 금속층을 형성하는 단계와;

상기 투명한 도전성 금속층을 패터하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극을 형성하는 단계와;

상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체층과, 게이트 절연막과, 게이트 전극을 형성하고, 상기 데이터 배선과 교차하는 게이트 배선을 형성하는 단계와;

상기 게이트 전극 및 상기 게이트 배선 상부에 보호막을 형성하는 단계와;

상기 보호막을 패터하여, 상기 게이트 패드 전극과 상기 게이트 배선의 일부를 노출하고, 상기 데이터 패드의 일부와 상기 화소 전극을 노출하는 단계와;

노출된 상기 게이트 패드 전극 및 게이트 배선에 동시에 접촉하는 막대 형상의 금속층을 형성하는 단계를 포함하는 유기 박막트랜지스터 액정표시장치 제조방법.

청구항 10

제 9 항에 있어서,

상기 막대 형상의 금속층은 불투명한 도전성 금속 그룹에서 선택된 어느 하나로 형성되는 유기 박막트랜지스터 액정표시장치 제조방법.

청구항 11

제 9 항에 있어서,

상기 투명한 도전성 금속층은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO) 중 선택된 하나로 형성되는 유기 박막트랜지스터 액정표시장치 제조방법.

청구항 12

기관 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드를 형성하는 단계와;

상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;

상기 투명한 도전성 금속층을 패터닝하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 아일랜드 형상의 게이트 패드 전극을 형성하는 단계와;

상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체 층과, 게이트 절연막과, 게이트 전극을 형성하고, 상기 데이터 배선과 교차하는 게이트 배선을 형성하는 단계와;

상기 게이트 전극 및 상기 게이트 배선 상부에 보호막을 형성하는 단계와;

상기 보호막을 패터닝하여, 상기 게이트 패드 전극과 상기 게이트 배선의 일부를 노출하고, 상기 데이터 패드의 일부와 상기 화소 전극을 노출하는 단계와;

노출된 상기 게이트 패드 전극 및 게이트 배선에 동시에 접촉하는 막대 형상의 금속층을 형성하는 단계를 포함하는 유기 박막트랜지스터 액정표시장치 제조방법.

청구항 13

기판 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드와, 아일랜드 형상의 게이트 패드를 형성하는 단계와;

상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;

상기 투명한 도전성 금속층을 패터닝하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극을 형성하는 단계와;

상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체 층과, 게이트 절연막과, 아일랜드 형상의 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 보호막을 형성하는 단계와;

상기 보호막을 패터닝하여, 상기 게이트 패드 전극과, 상기 데이터 패드의 일부와, 상기 화소 전극과, 상기 게이트 전극의 일부를 노출하는 단계와;

노출된 상기 게이트 패드 전극 및 게이트 전극과 연결되는 게이트 배선을 형성하는 단계

를 포함하는 유기 박막트랜지스터 액정표시장치 제조방법.

청구항 14

기판 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드를 형성하는 단계와;

상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;

상기 투명한 도전성 금속층을 패터닝하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 아일랜드 형상의 게이트 패드 전극을 형성하는 단계와;

상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체 층과, 게이트 절연막과, 아일랜드 형상의 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 보호막을 형성하는 단계와;

상기 보호막을 패터닝하여, 상기 게이트 패드 전극과, 상기 데이터 패드의 일부와, 상기 화소 전극과, 상기 게이트 전극의 일부를 노출하는 단계와;

상기 노출된 게이트 패드 전극 및 게이트 전극과 연결되는 게이트 배선을 형성하는 단계

를 포함하는 유기 박막트랜지스터 액정표시장치 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0026] 본 발명은 유기 박막트랜지스터 액정표시장치에 관한 것으로, 특히 탑 게이트 방식의 액정표시장치에서 게이트 패드부와 게이트 구동부를 접촉시키기 위한 탭(Tape Automated Bonding: TAB) 실장 공정 중 발생하는 금속 뜨김 현상이나 부식 문제 등을 방지 할 수 있는 것을 특징으로 한다.
- [0027] 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증대하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), VFD(Vacuum Fluorescent Display), ELD(Electro Luminescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- [0028] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정표시장치가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- [0029] 최근 액정표시장치의 박막트랜지스터 중 액티브층에 유기 반도체를 활용한 기술의 연구가 활발히 진행되고 있다.
- [0030] 통상적으로, 유기 반도체는 반도체 특성을 나타내는 공액성 유기 고분자인 폴리아세틸렌(polyacetylene)이 개발된 후, 다양한 합성방법, 필름 형태로의 용이성, 유연성, 전도성, 저렴한 생산비와 같은 유기물의 특성 때문에 새로운 전기전자 재료로서의 기능성 전자소자 및 광소자 등 광범위한 분야에서 활발히 연구되고 있다.
- [0031] 이러한 전도성 고분자를 이용한 소자 중에서, 유기물을 액티브층으로 사용하는 유기 박막트랜지스터(organic thin film transistor : OTFT)에 대한 연구가 폭넓게 진행 중에 있다. 상기 OTFT는 Si-TFT와 구조적으로 거의 같은 형태로 반도체 영역에 Si 대신에 유기물을 사용한다는 차이점이 있다.
- [0032] 이하, 첨부한 도면을 참조하여 일반적인 유기 박막트랜지스터 액정표시장치에 대해 설명한다.
- [0033] 도 1은 일반적인 유기 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도이다.
- [0034] 도시한 바와 같이, 기판(10) 상에 일 방향으로 다수의 게이트 배선(20)이 구성되며, 상기 게이트 배선(20)의 일 끝단에 게이트 패드(40)가 구성된다.
- [0035] 상기 게이트 배선(20)과 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(30)이 구성되며, 상기 데이터 배선(30)의 일 끝단에 데이터 패드(50)가 구성된다.
- [0036] 여기서, 상기 게이트 배선(20)과 데이터 배선(30)이 교차하는 부분에 유기 박막트랜지스터(OT)가 구성되며, 상기 유기 박막트랜지스터(OT)는 상기 데이터 배선(30)에서 연장한 소스 전극(32)과, 이와는 이격하여 구성된 드레인 전극(34)과, 상기 소스 및 드레인 전극(32, 34) 상부로 게이트 배선(20)에서 연장한 게이트 전극(36)과, 상기 게이트 전극(36)과 소스 및 드레인 전극(32, 34) 사이에 위치한 유기 반도체층(미도시)을 포함하여 이루어진다.
- [0037] 또한, 상기 드레인 전극(34)의 일부와 직접 연결되며, 상기 게이트 배선(20), 데이터 배선(30) 그리고 유기 박막트랜지스터(OT)와 일정 간격 이격하여 화소 영역(P)에 대응하여 화소 전극(70)이 구성된다.
- [0038] 이하, 첨부한 도면을 참조하여 일반적인 유기 박막트랜지스터 액정표시장치의 제조방법에 대해 설명한다.
- [0039] 도 2a 내지 도 2f와, 도 3a 내지 도 3f와, 도 4a 내지 도 4f는 도 1의 II-II, III-III, IV-IV선을 따라 절단한 각각의 공정 단면도이다.
- [0040] 도 2a 내지 도 4a에 도시한 바와 같이, 기판(10) 상에 스위칭 영역(S), 화소 영역(P), 게이트 영역(G)과 데이터 영역(D)을 정의하는 단계를 진행한다.
- [0041] 상기 다수의 영역(S, P, G, D)을 정의한 기판(10) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 이를

패턴하여, 스위칭 영역(S)에 대응하여 소스 및 드레인 전극(32, 34)이 형성되고, 상기 데이터 영역(D)에 대응하여 일 끝단에 데이터 패드(50)를 갖는 데이터 배선(도 1의 30)이 형성된다.

[0042] 도 2b 내지 도 4b에 도시한 바와 같이, 상기 소스 및 드레인 전극(32, 34)이 형성된 기판(10) 상에 인듐-틴-옥사이드(ITO) 혹은 인듐-징크-옥사이드(IZO) 중 선택된 어느 하나를 증착하고 이를 패턴하여, 상기 드레인 전극(34)의 일부와 직접 접촉하여 화소 전극(70)이 형성되고, 상기 데이터 영역(D)에 대응하여 데이터 패드(50) 상부로 이와 접촉되는 데이터 패드 전극(52)이 형성된다.

[0043] 도 2c 내지 도 4c에 도시한 바와 같이, 상기 화소 전극(70)이 형성된 기판(10) 상에 저분자 유기물질 그룹 중 선택된 하나가 기판(10) 전면에 도포되어 유기 반도체층(45a)이 형성되며, 연속하여 상기 유기 반도체층(45a) 상에 벤조사이클로부텐(benzocyclobutene:BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질로 게이트 절연층(55a)이 형성된다.

[0044] 도 2d 내지 도 4d에 도시한 바와 같이, 상기 유기 반도체층(45a)과 게이트 절연층(55a)을 패턴하여, 상기 스위칭 영역(S)에 대응하여 유기 반도체층(45)과 게이트 절연막(55)이 형성된다.

[0045] 이때, 상기 유기 반도체층(45)과 그 상부의 게이트 절연막(55)은 같은 폭으로 형성된다.

[0046] 따라서, 전술한 공정을 통해 상기 소스 전극(32)과 드레인 전극(34)의 이격된 영역에 위치하고, 상기 소스 및 드레인 전극(32, 34) 각각의 일부와 중첩하여 유기 반도체층(45)과 게이트 절연막(55)이 형성되며, 이를 제외한 전 영역의 유기 반도체층(45a)과 게이트 절연층(55a)이 제거된 상태이다.

[0047] 도 2e 내지 도 4e에 도시한 바와 같이, 상기 유기 반도체층(45)과 게이트 절연막(55)이 형성된 기판(10) 전면에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등의 금속물질 그룹 중 어느 하나가 증착되어 게이트 금속층(미도시)이 형성된다.

[0048] 이어, 상기 게이트 금속층을 패턴하여, 스위칭 영역(S)에 대응하는 상기 게이트 절연막(55) 상부에 이와 같은 폭을 갖는 게이트 전극(36)이 형성되며, 상기 게이트 영역(G)에 대응하여 게이트 전극(36)과 연결된 게이트 배선(도 1의 20)이 일 방향으로 형성되며, 상기 게이트 배선의 일 끝단에 게이트 패드(40)가 형성된다.

[0049] 여기서, 상기 게이트 패드(40)는 게이트 배선(도 1의 20)의 일 부분으로, 상기 게이트 배선과 전기적으로 연결된 상태이다.

[0050] 도 2f 내지 도 4f에 도시한 바와 같이, 상기 게이트 전극(36)이 형성된 기판(10) 전면에 벤조사이클로부텐(benzocyclobutene:BCB)과 포토 아크릴(photo acryl)을 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질로 보호막(60)이 형성된다.

[0051] 이어, 상기 보호막(60)을 패턴하여, 상기 게이트 패드(40)의 일부를 노출시키는 게이트 패드 콘택홀(CH1)과, 상기 데이터 패드 전극(52)의 일부를 노출시키는 데이터 패드 콘택홀(CH2)과, 화소 전극(70)을 노출시키는 픽셀 오픈홀(OH)이 형성된다.

[0052] 이상으로, 전술한 공정을 통해 종래에 따른 어레이 기판을 제작할 수 있다.

[0053] 그러나, 전술한 바와 같이 게이트 전극(36)이 상기 소스 및 드레인 전극(32, 34) 상부에 위치하는 탑 게이트 방식의 유기 박막트랜지스터를 포함하는 액정표시장치에서는, 게이트 패드를 게이트 전극과 같은 도전성 금속 그룹에서 선택된 하나로 형성함으로 인해, 상기 게이트 패드와 게이트 구동부를 탭(Tape Automated Bonding: TAB) 실장 공정으로 접촉시키는데 있어서, 오정렬(misalignment)이 발생할 경우 이를 다시 접촉시키다 보면 도전성 금속 뜨김이 발생할 수 있으며, 또한 최상부의 도전성 금속이 공기에 노출된 상태에서 부식(corrosion)과 같은 불량을 유발하는 문제점을 야기하였다.

발명이 이루고자 하는 기술적 과제

[0054] 본 발명은 전술한 바와 같은 문제점을 해결하기 위한 목적으로 안출된 것으로서, 본 발명에 따른 탑 게이트 방식의 유기 박막트랜지스터 액정표시장치는 게이트 패드부를 불투명한 도전성 금속층과 투명한 도전성 금속층으로 이루어진 이중층으로 구성하거나, 또는 투명한 도전성 금속층만으로 이루어진 단일층으로 구성하여, 최상부의 투명한 도전성 금속에 의해 게이트 구동부와 탭 실장 공정 중 오정렬이 발생하더라도 이를 다시 수리하는 과정에서, 금속 뜨김이나 부식과 같은 문제가 발생되지 않는 장점이 있다.

발명의 구성 및 작용

- [0055] 전술한 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터 액정표시장치는 기판과, 상기 기판 상에 일 방향으로 형성된 게이트 배선과, 상기 게이트 배선의 일 끝단에 연결되고 투명한 재질인 게이트 패드 전극과;
- [0056] 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하며, 일 끝단에 데이터 패드를 갖는 데이터 배선과, 상기 데이터 패드를 감싸는 투명한 재질의 데이터 패드 전극과;
- [0057] 상기 게이트 배선 및 데이터 배선이 교차하는 부분에서, 상기 데이터 배선에서 연장한 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과, 상기 소스 전극 및 드레인 전극의 이격 영역에 위치하고 상기 소스 전극 및 드레인 전극 상부에서 상기 소스 전극 및 드레인 전극의 일부와 중첩하는 유기 반도체층과, 상기 유기 반도체층 상에 형성되고 상기 게이트 배선과 일체로 구성되는 게이트 전극을 포함하는 유기 박막트랜지스터와;
- [0058] 상기 드레인 전극과 연결되고, 상기 화소 영역에 형성되는 화소 전극을 포함하는 것을 특징으로 한다.
- [0059] 이때, 상기 게이트 패드 전극은, 상기 게이트 배선과 상이한 층으로 형성되고, 막대 형상의 금속층에 의해 상기 게이트 배선에 연결되며, 상기 박막트랜지스터 액정표시장치는, 상기 게이트 패드 전극 하부에 형성되고 불투명한 도전성 금속층으로 이루어지는 게이트 패드를 더욱 포함한다.
- [0060] 또한, 상기 화소 전극의 일부를 제 1 전극으로 하고, 상기 화소 전극의 일부에 중첩하는 상기 게이트 배선을 제 2 전극으로 한 스토리지 커패시터를 더욱 포함하며, 상기 게이트 배선의 하부에 상기 유기 반도체층과, 상기 게이트 절연막이 형성되는 것을 특징으로 한다.
- [0061] 본 발명의 다른 실시예에 따른 박막트랜지스터 액정표시장치는 기판과, 상기 기판 상에 일 방향으로 형성된 게이트 배선과, 상기 게이트 배선의 일 끝단에서 이와 연결되고 투명한 재질인 게이트 패드 전극과;
- [0062] 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하며, 일 끝단에 데이터 패드를 갖는 데이터 배선과, 상기 데이터 패드를 감싸는 투명한 재질의 데이터 패드 전극과;
- [0063] 상기 게이트 배선 및 데이터 배선이 교차하는 부분에서, 상기 데이터 배선에서 연장한 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과, 상기 소스 전극 및 드레인 전극의 이격 영역에 위치하고 상기 소스 전극 및 상기 드레인 전극 상부에서 상기 소스 전극 및 드레인 전극의 일부와 중첩하는 유기 반도체층과, 상기 유기 반도체층 상에 형성되고 상기 게이트 배선과 별도의 층으로 형성되어 상기 게이트 배선과 접촉하는 게이트 전극을 포함하는 유기 박막트랜지스터와;
- [0064] 상기 드레인 전극과 연결되어 상기 화소 영역에 형성되는 화소 전극을 포함하는 것을 특징으로 한다.
- [0065] 이때, 상기 게이트 패드 전극은, 상기 게이트 배선과 상이한 층으로 형성되고 상기 게이트 배선과 직접 접촉하며, 상기 게이트 패드 전극 하부에 형성되고, 상기 박막트랜지스터 액정표시장치는, 불투명한 도전성 금속층으로 이루어지는 게이트 패드를 더욱 포함한다.
- [0066] 전술한 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터 액정표시장치 제조방법은 기판 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드와, 아일랜드 형상의 게이트 패드를 형성하는 단계와; 상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;
- [0067] 상기 투명한 도전성 금속층을 패틴하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체층과, 게이트 절연막과, 게이트 전극을 형성하고, 상기 데이터 배선과 교차하는 게이트 배선을 형성하는 단계와;
- [0068] 상기 게이트 전극 및 상기 게이트 배선 상부에 보호막을 형성하는 단계와; 상기 보호막을 패틴하여, 상기 게이트 패드 전극과 상기 게이트 배선의 일부를 노출하고, 상기 데이터 패드의 일부와 상기 화소 전극을 노출하는 단계와; 노출된 상기 게이트 패드 전극 및 게이트 배선에 동시에 접촉하는 막대 형상의 금속층을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0069] 여기서, 상기 막대 형상의 금속층은 불투명한 도전성 금속 그룹에서 선택된 어느 하나로 형성되며, 상기 투명한 도전성 금속층은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO) 중 선택된 하나로 형성되는

것을 특징으로 한다.

- [0070] 기술한 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 박막트랜지스터 액정표시장치 제조방법은 기판 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드를 형성하는 단계와; 상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;
- [0071] 상기 투명한 도전성 금속층을 패틴하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 아일랜드 형상의 게이트 패드 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체층과, 게이트 절연막과, 게이트 전극을 형성하고, 상기 데이터 배선과 교차하는 게이트 배선을 형성하는 단계와;
- [0072] 상기 게이트 전극 및 상기 게이트 배선 상부에 보호막을 형성하는 단계와; 상기 보호막을 패틴하여, 상기 게이트 패드와 이에 인접한 상기 게이트 배선의 일부를 노출하고, 상기 데이터 패드의 일부와 상기 화소 전극을 노출하는 단계와; 노출된 상기 게이트 패드 전극 및 게이트 배선에 동시에 접촉하는 막대 형상의 금속층을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0073] 기술한 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 박막트랜지스터 액정표시장치 제조방법은 기판 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드와, 아일랜드 형상의 게이트 패드를 형성하는 단계와; 상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;
- [0074] 상기 투명한 도전성 금속층을 패틴하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체층과, 게이트 절연막과, 아일랜드 형상의 게이트 전극을 형성하는 단계와;
- [0075] 상기 게이트 전극 상부에 보호막을 형성하는 단계와; 상기 보호막을 패틴하여, 상기 게이트 패드 전극과, 상기 데이터 패드의 일부와 상기 화소 전극과, 상기 게이트 전극의 일부를 노출하는 단계와; 노출된 상기 게이트 패드 전극 및 게이트 전극과 연결되는 게이트 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0076] 기술한 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 박막트랜지스터 액정표시장치 제조방법은 기판 상에 이격된 소스 전극 및 드레인 전극과, 데이터 배선과, 데이터 패드를 형성하는 단계와; 상기 소스 전극 및 드레인 전극이 형성된 기판의 전면에 투명한 도전성 금속층을 형성하는 단계와;
- [0077] 상기 투명한 도전성 금속층을 패틴하여, 상기 드레인 전극과 접촉하는 화소 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 아일랜드 형상의 게이트 패드 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극의 이격된 영역 상부에 상기 소스 전극 및 드레인 전극과 접촉하는 유기 반도체층과, 게이트 절연막과, 아일랜드 형상의 게이트 전극을 형성하는 단계와;
- [0078] 상기 게이트 전극 상부에 보호막을 형성하는 단계와; 상기 보호막을 패틴하여, 상기 게이트 패드 전극과, 상기 데이터 패드의 일부와, 상기 화소 전극과, 상기 게이트 전극의 일부를 노출하는 단계와; 노출된 상기 게이트 패드 전극 및 게이트 전극과 연결되는 게이트 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0079] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기 박막트랜지스터 액정표시장치에 대해 설명한다.
- [0080] 먼저, 이하 첨부한 도면을 참조하여, 구동회로부를 포함하는 본 발명의 액정표시장치의 구성을 개략적으로 설명한다.
- [0081] 도 5는 본 발명에 따른 유기 박막트랜지스터 액정표시장치의 개략적인 구성을 나타낸 평면도이다.
- [0082] 도시한 바와 같이, 기판(100) 상에 다수의 게이트 배선(120)이 일 방향으로 구성되어 있으며, 상기 게이트 배선(120)의 좌측 일 끝단으로 전기적으로 절연된 아일랜드 형상의 게이트 패드(140)가 구성되며, 상기 게이트 패드(140) 좌측으로 이와 접촉하는 게이트 구동부가 구성되어 있다.
- [0083] 또한, 상기 게이트 배선(120)과 교차하여 화소 영역(P)을 정의하는 데이터 배선(130)이 구성되어 있으며, 상기 데이터 배선(130) 상측 끝단으로 데이터 패드(150)가 구성되며, 상기 데이터 패드(150) 상측으로 이와 접촉하는 데이터 구동부가 구성되어 있다.
- [0084] 상기 게이트 배선(120)과 데이터 배선(130)이 교차하는 부분에 탑게이트 구조의 유기 박막트랜지스터

(OT)가 구성되며, 상기 유기 박막트랜지스터(OT)와 연결되어 화소 전극(170)이 구성된다.

[0085] 전술한 구성에서 특징적인 것은 상기 게이트 패드를 투명 전극으로 구성하거나 게이트 패드를 덮는 게이트 패드 전극을 투명 전극으로 구성하는 것이다. 이에 대해, 이하 실시예를 통해 설명한다.

[0086] --- 제 1 실시예 ---

[0087] 이하, 첨부한 도면을 참조하여 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터 액정표시장치를 설명한다.

[0088] 도 6은 본 발명에 따른 유기 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도이다.

[0089] 도시한 바와 같이, 기판(100) 상에 일 방향으로 게이트 배선(120)을 구성하고, 상기 게이트 배선(120)의 일 끝단으로 전기적으로 절연된 아일랜드 형상의 게이트 패드(140)를 구성한다.

[0090] 상기 게이트 배선(120)과 수직하게 교차하여 화소 영역(P)을 정의하며, 일 끝단에 데이터 패드(150)를 갖는 데이터 배선(130)을 구성한다.

[0091] 상기 게이트 패드(140)와 데이터 패드(150)의 상부에는 각각 투명한 게이트 패드 전극(142)과 데이터 패드 전극(152)을 구성한다.

[0092] 여기서, 상기 게이트 패드(140)와, 이에 인접한 게이트 배선(120)은 막대 형상의 금속층(165)을 통해 전기적으로 연결된다.

[0093] 상기 게이트 배선(120)과 데이터 배선(130)의 교차 지점에 상기 데이터 배선(130)과 연결된 소스 전극(132)과, 상기 소스 전극(132)과 이격된 드레인 전극(134)과, 상기 소스 및 드레인 전극(132, 134)을 이격한 사이 구간에서 상기 소스 및 드레인 전극(132, 134)의 일부와 중첩하여 구성된 유기 반도체층(미도시)과, 상기 유기 반도체층 상의 게이트 전극(136)을 포함하는 유기 박막트랜지스터(OT)를 구성한다.

[0094] 또한, 상기 드레인 전극(134)의 일부와 직접 연결되며, 상기 게이트 배선(120), 데이터 배선(130) 그리고 유기 박막트랜지스터(OT)와 일정 간격 이격하여 화소 전극(170)을 구성한다.

[0095] 이때, 상기 화소 영역(P)의 상부 끝단에 위치한 화소 전극(170)은 그 상부의 게이트 배선(120)과 게이트 절연막(미도시)이 개재된 상태에서 중첩하여 구성할 수 있다.

[0096] 전술한 구성에서 특징적인 것은, 상기 게이트 패드와 게이트 패드 전극을 각각 불투명한 도전성 금속층과 투명한 도전성 금속층으로 구성하여, 이를 게이트 구동부와 연결시키기 위한 탭 실장 공정 중 오정렬(misalignment)이 발생하더라도, 상기 게이트 패드 전극의 최상부가 투명한 도전성 금속층으로 구성되어 있기 때문에, 반복적으로 탭 실장 공정을 수행하는 것이 가능하며, 반복적인 탭 실장 공정 중 금속 뜨김이나 부식과 같은 불량 발생하지 않는 장점이 있다.

[0097] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기 박막트랜지스터 액정표시장치의 제조방법에 대해 상세히 설명한다.

[0098] 도 7a 내지 도 7f와, 도 8a 내지 도 8f와, 도 9a 내지 도 9f는 도 6의 VII-VII, VIII-VIII, IX-IX선을 따라 절단한 각각의 공정 단면도이다

[0099] 도 7a 내지 도 9a에 도시한 바와 같이, 기판(100) 상에 스위칭 영역(S), 화소 영역(P), 스토리지 영역(SA), 게이트 영역(G)과 데이터 영역(D)을 정의하는 단계를 진행한다.

[0100] 이때, 상기 스토리지 영역(SA)은 단위 화소 영역(P) 중 상부에 위치한 게이트 배선(도 6의 120)의 일부를 정의하는 영역이다.

[0101] 상기 다수의 영역(S, P, SA, G, D)을 정의한 기판(100) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 금(Au) 등과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착한다.

[0102] 이어, 감광층 도포공정, 노광공정, 현상공정, 식각공정 및 감광층 제거공정을 포함하는 사진식각(photolithography) 공정으로 패턴하여, 상기 스위칭 영역(S)에 대응하여 소스 전극(132)과 드레인 전극(134)을 형성하고, 상기 게이트 영역(G)에 대응하여 전기적으로 절연된 아일랜드 형상의 게이트 패드(140)를 형성하며, 상기 데이터 영역(D)에 대응하여 일 끝단에 데이터 패드(150)를 갖는 데이터 배선(도 6의 130)을 형성한다.

- [0103] 따라서, 본 실시예에서는 소스 및 드레인 금속층(미도시)을 패터닝할 때, 게이트 영역(G)에 대응하여 전기적으로 절연된 아일랜드 형상의 게이트 패드(140)를 형성하게 되며, 이후 형성될 게이트 배선(도 6의 120)과는 서로 다른 층에서 형성된다.
- [0104] 도 7b 내지 도 9b에 도시한 바와 같이, 상기 소스 및 드레인 전극(132, 134)을 형성한 기판(100) 상에 인듐-틴-옥사이드(ITO) 혹은 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 이를 패터닝하여, 상기 드레인 전극(134)의 일부와 직접 접촉하면서 화소 영역(P)에 위치하도록 화소 전극(170)을 형성하고, 상기 게이트 영역(G)에 대응하여 상기 게이트 패드(140)를 덮는 게이트 패드 전극(142)을 형성하며, 상기 데이터 영역(D)에 대응하여 상기 데이터 패드(150)를 덮는 데이터 패드 전극(152)을 형성한다.
- [0105] 여기서, 종래와는 달리 상기 게이트 패드(140)의 상부에 투명한 도전성 금속으로 이루어진 게이트 패드 전극(142)을 형성하는 것을 특징으로 한다.
- [0106] 이때, 상기 게이트 패드 전극(142)과 데이터 패드 전극(152)은 화소 전극(170)과 동일층에서 동일물질로 형성한다.
- [0107] 따라서, 게이트 패드(140)와 게이트 패드 전극(142)을 각각 소스 및 드레인 금속층과 투명한 금속층으로 형성함으로써, 게이트 구동부(미도시)와 탭 실장 공정 중 오정렬이 발생하더라도 최상부로 투명한 도전성 금속층이 구성되어 있기 때문에 탭 실장 공정을 반복하는 것이 가능하며, 종래와 달리 탭 실장 공정 중 금속 뜨김이나 부식과 같은 문제가 발생하지 않게 된다.
- [0108] 여기서, 상기 화소 전극(170)의 일부를 스토리지 영역(SA)으로 연장 구성함으로써, 제 1 스토리지 전극으로 활용할 수 있도록 한다.
- [0109] 도 7c 내지 도 9c에 도시한 바와 같이, 상기 화소 전극(170)을 형성한 기판(100) 전면에서 저분자 유기물질 그룹 중 선택된 하나로 유기 반도체층(145a)을 형성한다.
- [0110] 이어, 상기 유기 반도체층(145a) 상에 연속하여 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질로 게이트 절연층(155a)을 형성한다.
- [0111] 이때, 상기 유기 반도체층(145a)은 스핀 코팅법으로 형성할 수 있으며, 평탄하게 형성된다.
- [0112] 이어, 상기 유기 반도체층(145a)과 게이트 절연층(155a)이 형성된 기판(100) 상에 크롬(Cr), 금(Au), 몰리브덴(Mo) 또는 알루미늄 합금(AlNd)과 같은 도전성 금속 그룹 중 선택된 하나를 증착하여 게이트 금속층(175)을 형성한다.
- [0113] 도 7d 내지 도 9d에 도시한 바와 같이, 상기 유기 반도체층(145a), 게이트 절연층(155a)과 게이트 금속층(175)을 일괄적으로 패터닝하여, 상기 스위칭 영역(S)에 대응하여 유기 반도체층(145), 게이트 절연막(155)과 게이트 전극(136)을 형성하고, 상기 게이트 전극(136)과 연결하여 게이트 배선(도 6의 120)을 일 방향으로 형성한다.
- [0114] 여기서, 상기 게이트 영역(G)에 대응하여 형성된 아일랜드 형상의 게이트 패드(140) 및 게이트 패드 전극(142)과 이에 인접한 게이트 배선(도 6의 120)은 이격하여 구성하기 때문에, 전기적으로 절연된 상태이다.
- [0115] 또한, 상기 스토리지 영역(SA)에 대응하여 화소 전극(170)과 중첩하여 게이트 배선(도 6의 120)이 구성된다.
- [0116] 따라서, 상기 화소 전극(170)의 일부를 제 1 전극으로 하고, 이에 중첩하는 상부의 게이트 배선(도 6의 120)을 제 2 전극으로 한 스토리지 커패시터(storage capacitor: Cst)를 구성할 수 있다.
- [0117] 도 7e 내지 도 9e에 도시한 바와 같이, 상기 게이트 전극(136)을 형성한 기판(100) 상에 유기절연물질 그룹 중에서 선택된 하나로 보호막(160)을 형성한다.
- [0118] 이어, 상기 보호막(160)을 패터닝하여, 상기 게이트 패드 전극(142)을 노출시키는 게이트 패드 콘택홀(CH3)과, 상기 게이트 패드부(140, 142)와 인접한 게이트 배선의 일부를 노출시키는 게이트 콘택홀(CH4)과, 데이터 패드 전극(152)을 노출시키는 데이터 패드 콘택홀(CH5)과, 화소 전극(170)을 노출시키는 화소 오픈홀(OH2)을 형성한다.
- [0119] 도 7f 내지 도 9f에 도시한 바와 같이, 상기 보호막(160) 상에 크롬(Cr), 몰리브덴(Mo) 또는 알루미늄

합금(AlNd)과 같은 도전성 금속 그룹 중 선택된 하나를 증착하여 금속층(미도시)을 형성하고 이를 패터하여, 상기 게이트 패드 전극(142)과 이에 인접한 게이트 배선(120)을 연결하는 막대 형상의 금속층(165)을 형성한다.

[0120] 따라서, 전술한 공정을 통해 본 발명의 제 1 실시예에 따른 어레이 기판을 제작하는 것이 가능하다.

[0121] --- 제 2 실시예 ---

[0122] 본 발명의 제 2 실시예의 특징은 게이트 패드부를 투명한 전극으로 구성하는 것이다.

[0123] 이하, 첨부한 도면을 참조하여 본 발명의 제 2 실시예에 따른 유기 박막트랜지스터 액정표시장치의 제조방법에 대해 설명한다.

[0124] 여기서, 제 2 실시예는 제 1 실시예를 일부 변형한 것으로 특징적인 부분만을 간략하게 설명한다.

[0125] 도 10a, 10b와, 도 11a, 11b와, 도 12a, 12b는 도 6의 VII-VII, VIII-VIII, IX-IX 선을 따라 절단한 각각의 공정 단면도이다.

[0126] 도 10a 내지 도 12a에 도시한 바와 같이, 기판(200) 상에 스위칭 영역(S), 화소 영역(P), 스토리지 영역(SA), 게이트 영역(G)과 데이터 영역(D)을 정의하는 단계를 진행한다.

[0127] 이때, 상기 스토리지 영역(SA)은 단위 화소 영역(P) 중 상부에 위치한 게이트 배선(도 6의 120)의 일부를 정의하는 영역이다.

[0128] 상기 다수의 영역(S, P, SA, G, D)을 정의한 기판(200) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 금(Au) 등과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 이를 패터하여, 상기 스위칭 영역(S)에 대응하여 소스 전극(232)과 드레인 전극(234)을 형성하고, 상기 데이터 영역(D)에 대응하여 일 끝단에 데이터 패드(250)를 갖는 데이터 배선(도 6의 130)을 형성한다.

[0129] 도 10b 내지 도 12b에 도시한 바와 같이, 상기 소스 및 드레인 전극(232, 234)을 형성한 기판(200) 상에 인듐-틴-옥사이드(ITO) 혹은 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 이를 패터하여, 상기 드레인 전극(234)의 일부와 직접 접촉하면서 화소 영역(P)에 위치하도록 화소 전극(270)을 형성하고, 상기 데이터 영역(D)에 대응하여 상기 데이터 패드(250)를 덮는 투명 데이터 패드 전극(252)을 형성하며, 상기 게이트 영역(G)에 대응하여 전기적으로 절연된 아일랜드 형상의 투명 게이트 패드 전극(240)을 형성한다.

[0130] 따라서, 본 발명의 제 2 실시예에서는 제 1 실시예와 달리 게이트 패드부를 투명한 도전성 금속으로 이루어진 단일층으로 형성하는 것을 특징으로 한다.

[0131] 이후 공정은 제 1 실시예와 동일한 방식으로 진행되는 바, 중복 설명을 피하기 위해 생략하기로 한다.

[0132] --- 제 3 실시예 ---

[0133] 본 발명에 따른 제 3 실시예는 상기 제 1 실시예에서 전극 형성 위치를 변형한 것으로, 상기 제 3 실시예는 게이트 전극을 아일랜드 형상으로 형성하고, 상기 게이트 전극과 다른층에서 게이트 배선을 형성하여 이를 연결하고, 동시에 상기 게이트 배선의 일 끝단에서, 상기 게이트 배선을 연장 구성하여 게이트 패드와 연결하는 것을 특징으로 한다.

[0134] 상기 제 3 실시예의 다른 특징은 상기 게이트 전극의 하부에 대응한 부분에 대해서만 유기 반도체층을 형성함으로 인해, 상기 유기 반도체층을 통한 이웃한 화소 영역 간의 전류 통전에 의한 특성이 저하되지 않는 것을 특징으로 한다.

[0135] 이하, 첨부한 도면을 참조하여 본 발명의 제 3 실시예에 따른 유기 박막트랜지스터 액정표시장치에 대해 설명한다.

[0136] 도 13은 본 발명의 제 3 실시예에 따른 유기 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도이다.

[0137] 도시한 바와 같이, 기판(300) 상에 일 방향으로 게이트 배선(320)을 구성하고, 상기 게이트 배선(320)의 일 끝단에 전기적으로 절연된 아일랜드 형상의 게이트 패드(340)를 구성한다.

[0138] 여기서, 상기 게이트 패드(340)는 게이트 패드 콘택홀(CH7)을 통해 게이트 배선(320)과 전기적으로 연결된다.

- [0139] 상기 게이트 배선(320)과 수직하게 교차하여 화소 영역(P)을 정의하며, 일 끝단에 데이터 패드(350)를 갖는 데이터 배선(330)을 구성한다.
- [0140] 상기 게이트 패드(340)와 데이터 패드(350)의 상부에는 각각 투명한 게이트 패드 전극(342)과 데이터 패드 전극(352)을 구성한다.
- [0141] 상기 게이트 배선(320)과 데이터 배선(330)의 교차 지점에 상기 데이터 배선(330)과 연결된 소스 전극(332)과, 상기 소스 전극(332)과 이격된 드레인 전극(334)과, 상기 소스 및 드레인 전극(332, 334)을 이격한 사이 구간에서 상기 소스 및 드레인 전극(332, 334)의 일부와 중첩하여 구성한 유기 반도체층(미도시)과, 상기 유기 반도체층 상의 아일랜드 형상의 게이트 전극(336)을 포함하는 유기 박막트랜지스터(OT)를 구성한다.
- [0142] 여기서, 상기 아일랜드 형상의 게이트 전극(336)은 게이트 콘택홀(CH6)을 통해 상기 게이트 배선(320)과 전기적으로 연결된다.
- [0143] 또한, 상기 드레인 전극(334)의 일부와 직접 연결되며, 상기 게이트 배선(320), 데이터 배선(330) 그리고 유기 박막트랜지스터(OT)와 일정 간격 이격하여 화소 전극(370)을 구성한다.
- [0144] 이때, 상기 화소 영역(P)의 상부 끝단에 위치한 화소 전극(370)은 그 상부의 게이트 배선(320)과 보호막(미도시)이 개재된 상태에서 중첩하여 구성할 수 있다.
- [0145] 이하, 첨부한 도면을 참조하여 제 3 실시예에 따른 유기 박막트랜지스터 액정표시장치의 제조방법에 대해 설명한다.
- [0146] 도 14a 내지 도 14f와, 도 15a 내지 도 15f와, 도 16a 내지 도 16f는 도 13의 XIV-XIV, XV-XV, XVI-XVI선을 따라 절단한 각각의 공정 단면도이다.
- [0147] 도 14a 내지 도 16a에 도시한 바와 같이, 기판(300) 상에 스위칭 영역(S), 화소 영역(P), 스토리지 영역(SA), 게이트 영역(G)과 데이터 영역(D)을 정의하는 단계를 진행한다.
- [0148] 이때, 상기 스토리지 영역(SA)은 단위 화소 영역(P) 중 상부에 위치한 게이트 배선(도 13의 320)의 일부를 정의하는 영역이다.
- [0149] 상기 다수의 영역(S, P, SA, G, D)을 정의한 기판(300) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 금(Au) 등과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착한다.
- [0150] 이어, 감광층 도포공정, 노광공정, 현상공정, 식각공정 및 감광층 제거공정을 포함하는 사진식각(photo lithography) 공정으로 패터닝하여, 상기 스위칭 영역(S)에 대응하여 소스 전극(332)과 드레인 전극(334)을 형성하고, 상기 게이트 영역(G)에 대응하여 전기적으로 절연된 아일랜드 형상의 게이트 패드(340)를 형성하며, 상기 데이터 영역(D)에 대응하여 일 끝단에 데이터 패드(350)를 갖는 데이터 배선(도 13의 330)을 형성한다.
- [0151] 따라서, 본 실시예에서는 소스 및 드레인 금속층(미도시)을 패터닝할 때, 게이트 영역(G)에 대응하여 전기적으로 절연된 아일랜드 형상의 게이트 패드(340)를 형성하게 되며, 이후 형성될 게이트 배선(도 13의 320)과는 서로 다른 층에서 형성하게 된다.
- [0152] 도 14b 내지 도 16b에 도시한 바와 같이, 상기 소스 및 드레인 전극(332, 334)을 형성한 기판(300) 상에 인듐-틴-옥사이드(ITO) 혹은 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 이를 패터닝하여, 상기 드레인 전극(334)의 일부와 직접 접촉하면서 화소 영역(P)에 위치하도록 화소 전극(370)을 형성하고, 상기 게이트 영역(G)에 대응하여 상기 게이트 패드(340)를 덮는 게이트 패드 전극(342)을 형성하며, 상기 데이터 영역(D)에 대응하여 상기 데이터 패드(350)를 덮는 데이터 패드 전극(352)을 형성한다.
- [0153] 이때, 상기 게이트 패드 전극(342)과 데이터 패드 전극(352)은 화소 전극(370)과 동일층에서 동일물질로 형성한다.
- [0154] 여기서, 상기 화소 전극(370)의 일부를 스토리지 영역(SA)으로 연장 구성함으로써, 제 1 스토리지 전극으로 활용할 수 있도록 한다.
- [0155] 도 14c 내지 도 16c에 도시한 바와 같이, 상기 화소 전극(370)을 형성한 기판(300) 전면에 저분자 유기 물질 그룹 중 선택된 하나로 유기 반도체층(345a)을 형성한다.

- [0156] 이어, 상기 유기 반도체층(345a) 상에 연속하여 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질로 게이트 절연층(355a)을 형성한다.
- [0157] 이때, 상기 유기 반도체층(345a)은 스핀 코팅법으로 형성할 수 있으며, 평탄하게 형성된다.
- [0158] 이어, 상기 유기 반도체층(345a)과 게이트 절연층(355a)이 형성된 기판(300) 상에 크롬(Cr), 금(Au), 몰리브덴(Mo) 또는 알루미늄 합금(AlNd)과 같은 도전성 금속 그룹 중 선택된 하나를 증착하여 제 1 게이트 금속층(375)을 형성한다.
- [0159] 도 14d 내지 도 16d에 도시한 바와 같이, 상기 유기 반도체층(345a), 게이트 절연층(355a)과 제 1 게이트 금속층(375)을 일괄적으로 패터닝하여, 상기 스위칭 영역(S)에 대응하여 유기 반도체층(345), 게이트 절연막(355)과 게이트 전극(336)을 형성한다.
- [0160] 이때, 상기 게이트 전극(336)과, 유기 반도체층(345)과, 게이트 절연막(355)은 같은 패턴을 갖고 아일랜드 형상으로 형성된다.
- [0161] 따라서, 본 발명의 제 3 실시예에서는 전기적으로 절연된 아일랜드 형상으로 게이트 전극(336)을 형성하고, 후속 공정에서 게이트 배선(도 13의 320)을 형성하게 된다.
- [0162] 여기서, 제 1 실시예에서는 게이트 배선(도 6의 120) 하부에 구성된 유기 반도체층과, 이에 인접한 화소 영역에 위치한 배선과의 신호 왜곡으로 인한 신호 지연 등의 문제가 발생할 수 있으나, 전술한 바와 같이, 상기 게이트 전극(336)과 게이트 배선(도 13의 320)을 서로 다른층에 구성하게 되면, 상기 게이트 배선(도 13의 320) 하부에 유기 반도체층(345)이 존재하지 않도록 형성하는 것이 가능하여 신호지연 등을 방지할 수 있다.
- [0163] 도 14e 내지 도 16e에 도시한 바와 같이, 상기 아일랜드 형상의 게이트 전극(336)을 형성한 기판(300) 상에 유기절연물질 그룹 중에서 선택된 하나로 보호막(360)을 형성한다.
- [0164] 이어, 상기 보호막(360)을 패터닝하여, 상기 게이트 전극(336)을 노출시키는 게이트 콘택홀(CH6)과, 게이트 패드 전극(342)을 노출시키는 게이트 패드 콘택홀(CH7)과, 데이터 패드 전극(152)을 노출시키는 데이터 패드 콘택홀(CH8)과, 화소 전극(170)을 노출시키는 화소 오픈홀(OH3)을 형성한다.
- [0165] 도 14f 내지 도 16f에 도시한 바와 같이, 상기 보호막(360) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 금(Au) 등과 같은 도전성 금속 그룹 중 선택된 하나를 증착하여 제 2 게이트 금속층(미도시)을 형성하고 이를 패터닝하여, 일 방향으로 게이트 배선(320)을 형성한다.
- [0166] 이때, 상기 게이트 전극(336)은 게이트 콘택홀(CH6)을 통해 게이트 배선(320)과 연결되며, 상기 게이트 배선(320)은 일 끝단에서 이를 연장 구성하여 상기 게이트 패드 콘택홀(CH7)을 통해 상기 게이트 패드 전극(342)과 연결된다.
- [0167] 따라서, 본 발명의 제 3 실시예에 따른 유기 박막트랜지스터 액정표시장치를 제작할 수 있다.
- [0168] 또한, 전술한 제 2 실시예와 마찬가지로, 상기 제 3 실시예에서 게이트 패드를 투명 전극으로 구성할 수 있다.
- [0169] 따라서, 본 발명에서는 게이트 패드와 게이트 구동부를 접촉시키기 위한 탭 실장 공정을 진행하는데 있어서, 게이트 패드부를 이중층 또는 단일층으로 구성하여 그 최상부를 투명한 도전성 금속층으로 구성함으로써, 오정렬(misalignment)로 인한 금속 뜨김이 발생하지 않게 되며, 재현성이 가능하게 된다.
- [0170] 또한, 상기 게이트 전극과 게이트 배선을 서로 다른층에 구성함으로써, 게이트 배선 하부로 유기 반도체층이 형성되지 않음으로써, 신호 지연 등의 문제를 방지할 수 있게 된다.

발명의 효과

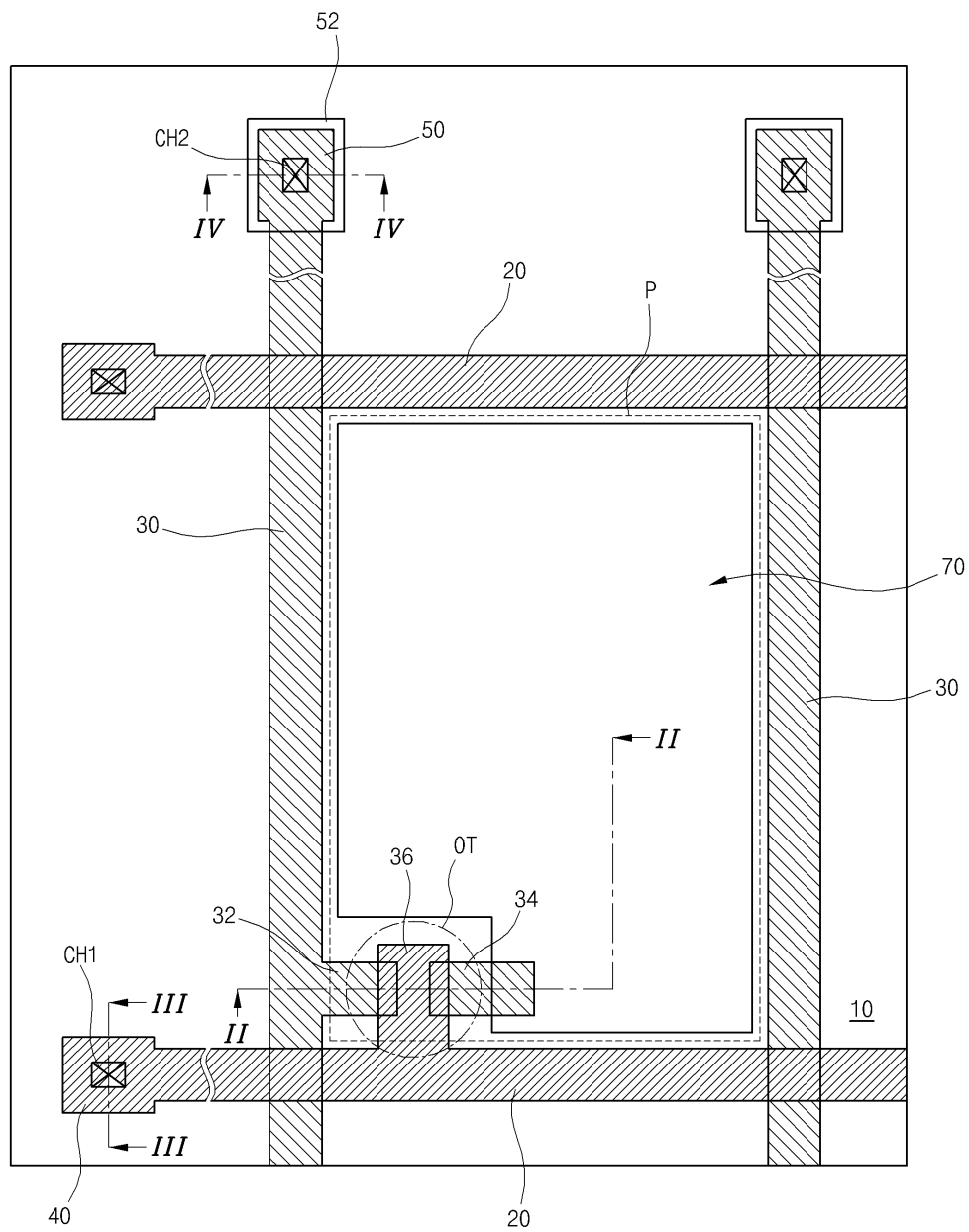
- [0171] 본 발명에 따른 탭 게이트 방식의 유기 박막트랜지스터 액정표시장치는 게이트 배선의 일 끝단에 위치한 게이트 패드부를 불투명한 도전성 금속층과 투명한 도전성 금속층으로 이루어진 이중층으로 형성하거나, 또는 투명한 도전성 금속층만으로 이루어진 단일층으로 형성함으로써, 탭(Tape Automated Bonding: TAB) 실장 공정에서 발생했던 패드부 금속 뜨김이나 부식(corrosion)과 같은 문제점 등을 방지할 수 있으며, 오정렬(misalignment)이 발생하더라도 재현성이 가능하여 수율을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

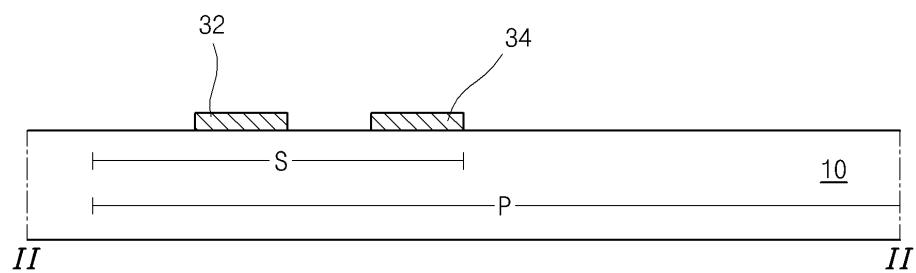
[0001]	도 1은 일반적인 유기 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도.
[0002]	도 2a 내지 도 2f는 도 1의 II-II선을 따라 절단한 공정 단면도.
[0003]	도 3a 내지 도 3f는 도 1의 III-III선을 따라 절단한 공정 단면도.
[0004]	도 4a 내지 도 4f는 도 1의 IV-IV선을 따라 절단한 공정 단면도.
[0005]	도 5는 본 발명에 따른 유기 박막트랜지스터 액정표시장치를 나타낸 평면도.
[0006]	도 6은 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도.
[0007]	도 7a 내지 도 7f는 도 6의 VII-VII선을 따라 절단한 공정 단면도.
[0008]	도 8a 내지 도 8f는 도 6의 VIII-VIII선을 따라 절단한 공정 단면도.
[0009]	도 9a 내지 도 9f는 도 6의 IX-IX선을 따라 절단한 공정 단면도.
[0010]	도 10a와 도 10b는 도 6의 VII-VII선을 따라 절단한 공정 단면도.
[0011]	도 11a와 도 11b는 도 6의 VIII-VIII선을 따라 절단한 공정 단면도.
[0012]	도 12a와 도 12b는 도 6의 IX-IX선을 따라 절단한 공정 단면도.
[0013]	도 13은 본 발명의 제 3 실시예에 따른 유기 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도.
[0014]	도 14a 내지 도 14f는 도 13의 XIV-XIV선을 따라 절단한 공정 단면도.
[0015]	도 15a 내지 도 15f는 도 13의 XV-XV선을 따라 절단한 공정 단면도.
[0016]	도 16a 내지 도 16f는 도 13의 XVI-XVI선을 따라 절단한 공정 단면도.
[0017]	
[0018]	* 도면의 주요부분에 대한 부호의 설명*
[0019]	100 : 기판
[0020]	120 : 게이트 배선
[0021]	130 : 데이터 배선
[0022]	132 : 소스 전극
[0023]	134 : 드레인 전극
[0024]	136 : 게이트 전극
[0025]	140 : 게이트 패드
[0026]	142 : 게이트 패드 전극
[0027]	150 : 데이터 패드
[0028]	152 : 데이터 패드 전극
[0029]	165 : 막대 형상의 금속층
[0030]	170 : 화소 전극
[0031]	OT : 유기 박막트랜지스터

도면

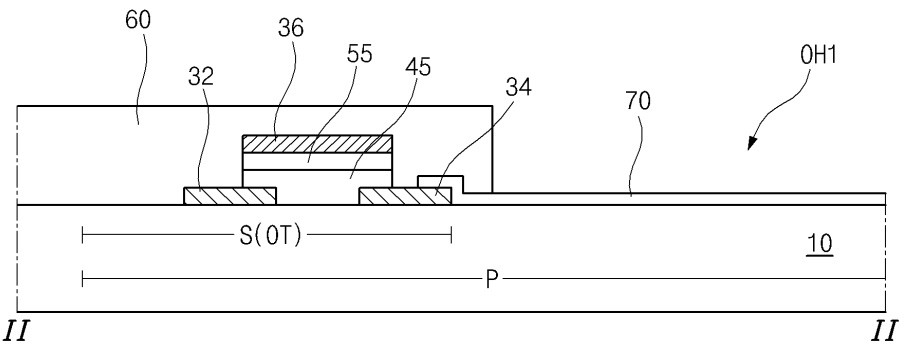
도면1



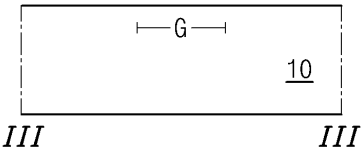
도면2a



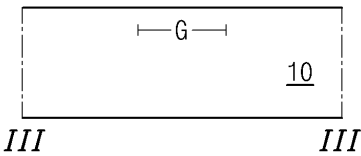
도면2f



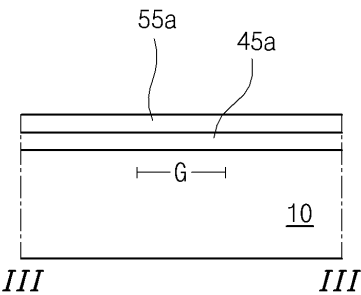
도면3a



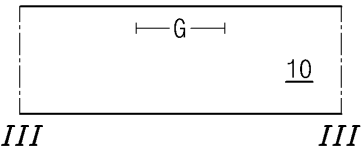
도면3b



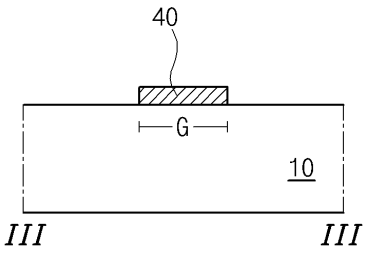
도면3c



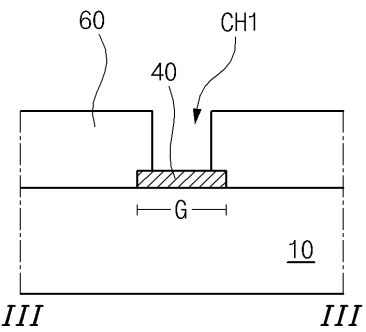
도면3d



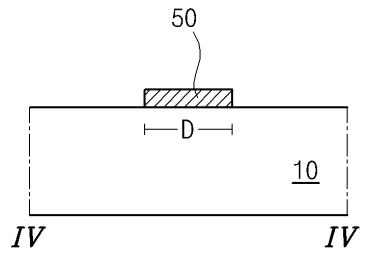
도면3e



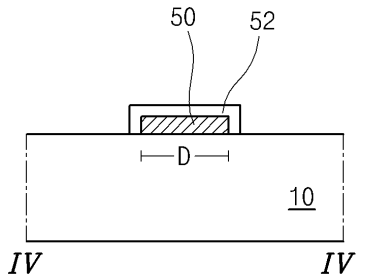
도면3f



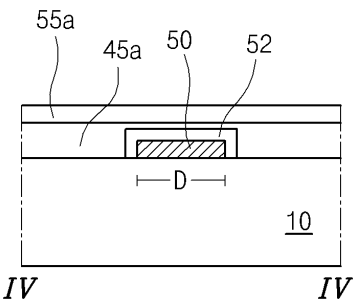
도면4a



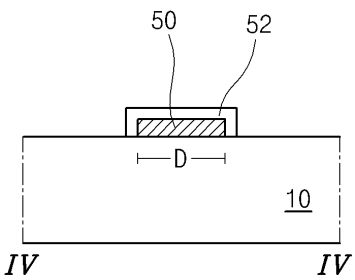
도면4b



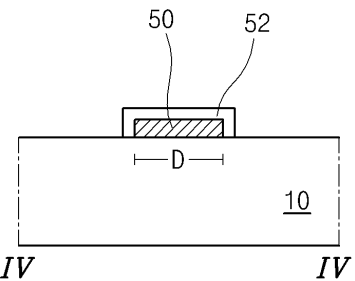
도면4c



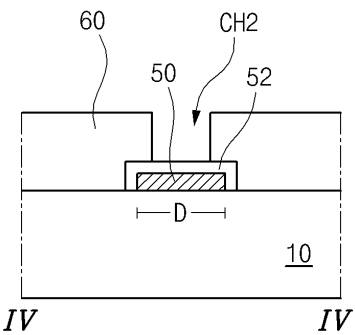
도면4d



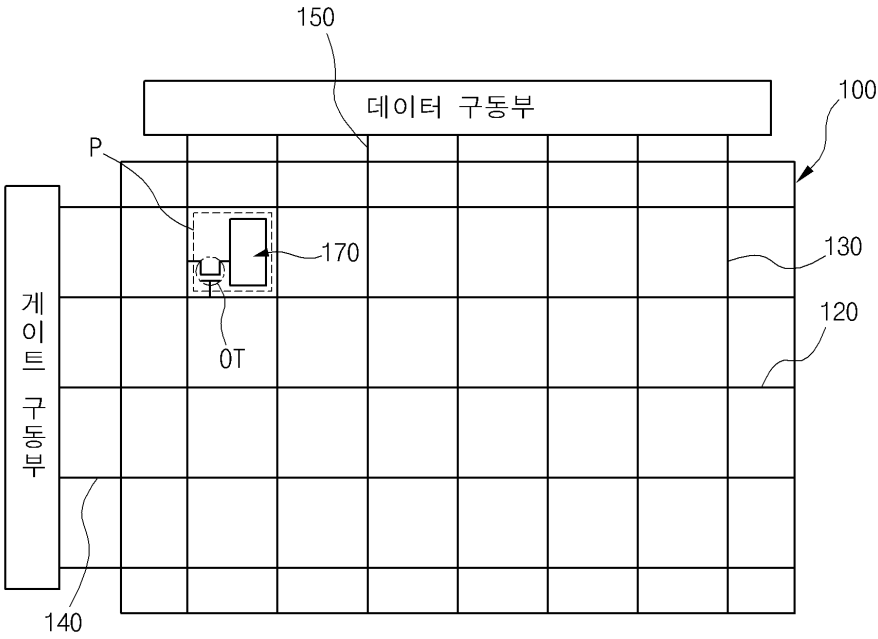
도면4e



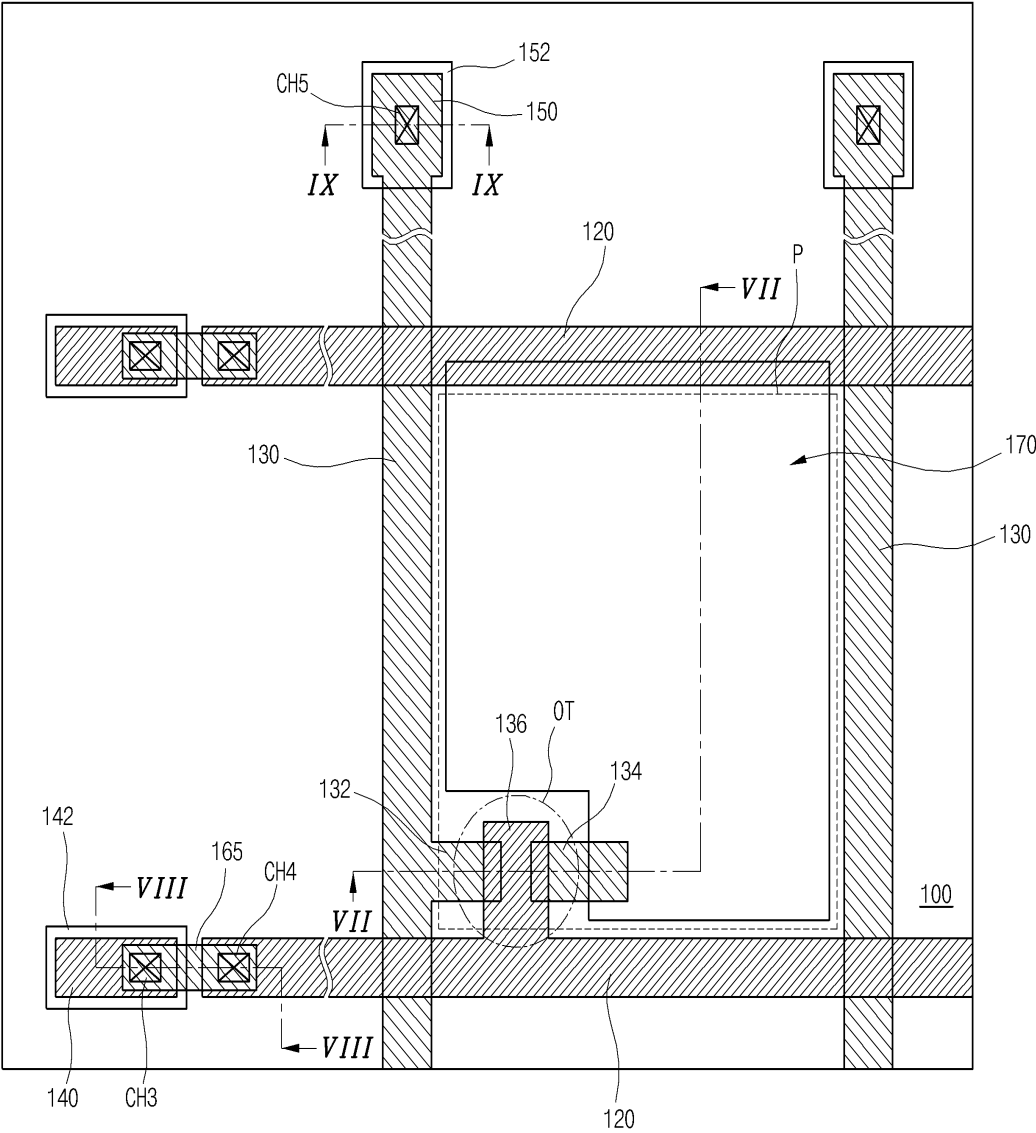
도면4f



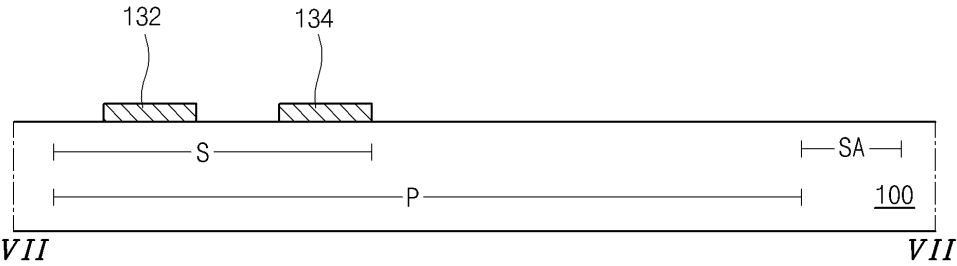
도면5



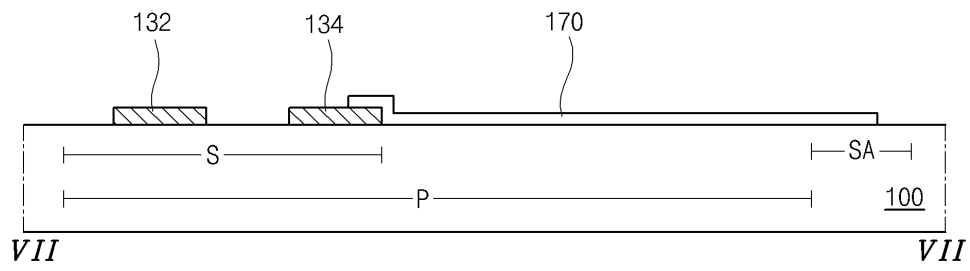
도면6



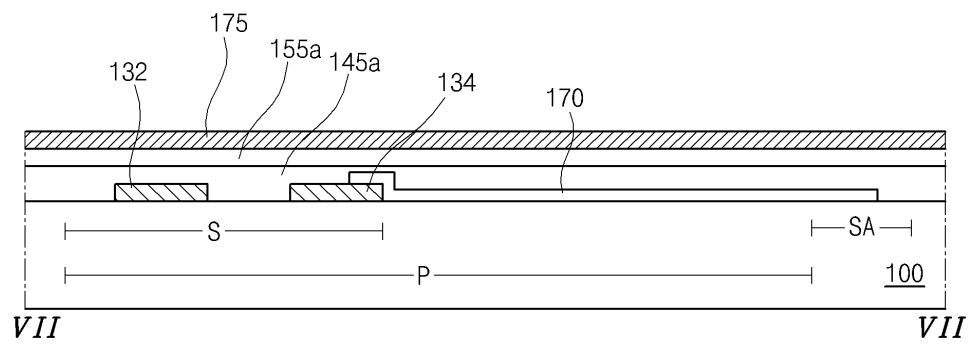
도면7a



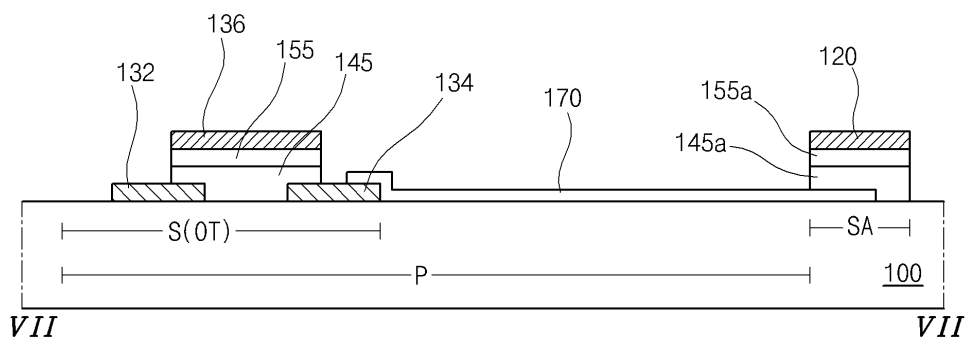
도면7b



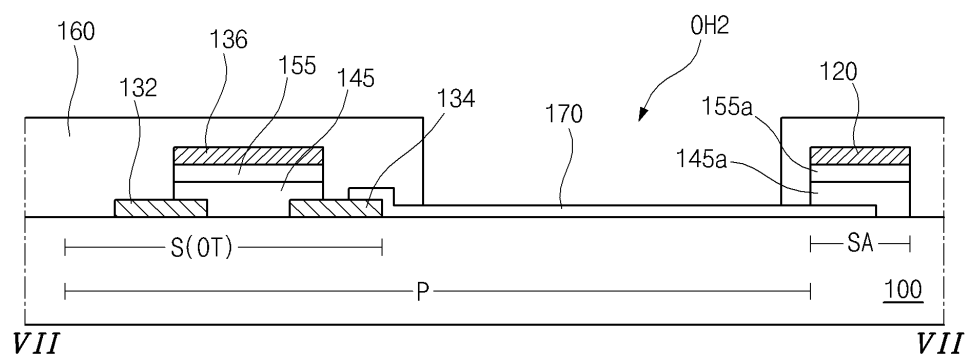
도면7c



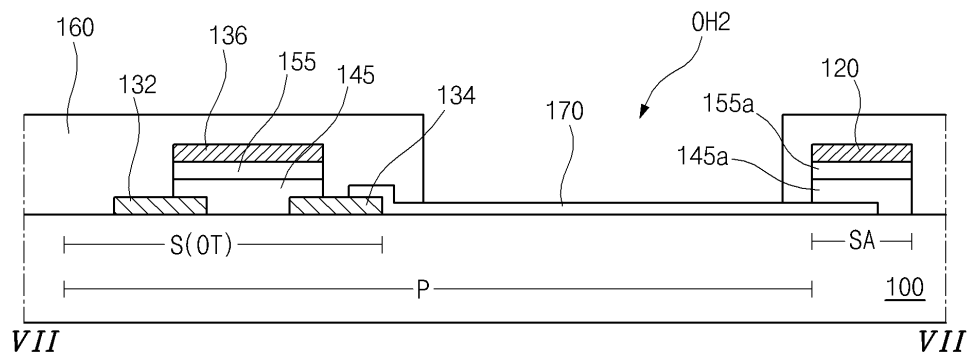
도면7d



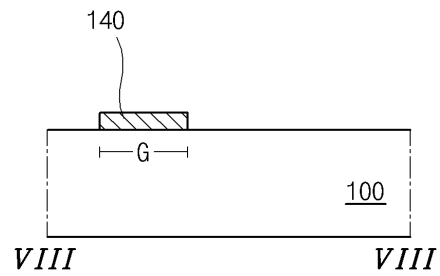
도면7e



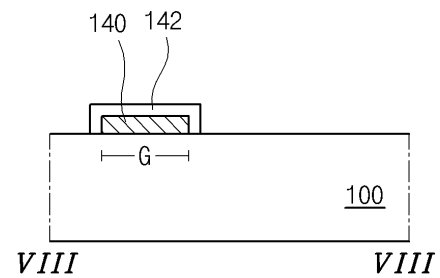
도면7f



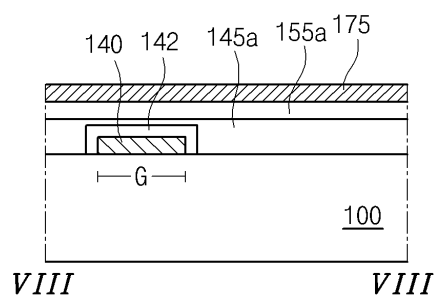
도면8a



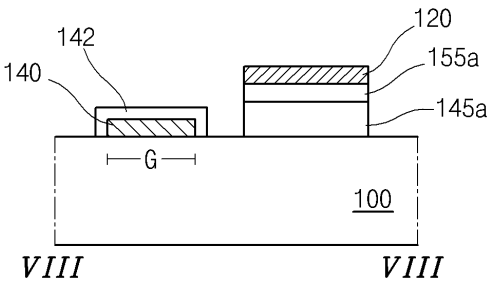
도면 8b



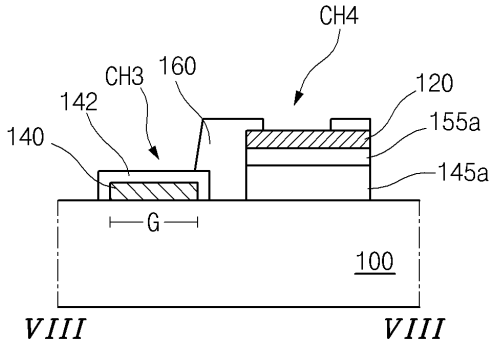
도면8c



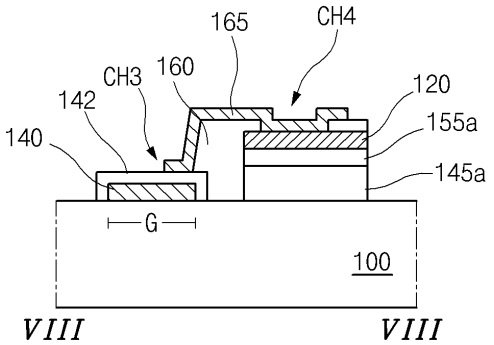
도면8d



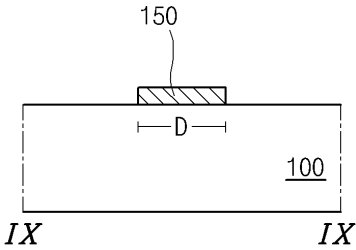
도면8e



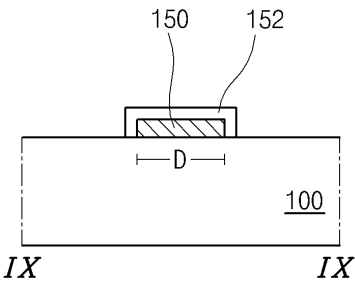
도면8f



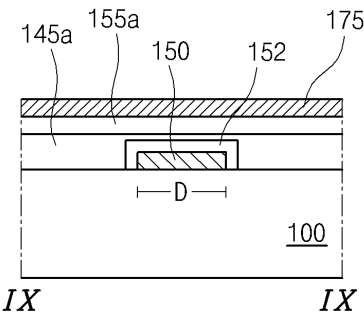
도면9a



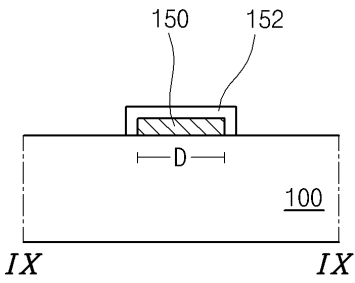
도면9b



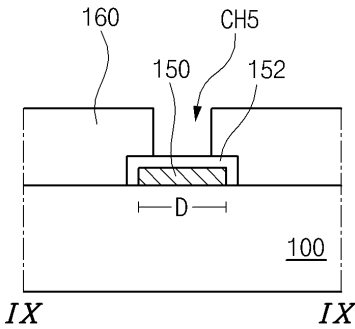
도면9c



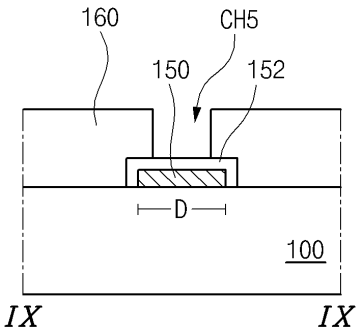
도면9d



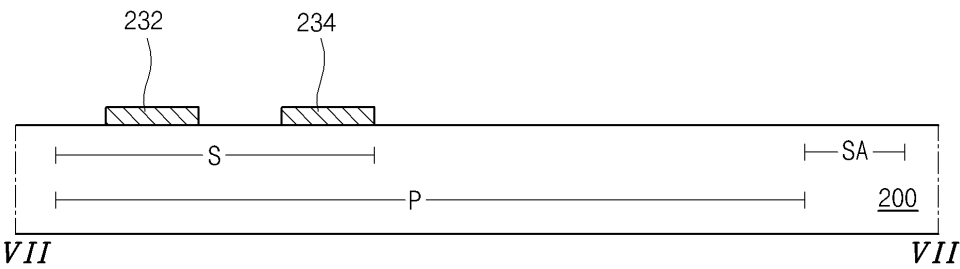
도면9e



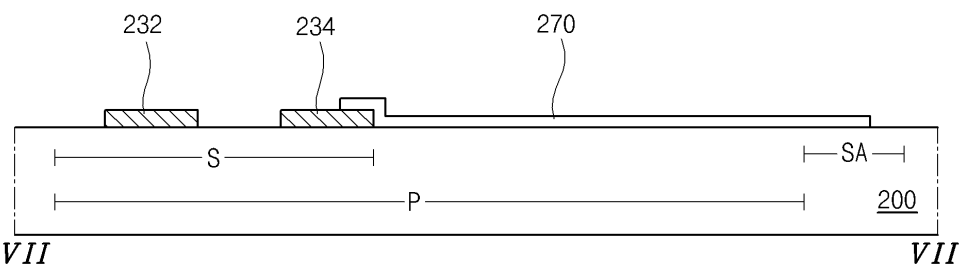
도면9f



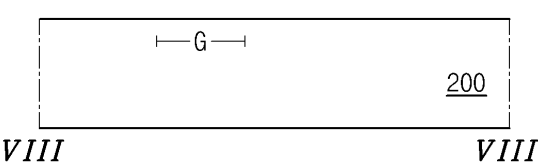
도면10a



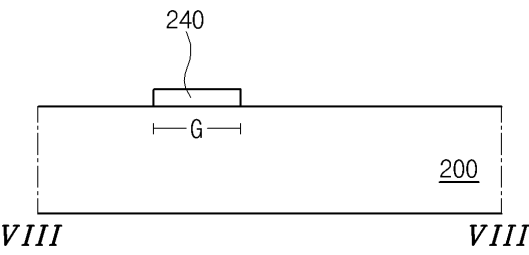
도면10b



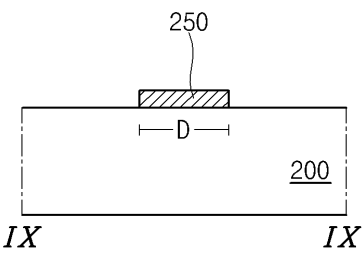
도면11a



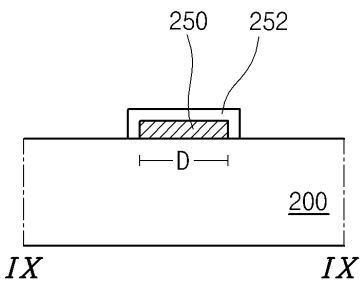
도면11b



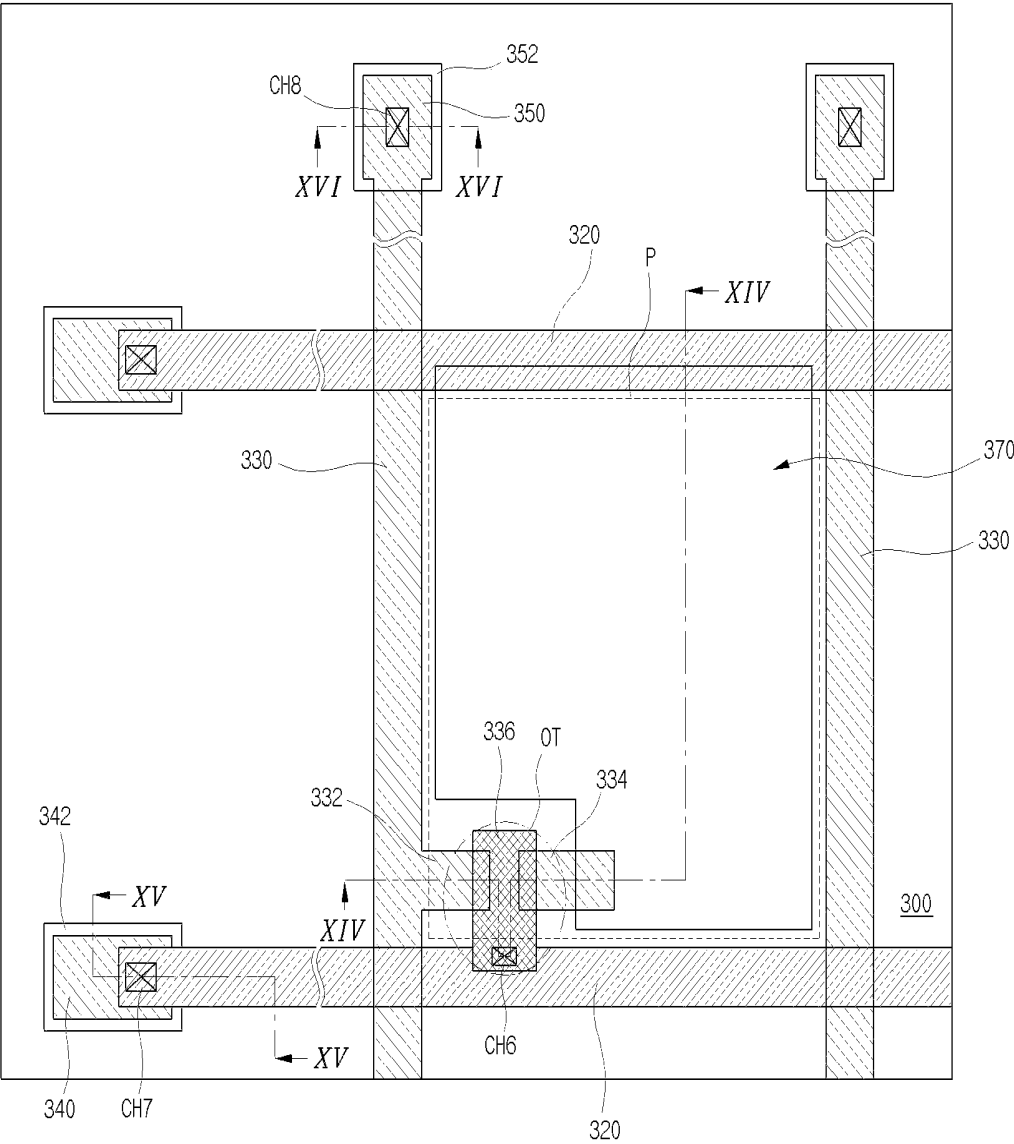
도면12a



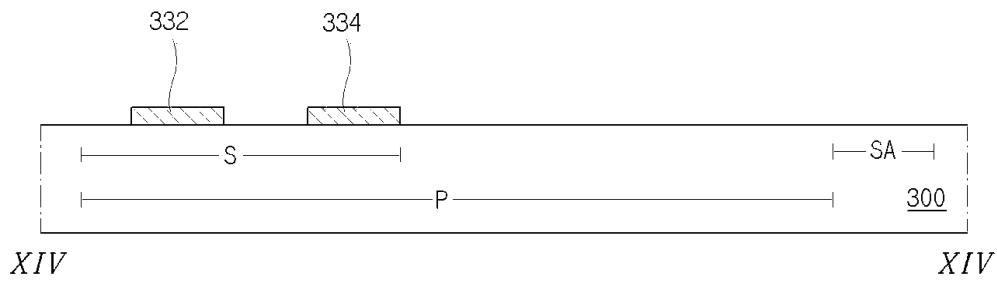
도면12b



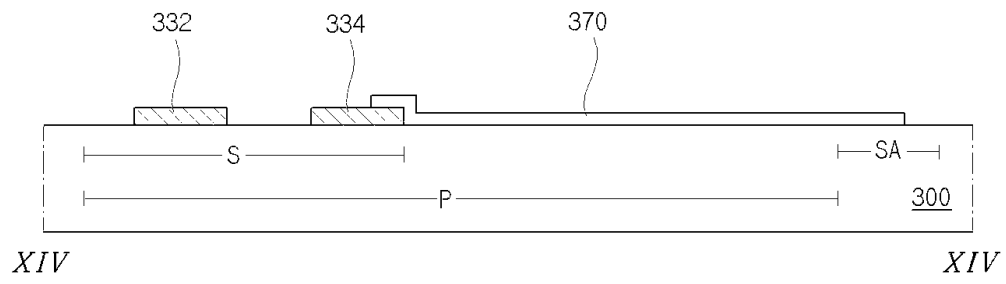
도면13



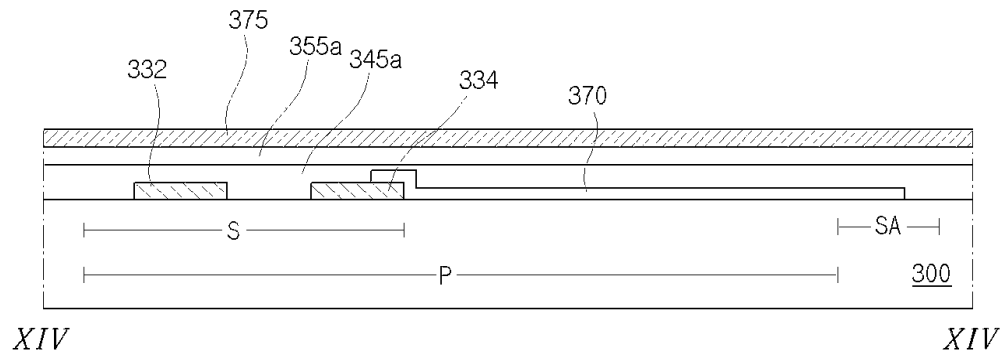
도면14a



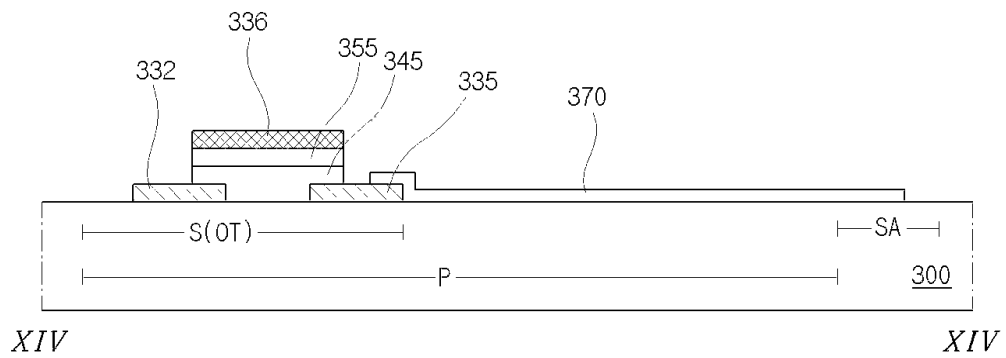
도면14b



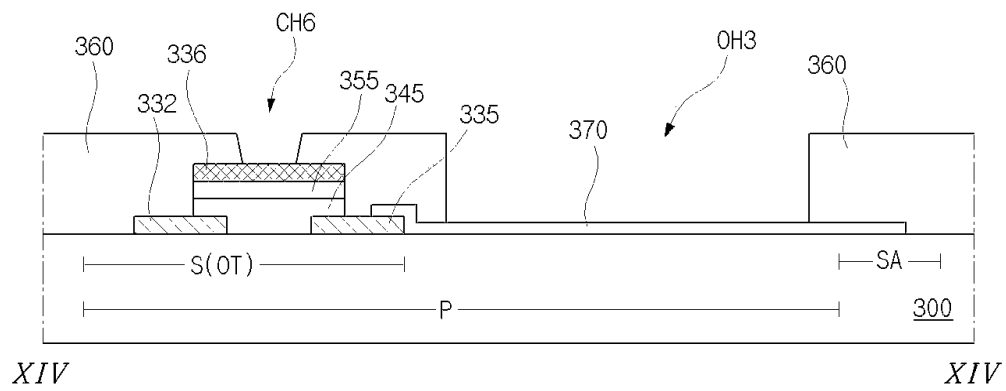
도면14c



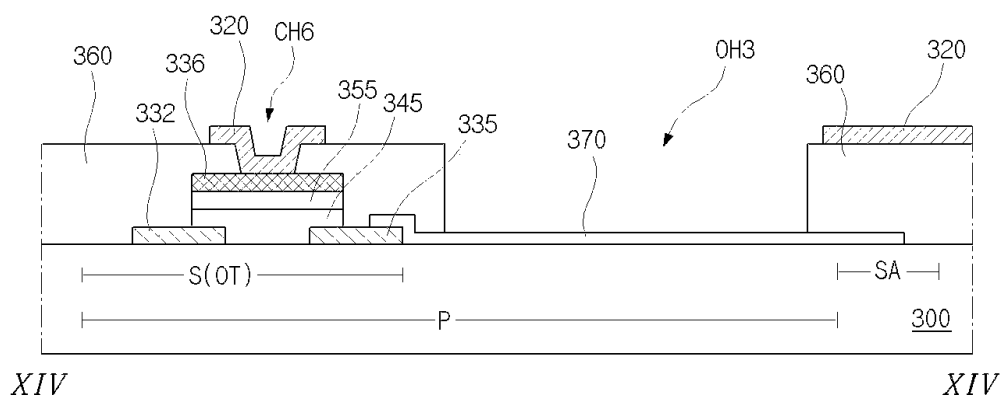
도면14d



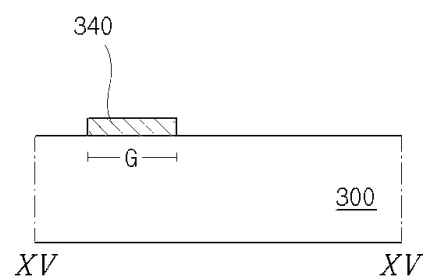
도면14e



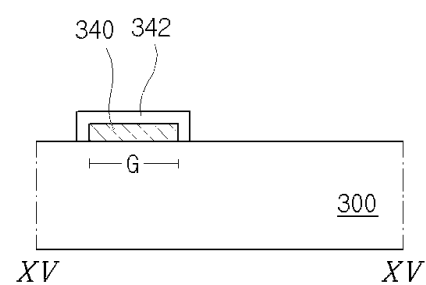
도면14f



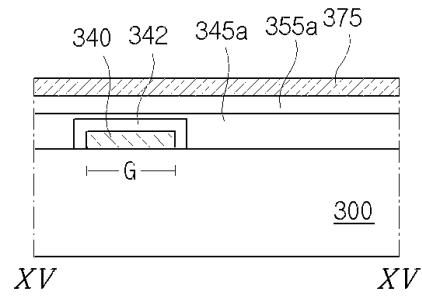
도면15a



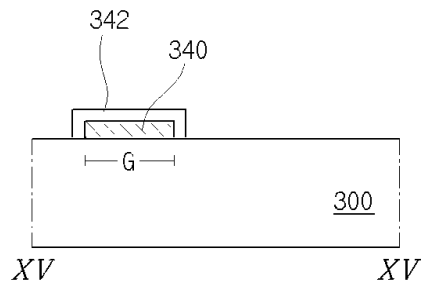
도면15b



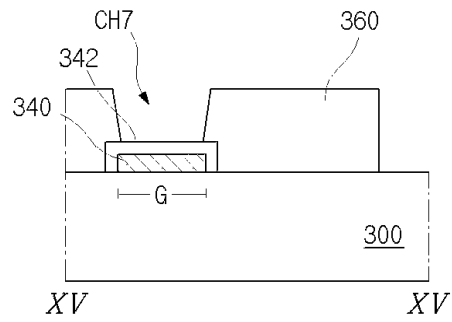
도면15c



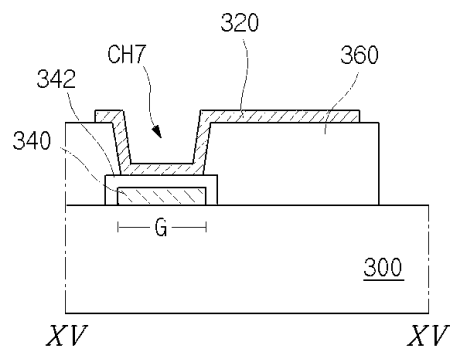
도면15d



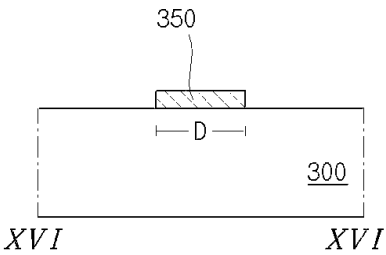
도면15e



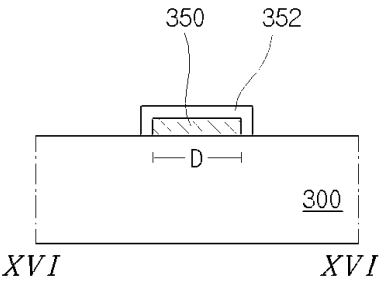
도면15f



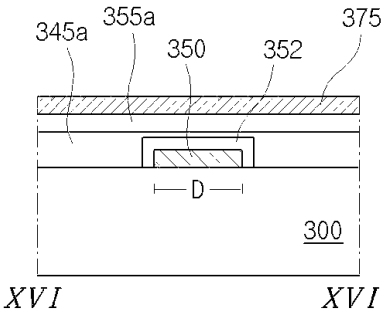
도면16a



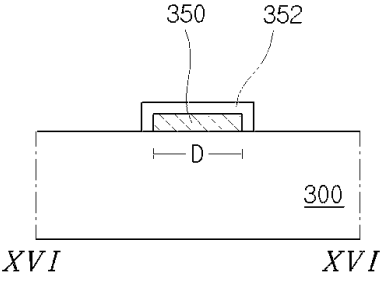
도면16b



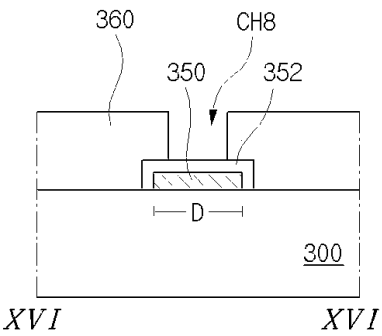
도면16c



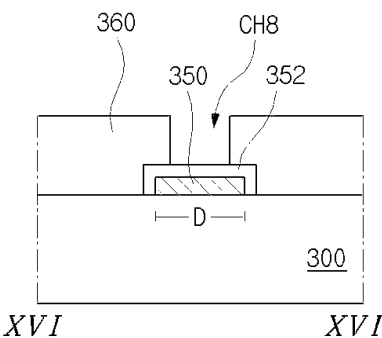
도면16d



도면16e



도면16f



专利名称(译)	标题：有机薄膜晶体管液晶显示装置及其制造方法		
公开(公告)号	KR101256544B1	公开(公告)日	2013-04-19
申请号	KR1020060080558	申请日	2006-08-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI NACK BONG		
发明人	CHOI,NACK BONG		
IPC分类号	G02F1/136		
CPC分类号	H01L51/0541 H01L27/283 H01L51/0036 H01L2924/0002		
其他公开文献	KR1020080018442A		
外部链接	Espacenet		

摘要(译)

一种用于有机薄膜晶体管液晶显示装置的阵列基板，包括基板；基板上的数据线；第一栅极线与数据线交叉以限定像素区域；有机薄膜晶体管，其电连接到第一栅极线和数据线，有机薄膜晶体管包括源极和漏极，源极和漏极上的有机半导体层，有机半导体层上的栅极；像素区域中的像素电极并连接到漏电极；栅极焊盘端子，电连接到第一栅极线并由透明导电材料形成；数据焊盘端子，电连接到数据线并由透明导电材料形成；以及覆盖有机薄膜晶体管并暴露像素电极，栅极焊盘端子和数据焊盘端子的钝化层。

