



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월25일
(11) 등록번호 10-1023731
(24) 등록일자 2011년03월14일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2003-0076806

(22) 출원일자 2003년10월31일

심사청구일자 2008년10월01일

(65) 공개번호 10-2005-0041587

(43) 공개일자 2005년05월04일

(56) 선행기술조사문헌

KR1020020011573 A*

KR1020020046621 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

백상윤

서울특별시서초구방배본동삼호아파트7동402호

홍성진

서울특별시관악구봉천3동관악현대아파트124동1501호

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 6 항

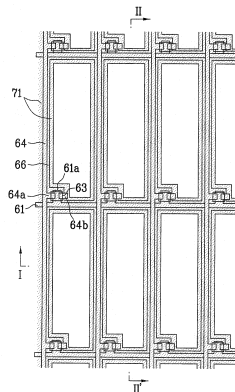
심사관 : 김효욱

(54) 액정표시장치

(57) 요약

개구영역이 블랙 매트릭스층에 의해서만 정의되도록 하여 각 개구영역별로 휘도차가 발생되지 않게 함과 동시에 스티칭 얼룩이 발생하는 것을 방지하기 위해 알맞은 액정표시장치를 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는 대향하는 제 1 기판 및 제 2 기판과; 상기 제 1 기판 상에 중첩으로 형성되어 화소영역을 정의하는 복수의 게이트라인 및 데이터라인과; 상기 게이트라인 및 데이터라인이 교차하는 부분에 형성된 박막 트랜지스터와; 상기 화소영역 내에 형성된 화소전극과; 상기 제 2 기판상에 상기 화소영역 내부까지 들어서 (확장시켜) 형성되어 개구영역을 정의하는 블랙 매트릭스층과; 상기 제 2 기판상에 형성된 컬러 필터층과; 상기 제 1 기판과 제 2 기판 사이에 형성된 액정층을 포함함을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과;

상기 제 1 기관상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인과 평행한 방향으로 배열된 공통배선과;

상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와;

상기 공통배선에 연결되어 상기 데이터라인과 동일 방향으로 일정 간격을 갖고 복수개 형성된 공통전극과;

상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극과;

상기 제 2 기관상에 형성되어 개구영역을 정의하며, 상기 공통배선, 상기 데이터라인, 상기 게이트라인 및 상기 데이터라인에 인접한 최외곽의 공통전극보다 화소영역 내부로 확장 형성되어 있는 블랙 매트릭스층과;

상기 제 2 기관상에 형성된 컬러 필터층을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 5

삭제

청구항 6

제 4 항에 있어서,

상/하부의 이웃하는 화소영역은 상기 게이트 라인을 공통으로 사용하며, 상기 상/하부의 이웃하는 화소영역의 각각의 박막 트랜지스터는 게이트 전극과 소오스 전극 및 액티브층을 공통으로 사용함을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 상/하부의 이웃하는 화소영역의 2개의 박막 트랜지스터는,

상기 게이트 라인의 일영역에 정의된 게이트 전극과,

상기 게이트 전극을 포함한 상기 제 1 기관 전면에서 형성된 게이트 절연막과,

상기 데이터 라인 하부 및 상기 게이트 라인의 일영역 상부에 형성되는 액티브층과,

상기 데이터 라인으로부터 돌출되어 상,하부로 제 1, 제 2 홈이 형성된 소오스 전극과,

상기 소오스 전극과 일정한 간격을 갖고 상기 제 1, 제 2 홈내에서 각 화소영역으로 연장 형성된 제 1, 제 2 드레인 전극으로 구성됨을 특징으로 하는 액정표시장치.

청구항 8

제 4 항에 있어서,

상기 공통전극과 상기 화소전극은 지그재그(zigzag) 형상으로 형성됨을 특징으로 하는 액정표시장치.

청구항 9

제 4 항에 있어서,

상기 공통전극과 상기 화소전극은 직선으로 평행하게 형성되는 것을 더 포함함을 특징으로 하는 액정표시장치.

청구항 10

제 4 항에 있어서,

상기 공통배선, 공통전극은 상기 게이트라인과 동일층상에 형성됨을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 액정표시장치에 대한 것으로, 특히 대형 패널에서 스티칭(stitching) 얼룩에 대한 공정 마진을 확보하여 수율을 향상시키며, 개구영역 차이에 의한 휘도차 문제를 방지하기에 알맞은 액정표시장치에 관한 것이다.
- [0021] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 집중하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- [0022] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- [0023] 이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.
- [0024] 따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.
- [0025] 이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 공간을 갖고 함착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.
- [0026] 여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성되어 있다.
- [0027] 그리고 제 2 유리 기판(컬러필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층과 화상을 구현하기 위한 공통 전극이 형성되어 있다. 물론, 횡전계 방식의 액정표시장치에서는 공통전극이 제 1 유리 기판에 형성되어 있다.
- [0028] 이와 같은 상기 제 1, 제 2 유리 기판은 스페이스(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씨일재에 의해 함착되고 상기 두 기판 사이에 액정이 주입된다.
- [0029] 이때, 액정 주입 방법은 상기 실재에 의해 함착된 두 기판 사이를 진공 상태로 유지하여 액정 용기에 상기 액정

주입구가 잠기도록 하면 삼투압 현상에 의해 액정이 두 기관 사이에 주입된다. 이와 같이 액정이 주입되면 상기 액정 주입구를 밀봉재로 밀봉하게 된다.

- [0030] 한편, 상기와 같이 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- [0031] 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- [0032] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.
- [0033] 이러한 액정은 전기적인 특등분류에 따라 유전율 이방성이 양(+)인 포지티브 액정과 음(-)인 네거티브 액정으로 구분될 수 있으며, 유전율 이방성이 양인 액정분자는 전기장이 인가되는 방향으로 액정분자의 장축이 평행하게 배열하고, 유전율 이방성이 음인 액정분자는 전기장이 인가되는 방향과 액정분자의 장축이 수직하게 배열한다.
- [0034] 도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도이다.
- [0035] 일반적인 TN 액정표시장치는 도 1에 도시한 바와 같이, 일정 공간을 갖고 합착된 하부기관(1) 및 상부기관(2)과, 상기 하부기관(1)과 상부기관(2) 사이에 주입된 액정층(3)으로 구성되어 있다.
- [0036] 보다 구체적으로 설명하면, 상기 하부기관(1)은 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(4)이 배열되고, 상기 게이트 라인(4)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(5)이 배열되며, 상기 게이트 라인(4)과 데이터 라인(5)이 교차하는 각 화소영역(P)에는 화소전극(6)이 형성되고, 상기 각 게이트 라인(4)과 데이터 라인(5)이 교차하는 부분에 박막 트랜지스터(T)가 형성되어 있다.
- [0037] 그리고 상기 상부기관(2)은 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(7)과, 컬러색상을 표현하기 위한 R,G,B 컬러 필터층(8)과, 화상을 구현하기 위한 공통전극(9)이 형성되어 있다.
- [0038] 여기서, 상기 박막 트랜지스터(T)는 상기 게이트 라인(4)으로부터 돌출된 게이트 전극과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과 상기 게이트 전극 상층의 게이트 절연막위에 형성된 액티브층과, 상기 데이터 라인(5)으로부터 돌출된 소오스 전극과, 상기 소오스 전극에 대향되도록 드레인 전극을 구비하여 구성된다.
- [0039] 상기 화소전극(6)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.
- [0040] 전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(6)상에 위치한 액정층(3)이 상기 박막 트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층(3)의 배향 정도에 따라 액정층(3)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.
- [0041] 전술한 바와 같은 액정패널은 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하며, 상부기관(2)의 공통전극(9)이 접지역활을 하게 되어 정전기로 인한 액정 셀의 파괴를 방지할 수 있다.
- [0042] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점을 갖고 있다.
- [0043] 따라서, 상기의 단점을 극복하기 위해 새로운 기술 즉, IPS의 액정표시장치가 제안되고 있다.
- [0044] 도 2는 일반적인 IPS의 액정표시장치를 나타낸 개략적인 단면도이다.
- [0045] 도 2에 도시한 바와 같이, 하부기관(11)상에 화소전극(12)과 공통전극(13)이 동일 평면상에 형성되어 있다.
- [0046] 그리고 상기 하부기관(11)과 일정 공간을 갖고 합착된 상부기관(15) 사이에 형성된 액정층(14)은 상기 하부기관(11)상의 상기 화소전극(12)과 공통전극(13) 사이의 횡전계에 의해 작동한다.
- [0047] 도 3a 내지 도 3b는 IPS 모드에서 전압 온(on)/오프(off)시 액정의 상 변이 모습을 나타내는 도면이다.
- [0048] 즉, 도 3a는 화소전극(12) 또는 공통전극(13)에 횡전계가 인가되지 않은 오프(off)상태로써, 액정층(14)의 상 변이가 일어나지 않음을 알 수 있다. 예를 들어 화소전극(12)과 공통전극(13)의 수평 방향에서 기본적으로 45° 틀어져있다.
- [0049] 도 3b는 상기 화소전극(12)과 공통전극(13)에 횡전계가 인가된 온(on) 상태로써, 액정층(14)의 상 변이가 일어

나고, 도 3a의 오프 상태와 비교해서 45° 정도로 뒤틀림 각을 가지고, 화소전극(12)과 공통전극(13)의 수평방향과 액정의 비틀림 방향이 일치함을 알 수 있다.

- [0050] 상술한 바와 같이 IPS의 액정표시장치는 동일 평면상에 화소전극(12)과 공통전극(13)이 모두 존재한다.
- [0051] 상기 횡전계 방식의 장점으로서는 광시야각이 가능하다는 것이다.
- [0052] 즉, 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 70° 방향에서 가시 할 수 있다.
- [0053] 그리고, 일반적으로 사용되는 액정표시장치에 비해 제작 공정이 간단하고, 시야각에 따른 색의 이동이 적은 장점이 있다.
- [0054] 그러나, 공통전극(13)과 화소전극(12)이 동일 기관상에 존재하기 때문에 빛에 의한 투과율 및 개구율이 저하되는 단점이 있다.
- [0055] 또한, 구동전압에 의한 응답시간을 개선해야 하고, 셀 갭(cell gap)의 정렬오차 마진(misalign margin)이 작기 때문에 상기 셀 갭을 균일하게 해야 하는 단점이 있다.
- [0056] 즉, 횡전계 방식의 액정표시장치는 상기와 같은 장점과 단점이 있으므로 사용자의 사용 용도에 따라 선택해서 사용할 수 있다.
- [0057] 도 4a 및 도 4b는 각각 오프상태와 온 상태일 때 IPS의 액정표시장치의 동작을 나타낸 사시도이다.
- [0058] 도 4a에 도시한 바와 같이, 화소전극(12) 또는 공통전극(13)에 횡전계 전압이 인가되지 않았을 경우에는 액정분자 배열방향(16)은 초기 배향막(도시되지 않음)의 배열 방향과 동일한 방향으로 배열된다.
- [0059] 그리고 도 4b에 도시한 바와 같이, 화소전극(12)과 공통전극(13)에 횡전계 전압이 인가되었을 때 액정분자의 배열방향(16)은 전기장이 인가되는 방향(17)으로 배열함을 알 수 있다.
- [0060] 이하, 첨부된 도면을 참고하여 종래의 액정표시장치에 대하여 설명하기로 한다.
- [0061] 도 5는 종래 기술에 따른 횡전계 방식(IPS)의 액정표시장치의 평면도이다.
- [0062] 종래의 액정표시장치는 도 5에 도시한 바와 같이, 투명한 하부기관(미도시)상에 화소영역을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(21)이 배열되고, 상기 게이트 라인(21)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(23)이 배열된다.
- [0063] 그리고 상기 게이트 라인(21)과 동일 평면상의 화소영역에는 게이트라인(21)과 평행한 방향으로 공통배선(21a)이 형성되어 있고, 상기 공통배선(21a)에 연결되어 데이터라인(23)과 동일 방향으로 일정 간격을 갖고 복수개의 공통전극(21b)이 형성되어 있다.
- [0064] 이때 공통전극(21b)은 지그재그 형상을 하고 있다.
- [0065] 그리고 상기 게이트 라인(21)과 데이터 라인(23)이 교차되어 정의된 각 화소영역에는 복수개의 박막 트랜지스터가 형성된다.
- [0066] 이때 상/하부의 이웃하는 화소영역은 게이트 라인(21)을 공통으로 사용하며, 이웃하는 화소영역의 2개의 박막 트랜지스터는 게이트 전극과 소오스 전극을 공통으로 사용한다.
- [0067] 상기 이웃하는 2개의 박막 트랜지스터는 상기 게이트 라인(21)의 일영역에 정의된 게이트 전극과, 게이트 전극을 포함한 하부기관 전면에 형성된 게이트 절연막(미도시)과, 상기 데이터 라인(23) 하부 및 게이트 라인(21)의 일영역 상부에 형성되는 액티브층(22)과, 상기 데이터 라인(23)으로부터 돌출되어 상,하부로 제 1, 제 2 홈이 형성된 소오스 전극(23a)과, 상기 소오스 전극(23a)과 일정한 간격을 갖고 제 1, 제 2 홈내에서 연장 형성된 제 1, 제 2 드레인 전극(23b,23c)으로 구성된다.
- [0068] 상기에서와 같이 상/하부에 이웃하는 화소영역에 형성된 박막 트랜지스터는 게이트전극과 소오스전극(23a) 및 액티브층(22)을 공통으로 사용한다.
- [0069] 그리고 상기 박막 트랜지스터 상부에는 보호막(미도시)이 형성되어 있고, 상기공통전극(21b)들 사이의 상기 보호막 상에는 복수개의 화소전극(24)이 지그재그(zigzag) 형상으로 형성되어 있다.
- [0070] 이때 상기 화소전극(24)은 상/하부의 제 1, 제 2 드레인전극(23b,23c)에 각각 콘택되어 있다.
- [0071] 이때, 상기 공통전극(21b)과 화소전극(24) 사이에 위치한 액정은 상기 공통전극(21b)과 화소전극(24) 사이에 분

포하는 횡전계에 의해 동일한 방향으로 배열되어 하나의 도메인을 이루며, 횡전계 방식에서는 단일 화소영역에 다수의 멀티도메인을 구성할 수 있으므로 보다 넓은 시야각을 가지는 액정표시장치의 제작이 가능하다.

- [0072] 그리고 상기 하부기관에 대향되는 상부기관에는 상기 화소영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(31)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(미도시)이 형성되어 있다.
- [0073] 이때 블랙 매트릭스층(31)은 공통배선(21a)과, 데이터라인(23), 게이트라인(21) 및 데이터라인(23)에 인접한 최외곽의 공통전극(21b)의 일부를 포함한 부분에 오버랩되어 있다.
- [0074] 상기와 같이 블랙 매트릭스층(31)이 형성되어 있으면, 상/하부의 개구영역은 블랙 매트릭스층(31)에 의해서 결정되고, 좌/우측의 개구영역은 데이터라인(23)에 인접한 공통전극(21b)에 의해서 결정된다.
- [0075] 이와 같이 개구영역이 블랙 매트릭스층(31)과 공통전극(21b)에 의해서 결정되기 때문에, 상/하부기관의 합착 마진에 따라 개구영역이 변동되는 문제가 발생한다.
- [0076] 또한, 액정표시장치가 대형화될수록 상/하부기관도 대형화되고, 이에 따라서 하부기관의 TFT 어레이를 형성할 때 노광 공정을 나누어서 진행하게 되는데, 이때 각 노광 영역에 형성된 구성간에 미스얼라인이 발생하면 화면에 스티칭(Stitching) 얼룩이 발생하게 된다.
- [0077] 이에 따라서 하부기관에 노광 공정을 진행할 때는 스티칭 마진을 고려해서 진행해야 한다.
- [0078] 이때, 상부기관의 블랙 매트릭스층(31)은 한번의 노광 공정에 의해서 제작된다.
- [0079] 그러나, 상기에서와 같이 종래의 액정표시장치는 합착마진 및 스티칭 마진을 고려하여 제작했다고 해도, 대형화된 상/하부기관의 상/하 개구영역은 블랙 매트릭스층(31), 좌/우 개구영역은 공통전극(21b)에 의해서 정의되어 변동될 수 있으므로, 각 화소영역에서의 개구영역(개구면적)에 차이가 발생하여 전체 패널에서 휘도차가 발생되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- [0080] 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로 특히, 개구영역이 블랙 매트릭스층에 의해서만 정의되도록 하여 각 개구영역별로 휘도차가 발생되지 않게 함과 동시에, 대형 패널에서 스티칭(stitching) 얼룩에 대한 공정 마진을 확보하여 수율을 향상시키기에 알맞은 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0081] 상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는 대향하는 제 1 기관 및 제 2 기관과; 상기 제 1 기관 상에 종횡으로 형성되어 화소영역을 정의하는 복수의 게이트라인 및 데이터라인과; 상기 게이트라인 및 데이터라인이 교차하는 부분에 형성된 박막 트랜지스터와; 상기 화소영역 내에 형성된 화소전극과; 상기 제 2 기관상에 상기 화소영역 내부까지 들어서(확장시켜) 형성되어 개구영역을 정의하는 블랙 매트릭스층과; 상기 제 2 기관상에 형성된 컬러 필터층과; 상기 제 1 기관과 제 2 기관 사이에 형성된 액정층을 포함함을 특징으로 한다.
- [0082] 상기 박막 트랜지스터는 상기 게이트 라인의 일측으로 돌출된 게이트 전극과, 상기 게이트전극을 포함한 상기 제 1 기관의 전면에 형성된 게이트 절연막과, 상기 게이트 전극 상측의 상기 게이트 절연막상에 형성된 액티브층과, 상기 데이터 라인으로부터 돌출되어 상기 액티브층의 일측 상부에 오버랩된 소오스 전극과, 상기 소오스 전극과 이격되어 상기 액티브층의 타측 상부에 오버랩된 드레인 전극으로 구성됨을 특징으로 한다.
- [0083] 상기 화소전극은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)과 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 형성됨을 특징으로 한다.
- [0084] 본 발명의 다른 실시예에 따른 액정표시장치는 소정 간격을 두고 서로 대향되는 제 1 기관 및 제 2 기관과; 상기 제 1 기관상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인과 평행한 방향으로 배열된 공통배선과; 상기 게이트라인 및 데이터라인의 교차 부위에 형성된 박막 트랜지스터와; 상기 공통배선에 연결되어 상기 데이터라인과 동일 방향으로 일정 간격을 갖고 복수개 형성된 공통전극과; 상기 박막 트랜지스터의 드레인전극과 콘택되며 상기 공통전극 사이에 일정 간격을 갖고 형성된 화소전극과; 상기 제 2 기관상에 형성되어 개구영역을 정의하는 블랙 매트릭스층과; 상기 제 2 기관상에 형성된 컬러 필터층을 포함하여 구성됨을 특징으로 한다.

- [0085] 상기 블랙 매트릭스층은 상기 공통배선, 상기 데이터라인, 상기 게이트라인 및 상기 데이터라인에 인접한 최외곽의 공통전극보다 화소영역 내부로 확장 형성되어 있음을 특징으로 한다.
- [0086] 상/하부의 이웃하는 화소영역은 상기 게이트 라인을 공통으로 사용하며, 상기 상/하부의 이웃하는 화소영역의 상기 박막 트랜지스터는 게이트 전극과 소오스 전극 및 액티브층을 공통으로 사용함을 특징으로 한다.
- [0087] 상기 상/하부에 이웃하는 화소영역의 2개의 박막 트랜지스터는, 상기 게이트 라인의 일영역에 정의된 게이트 전극과, 상기 게이트 전극을 포함한 상기 제 1 기판 전면에 형성된 게이트 절연막과, 상기 데이터 라인 하부 및 상기 게이트 라인의 일영역 상부에 형성되는 액티브층과, 상기 데이터 라인으로부터 돌출되어 상,하부로 제 1, 제 2 홈이 형성된 소오스 전극과, 상기 소오스 전극과 일정한 간격을 갖고 상기 제 1, 제 2 홈내에서 각 화소영역으로 연장 형성된 제 1, 제 2 드레인 전극으로 구성됨을 특징으로 한다.
- [0088] 상기 공통전극과 상기 화소전극은 지그재그(zigzag) 형상으로 형성됨을 특징으로 한다.
- [0089] 상기 공통전극과 상기 화소전극은 직선으로 평행하게 형성되는 것을 더 포함한다.
- [0090] 상기 공통배선, 공통전극은 상기 게이트라인과 동일층상에 형성됨을 특징으로 한다.
- [0091] 이하, 첨부 도면을 참조하여 본 발명의 바람직한 액정표시장치를 실시예별로 나누어 설명하기로 한다.
- [0092] 본 발명은 대화면 액정표시장치의 각 개구영역을 블랙 매트릭스층에 의해 정의되도록 하는 것에 특징이 있는 것으로, 이하에서는 TN 모드와 IPS 모드에 각각 적용된 예에 대하여 설명한다.
- [0093] 제 1 실시예
- [0094] 도 6은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면도이고, 도 7은 도 6의 I-I'와 II-II' 선상을 따른 본 발명의 제 1 실시예에 따른 액정표시장치의 구조 단면도이다.
- [0095] 본 발명의 제 1 실시예에 따른 액정표시장치는 도 6과 도 7에 도시한 바와 같이, 일정 공간을 갖고 합착된 하부 기판(60) 및 상부기판(70)과, 상기 하부기판(60)과 상부기판(70) 사이에 주입된 액정층으로 구성되어 있다.
- [0096] 보다 구체적으로, 상기 하부기판(60)에는 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(61)이 배열되고, 상기 게이트 라인(61)과 수직 교차하여 화소영역을 정의하도록 복수개의 데이터 라인(64)이 배열되고, 상기 게이트 라인(61)과 데이터 라인(64)이 교차하여 정의된 각 화소영역(P)에는 화소전극(66)이 형성되며, 상기 각 게이트 라인(61)과 데이터 라인(64)이 교차하는 부분에 박막 트랜지스터(T)가 형성되고, 박막 트랜지스터 상부를 포함한 하부기판(60) 전면에 보호막(65)이 형성되어 있다.
- [0097] 여기서, 상기 박막 트랜지스터(T)는 상기 게이트 라인(61)의 일측으로 돌출된 게이트 전극(61a)과, 상기 게이트 전극(61a)을 포함한 하부기판(60) 전면에 형성된 게이트 절연막(62)과, 상기 게이트 전극(61a) 상측의 게이트 절연막(62)상에 형성된 액티브층(63)과, 상기 데이터 라인(64)으로부터 돌출되어 액티브층(63)의 일측 상부에 오버랩된 소오스 전극(64a)과, 상기 소오스 전극(64a)과 이격되어 액티브층(63)의 타측 상부에 오버랩된 드레인 전극(64b)으로 구성된다.
- [0098] 그리고 상기 화소전극(66)은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO)과 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 구성된다.
- [0099] 그리고 하부기판(60)에 대향되는 상기 상부기판(70)에는, 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(71)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(72)이 형성되어 있다.
- [0100] 이때 상부기판(70)의 블랙 매트릭스층(71)은 하부기판(60)의 게이트라인과 데이터라인에 의해서 정의되는 화소영역 내부까지 들어서(확장시켜) 구성시킨다.
- [0101] 이에 의해서 실제 개구영역은 블랙 매트릭스층(71)에 의해서만 결정된다.
- [0102] 이와 같이 구성시키면 대면적 액정패널에 액정표시장치를 제조할 때 각 화소영역들의 실제 개구면적은 좁아진다고 하더라도, 노광시의 미스얼라인에 의한 개구영역의 차이는 발생하지 않으므로, 전체 패널에서 각 화소영역에 휘도차가 발생되는 것은 방지할 수 있다.
- [0103] 전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(66)상에 위치한 액정층이 상기 박막 트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층의 배향 정도에 따라 액정층을 투과하는 빛의 양을 조절하는 방

식으로 화상을 표현할 수 있다.

- [0104] 제 2 실시예
- [0105] 도 8a는 본 발명의 제 2 실시예에 따른 액정표시장치의 평면도이고, 도 9는 도 8a의 III-III'와 IV-IV' 선상을 자른 구조 단면도이다.
- [0106] 본 발명의 제 2 실시예에 따른 액정표시장치는 도 8a과 도 9에 도시한 바와 같이, 투명한 하부기관(미도시)상에 화소영역을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(81)이 배열되고, 상기 게이트 라인(81)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(84)이 배열된다.
- [0107] 그리고 상기 게이트 라인(81)과 동일 평면상의 화소영역에는 게이트라인(81)과 평행한 방향으로 공통배선(81a)이 형성되어 있고, 상기 공통배선(81a)에 연결되어 데이터라인(84)과 동일 방향으로 일정 간격을 갖고 복수개의 공통전극(81b)이 형성되어 있다.
- [0108] 이때 공통전극(81b)은 지그재그 형상을 하고 있다.
- [0109] 그리고 상기 게이트 라인(81)과 데이터 라인(84)이 교차되어 정의된 각 화소영역에는 복수개의 박막 트랜지스터가 형성된다.
- [0110] 이때 상/하부의 이웃하는 화소영역은 게이트 라인(81)을 공통으로 사용하며, 상/하부의 이웃하는 화소영역의 2개의 박막 트랜지스터는 게이트 전극과 소오스 전극을 공통으로 사용한다.
- [0111] 상기 이웃하는 2개의 박막 트랜지스터는 상기 게이트 라인(81)의 일영역에 정의된 게이트 전극과, 게이트 전극을 포함한 하부기관 전면에 형성된 게이트 절연막(82)과, 상기 데이터 라인(84) 하부 및 게이트 라인(81)의 일영역 상부에 형성되는 액티브층(83)과, 상기 데이터 라인(84)으로부터 돌출되어 상,하부로 제 1, 제 2 홈이 형성된 소오스 전극(84a)과, 상기 소오스 전극(84a)과 일정한 간격을 갖고 제 1, 제 2 홈내에서 각 화소영역으로 연장 형성된 제 1, 제 2 드레인 전극(84b,84c)으로 구성된다.
- [0112] 상기에서와 같이 상/하부에 이웃하는 화소영역에 형성된 박막 트랜지스터는 게이트전극과 소오스전극(84a) 및 액티브층(83)을 공통으로 사용한다.
- [0113] 이때 액티브층(83)은 데이터라인(84)보다 좁은 폭을 갖고, 소오스전극(84a)보다는 넓은 폭으로 형성되어 있다.
- [0114] 그리고 상기 박막 트랜지스터 상부에는 보호막(85)이 형성되어 있고, 상기 공통전극(81b)들 사이의 상기 보호막(85) 상에는 복수개의 화소전극(86)이 지그재그(zigzag) 형상으로 형성되어 있다.
- [0115] 이때 상기 화소전극(86)은 상/하부의 제 1, 제 2 드레인전극(84b,84c)에 각각 콘택되어 있다.
- [0116] 그리고 스토리지 전극(84d)은 데이터라인(84)과 동일층상에 형성되어 있으며, 화소전극(86)과 콘택되어 있다.
- [0117] 이때, 상기 공통전극(81b)과 화소전극(86) 사이에 위치한 액정은 상기 공통전극(81b)과 화소전극(86) 사이에 분포하는 횡전계에 의해 동일한 방향으로 배열되어 하나의 도메인을 이루며, 횡전계 방식에서는 단일 화소영역에 다수의 멀티도메인을 구성할 수 있으므로 보다 넓은 시야각을 가지는 액정표시장치의 제작이 가능하다.
- [0118] 그리고 도 9에 도시한 바와 같이, 상기 하부기관(80)에 대향되는 상부기관(90)에는 상기 화소영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(91)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(92)이 형성되어 있다.
- [0119] 이때 블랙 매트릭스층(91)은 공통배선(81a)과, 데이터라인(84), 게이트라인(81) 및 데이터라인(84)에 인접한 최외곽의 공통전극(81b)보다 내부로(화소영역 내부로) 더 들어서(확장되어) 형성되어 있으므로, 실제 개구영역은 블랙 매트릭스층(91)에 의해서만 결정된다.
- [0120] 이와 같이 개구영역이 블랙 매트릭스층(91)에 의해서만 결정되기 때문에, 상/하부기관의 합착 마진에 따라 개구영역이 변동되는 문제 및 대형 액정패널을 나누어 노광할 때 미스얼라인이 발생하여 노광영역의 경계에서 스티칭(Stitching) 얼룩이 발생하는 문제를 미연에 방지할 수 있다.
- [0121] 이에 의해서 전체 액정 패널의 각 화소영역의 개구영역(개구면적)을 동일하게 할 수 있으므로, 개구영역 차이에 의해서 발생하는 휘도차를 방지 할 수 있다.
- [0122] 제 3 실시예

- [0123] 도 8b는 본 발명의 제 3 실시예에 따른 액정표시장치의 평면도이고, 도 9는 도 8b의 III-III'와 IV-IV' 선상을 자른 구조 단면도이다.
- [0124] 본 발명의 제 3 실시예는 도 8b와 도 9에 도시한 바와 같이, 공통전극(81b)과 화소전극(86)이 지그재그로 형성되어 있지 않고, 직선으로 형성되어 있다는 것을 제외하고는 본 발명의 제 2 실시예와 동일한 구성을 가지므로 이하 생략하기로 한다.
- [0125] 본 발명의 제 3 실시예도 개구영역이 블랙 매트릭스층(91)에 의해서 결정되므로, 본 발명의 제 2 실시예와 동일한 효과를 도출시킬 수 있다.
- [0126] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- [0127] 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

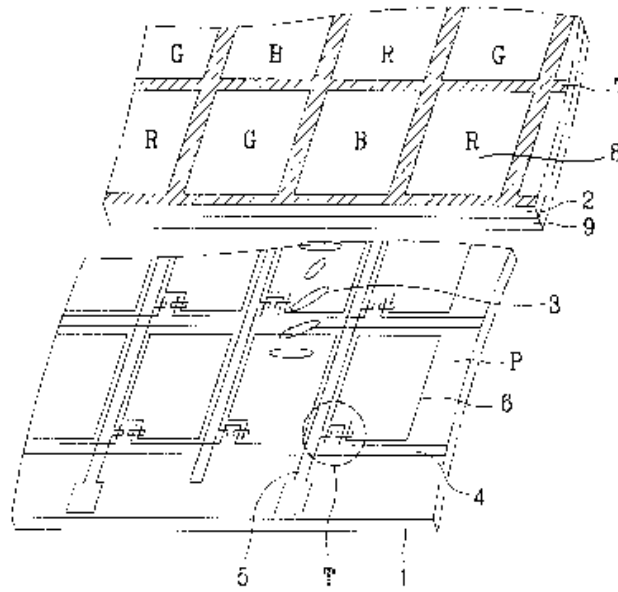
- [0128] 상기와 같은 본 발명의 액정표시장치는 다음과 같은 효과가 있다.
- [0129] 첫째, 개구영역이 블랙 매트릭스층에 의해서만 정의되므로, 전체 액정 패널의 각 화소영역에서의 개구영역(개구 면적)이 변동되는 것을 방지하여 개구영역 차이에 의해서 발생하는 휘도차 문제를 방지 할 수 있다.
- [0130] 둘째, 개구영역이 블랙 매트릭스층에 의해서만 정의되므로, 대형 패널에서 스티칭(stitching) 얼룩에 대한 공정 마진을 확보하여 스티칭(stitching) 노광시 발생할 수 있는 스티칭 얼룩에 대응하기에 용이하다. 이에 의해서 수율을 향상시킬 수 있다.

도면의 간단한 설명

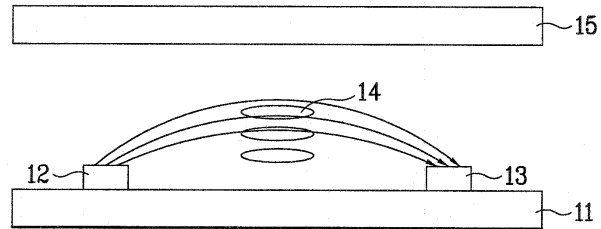
- | | | |
|--------|--|------------------|
| [0001] | 도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도 | |
| [0002] | 도 2는 일반적인 횡전계 방식(IPS)의 액정표시장치를 나타낸 개략적인 단면도 | |
| [0003] | 도 3a 내지 도 3b는 IPS 모드에서 전압 온(on)/오프(off)시 액정의 상 변이 모습을 나타내는 도면 | |
| [0004] | 도 4a 및 도 4b는 각각 오프상태와 온 상태일 때 IPS 모드 액정표시장치의 동작을 나타낸 사시도 | |
| [0005] | 도 5는 종래 기술에 따른 횡전계 방식(IPS)의 액정표시장치의 평면도 | |
| [0006] | 도 6은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면도 | |
| [0007] | 도 7은 도 6의 I-I'와 II-II' 선상을 자른 본 발명의 제 1 실시예에 따른 액정표시장치의 구조 단면도 | |
| [0008] | 도 8a는 본 발명의 제 2 실시예에 따른 액정표시장치의 평면도 | |
| [0009] | 도 8b는 본 발명의 제 3 실시예에 따른 액정표시장치의 평면도 | |
| [0010] | 도 9는 도 8a와 도 8b의 III-III'와 IV-IV' 선상을 자른 구조 단면도 | |
| [0011] | * 도면의 주요 부분에 대한 부호의 설명 * | |
| [0012] | 60, 80 : 하부기판 | 61, 81 : 게이트라인 |
| [0013] | 61a : 게이트전극 | |
| [0014] | 62, 82 : 게이트 절연막 | 63, 83 : 액티브층 |
| [0015] | 64, 84 : 데이터라인 | 64a, 84a : 소오스전극 |
| [0016] | 64b : 드레인 전극 | 65, 85 : 보호막 |
| [0017] | 66, 86 : 화소전극 | 70, 90 : 상부기판 |
| [0018] | 71, 91 : 블랙 매트릭스층 | 72, 92 : 칼라 필터층 |
| [0019] | 84b, 84c : 제 1, 제 2 드레인전극 | 84d : 스토리지 전극 |

도면

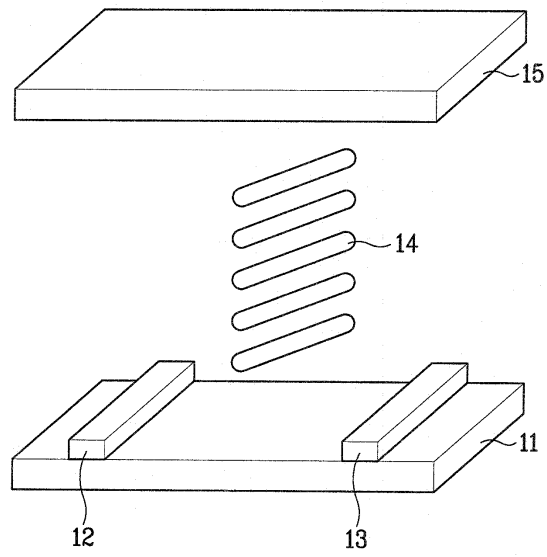
도면1



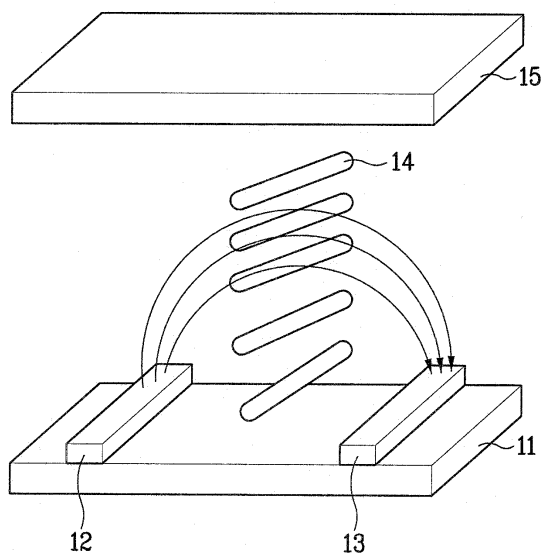
도면2



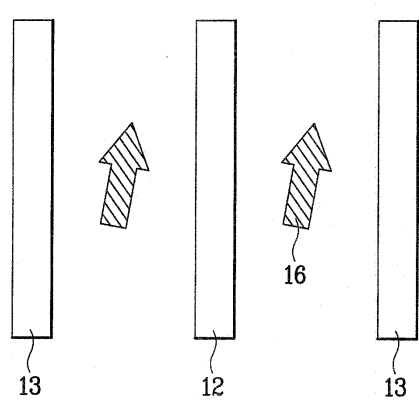
도면3a



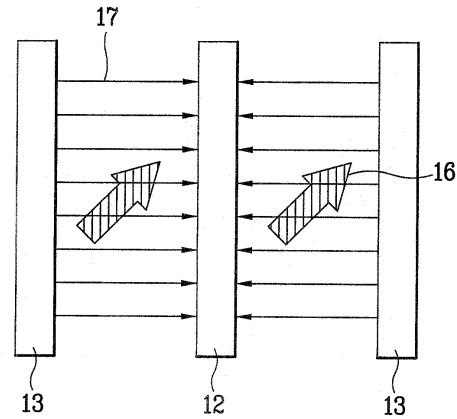
도면3b



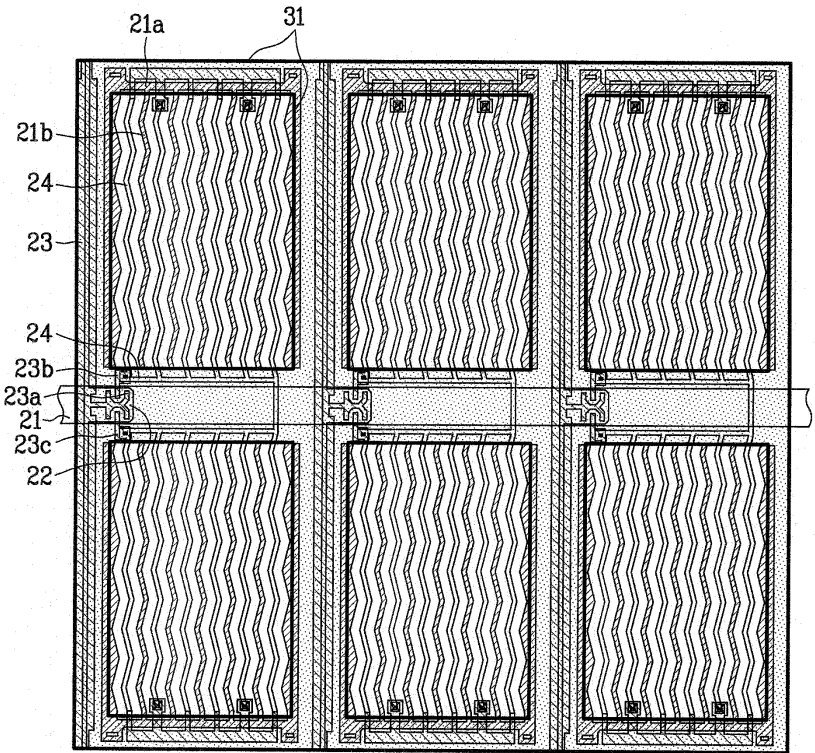
도면4a



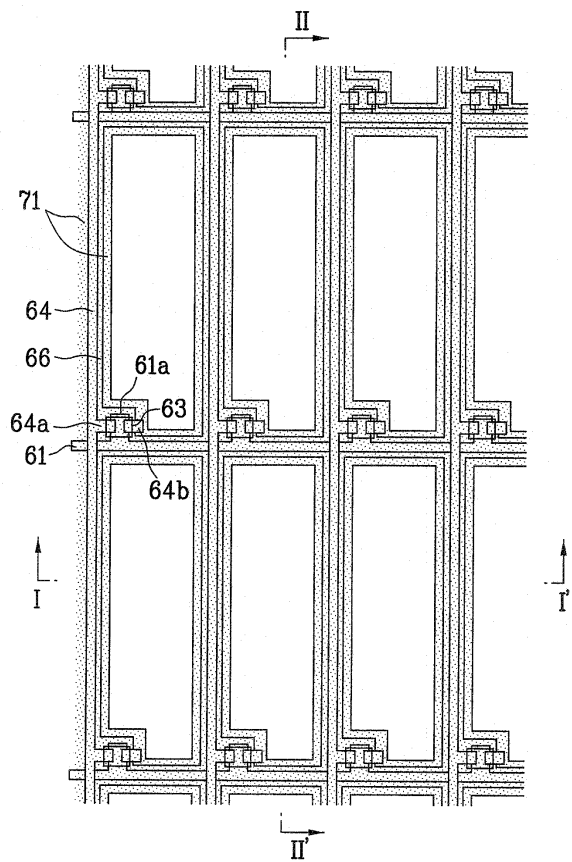
도면4b



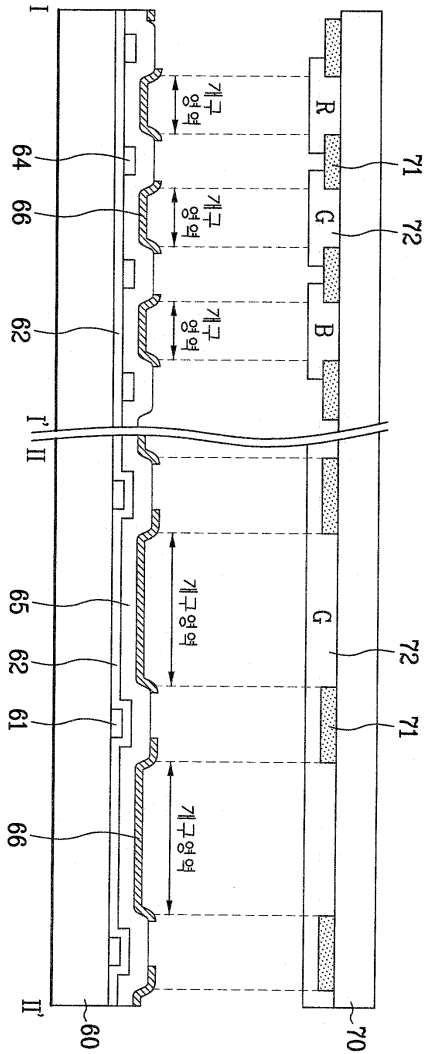
도면5



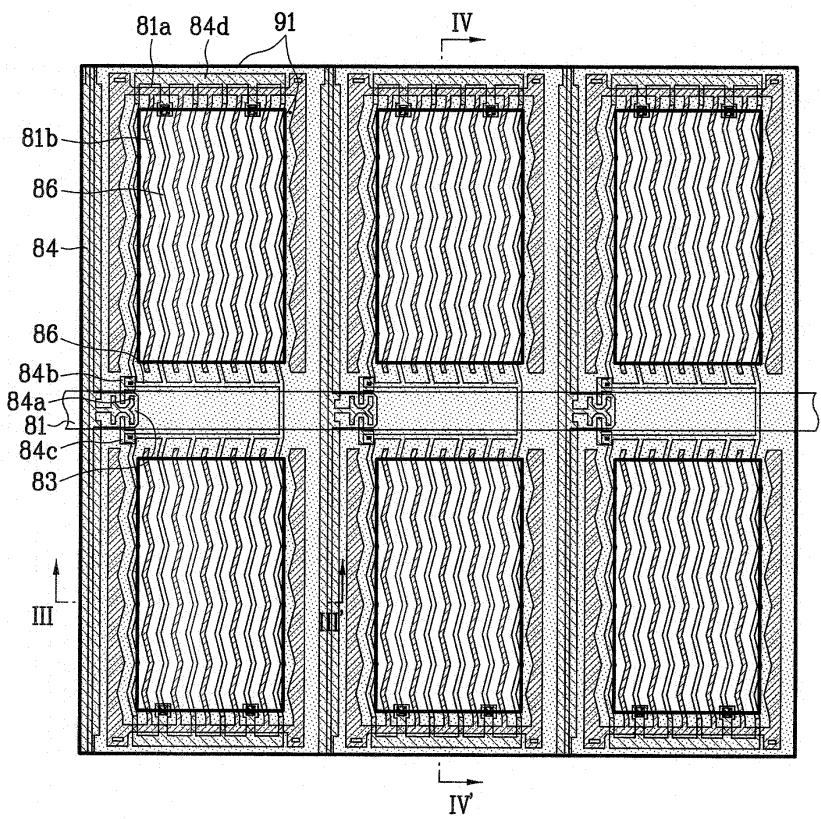
도면6



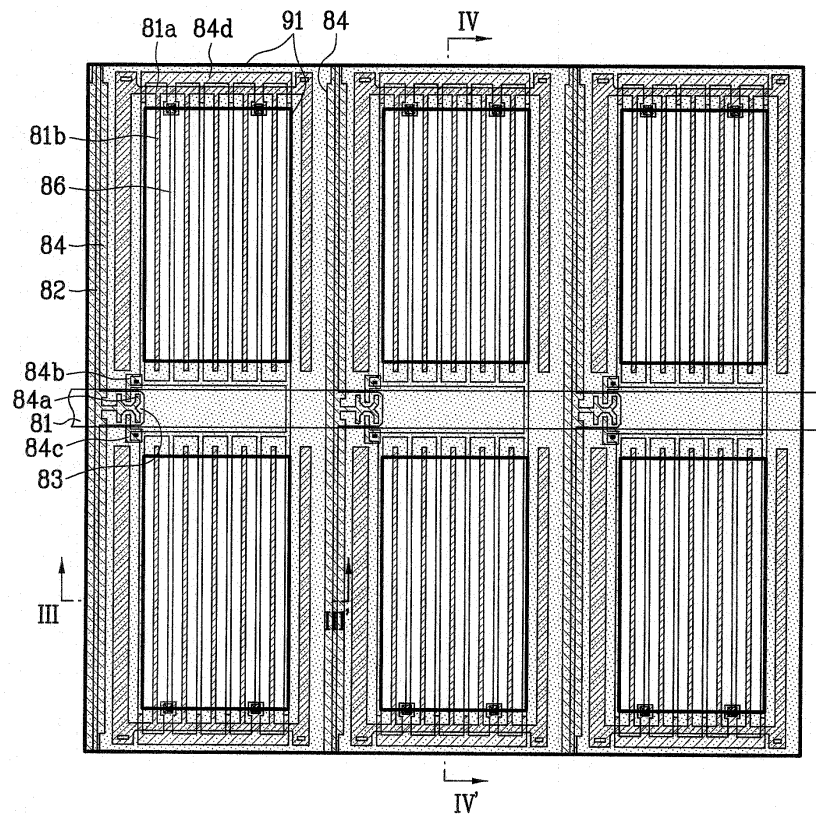
도면7



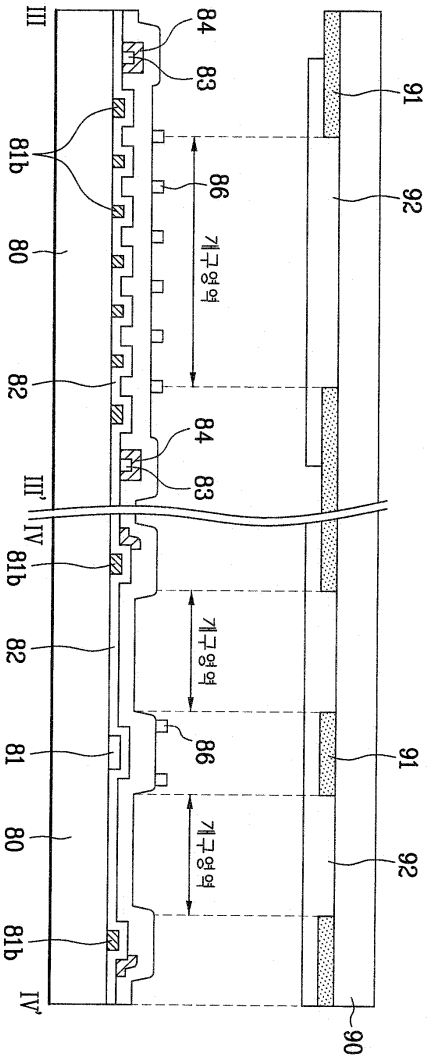
도면8a



도면8b



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR101023731B1	公开(公告)日	2011-03-25
申请号	KR1020030076806	申请日	2003-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PAIK SANGYOON 백상윤 HONG SUNGJIN 홍성진		
发明人	백상윤 홍성진		
IPC分类号	G02F1/1335 G02F		
代理人(译)	金勇 新昌		
其他公开文献	KR1020050041587A		
外部链接	Espacenet		

摘要(译)

用途：通过仅通过黑色矩阵层限定开口，提供液晶显示器以防止每个开口和缝合中的亮度差异。

