



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월14일
(11) 등록번호 10-0963403
(24) 등록일자 2010년06월04일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2003-0088648
(22) 출원일자 2003년12월08일
심사청구일자 2008년11월26일
(65) 공개번호 10-2005-0055437
(43) 공개일자 2005년06월13일
(56) 선행기술조사문헌
US20030030609 A1

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

장용호

경기도과천시별양동주공아파트647동308호

(74) 대리인

허용록

전체 청구항 수 : 총 23 항

심사관 : 이강하

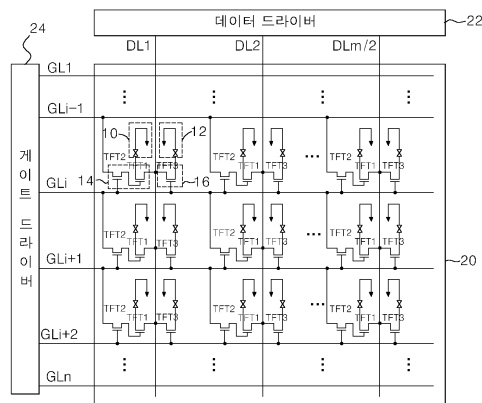
(54) 액정표시장치 및 그의 구동방법

(57) 요약

본 발명은 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 다수의 데이터라인들과, 데이터라인들과 교차되는 방향으로 형성되는 다수의 게이트라인들과, 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과, 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과, i (i 는 자연수) 번째 수평라인에 위치하는 제 1액정셀마다 형성되어 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 의해 제어되는 제 1스위칭부와, i 번째 수평라인에 위치하는 제 2액정셀마다 형성되어 i 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비한다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 다수의 게이트라인들과,

상기 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과,

상기 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과,

i (i 는 자연수) 번째 수평라인에 위치하는 상기 제 1액정셀마다 형성되어 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 의해 제어되는 제 1스위칭부와,

i 번째 수평라인에 위치하는 상기 제 2액정셀마다 형성되어 상기 i 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 i 번째 수평라인에 위치하는 상기 제 1스위칭부는 상기 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 게이트 신호가 공급된 후 상기 $i-1$ 번째 게이트라인 및 i 번째 게이트라인이 로우 상태를 유지할 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1항에 있어서,

상기 i 번째 수평라인에 위치하는 상기 제 2스위칭부는 상기 i 번째 게이트라인 및 $i+1$ 번째 게이트라인에 게이트 신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4항에 있어서,

상기 제 2액정셀 및 제 2스위칭부는 상기 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6항에 있어서,

상기 제 2액정셀 및 제 2스위칭부는 상기 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1항에 있어서,

상기 제 1스위칭부는 상기 데이터라인에 소오스단자가 접속됨과 아울러 드레인단자가 상기 제 1액정셀에 접속되는 제 1박막 트랜지스터와,

상기 제 1박막 트랜지스터의 게이트단자에 드레인단자가 접속됨과 아울러 상기 i 번째 게이트라인에 게이트단자가 접속되고, 상기 $i-1$ 번째 게이트라인에 소오스단자가 접속된 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8항에 있어서,

상기 제 2스위칭부는 상기 데이터라인에 소오스단자가 접속됨과 아울러 게이트단자가 상기 i 번째 게이트라인에 접속되고, 드레인단자가 상기 제 2액정셀에 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9항에 있어서,

상기 게이트라인들로 제 1 및 제 2게이트신호가 순차적으로 공급하며, 상기 $i-1$ 번째 게이트라인으로 공급되는 제 2게이트신호가 상기 i 번째 게이트라인으로 공급되는 제 1게이트신호와 동시에 상승되도록 공급하는 게이트드라이버를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10항에 있어서,

상기 제 1게이트신호는 상기 제 2게이트신호보다 좁은 폭을 갖는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11항에 있어서,

상기 i 번째 수평라인에 위치하는 상기 제 1박막 트랜지스터 및 제 2박막 트랜지스터는 상기 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 제 1 및 제 2게이트신호가 공급될 때 턴-온되고, 상기 제 1 및 제 2게이트신호가 로우상태로 전환될 때 상기 제 2박막 트랜지스터의 게이트단자가 플로팅상태로 전환되어 상기 제 2박막 트랜지스터를 턴-온상태로 유지하는 것을 특징으로 하는 액정표시장치.

청구항 13

제 12항에 있어서,

상기 제 2박막 트랜지스터의 게이트단자가 플로팅상태로 전환되어 상기 제 2박막 트랜지스터가 턴-온상태를 유지할 때 상기 제 2박막 트랜지스터에 접속된 제 1액정셀에 원하는 비디오신호가 충전되는 것을 특징으로 하는 액정표시장치.

청구항 14

제 12항에 있어서,

상기 제 2박막 트랜지스터의 게이트단자가 플로팅상태로 전환될 때 상기 제 2박막 트랜지스터가 안정적으로 턴-온상태를 유지할 수 있도록 상기 제 1박막 트랜지스터의 게이트 단자에 접속되도록 형성되는 캐패시터를 추가로 구비하는 것을 특징으로 하는 액정표시장치.

청구항 15

다수의 데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 다수의 게이트라인들과,

상기 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과,

상기 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과,

i (i 는 자연수) 번째 수평라인에 위치하는 상기 제 1액정셀마다 형성되어 $i-1$ 번째 게이트라인 및 i 번째 게이트라

인에 의해 제어되는 제 1스위칭부와,

i번째 수평라인에 위치하는 상기 제 2액정셀마다 형성되어 상기 i번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하며,

상기 데이터라인을 기준으로 상기 제 1스위칭부와 상기 제 2스위칭부가 지그재그 형태로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 16

제 15항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 17

제 16항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 18

제 15항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 19

제 18항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 20

제 1액정셀 및 제 2액정셀과, 상기 제 1액정셀을 구동하기 위하여 제 1 및 제 2박막 트랜지스터를 구비하는 제 1스위칭부와, 상기 제 2액정셀을 구동하기 위하여 제 3박막 트랜지스터를 구비하는 제 2스위칭부를 포함하는 액정표시장치의 구동방법에 있어서,

i번째 게이트라인 및 i-1번째 게이트라인으로 게이트신호가 공급된 후 상기 i번째 게이트라인 및 i-1번째 게이트라인이 로우 상태를 전환될 때 i번째 수평라인에 형성된 상기 제 1액정셀로 원하는 비디오신호가 공급되는 단계와,

상기 i번째 게이트라인 및 i+1번째 게이트라인으로 게이트신호가 공급될 때 i번째 수평라인에 형성된 상기 제 2액정셀로 원하는 비디오신호가 공급되는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 21

제 20항에 있어서,

상기 제 1액정셀로 원하는 비디오신호가 공급되는 단계는

상기 i번째 게이트라인으로 공급되는 게이트신호에 의하여 제 1박막 트랜지스터가 턴-온되는 단계와,

상기 제 1박막 트랜지스터가 턴-온될 때 상기 i-1번째 게이트라인으로 공급되는 게이트신호에 의하여 제 2박막 트랜지스터가 턴-온되는 단계와,

상기 i번째 게이트라인 및 제 i-1번째 게이트라인이 로우상태로 전환될 때 상기 제 1박막 트랜지스터가 턴-오프되는 단계와,

상기 제 1박막 트랜지스터가 턴-오프될 때 상기 제 2박막 트랜지스터의 게이트단자가 플로팅되어 상기 제 2박막

트랜지스터가 턴-온상태를 유지하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 22

제 21항에 있어서,

상기 i번째 게이트라인이 상기 제 i-1번째 게이트라인보다 먼저 로우상태로 전환되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 23

제 21항에 있어서,

상기 제 2액정셀로 원하는 비디오신호가 공급되는 단계는

상기 i번째 게이트라인 및 i+1번째 게이트라인으로 게이트신호가 공급될 때 상기 i번째 게이트라인으로 공급된 게이트신호에 의하여 상기 제 3박막 트랜지스터가 턴-온되는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 액정표시장치 및 그의 구동방법에 관한 것으로 특히, 데이터라인 수 및 이에 대응하는 데이터 드라이버 집적회로의 수를 줄일 수 있도록 한 액정표시장치 및 그의 구동방법에 관한 것이다.
- [0014] 액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.
- [0015] 도 1은 종래의 액정표시장치를 나타내는 도면이다.
- [0016] 도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.
- [0017] 액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.
- [0018] 게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.
- [0019] 박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.
- [0020] 이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개)의 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.

[0021] 여기서 알수 있듯이, 종래에는 m 개의 수직라인의 액정셀들을 구동하기 위하여 m 개의 데이터라인들(DL1 내지 DL m)을 필요로한다. 따라서, 종래에는 액정패널(2)을 구동하기 위하여 다수의 데이터라인들(DL1 내지 DL m)이 형성되고, 이에 따라 공정시간 및 제조비용이 낭비되는 단점이 있다. 또한, m 개의 데이터라인들(DL1 내지 DL m)을 각각을 구동하기 위하여 데이터 드라이버(4) 내에 많은 수의 데이터 드라이버 집적회로(Integrated Circuit : 이하 "IC"라 함)가 포함되어야 하므로 많은 제조비용이 소모되어야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0022] 따라서, 본 발명의 목적은 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치 및 그의 구동방법을 제공하는 것이다.

발명의 구성 및 작용

[0023] 상기 목적을 달성하기 위하여 본 발명의 액정표시장치는 다수의 데이터라인들과, 데이터라인들과 교차되는 방향으로 형성되는 다수의 게이트라인들과, 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과, 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과, i (i 는 자연수) 번째 수평라인에 위치하는 제 1액정셀마다 형성되어 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 의해 제어되는 제 1스위칭부와, i 번째 수평라인에 위치하는 제 2액정셀마다 형성되어 i 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비한다.

[0024] 상기 i 번째 수평라인에 위치하는 제 1스위칭부는 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 게이트신호가 공급된 후 $i-1$ 번째 게이트라인 및 i 번째 게이트라인이 로우 상태를 유지할 때 데이터라인으로 공급되는 비디오신호를 제 1액정셀로 공급한다.

[0025] 상기 i 번째 수평라인에 위치하는 제 2스위칭부는 i 번째 게이트라인 및 $i+1$ 번째 게이트라인에 게이트신호가 공급될 때 데이터라인으로 공급되는 비디오신호를 제 2액정셀로 공급한다.

[0026] 상기 제 1액정셀 및 제 1스위칭부는 데이터라인의 좌측에 위치된다.

[0027] 상기 제 2액정셀 및 제 2스위칭부는 데이터라인의 우측에 위치된다.

[0028] 상기 제 1액정셀 및 제 1스위칭부는 데이터라인의 우측에 위치된다.

[0029] 상기 제 2액정셀 및 제 2스위칭부는 데이터라인의 좌측에 위치된다.

[0030] 상기 제 1스위칭부는 데이터라인에 소오스단자가 접속됨과 아울러 드레인단자가 제 1액정셀에 접속되는 제 1박막 트랜지스터와, 제 1박막 트랜지스터의 게이트단자에 드레인단자가 접속됨과 아울러 i 번째 게이트라인에 게이트단자가 접속되고, $i-1$ 번째 게이트라인에 소오스단자가 접속된 제 2박막 트랜지스터를 구비한다.

[0031] 상기 제 2스위칭부는 데이터라인에 소오스단자가 접속됨과 아울러 게이트단자가 i 번째 게이트라인에 접속되고, 드레인단자가 제 2액정셀에 접속되는 제 2박막 트랜지스터를 구비한다.

[0032] 상기 게이트라인들로 제 1 및 제 2게이트신호가 순차적으로 공급하며, $i-1$ 번째 게이트라인으로 공급되는 제 2게이트신호가 i 번째 게이트라인으로 공급되는 제 1게이트신호와 동시에 상승되도록 공급하는 게이트 드라이버를 구비한다.

[0033] 상기 제 1게이트신호는 제 2게이트신호보다 좁은 폭을 갖는다.

[0034] 상기 i 번째 수평라인에 위치하는 제 1박막 트랜지스터 및 제 2박막 트랜지스터는 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 제 1 및 제 2게이트신호가 공급될 때 턴-온되고, 제 1 및 제 2게이트신호가 로우상태로 전환될 때 제 2박막 트랜지스터의 게이트단자가 플로팅상태로 전환되어 제 2박막 트랜지스터를 턴-온상태로 유지한다.

[0035] 상기 제 2박막 트랜지스터의 게이트단자가 플로팅상태로 전환되어 제 2박막 트랜지스터가 턴-온상태를 유지할 때 제 2박막 트랜지스터에 접속된 제 1액정셀에 원하는 비디오신호가 충전된다.

[0036] 상기 제 2박막 트랜지스터의 게이트단자가 플로팅상태로 전환될 때 제 2박막 트랜지스터가 안정적으로 턴-온상태를 유지할 수 있도록 제 1박막 트랜지스터의 게이트 단자에 접속되도록 형성되는 캐패시터를 추가로 구비한다.

- [0037] 본 발명의 액정표시장치는 다수의 데이터라인들과, 데이터라인들과 교차되는 방향으로 형성되는 다수의 게이트라인들과, 데이터라인을 기준으로 일측에 형성되는 제 1액정셀과, 데이터라인을 기준으로 다른측에 형성되는 제 2액정셀과, i (i 는 자연수) 번째 수평라인에 위치하는 제 1액정셀마다 형성되어 $i-1$ 번째 게이트라인 및 i 번째 게이트라인에 의해 제어되는 제 1스위칭부와, i 번째 수평라인에 위치하는 제 2액정셀마다 형성되어 i 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하며, 데이터라인을 기준으로 제 1스위칭부와 제 2스위칭부가 지그재그 형태로 배치된다.
- [0038] 우수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.
- [0039] 기수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.
- [0040] 기수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.
- [0041] 우수번째 수평라인에서 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.
- [0042] 본 발명의 액정표시장치의 구동방법은 i 번째 게이트라인 및 $i-1$ 번째 게이트라인으로 게이트신호가 공급된 후 i 번째 게이트라인 및 $i-1$ 번째 게이트라인이 로우 상태를 전환될 때 i 번째 수평라인에 형성된 상기 제 1액정셀로 원하는 비디오신호가 공급되는 단계와, i 번째 게이트라인 및 $i+1$ 번째 게이트라인으로 게이트신호가 공급될 때 i 번째 수평라인에 형성된 제 2액정셀로 원하는 비디오신호가 공급되는 단계를 포함한다.
- [0043] 상기 제 1액정셀로 원하는 비디오신호가 공급되는 단계는 i 번째 게이트라인으로 공급되는 게이트신호에 의하여 제 1박막 트랜지스터가 턴-온되는 단계와, 제 1박막 트랜지스터가 턴-온될 때 $i-1$ 번째 게이트라인으로 공급되는 게이트신호에 의하여 제 2박막 트랜지스터가 턴-온되는 단계와, i 번째 게이트라인 및 제 $i-1$ 번째 게이트라인이 로우상태로 전환될 때 제 1박막 트랜지스터가 턴-오프되는 단계와, 제 1박막 트랜지스터가 턴-오프될 때 제 2박막 트랜지스터의 게이트단자가 플로팅되어 제 2박막 트랜지스터가 턴-온상태를 유지하는 단계를 포함한다.
- [0044] 상기 i 번째 게이트라인이 제 $i-1$ 번째 게이트라인보다 먼저 로우상태로 전환된다.
- [0045] 상기 제 2액정셀로 원하는 비디오신호가 공급되는 단계는 i 번째 게이트라인 및 $i+1$ 번째 게이트라인으로 게이트신호가 공급될 때 i 번째 게이트라인으로 공급된 게이트신호에 의하여 제 3박막 트랜지스터가 턴-온되는 단계를 포함한다.
- [0046] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0047] 이하 도 2 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0048] 도 2는 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면이다.
- [0049] 도 2를 참조하면, 본 발명의 실시예에 의한 액정표시장치는 액정패널(20)과, 액정패널(20)의 데이터라인들(DL1 내지 DL $m/2$)을 구동하기 위한 데이터 드라이버(22)와, 액정패널(20)의 게이트라인들(GL1 내지 GL n)을 구동하기 위한 게이트 드라이버(24)를 구비한다.
- [0050] 액정패널(20)은 게이트라인들(GL1 내지 GL n)과 데이터라인들(DL1 내지 DL $m/2$)의 교차부에 형성된 제 1액정셀(10)들 및 제 2액정셀(12)들과, 제 1액정셀(10)을 구동하기 위한 제 1스위칭부(14)와, 제 2액정셀(12)을 구동하기 위한 제 2스위칭부(16)를 구비한다.
- [0051] 제 1 및 제 2액정셀(10,12)은 액정을 사이에 두고 대면하는 공통전극과, 제 1스위칭(14) 및 제 2스위칭부(16)에 각각 접속되는 화소전극으로 구성되므로 등가적으로 액정 캐패시터로 표시될 수 있다. 여기서, 제 1 및 제 2액정셀(10,12)들은 액정 캐패시터에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인(또는 공통전극)에 접속된 도시되지 않은 스토리지 캐패시터를 더 포함한다.
- [0052] 제 1액정셀(10) 및 제 1스위칭부(14)는 데이터라인(DL)의 좌측, 즉 기수번째 수직라인에 형성된다. 제 2액정셀(12) 및 제 2스위칭부(16)는 데이터라인(DL)의 우측, 즉 우수번째 수직라인에 형성된다. 다시 말하여, 제 1액정셀(10) 및 제 2액정셀(12)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성된다. 이때, 제 1액정셀

(10) 및 제 2액정셀(12)은 인접되게 위치한 데이터라인(DL)으로부터 비디오신호를 공급받는다. 즉, 본 발명의 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

[0053] 한편, 본 발명에서 제 1액정셀(10) 및 제 2액정셀(12)의 위치는 도 4와 같이 변경될 수 있다. 즉, 도 4와 같이 제 1액정셀(10) 및 제 1스위칭부(14)는 데이터라인(DL)의 우측에 형성되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 데이터라인(DL)의 좌측에 형성된다. 다시 말하여, 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 형성되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 형성된다.

[0054] 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14)는 제 1 및 제 2박막 트랜지스터(TFT1, TFT2)를 구비한다. 제 2박막 트랜지스터(TFT2)의 소오스단자는 i (i 는 자연수)-1번째 게이트라인(GLi-1)에 접속되고, 게이트단자는 i 번째 게이트라인(GLi)에 접속된다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 제 2박막 트랜지스터(TFT2)의 드레인단자에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 1박막 트랜지스터(TFT1)의 드레인단자는 제 1액정셀(10)에 접속된다. 이와 같은 제 1스위칭부(14)는 제 1박막 트랜지스터(TFT1)의 게이트단자가 전압을 충전한 플로팅상태로 유지될 때 제 1액정셀(10)로 비디오신호를 공급하게 된다.

[0055] 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)는 제 3박막 트랜지스터(TFT3)를 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i 번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 2액정셀(12)에 접속된다. 이와 같은 제 2스위칭부(16)는 현재 게이트라인(GLi) 및 이전 게이트라인(GLi-1)에 구동신호가 공급될 때 제 2액정셀(12)로 비디오신호를 공급하게 된다.

[0056] 게이트 드라이버(24)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 공급한다. 여기서, 제 1게이트신호(SP1)는 $1/2$ 수평주기($1/2H$)보다 적은 시간동안 하이상태를 유지하고, 제 2게이트신호(SP2)는 $1/2$ 수평주기($1/2H$)동안 하이상태를 유지한다. 그리고, i -1번째 게이트라인(GLi-1)에 공급되는 제 2게이트신호(SP2)는 i 번째 게이트라인(GLi)에 공급되는 제 1게이트신호(SP1)와 동기되도록, 즉 동일한 시간에 상승되도록 공급된다. 따라서, i 번째 게이트라인(GLi)에 공급되는 제 1게이트신호(SP1)가 i -1번째 게이트라인(GLi-1)에 공급되는 제 2게이트신호(SP2)보다 먼저 로우상태로 전환된다.

[0057] 데이터 드라이버(22)는 타이밍제어부로부터 공급되는 데이터(R, G, B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(22)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소되게 된다.

[0058] 액정셀들(10, 12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 TA의 기간($1/2H$)동안 i -1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i 번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급된다.

[0059] i 번째 게이트라인(GLi)으로 공급된 제 1게이트신호(SP1)는 i 번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2) 및 제 3박막 트랜지스터(TFT3)를 턴-온시킨다. 그리고, i -1번째 게이트라인(GLi-1)으로 공급된 제 2게이트신호(SP2)는 i 번째 수평라인에 형성된 제 2박막트랜지스터(TFT2)를 경유하여 제 1박막트랜지스터(TFT1)를 턴-온시킨다. 아울러, i -1번째 게이트라인(GLi)으로 공급된 제 2게이트신호(SP2)는 i -1번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2) 및 제 3박막 트랜지스터(TFT3)를 턴-온시킨다.

[0060] 즉, i -1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i 번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급되면 i -1번째 수평라인에 형성된 제 2액정셀(12)이 데이터라인(DL)에 접속된다. 그리고, i -1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i 번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급되면 i 번째 수평라인에 형성된 제 1액정셀(10) 및 제 2액정셀(12)이 데이터라인(DL)에 접속된다. 이때, 데이터라인(DL)으로는 i -1번째 수평라인에 형성된 제 2액정셀(12)로 공급될 비디오신호(DA)가 전송된다. 따라서, i -1번째 수평라인에 형성된 제 2액정셀(12)에는 원하는 비디오신호(DA)가 충전된다. 이때, i 번째 수평라인에 형성된 제 1 및 제 2액정셀(10, 12)로도 비디오신호(DA)(더미 비디오신호)가 충전된다.

[0061] 제 1기간(TA) 이후의 제 2기간(TB)($1/2H$) 동안 게이트라인들(GL)에는 게이트신호가 공급되지 않는다. 이와 같이 게이트라인들(GL)에 게이트신호가 공급되지 않으면 i 번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2) 및 제 3박막 트랜지스터(TFT3)가 턴-오프된다. 이때, 제 1박막 트랜지스터(TFT1)는 이전 $1/2H$ 기간(즉, 제 1기간(TA))

에 공급된 제 2게이트신호(SP2)에 의하여 온상태를 유지한다. 다시 말하여, 제 1박막 트랜지스터(TFT1)의 게이트단자는 제 2게이트신호(SP2)를 공급받은 상태에서 플로팅상태로 전환되기 때문에(제 2박막트랜지스터(TFT2)가 먼저 오프) 제 2기간(TB)동안 턴-온상태를 유지한다. 즉, i 번째 게이트라인(GL i)으로 공급되는 제 1게이트신호(SP1)가 $i-1$ 번째 게이트라인(GL $i-1$)으로 공급되는 제 2게이트신호(SP2)보다 먼저 로우상태로 전환되기 때문에 제 1박막 트랜지스터(TFT1)의 게이트단자는 제 2게이트신호(SP2)를 충전한 상태로 플로팅된다.

[0062] 이와 같은 제 2기간(TB)동안 데이터라인(DL)으로는 i 번째 수평라인에 형성된 제 1액정셀(10)로 공급된 비디오신호(DB)가 전송된다. 따라서, 데이터라인(DL)으로 공급된 비디오신호(DB)는 i 번째 수평라인에 형성된 제 1박막 트랜지스터(TFT1)를 경유하여 제 1액정셀(10)로 공급되고, 이에 따라 i 번째 수평라인에 형성된 제 1액정셀(10)로는 원하는 비디오신호(DB)가 충전된다.

[0063] 즉, 본 발명에서는 $i-1$ 번째 게이트라인(GL $i-1$)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i 번째 게이트라인(GL i)으로 제 1게이트신호(SP1)가 공급되는 기간동안 $i-1$ 번째 수평라인에 형성된 제 2액정셀(12)들로 비디오신호를 공급하고, 제 2게이트신호(SP2) 및 제 1게이트신호(SP1)가 오프되는 기간동안 i 번째 수평라인에 형성된 제 1액정셀(10)들로 비디오신호를 공급하게 된다. 실제로, 본 발명에서는 이와같은 제 1기간(TA) 및 제 2기간(TB)을 반복하면서 액정셀들(10,12)로 원하는 비디오신호가 충전되도록 한다.

[0064] 한편, 본 발명에서는 도 5와 같이 제 1박막 트랜지스터(TFT1)의 게이트단자에 접속되도록 캐패시터(Cp)가 추가로 설치될 수 있다. 이와 같은 캐패시터(Cp)는 제 1기간(TA) 동안 이전 게이트라인으로 공급되는 제 2게이트신호(SP)를 충전함과 아울러 제 2기간(TB)동안 자신에게 충전된 제 2게이트신호(SP)를 제 1박막 트랜지스터(TFT1)의 게이트단자로 공급함으로써 제 2기간(TB)동안 제 1박막 트랜지스터(TFT1)가 안정적으로 턴-온 상태를 유지하도록 한다. 그 외의 동작과정은 도 2에 도시된 본 발명의 실시예와 동일하므로 상세한 설명은 생략하기로 한다.

[0065] 도 6은 본 발명의 다른 실시예에 의한 액정표시장치를 나타내는 도면이다. 이와 같은 본 발명의 다른 실시예에서는 액정셀들(10,12) 및 스위칭부(14,16)의 형성위치만 변경될 뿐 그 구조 및 기능은 도 2에 도시된 본 발명의 실시예와 동일하다.

[0066] 도 6을 참조하면, 본 발명의 다른 실시예에 의한 액정표시장치는 액정패널(30)과, 액정패널(30)의 데이터라인들(DL1 내지 DL $m/2$)을 구동하기 위한 데이터 드라이버(32)와, 액정패널(30)의 게이트라인들(GL1 내지 GL n)을 구동하기 위한 게이트 드라이버(34)를 구비한다.

[0067] 액정패널(30)은 게이트라인들(GL1 내지 GL n)과 데이터라인들(DL1 내지 DL $m/2$)의 교차부마다 형성된 제 1액정셀(10)들 및 제 2액정셀(12)들과, 제 1액정셀(10)을 구동하기 위한 제 1스위칭부(14)와, 제 2액정셀(12)을 구동하기 위한 제 2스위칭부(16)를 구비한다. 이와 같은 본 발명의 다른 실시예에서는 제 1액정셀(10) 및 제 1스위칭부(14)와 제 2액정셀(12) 및 제 2스위칭부(16)가 데이터라인(DL)을 기준으로 지그재그 형태로 배치된다.

[0068] 여기서, 기수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 도 6과 같이 기수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 우수번째 수직라인에 위치된다. 그리고, 우수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 위치된다.

[0069] 또한, 본 발명의 또 다른 실시예에서는 도 7과 같이 기수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 위치될 수 있다. 이때, 우수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 기수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 우수번째 수직라인에 위치된다.

[0070] 이와 같이 데이터라인(DL)을 기준으로 지그재그 형태로 배치된 제 1액정셀(10) 및 제 2액정셀(12)은 인접한(기준이된) 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 다른 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.

[0071] 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 2박막 트랜지스터(TFT2)의 소오스단자는 i (i 는 자연수)-1번째 게이트라인(GL $i-1$)에 접속되고, 게이트단자는 i 번째 게이트라인(GL i)에 접속된다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 제 2박막 트랜지스터(TFT2)의 드레인단자에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 1박막 트랜지스터(TFT1)의 드레인단자는 제 1액정셀(10)에 접속된다. 이와 같은 제 1스위칭부(14)는 제 1박막 트랜지스터(TFT1)의

게이트단자가 전압을 충전한 플로팅상태로 유지될 때 제 1액정셀(10)로 비디오신호를 공급하게 된다.

- [0072] 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)는 제 3박막 트랜지스터(TFT3)를 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 2액정셀(12)에 접속된다. 이와 같은 제 2스위칭부(16)는 현재 게이트라인(GLi) 및 이전 게이트라인(GLi-1)에 구동신호가 공급될 때 제 2액정셀(12)로 비디오신호를 공급하게 된다.
- [0073] 게이트 드라이버(34)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1) 및 제 2게이트신호(SP2)를 공급한다. 여기서, 제 1게이트신호(SP1)는 1/2수평주기($\frac{1}{2}H$)보다 적은 시간동안 하이상태를 유지하고, 제 2게이트신호(SP2)는 1/2수평주기($\frac{1}{2}H$)동안 하이상태를 유지한다. 그리고, i-1번째 게이트라인(GLi-1)에 공급되는 제 2게이트신호(SP2)는 i번째 게이트라인(GLi)에 공급되는 제 1게이트신호(SP1)와 동기되도록, 즉 동일한 시간에 상승되도록 공급된다. 따라서, i번째 게이트라인(GLi)에 공급되는 제 1게이트신호(SP1)가 i-1번째 게이트라인(GLi-1)에 공급되는 제 2게이트신호(SP2)보다 먼저 로우상태로 전환된다.
- [0074] 데이터 드라이버(32)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(32)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소되게 된다.
- [0075] 액정셀들(10,12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 TA의 기간($\frac{1}{2}H$)동안 i-1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급된다.
- [0076] i번째 게이트라인(GLi)으로 공급된 제 1게이트신호(SP1)는 i번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2) 및 제 3박막 트랜지스터(TFT3)를 턴-온시킨다. 그리고, i-1번째 게이트라인(GLi-1)으로 공급된 제 2게이트신호(SP2)는 i번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2)를 경유하여 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 아울러, i-1번째 게이트라인(GLi)으로 공급된 제 2게이트신호(SP2)는 i-1번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2) 및 제 3박막 트랜지스터(TFT3)를 턴-온시킨다.
- [0077] 즉, i-1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급되면 i-1번째 수평라인에 형성된 제 2액정셀(12)이 데이터라인(DL)에 접속된다. 그리고, i-1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급되면 i번째 수평라인에 형성된 제 1액정셀(10) 및 제 2액정셀(12)이 데이터라인(DL)에 접속된다. 이때, 데이터라인(DL)으로는 i-1번째 수평라인에 형성된 제 2액정셀(12)로 공급될 비디오신호(DA)가 전송된다. 따라서, i-1번째 수평라인에 형성된 제 2액정셀(12)에는 원하는 비디오신호(DA)가 충전된다. 이때, i번째 수평라인에 형성된 제 1 및 제 2액정셀(10,12)로도 비디오신호(DA)(더미 비디오신호)가 충전된다.
- [0078] 제 1기간(TA) 이후의 제 2기간(TB)($\frac{1}{2}H$) 동안 게이트라인들(GL)에는 게이트신호가 공급되지 않는다. 이와 같이 게이트라인들(GL)에 게이트신호가 공급되지 않으면 i번째 수평라인에 형성된 제 2박막 트랜지스터(TFT2) 및 제 3박막 트랜지스터(TFT3)가 턴-오프된다. 이때, 제 1박막 트랜지스터(TFT1)는 이전 $\frac{1}{2}H$ 기간(즉, 제 1기간(TA))에 공급된 제 2게이트신호(SP2)에 의하여 온상태를 유지한다. 다시 말하여, 제 1박막 트랜지스터(TFT1)의 게이트단자는 제 2게이트신호(SP2)를 공급받은 상태에서 플로팅상태로 전환되기 때문에(제 2박막 트랜지스터(TFT2)가 먼저 오프) 제 2기간(TB)동안 턴-온상태를 유지한다. 즉, i번째 게이트라인(GLi)으로 공급되는 제 1게이트신호(SP1)가 i-1번째 게이트라인(GLi-1)으로 공급되는 제 2게이트신호(SP2)보다 먼저 로우상태로 전환되기 때문에 제 1박막 트랜지스터(TFT1)의 게이트단자는 제 2게이트신호(SP2)를 충전한 상태로 플로팅된다.
- [0079] 이와 같은 제 2기간(TB)동안 데이터라인(DL)으로는 i번째 수평라인에 형성된 제 1액정셀(10)로 공급된 비디오신호(DB)가 전송된다. 따라서, 데이터라인(DL)으로 공급된 비디오신호(DB)는 i번째 수평라인에 형성된 제 1박막 트랜지스터(TFT1)를 경유하여 제 1액정셀(10)로 공급되고, 이에 따라 i번째 수평라인에 형성된 제 1액정셀(10)로는 원하는 비디오신호(DB)가 충전된다.
- [0080] 즉, 본 발명에서는 i-1번째 게이트라인(GLi-1)으로 제 2게이트신호(SP2)가 공급됨과 아울러 i번째 게이트라인(GLi)으로 제 1게이트신호(SP1)가 공급되는 기간동안 i-1번째 수평라인에 형성된 제 2액정셀(12)들로 비디오신호를 공급하고, 제 2게이트신호(SP2) 및 제 1게이트신호(SP1)가 오프되는 기간동안 i번째 수평라인에 형성된 제

1액정셀(10)들로 비디오신호를 공급하게 된다. 실제로, 본 발명에서는 이와같은 제 1기간(TA) 및 제 2기간(TB)을 반복하면서 액정셀들(10, 12)로 원하는 비디오신호가 충전되도록 한다.

[0081] 한편, 본 발명에서는 도 8과 같이 제 1박막 트랜지스터(TFT1)의 게이트단자에 접속되도록 캐패시터(Cp)가 추가로 설치될 수 있다. 이와 같은 캐패시터(Cp)는 제 1기간(TA) 동안 이전 게이트라인으로 공급되는 제 2게이트신호(SP)를 충전함과 아울러 제 2기간(TB) 동안 자신에게 충전된 제 2게이트신호(SP)를 제 1박막 트랜지스터(TFT1)의 게이트단자로 공급함으로써 제 2기간(TB) 동안 안정적으로 제 1박막 트랜지스터(TFT1)가 턴-온 상태를 유지하도록 한다. 그 외의 동작과정은 도 6에 도시된 본 발명의 다른 실시예와 동일하므로 상세한 설명은 생략하기로 한다.

[0082] 한편, 본 발명의 다른 실시예에서는 제 1액정셀(10) 및 제 2액정셀(12)들이 지그재그 형태로 배치되어 있기 때문에 제 1액정셀(10) 및 제 2액정셀(12)에 균일한 전압이 차징되지 않더라도 균일한 화질의 영상을 표시할 수 있다. 예를 들어, 제 1액정셀(10)에 원하는 전압보다 높은 전압이 충전되고 제 2액정셀(12)에 원하는 전압보다 낮은 전압이 충전되더라도 제 1액정셀(10) 및 제 2액정셀(12)이 지그재그 형태로 배치되었기 때문에 수평라인단 위로 전압차가 상쇄되고, 이에 따라 균일한 화질의 영상을 표시할 수 있다.

발명의 효과

[0083] 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그의 구동방법에 의하면 하나의 데이터라인이 좌/우로 인접되게 위치된 제 1 및 제 2액정셀들을 구동시키기 때문에 데이터라인의 수가 절반정도로 감소되게 된다. 따라서, 데이터라인에 구동신호를 공급하는 데이터 드라이브 집적회로의 수도 절반으로 감소되고, 이에 따라 제조비용을 절감할 수 있다. 아울러, 본 발명에서는 제 1액정셀 및 제 2액정셀들을 지그재그 형태로 배치하여 균일한 화상의 영상을 표시할 수 있다.

[0084] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 액정표시장치를 나타내는 도면.

[0002] 도 2는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면.

[0003] 도 3은 도 2에 도시된 게이트라인들로 공급되는 구동파형을 나타내는 도면.

[0004] 도 4는 본 발명의 제 2실시예에 의한 액정표시장치를 나타내는 도면.

[0005] 도 5는 본 발명의 제 3실시예에 의한 액정표시장치를 나타내는 도면.

[0006] 도 6는 본 발명의 제 4실시예에 의한 액정표시장치를 나타내는 도면.

[0007] 도 7은 본 발명의 제 5실시예에 의한 액정표시장치를 나타내는 도면.

[0008] 도 8은 본 발명의 제 6실시예에 의한 액정표시장치를 나타내는 도면.

[0009] < 도면의 주요 부분에 대한 부호의 설명 >

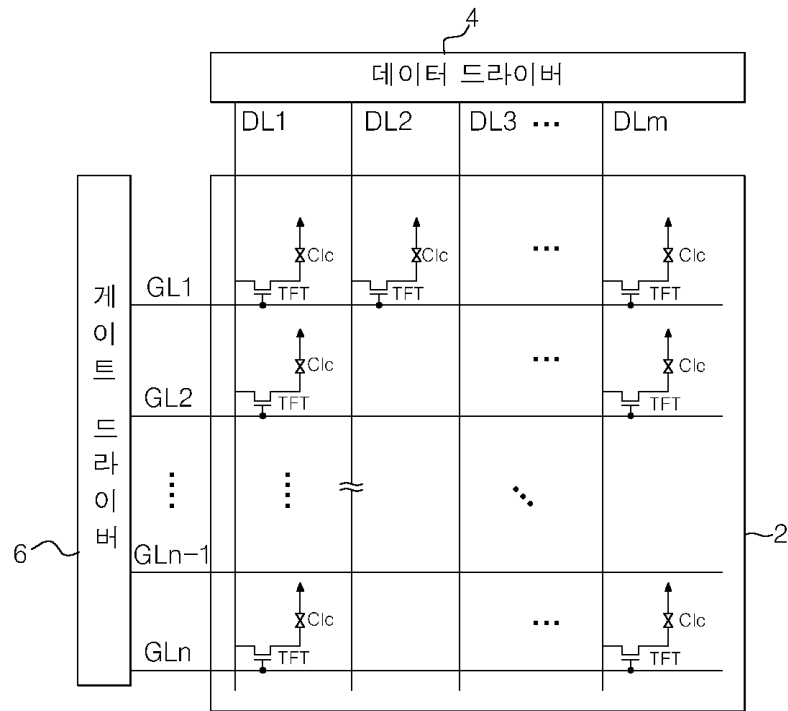
[0010] 2, 20, 30 : 액정패널 4, 22, 32 : 데이터 드라이버

[0011] 6,24,34 : 게이트 드라이버 10,12 : 액정셀

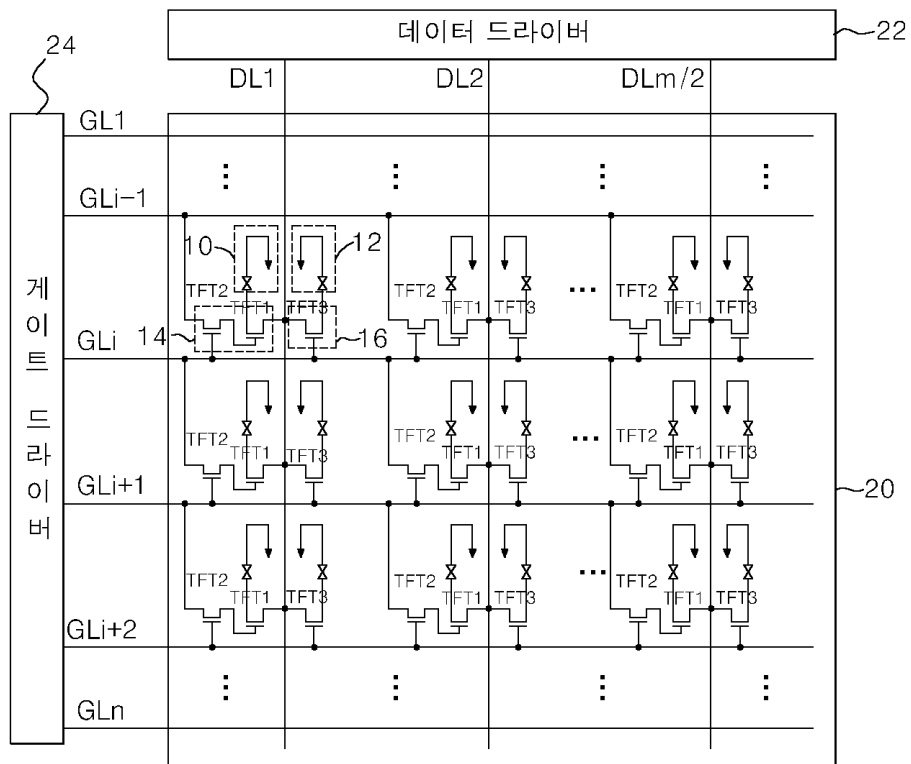
[0012] 14,16 : 스위칭부

도면

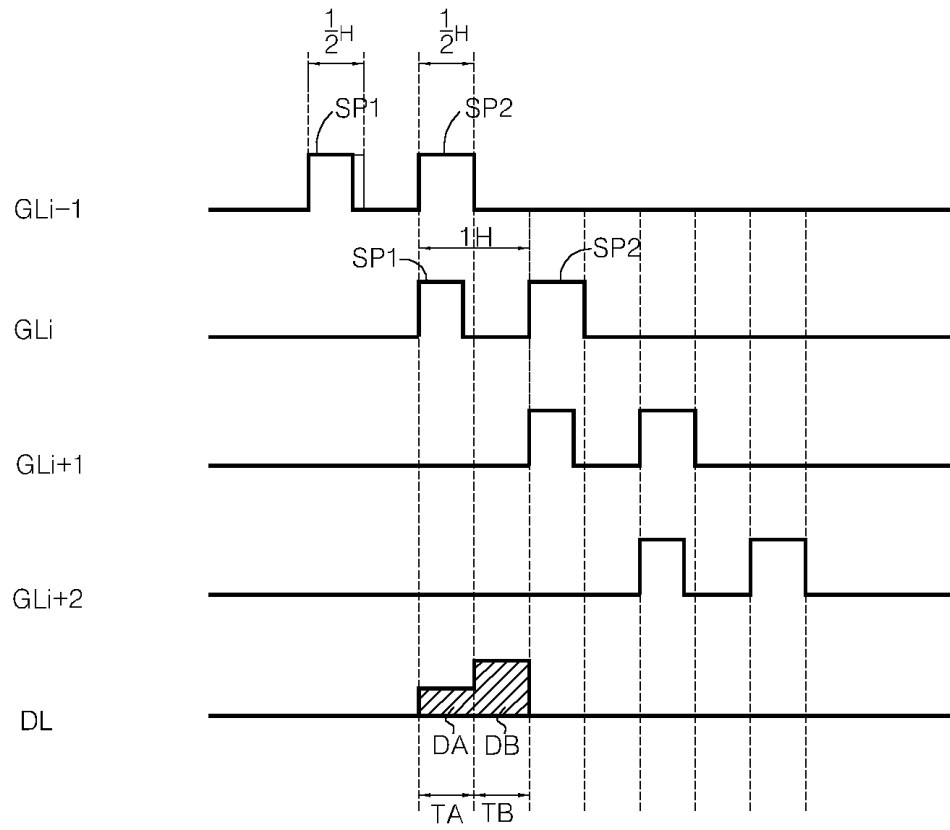
도면1



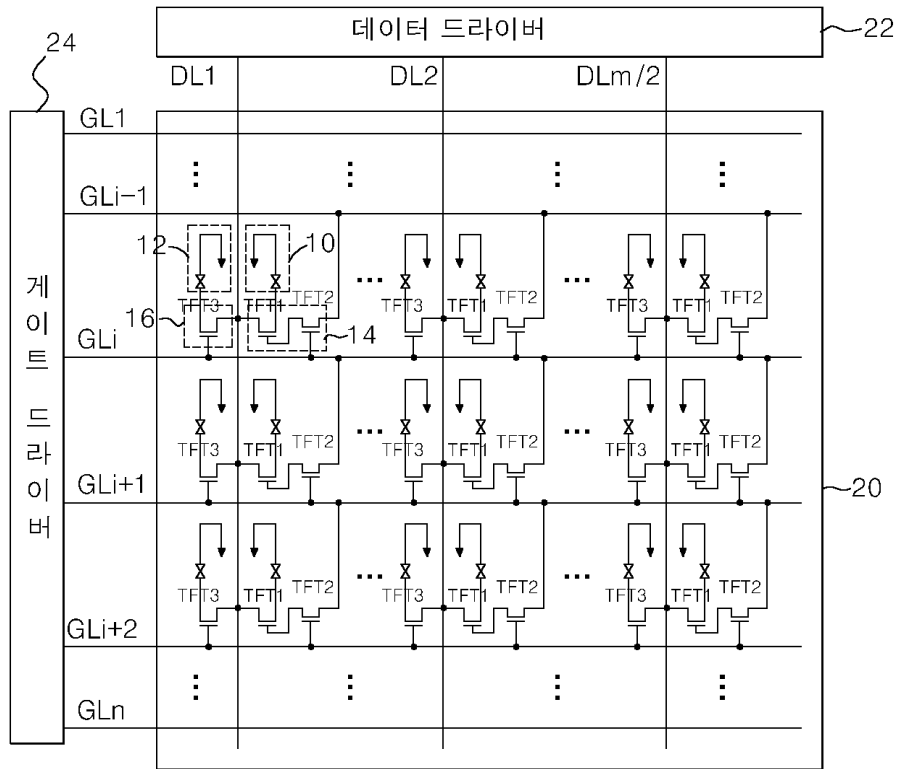
도면2



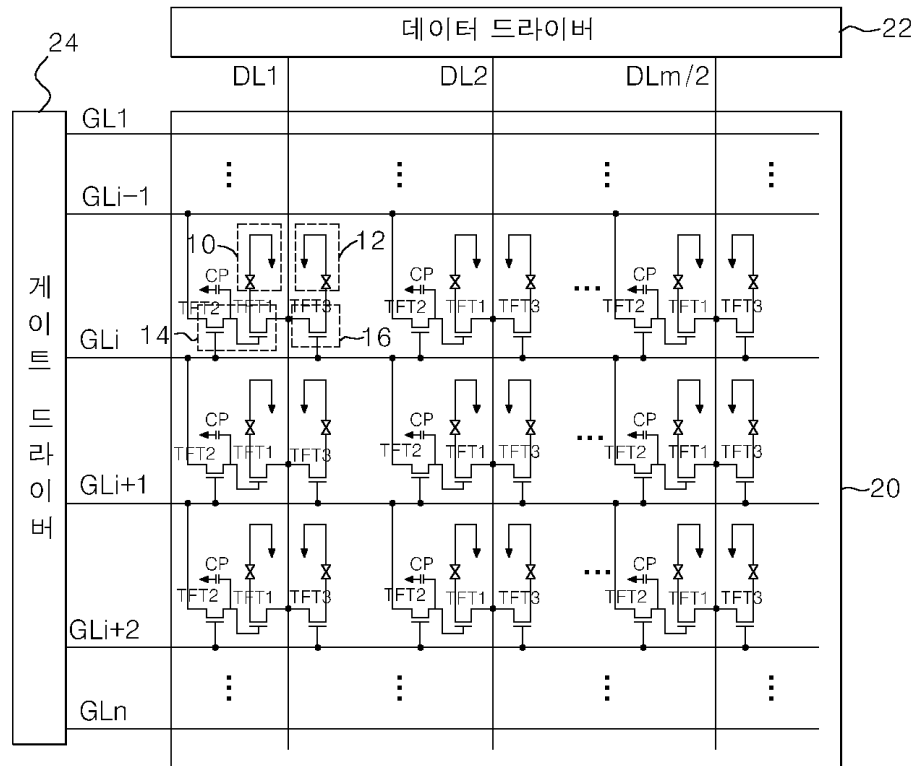
도면3



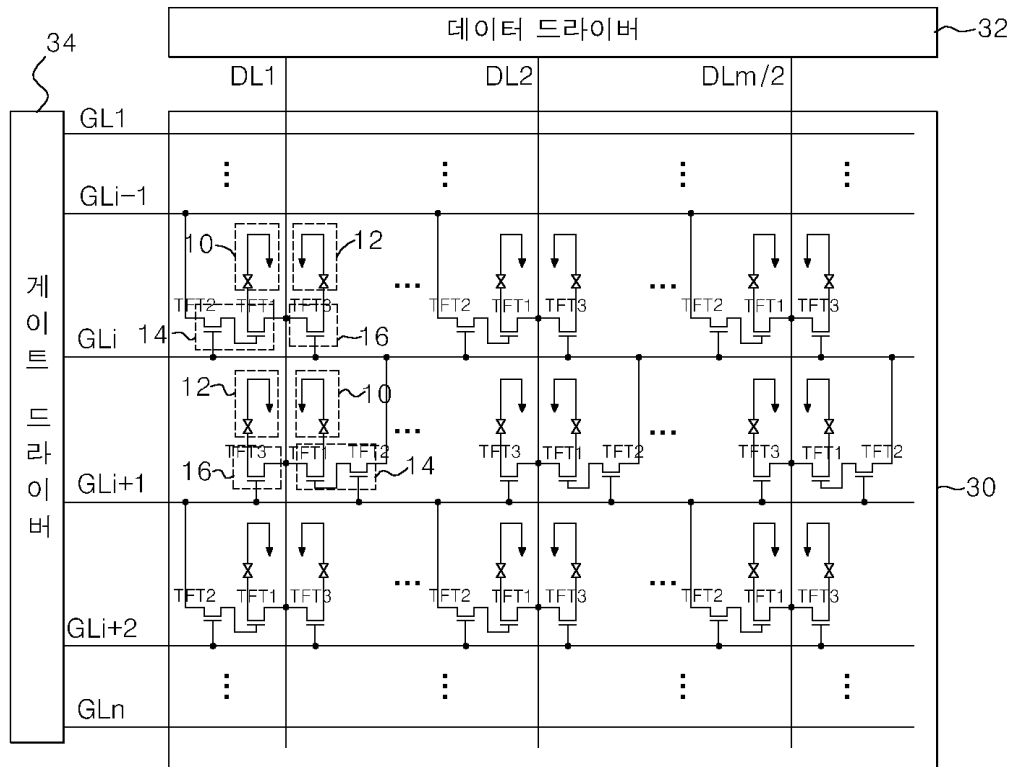
도면4



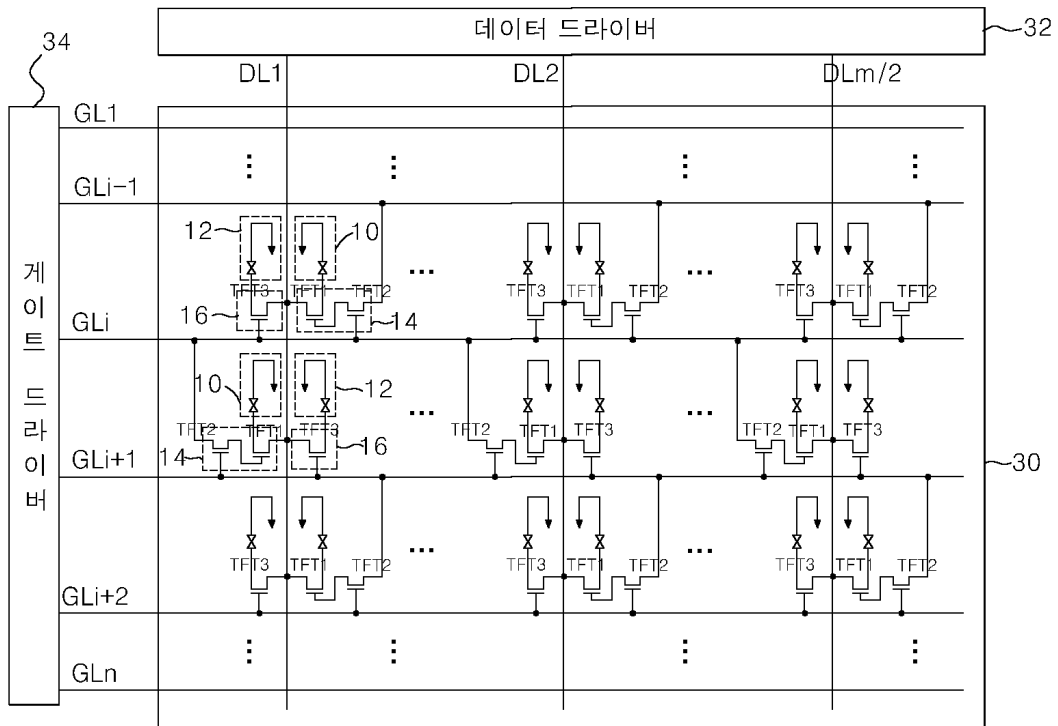
도면5



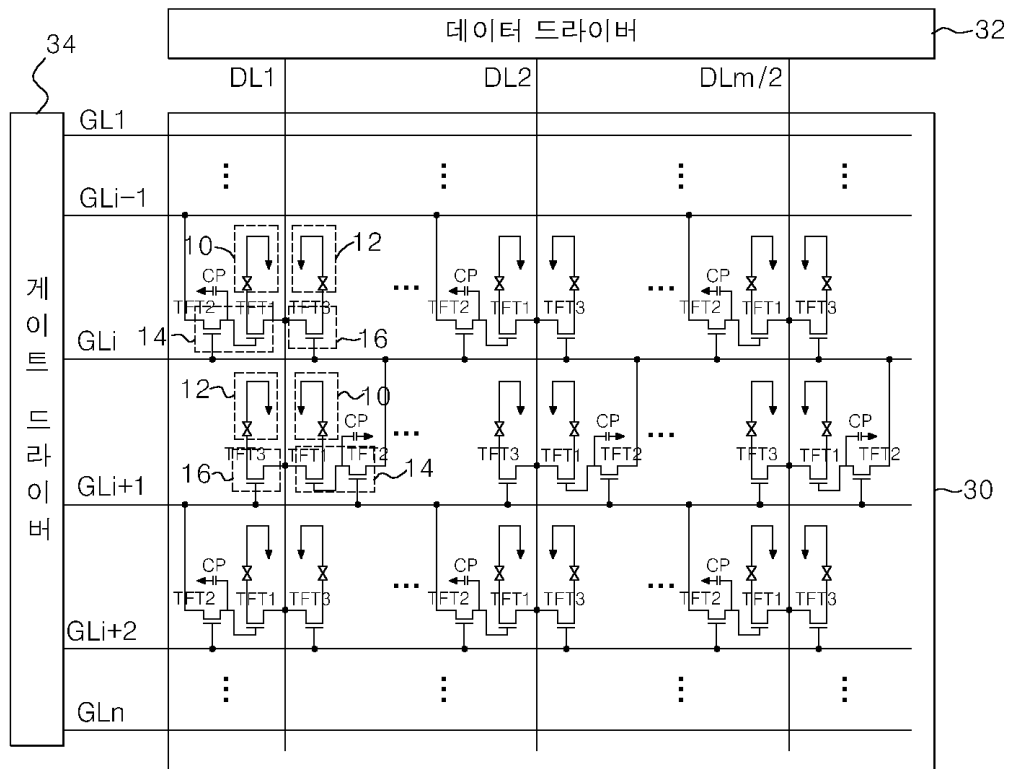
도면6



도면7



도면8



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR100963403B1	公开(公告)日	2010-06-14
申请号	KR1020030088648	申请日	2003-12-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONGHO		
发明人	JANG,YONGHO		
IPC分类号	G02F1/133 G09G3/36 H04N5/66		
CPC分类号	G09G3/3648 G09G3/3659 G09G2310/0297 G09G2300/0426		
其他公开文献	KR1020050055437A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及能够减少数据线的数量和与其对应的数据驱动IC的数量的液晶显示装置。本发明的一种液晶显示器，多条数据线和多个形成在一个方向上的数据线交叉的栅线，以及形成在一侧基于所述数据线的第二液晶单元，所述数据线第二液晶单元形成在另一侧，相对于第二液晶单元和第三液晶单元形成在每个第二液晶单元中，位于 i (i 是自然数)水平线中并由 i -控制并且为位于第 i 条水平线上并由第 i 条栅极线控制的每个第三液晶单元形成第三开关单元。

