



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월18일
(11) 등록번호 10-0942836
(24) 등록일자 2010년02월09일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0081980

(22) 출원일자 2002년12월20일

심사청구일자 2007년12월17일

(65) 공개번호 10-2004-0055336

(43) 공개일자 2004년06월26일

(56) 선행기술조사문헌

JP13356740 A*

KR1020010001483 A*

KR1020020072723 A

KR1020020071569 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박광순

대구광역시동구신암5동54-35

(74) 대리인

특허법인로알

전체 청구항 수 : 총 29 항

심사관 : 남기영

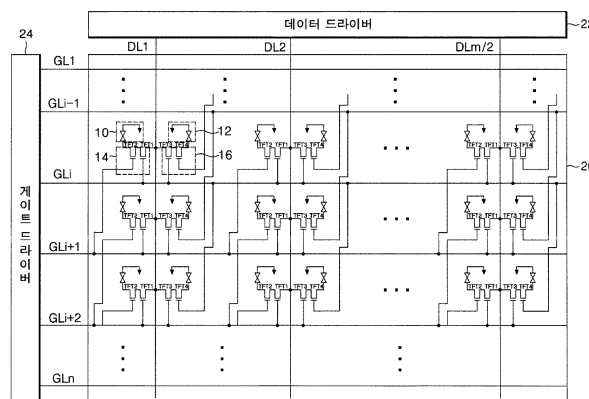
(54) 액정표시장치의 구동장치 및 방법

(57) 요약

본 발명은 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 데이터라인들과, 상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과, 상기 제 1액정셀 마다 형성되어 i 번째 게이트라인과 $i+1$ 번째 게이트라인에 의해 제어되는 제 1스위칭부와, 상기 제 2액정셀 마다 형성되어 상기 i 번째 게이트라인과 $i-2$ 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비한다.

대표도



특허청구의 범위

청구항 1

데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과,

i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과,

상기 제 1액정셀 마다 형성되어 i 번째 게이트라인과 $i+1$ 번째 게이트라인에 의해 제어되는 제 1스위칭부와,

상기 제 2액정셀 마다 형성되어 상기 i 번째 게이트라인과 $i-2$ 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 제 1스위칭부는 상기 i 번째 게이트라인 및 $i+1$ 번째 게이트라인에 게이트신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1항에 있어서,

상기 제 2스위칭부는 상기 i 번째 게이트라인 및 $i-2$ 번째 게이트라인에 게이트신호가 공급될 때 상기 하나의 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 하나의 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6항에 있어서,

상기 제 2액정셀 및 제 2스위칭부는 상기 하나의 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 상기 하나의 데이터라인의 우측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8항에 있어서,

상기 제 2액정셀 및 제 2스위칭부는 상기 하나의 데이터라인의 좌측에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 1항에 있어서,

상기 제 1스위칭부는

상기 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 하나의 데이터라인에 소오스단자가 접속되는 제 1박막 트랜지스터와,

상기 $i+1$ 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 제 1박막 트랜지스터의 드레인단자에 소오스단자가 접속되고, 상기 제 1액정셀에 드레인단자가 접속되는 제 2박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11

삭제

청구항 12

제 10항에 있어서,

상기 제 2스위칭부는

상기 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 하나의 데이터라인에 소오스단자가 접속되는 제 3박막 트랜지스터와,

상기 $i-2$ 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 제 3박막 트랜지스터의 드레인단자에 소오스단자가 접속되고, 상기 제 2액정셀에 드레인단자가 접속되는 제 4박막 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과,

i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과,

상기 하나의 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하기 위하여 제 1 및 제 2박막 트랜

지스터를 포함하는 제 1스위칭부와,

상기 하나의 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하기 위하여 제 3 및 제 4박막 트랜지스터를 포함하는 제 2스위칭부를 구비하며,

상기 제 1스위칭부 및 상기 제 2스위칭부는 상기 제 2 및 제 4박막 트랜지스터의 게이트 연결형태를 제외한 구성이 미리형태를 갖는 것을 특징으로 하는 액정표시장치.

청구항 19

제 18항에 있어서,

상기 제 1 및 제 3박막 트랜지스터의 게이트단자는 i 번째 게이트라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 20

제 19항에 있어서,

상기 제 2박막 트랜지스터의 게이트단자는 $i+1$ 번째 게이트라인에 접속되고, 상기 제 4박막 트랜지스터의 게이트단자는 $i-2$ 번째 게이트라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 21

제 20항에 있어서,

상기 제 1박막 트랜지스터의 소오스단자는 상기 하나의 데이터라인에 접속됨과 아울러 드레인단자는 상기 제 2박막 트랜지스터의 소오스단자에 접속되고, 상기 제 2박막 트랜지스터의 드레인단자는 상기 제 1액정셀에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 22

제 20항에 있어서,

상기 제 3박막 트랜지스터의 소오스단자는 상기 하나의 데이터라인에 접속됨과 아울러 드레인단자는 상기 제 4박막 트랜지스터의 소오스단자에 접속되고, 상기 제 4박막 트랜지스터의 드레인단자는 상기 제 2액정셀에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 23

제 18항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 형성되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 24

제 18항에 있어서,

상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 형성되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과,

i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과,

상기 제 1액정셀 마다 형성되어 i 번째 게이트라인과 $i+1$ 번째 게이트라인에 의해 제어되는 제 1스위칭부와,

상기 제 2액정셀 마다 형성되어 상기 i 번째 게이트라인과 $i-2$ 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하며,

상기 하나의 데이터라인을 기준으로 상기 제 1스위칭부와 상기 제 2스위칭부가 지그재그 형태로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 30

제 29항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 31

제 30항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 32

제 29항에 있어서,

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치되는 것을 특징으로 액정표시장치.

청구항 33

제 32항에 있어서,

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치되는 것을 특징으로 하는 액정표시장치.

청구항 34

데이터라인들에 비디오신호를 공급하기 위한 데이터 드라이버와,

게이트라인들 각각에 제 1게이트신호, 제 2게이트신호 및 제 3게이트신호로 이루어진 게이트신호를 순차적으로 공급하기 위한 게이트 드라이버를 구비하고,

i (i 는 3 이상의 자연수) 번째 게이트라인에 공급되는 제 2게이트신호는 $i+1$ 번째 게이트라인에 공급되는 제 1게이트신호, 및 $i-2$ 번째 게이트라인에 공급되는 제 3게이트신호와 중첩되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 35

제 34항에 있어서,

상기 제 1게이트신호 및 제 3게이트신호는 동일한 폭을 갖는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 36

제 34항에 있어서,

상기 제 2게이트신호의 폭은 상기 제 1게이트신호 및 제 3게이트신호의 폭보다 넓은 폭을 갖도록 설정되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 37

제 36항에 있어서,

상기 제 1게이트신호 및 제 3게이트신호는 각각 제 1폭 및 제 2폭으로 설정되고, 상기 제 2게이트신호는 제 1폭 및 제 2폭을 합한 제 3폭으로 설정되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 38

삭제

청구항 39

제 34항에 있어서,

상기 제 1게이트신호 및 제 2게이트신호가 중첩된 후 상기 제 3게이트신호와 상기 제 2게이트신호가 중첩되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 40

i (i 는 3 이상의 자연수) 번째 게이트라인 및 $i+1$ 번째 게이트라인에 게이트신호가 공급될 때 제 1액정셀로 비디오신호를 공급하는 단계와,

상기 i 번째 게이트라인, 및 $i-2$ 번째 게이트라인에 게이트신호가 공급될 때 제 2액정셀로 비디오신호를 공급하는 단계를 포함하고,

상기 게이트신호는 제 1게이트신호, 제 2게이트신호 및 제 3게이트신호로 이루어지고, 상기 i 번째 게이트라인에 공급되는 상기 제 2게이트신호는 상기 $i+1$ 번째 게이트라인에 공급되는 상기 제 1게이트신호, 및 상기 $i-2$ 번째 게이트라인에 공급되는 상기 제 3게이트신호와 중첩되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 41

제 40항에 있어서,

i 번째 수평라인에 위치된 상기 제 1액정셀은, 상기 i 번째 게이트라인에 공급되는 상기 제 2게이트신호와 상기 $i+1$ 번째 게이트라인에 공급되는 상기 제 1게이트신호가 중첩되는 기간 동안 상기 비디오신호를 공급받는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 42

제 40항에 있어서,

i 번째 수평라인에 위치된 상기 제 2액정셀은, 상기 i 번째 게이트라인에 공급되는 상기 제 2게이트신호와 상기 $i-2$ 번째 게이트라인에 공급되는 상기 제 3게이트신호가 중첩되는 기간 동안 상기 비디오신호를 공급받는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 액정표시장치의 구동장치 및 방법에 관한 것으로 특히, 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 구동장치 및 방법에 관한 것이다.
- [0018] 액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.
- [0019] 도 1은 종래의 액정표시장치를 나타내는 도면이다.
- [0020] 도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.
- [0021] 액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.
- [0022] 게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.
- [0023] 박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.
- [0024] 이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개) 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.
- [0025] 여기서 알수 있듯이, 종래에는 m개의 수직라인의 액정셀들을 구동하기 위하여 m개의 데이터라인들(DL1 내지 DLm)을 필요로한다. 따라서, 종래에는 액정패널(2)을 구동하기 위하여 다수의 데이터라인들(DL1 내지 DLm)이 형성되고, 이에 따라 공정시간 및 제조비용이 낭비되는 단점이 있다. 또한, m개의 데이터라인들(DL1 내지 DLm)을 각각을 구동하기 위하여 데이터 드라이버(4) 내에 많은 수의 데이터 드라이버 집적회로(Integrated Circuit : 이하 "IC"라 함)가 포함되어야 하므로 많은 제조비용이 소모되어야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0026] 따라서, 본 발명의 목적은 데이터라인 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 구동장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0027] 상기 목적을 달성하기 위하여 본 발명의 액정표시장치는 데이터라인들과, 상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과, 상기 제 1액정셀 마다 형성되어 i 번째 게이트라인과 $i+1$ 번째 게이트라인에 의해 제어되는 제 1스위칭부와, 상기 제 2액정셀 마다 형성되어 상기 i 번째 게이트라인과 $i-2$ 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비한다.

상기 제 1스위칭부는 상기 i 번째 게이트라인 및 $i+1$ 번째 게이트라인에 게이트신호가 공급될 때 상기 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급한다.

상기 제 2스위칭부는 상기 i 번째 게이트라인 및 $i-2$ 번째 게이트라인에 게이트신호가 공급될 때 상기 하나의 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급한다.

상기 제 1액정셀 및 제 1스위칭부는 상기 하나의 데이터라인의 좌측에 위치된다.

상기 제 2액정셀 및 제 2스위칭부는 상기 하나의 데이터라인의 우측에 위치된다.

상기 제 1액정셀 및 제 1스위칭부는 상기 하나의 데이터라인의 우측에 위치된다.

상기 제 2액정셀 및 제 2스위칭부는 상기 하나의 데이터라인의 좌측에 위치된다.

상기 제 1스위칭부는 상기 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 하나의 데이터라인에 소오스단자가 접속되는 제 1박막 트랜지스터와, 상기 $i+1$ 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 제 1박막 트랜지스터의 드레인단자에 소오스단자가 접속되고, 상기 제 1액정셀에 드레인단자가 접속되는 제 2박막 트랜지스터를 구비한다.

상기 제 2스위칭부는 상기 i 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 하나의 데이터라인에 소오스단자가 접속되는 제 3박막 트랜지스터와, 상기 $i-2$ 번째 게이트라인에 게이트단자가 접속됨과 아울러 상기 제 3박막 트랜지스터의 드레인단자에 소오스단자가 접속되고, 상기 제 2액정셀에 드레인단자가 접속되는 제 4박막 트랜지스터를 구비한다.

본 발명의 액정표시장치는 데이터라인들과, 상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과, 상기 하나의 데이터라인으로 공급되는 비디오신호를 상기 제 1액정셀로 공급하기 위하여 제 1 및 제 2박막 트랜지스터를 포함하는 제 1스위칭부와, 상기 하나의 데이터라인으로 공급되는 비디오신호를 상기 제 2액정셀로 공급하기 위하여 제 3 및 제 4박막 트랜지스터를 포함하는 제 2스위칭부를 구비하며, 상기 제 1스위칭부 및 상기 제 2스위칭부는 상기 제 2 및 제 4박막 트랜지스터의 게이트 연결형태를 제외한 구성이 미리형태를 갖는다.

상기 제 1 및 제 3박막 트랜지스터의 게이트단자는 i 번째 게이트라인에 접속된다.

상기 제 2박막 트랜지스터의 게이트단자는 $i+1$ 번째 게이트라인에 접속되고, 상기 제 4박막 트랜지스터의 게이트단자는 $i-2$ 번째 게이트라인에 접속된다.

상기 제 1박막 트랜지스터의 소오스단자는 상기 하나의 데이터라인에 접속됨과 아울러 드레인단자는 상기 제 2박막 트랜지스터의 소오스단자에 접속되고, 상기 제 2박막 트랜지스터의 드레인단자는 상기 제 1액정셀에 접속된다.

상기 제 3박막 트랜지스터의 소오스단자는 상기 하나의 데이터라인에 접속됨과 아울러 드레인단자는 상기 제 4박막 트랜지스터의 소오스단자에 접속되고, 상기 제 4박막 트랜지스터의 드레인단자는 상기 제 2액정셀에 접속된다.

상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 형성되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 형성된다.

상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 형성되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 형성된다.

본 발명의 액정표시장치는 데이터라인들과, 상기 데이터라인들과 교차되는 방향으로 형성되는 게이트라인들과, i (i 는 3 이상의 자연수)번째 수평라인을 따라 서로 인접되게 배치되어 하나의 데이터라인에 접속되는 제 1액정셀 및 제 2액정셀과, 상기 제 1액정셀 마다 형성되어 i 번째 게이트라인과 $i+1$ 번째 게이트라인에 의해 제어되는 제 1스위칭부와, 상기 제 2액정셀 마다 형성되어 상기 i 번째 게이트라인과 $i-2$ 번째 게이트라인에 의해 제어되는 제 2스위칭부를 구비하며, 상기 하나의 데이터라인을 기준으로 상기 제 1스위칭부와 상기 제 2스위칭부가 지그재그 형태로 배치된다.

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.

기수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 기수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 우수번째 수직라인에 위치된다.

우수번째 수평라인에서 상기 제 1액정셀 및 제 1스위칭부는 우수번째 수직라인에 위치되고, 상기 제 2액정셀 및 제 2스위칭부는 기수번째 수직라인에 위치된다.

본 발명의 액정표시장치의 구동장치는 데이터라인들에 비디오신호를 공급하기 위한 데이터 드라이버와, 게이트라인들 각각에 제 1게이트신호, 제 2게이트신호 및 제 3게이트신호로 이루어진 게이트신호를 순차적으로 공급하기 위한 게이트 드라이버를 구비하고, i (i 는 3 이상의 자연수) 번째 게이트라인에 공급되는 제 2게이트신호는 $i+1$ 번째 게이트라인에 공급되는 제 1게이트신호, 및 $i-2$ 번째 게이트라인에 공급되는 제 3게이트신호와 중첩된다.

상기 제 1게이트신호 및 제 3게이트신호는 동일한 폭을 갖는다.

상기 제 2게이트신호의 폭은 상기 제 1게이트신호 및 제 3게이트신호의 폭보다 넓은 폭을 갖도록 설정된다.

상기 제 1게이트신호 및 제 3게이트신호는 각각 제 1폭 및 제 2폭으로 설정되고, 상기 제 2게이트신호는 제 1폭 및 제 2폭을 합한 제 3폭으로 설정된다.

상기 제 1게이트신호 및 제 2게이트신호가 중첩된 후 상기 제 3게이트신호와 상기 제 2게이트신호가 중첩된다.

본 발명의 액정표시장치의 구동방법은 i (i 는 3 이상의 자연수) 번째 게이트라인 및 $i+1$ 번째 게이트라인에 게이트신호가 공급될 때 제 1액정셀로 비디오신호를 공급하는 단계와, 상기 i 번째 게이트라인, 및 $i-2$ 번째 게이트라인에 게이트신호가 공급될 때 제 2액정셀로 비디오신호를 공급하는 단계를 포함하고, 상기 게이트신호는 제 1게이트신호, 제 2게이트신호 및 제 3게이트신호로 이루어지고, 상기 i 번째 게이트라인에 공급되는 상기 제 2게이트신호는 상기 $i+1$ 번째 게이트라인에 공급되는 상기 제 1게이트신호, 및 상기 $i-2$ 번째 게이트라인에 공급되는 상기 제 3게이트신호와 중첩된다.

i 번째 수평라인에 위치한 상기 제 1액정셀은, 상기 i 번째 게이트라인에 공급되는 상기 제 2게이트신호와 상기 $i+1$ 번째 게이트라인에 공급되는 상기 제 1게이트신호가 중첩되는 기간 동안 상기 비디오신호를 공급받는다.

i 번째 수평라인에 위치한 상기 제 2액정셀은, 상기 i 번째 게이트라인에 공급되는 상기 제 2게이트신호와 상기 $i-2$ 번째 게이트라인에 공급되는 상기 제 3게이트신호가 중첩되는 기간 동안 상기 비디오신호를 공급받는다.

[0028] 삭제

[0029] 삭제

[0030] 삭제

[0031] 삭제

[0032] 삭제

[0033] 삭제

[0034] 삭제

[0035] 삭제

- [0036] 삭제
- [0037] 삭제
- [0038] 삭제
- [0039] 삭제
- [0040] 삭제
- [0041] 삭제
- [0042] 삭제
- [0043] 삭제
- [0044] 삭제
- [0045] 삭제
- [0046] 삭제
- [0047] 삭제
- [0048] 삭제
- [0049] 삭제
- [0050] 삭제
- [0051] 삭제
- [0052] 삭제
- [0053] 삭제

[0054]	삭제
[0055]	삭제
[0056]	삭제
[0057]	삭제
[0058]	삭제
[0059]	삭제
[0060]	삭제
[0061]	삭제
[0062]	삭제
[0063]	삭제
[0064]	삭제
[0065]	삭제
[0066]	삭제
[0067]	삭제
[0068]	삭제
[0069]	상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
[0070]	이하 도 2 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
[0071]	도 2는 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면이다.
[0072]	도 2를 참조하면, 본 발명의 실시예에 의한 액정표시장치는 액정패널(20)과, 액정패널(20)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(22)와, 액정패널(20)의 게이트라인들(GL1 내지 GLn)을 구동하기

위한 게이트 드라이버(24)를 구비한다.

- [0073] 액정패널(20)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부에 형성된 제 1액정셀(10) 및 제 2액정셀(12)들과, 제 1액정셀(10)들을 구동시키기 위한 제 1스위칭부(14)들 및 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)들을 구비한다. 제 1 및 제 2액정셀(10,12)은 액정을 사이에 두고 대면하는 공통전극과, 제 1스위칭부(14) 및 제 2스위칭부(16)에 각각 접속되는 화소전극으로 구성되므로 등가적으로 액정 캐패시터(C1c)로 표시될 수 있다. 여기서, 제 1 및 제 2액정셀(10,12)들은 액정 캐패시터(C1c)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.
- [0074] 제 1액정셀(10) 및 제 1스위칭부(14)는 데이터라인(DL)의 좌측, 즉 기수번째 수직라인에 형성된다. 제 2액정셀(12) 및 제 2스위칭부(16)는 데이터라인(DL)의 우측, 즉 우수번째 수직라인에 형성된다. 다시 말하여, 제 1액정셀(10) 및 제 2액정셀(12)은 하나의 데이터라인(DL)을 사이에 두고 좌/우측에 형성된다. 이때, 제 1액정셀(10) 및 제 2액정셀(12)은 인접되게 위치한 데이터라인(DL)으로부터 비디오신호를 공급받는다. 즉, 본 발명의 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.
- [0075] 한편, 본 발명에서 제 1액정셀(10) 및 제 2액정셀(12)의 위치는 도 4와 같이 변경될 수 있다. 즉, 도 4와 같이 제 1액정셀(10) 및 제 1스위칭부(14)는 데이터라인(DL)의 우측에 형성되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 데이터라인(DL)의 좌측에 형성된다. 다시 말하여, 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 형성되고, 제 2액정셀(12) 및 제 2스위칭부(14)는 기수번째 수직라인에 형성되게 된다.
- [0076] 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 i(i는 자연수)번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속되고, 소오스단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속된다. 그리고, 제 2박막 트랜지스터(TFT2)의 드레인단자는 제 1액정셀(10)에 접속된다. 이와 같은 제 1스위칭부(14)는 현재 게이트라인(GLi) 및 다음 게이트라인(GLi+1)에 구동신호가 공급될 때 제 1액정셀(10)로 비디오신호를 공급하게 된다.
- [0077] 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)는 제 3 및 제 4박막 트랜지스터(TFT3,TFT4)를 구비한다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i(i는 자연수)번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 4박막 트랜지스터(TFT4)의 게이트단자는 i-2번째 게이트라인(GLi-2)에 접속되고, 소오스단자는 제 3박막 트랜지스터(TFT3)의 드레인단자에 접속된다. 그리고, 제 4박막 트랜지스터(TFT4)의 드레인단자는 제 2액정셀(12)에 접속된다. 이와 같은 제 2스위칭부(16)는 현재 게이트라인(GLi) 및 이전 게이트라인(GLi-2)에 구동신호가 공급될 때 제 2액정셀(16)로 비디오신호를 공급하게 된다.
- [0078] 이와 같은 제 1 및 제 2스위칭부(14,16)는 제 2박막 트랜지스터(TFT) 및 제 4박막 트랜지스터(TFT4)의 게이트단자를 제외하고는 동일한 형태, 즉 미러형태의 구조를 갖는다.
- [0079] 게이트 드라이버(24)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트라인들(GL1 내지 GLn)에 각각에 제 1게이트신호(SP1), 제 2게이트신호(SP2) 및 제 3게이트신호(SP3)를 공급한다. 여기서, 제 1게이트신호(SP1) 및 제 3게이트신호(SP3) 동일한 폭을 갖는다. 그리고, 제 2게이트신호(SP1)는 제 1 및 제 3게이트신호(SP3)보다 넓은 폭, 바람직하게는 제 1게이트신호(SP1) 및 제 3게이트신호(SP3)를 합한 폭과 동일한 폭을 갖도록 설정된다.
- [0080] 데이터 드라이버(22)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/2)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 DLm/2)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(22)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소되게 된다.
- [0081] 이와 같은 본 발명의 실시예에 의한 액정표시장치의 구동과정을 상세히 설명하면, 먼저 게이트 드라이버(24)는 각각의 게이트라인들(GL)로 제 1게이트신호 내지 제 3게이트신호(SP1 내지 SP3)를 순차적으로 공급한다. 이때, i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 제 1기간(TA)동안 중첩되게 공급된다. 또한, i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 i-2번째 게이트라인(GLi-2)에 공급되는 제 3게이트신호(SP3)와 제 2기간(TB)동안 중첩되게 공급된다.

- [0082] 즉, 현재 게이트라인(GLi)에 공급되는 제 1게이트신호(SP1)는 이전 게이트라인(GLi-1)에 공급되는 제 2게이트신호(SP2)와 제 1기간(TA)동안 중첩되게 공급되고, 현재 게이트라인(GLi)에 공급되는 제 3게이트신호(SP3)는 다음 게이트라인(GLi+2)에 공급되는 제 2게이트신호(SP2)와 제 2기간(TB)동안 중첩되게 공급된다.
- [0083] 액정셀들(10,12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 및 제 2기간(TB)동안 i 번째 게이트라인(GLi)으로 공급된 제 2게이트신호(SP2)는 제 1 및 제 3박막 트랜지스터(TFT1,TFT3)의 게이트단자로 공급된다. 따라서, 제 1 및 제 3박막 트랜지스터(TFT1,TFT3)는 제 2게이트신호(SP2)가 공급되는 기간(TA+TB)동안 턴-온상태를 유지한다.
- [0084] 한편, 제 1기간(TA) 동안 i+1번째 게이트라인으로 제 1게이트신호(SP1)가 공급되고, 이 제 1게이트신호(SP1)는 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되어 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급된 비디오신호(DA)가 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 경유하여 제 1액정셀(10)로 공급된다. 즉, i번째 수평라인에 위치한 제 1액정셀(10)은 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급되고, i+1번째 게이트라인(GLi+1)에 제 1게이트신호(SP1)가 공급될 때 비디오신호(DA)를 공급받게 된다.
- [0085] 제 1기간(TA) 이후의 제 2기간(TB)동안 i-2번째 게이트라인으로 제 3게이트신호(SP3)가 공급되고, 이 제 3게이트신호(SP3)는 제 4박막 트랜지스터(TFT4)를 턴-온시킨다. 제 4박막 트랜지스터(TFT4)가 턴-온되면 데이터라인(DL)으로 공급된 비디오신호(DB)가 제 3 및 제 4박막 트랜지스터(TFT3,TFT4)를 경유하여 제 2액정셀(12)로 공급된다. 즉, i번째 수평라인에 위치한 제 2액정셀(12)은 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급되고, i-2번째 게이트라인(GLi-2)에 제 3게이트신호(SP3)가 공급될 때 비디오신호(DB)를 공급받게 된다.
- [0086] 도 5는 본 발명의 다른 실시예에 의한 액정표시장치를 나타내는 도면이다.
- [0087] 이와 같은 본 발명의 다른 실시예에서는 액정셀들(10,12) 및 스위칭부(14,16)의 형성위치만 변경될 뿐 그 구조 및 기능은 도 2에 도시된 본 발명의 실시예와 동일하다.
- [0088] 도 5를 참조하면, 본 발명의 다른 실시예에 의한 액정표시장치는 액정패널(30)과, 액정패널(30)의 데이터라인들(DL1 내지 DLm/2)을 구동하기 위한 데이터 드라이버(32)와, 액정패널(30)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(34)를 구비한다.
- [0089] 액정패널(30)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/2)의 교차부마다 형성된 제 1액정셀(10)들 및 제 2액정셀(12)들과, 제 1액정셀(10)을 구동하기 위한 제 1스위칭부(14)와, 제 2액정셀(12)을 구동하기 위한 제 2스위칭부(16)를 구비한다. 이와 같은 본 발명의 다른 실시예에서는 제 1액정셀(10) 및 제 1스위칭부(14)와 제 2액정셀(12) 및 제 2스위칭부(16)가 데이터라인(DL)을 기준으로 지그재그 형태로 배치된다.
- [0090] 여기서, 기수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 도 5과 같이 기수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 우수번째 수직라인에 위치된다. 그리고, 우수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 위치된다.
- [0091] 또한, 본 발명의 다른 실시예에서는 도 6과 같이 기수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 우수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 기수번째 수직라인에 위치될 수 있다. 이때, 우수번째 수평라인에서 제 1액정셀(10) 및 제 1스위칭부(14)는 기수번째 수직라인에 위치되고, 제 2액정셀(12) 및 제 2스위칭부(16)는 우수번째 수직라인에 위치된다.
- [0092] 이와 같이 데이터라인(DL)을 기준으로 지그재그 형태로 배치된 제 1액정셀(10) 및 제 2액정셀(12)은 인접한(기준이된) 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 다른 실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 절반으로 줄어들게 된다.
- [0093] 제 1액정셀(10)을 구동시키기 위한 제 1스위칭부(14)는 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 구비한다. 제 1박막 트랜지스터(TFT1)의 게이트단자는 i(i는 자연수)번째 게이트라인(GLi)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속되고, 소오스단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속된다. 그리고, 제 2박막 트랜지스터(TFT2)의 드레인단자는 제 1액정셀(10)에 접속된다. 이와 같은 제 1스위칭부(14)는 현재 게이트라인(GLi) 및 다음 게이트라인(GLi+1)에 구동신호가 공급될 때 제 1액정셀(10)로 비디오신호를 공급하게 된다.
- [0094] 제 2액정셀(12)을 구동시키기 위한 제 2스위칭부(16)는 제 3 및 제 4박막 트랜지스터(TFT3,TFT4)를 구비한다.

제 3박막 트랜지스터(TFT3)의 게이트단자는 i (i 는 자연수)번째 게이트라인(GL_i)에 접속되고, 소오스단자는 인접된 데이터라인(DL)에 접속된다. 제 4박막 트랜지스터(TFT4)의 게이트단자는 $i-2$ 번째 게이트라인(GL_{i-2})에 접속되고, 소오스단자는 제 3박막 트랜지스터(TFT3)의 드레인단자에 접속된다. 그리고, 제 4박막 트랜지스터(TFT4)의 드레인단자는 제 2액정셀(12)에 접속된다. 이와 같은 제 2스위칭부(16)는 현재 게이트라인(GL_i) 및 이전 게이트라인(GL_{i-2})에 구동신호가 공급될 때 제 2액정셀(16)로 비디오신호를 공급하게 된다.

[0095] 이와 같은 제 1 및 제 2스위칭부(14,16)는 제 2박막 트랜지스터(TFT) 및 제 4박막 트랜지스터(TFT4)의 게이트단자를 제외하고는 동일한 형태, 즉 미러형태의 구조를 갖는다.

[0096] 게이트 드라이버(34)는 도시되지 않은 타이밍제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트라인들(GL_1 내지 GL_n)에 각각에 제 1게이트신호(SP1), 제 2게이트신호(SP2) 및 제 3게이트신호(SP3)를 공급한다. 여기서, 제 1게이트신호(SP1) 및 제 3게이트신호(SP3) 동일한 폭을 갖는다. 그리고, 제 2게이트신호(SP1)는 제 1 및 제 3게이트신호(SP3)보다 넓은 폭, 바람직하게는 제 1게이트신호(SP1) 및 제 3게이트신호(SP3)를 합한 폭과 동일한 폭을 갖도록 설정된다.

[0097] 데이터 드라이버(32)는 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 $DL_m/2$)에 공급한다. 이때, 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인들(DL1 내지 $DL_m/2$)의 수가 절반으로 감소하였기 때문에 데이터 드라이버(32)에 포함되는 데이터 드라이버 IC의 수도 절반으로 감소되게 된다.

[0098] 이와 같은 본 발명의 실시예에 의한 액정표시장치의 구동과정을 상세히 설명하면, 먼저 게이트 드라이버(24)는 각각의 게이트라인들(GL)로 제 1게이트신호 내지 제 3게이트신호(SP1 내지 SP3)를 순차적으로 공급한다. 이때, i 번째 게이트라인(GL_i)에 공급되는 제 2게이트신호(SP2)는 $i+1$ 번째 게이트라인(GL_{i+1})에 공급되는 제 1게이트신호(SP1)와 제 1기간(TA)동안 중첩되게 공급된다. 또한, i 번째 게이트라인(GL_i)에 공급되는 제 2게이트신호(SP2)는 $i-2$ 번째 게이트라인(GL_{i-2})에 공급되는 제 3게이트신호(SP3)와 제 2기간(TB)동안 중첩되게 공급된다.

[0099] 즉, 현재 게이트라인(GL_i)에 공급되는 제 1게이트신호(SP1)는 이전 게이트라인(GL_{i-1})에 공급되는 제 2게이트신호(SP2)와 제 1기간(TA)동안 중첩되게 공급되고, 현재 게이트라인(GL_i)에 공급되는 제 3게이트신호(SP3)는 다음 게이트라인(GL_{i+2})에 공급되는 제 2게이트신호(SP2)와 제 2기간(TB)동안 중첩되게 공급된다.

[0100] 액정셀들(10,12)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 및 제 2기간(TB)동안 i 번째 게이트라인(GL_i)으로 공급된 제 2게이트신호(SP2)는 제 1 및 제 3박막 트랜지스터(TFT1,TFT3)의 게이트단자로 공급된다. 따라서, 제 1 및 제 3박막 트랜지스터(TFT1,TFT3)는 제 2게이트신호(SP2)가 공급되는 기간(TA+TB)동안 턴-온상태를 유지한다.

[0101] 한편, 제 1기간(TA) 동안 $i+1$ 번째 게이트라인으로 제 1게이트신호(SP1)가 공급되고, 이 제 1게이트신호(SP1)는 제 2박막 트랜지스터(TFT2)의 게이트단자로 공급되어 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 제 2박막 트랜지스터(TFT2)가 턴-온되면 데이터라인(DL)으로 공급된 비디오신호가 제 1 및 제 2박막 트랜지스터(TFT1,TFT2)를 경유하여 제 1액정셀(10)로 공급된다. 즉, i 번째 수평라인에 위치한 제 1액정셀(10)은 i 번째 게이트라인(GL_i)에 제 2게이트신호(SP2)가 공급되고, $i+1$ 번째 게이트라인(GL_{i+1})에 제 1게이트신호(SP1)가 공급될 때 비디오신호를 공급받게 된다.

[0102] 제 1기간(TA) 이후의 제 2기간(TB)동안 $i-2$ 번째 게이트라인으로 제 3게이트신호(SP3)가 공급되고, 이 제 3게이트신호(SP3)는 제 4박막 트랜지스터(TFT4)를 턴-온시킨다. 제 4박막 트랜지스터(TFT4)가 턴-온되면 데이터라인(DL)으로 공급된 비디오신호가 제 3 및 제 4박막 트랜지스터(TFT3,TFT4)를 경유하여 제 2액정셀(12)로 공급된다. 즉, i 번째 수평라인에 위치한 제 2액정셀(12)은 i 번째 게이트라인(GL_i)에 제 2게이트신호(SP2)가 공급되고, $i-2$ 번째 게이트라인(GL_{i-2})에 제 3게이트신호(SP3)가 공급될 때 비디오신호를 공급받게 된다.

[0103] 한편, 본 발명의 다른 실시예에서는 제 1액정셀(10) 및 제 2액정셀(12)들이 지그재그 형태로 배치되어 있기 때문에 제 1액정셀(10) 및 제 2액정셀(12)에 균일한 전압이 차등되지 않더라도 균일한 화질의 영상을 표시할 수 있다. 예를 들어, 제 1액정셀(10)에 원하는 전압보다 높은 전압이 충전되고 제 2액정셀(12)에 원하는 전압보다 낮은 전압이 충전되더라도 제 1액정셀(10) 및 제 2액정셀(12)이 지그재그 형태로 배치되었기 때문에, 수평라인 단위로 전압차가 상쇄되기 때문에 균일한 화질의 영상을 표시할 수 있다.

[0104] 한편, 본 발명의 실시예들에 포함된 각각의 박막 트랜지스터(TFT)는 도 7과 같은 형태로 형성된다.

- [0105] 도 7을 참조하면, 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)는 하부기관(101) 상에 형성되는 게이트전극(106)과, 게이트전극(106)과 상이한 층에 형성되는 소스전극(108) 및 드레인전극(110)을 구비한다. 여기서, 드레인전극(110)은 드레인 접촉홀(118)을 통해 화소전극(120)과 접속되도록 형성된다.(실질적으로 드레인전극(110)은 화소전극(120) 또는 인접된 박막 트랜지스터(TFT)에 접속된다.)
- [0106] 게이트전극(106)과 소스전극(108) 및 드레인전극(110) 사이에는 도통채널을 형성하기 위한 반도체층(114,116)이 형성된다. 여기서, 반도체층(114,116)은 활성층(114)과, 활성층(114)과 소스전극(108) 및 활성층(114)과 드레인전극(110) 사이에 형성되는 오믹접촉층(116)을 구비한다. 활성층(114)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되고, 오믹접촉층(116)은 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성된다. 이와 같은 반도체층(114,116)은 게이트전극(106)에 전압이 공급될 때 소스전극(108)에 공급된 전압을 드레인전극(110)으로 공급한다. 게이트전극(106)과 반도체층(114,116) 사이에는 게이트절연막(102)이 형성된다. 그리고, 소스전극(108) 및 드레인전극(110) 상에는 보호막(112)이 형성된다.
- [0107] 이와 같은 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)의 소스전극(108)과 드레인전극(110)은 반도체층(114,116)과 서로 상이한 마스크로 형성된다. 따라서, 소스전극(108) 및 드레인전극(110)은 반도체층(114,116)과 서로 상이한 패턴을 갖는다.
- [0108] 도 8은 본 발명의 다른 실시예에 의한 박막 트랜지스터(TFT)의 구조를 나타내는 단면도이다.
- [0109] 도 8을 참조하면, 본 발명의 다른 실시예에 의한 박막 트랜지스터(TFT)는 하부기관(130) 상에 형성되는 게이트전극(134)과, 게이트전극(134)과 상이한 층에 형성되는 소스전극(136) 및 드레인전극(138)을 구비한다. 여기서, 드레인전극(138)은 드레인 접촉홀(142)을 통해 화소전극(144)과 접속되도록 형성된다.(실질적으로 드레인전극(138)은 화소전극(144) 또는 인접된 박막 트랜지스터(TFT)에 접속된다.)
- [0110] 게이트전극(134)과 소스전극(136) 및 드레인전극(138) 사이에는 도통채널을 형성하기 위한 반도체층(140,146)이 형성된다. 여기서, 반도체층(140,146)은 활성층(140)과, 활성층(140)과 소스전극(136) 및 활성층(140)과 드레인전극(138) 사이에 형성되는 오믹접촉층(146)을 구비한다. 활성층(140)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되고, 오믹접촉층(146)은 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성된다. 이와 같은 반도체층(140,146)은 게이트전극(134)에 전압이 공급될 때 소스전극(136)에 공급된 전압을 드레인전극(138)으로 공급한다. 게이트전극(134)과 반도체층(140,146) 사이에는 게이트절연막(132)이 형성된다. 그리고, 소스전극(136) 및 드레인전극(138) 상에는 보호막(148)이 형성된다. 이와 같은 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)의 소스전극(136)과 드레인전극(138)은 반도체층(140,146)과 동일 마스크로 형성된다.

발명의 효과

- [0111] 상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치 및 방법에 의하면 하나의 데이터라인이 좌/우로 인접되게 위치된 제 1 및 제 2액정셀들을 구동시키기 때문에 데이터라인의 수가 절반정도로 감소되게 된다. 따라서, 데이터라인에 구동신호를 공급하는 데이터 드라이브 집적회로의 수도 절반으로 감소되고, 이에 따라 제조비용을 절감할 수 있다. 또한, 본 발명에서는 제 1스위칭부 및 제 2스위칭부에 포함된 박막 트랜지스터들에 균일한 전압이 공급되기 때문에 균일한 화상의 영상을 표시할 수 있다. 더불어, 제 1액정셀 및 제 2액정셀들을 지그재그 형태로 배치하여 균일한 화상의 영상을 표시할 수 있다.
- [0112] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- [0001] 도 1은 종래의 액정표시장치를 나타내는 도면.
- [0002] 도 2는 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면.
- [0003] 도 3은 도 2에 도시된 게이트 드라이버에 의해 게이트라인들로 공급되는 게이트신호를 나타내는 파형도.
- [0004] 도 4는 도 2의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

[0005] 도 5는 본 발명의 또 다른 실시예에 의한 액정표시장치를 나타내는 도면.

[0006] 도 6은 도 5의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

[0007] 도 7은 본 발명의 실시예에 의한 박막 트랜지스터의 구조를 나타내는 단면도.

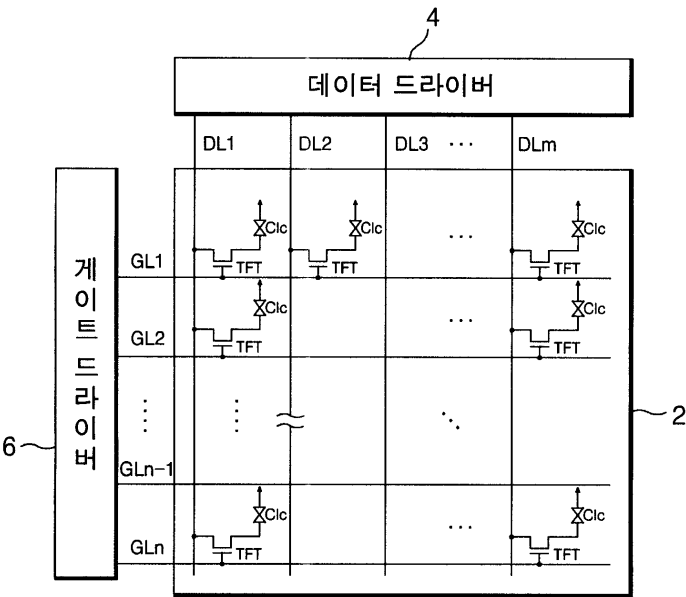
[0008] 도 8은 본 발명의 다른 실시예에 의한 박막 트랜지스터의 구조를 나타내는 단면도.

[0009] < 도면의 주요 부분에 대한 부호의 설명 >

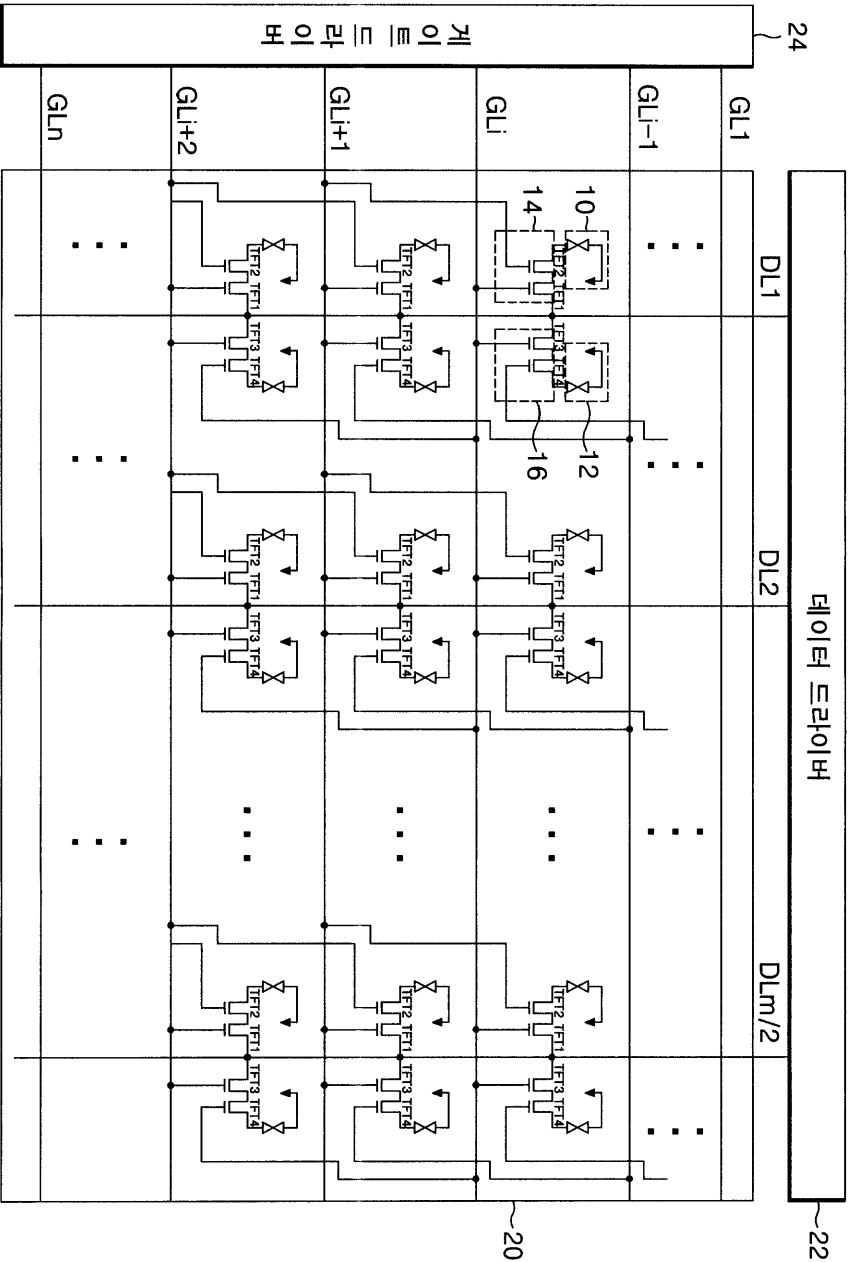
- [0010] 2,20,30 : 액정패널
- [0011] 6,24,34 : 게이트 드라이버
- [0012] 14,16 : 스위치부
- [0013] 102,132 : 게이트절연막
- [0014] 108,136 : 소스전극
- [0015] 112,148 : 보호막
- [0016] 118,142 : 드레인 접촉홀
- 4,22,32 : 데이터 드라이버
- 10,12 : 액정셀
- 101,130 : 기판
- 106,134 : 게이트전극
- 110,138 : 드레인전극
- 114,116,140,146 : 반도체층
- 120,144 : 화소전극

도면

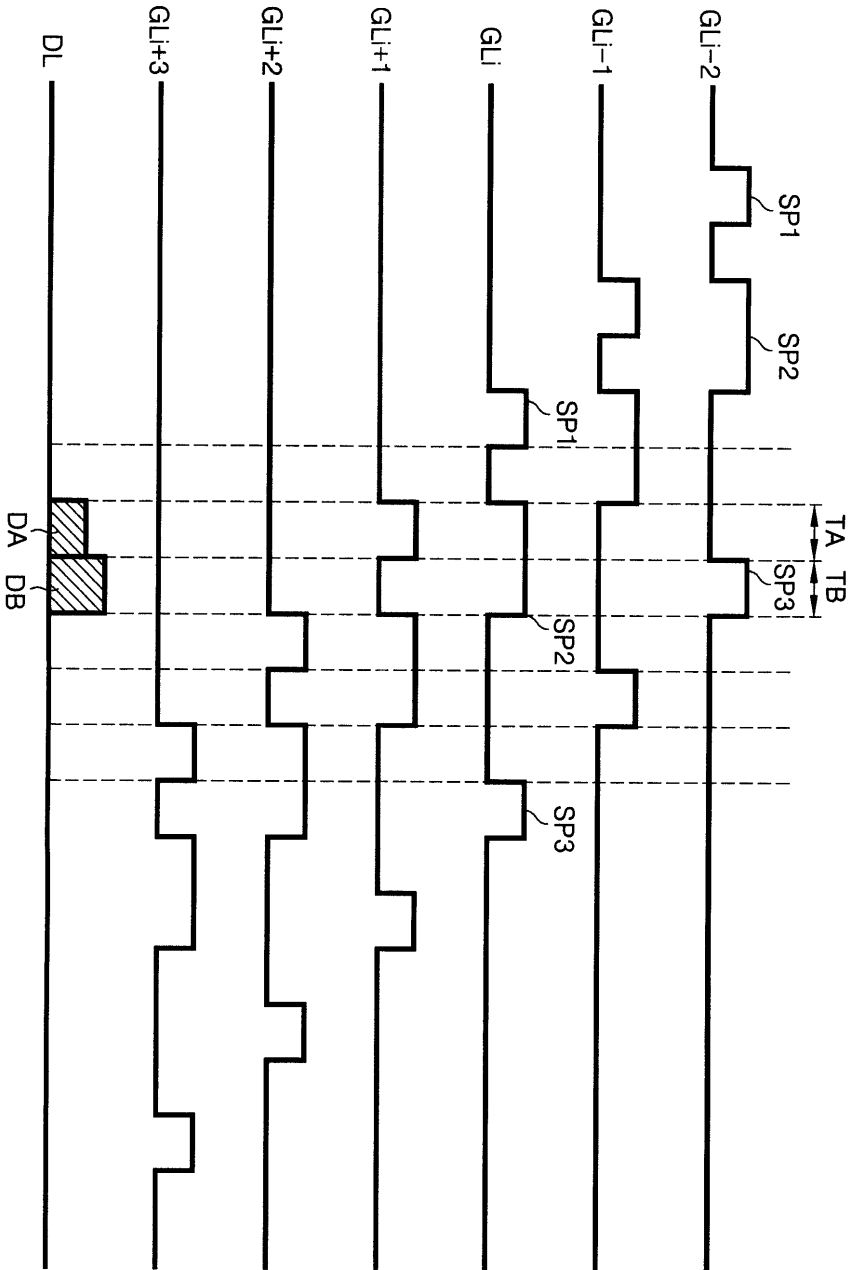
도면1



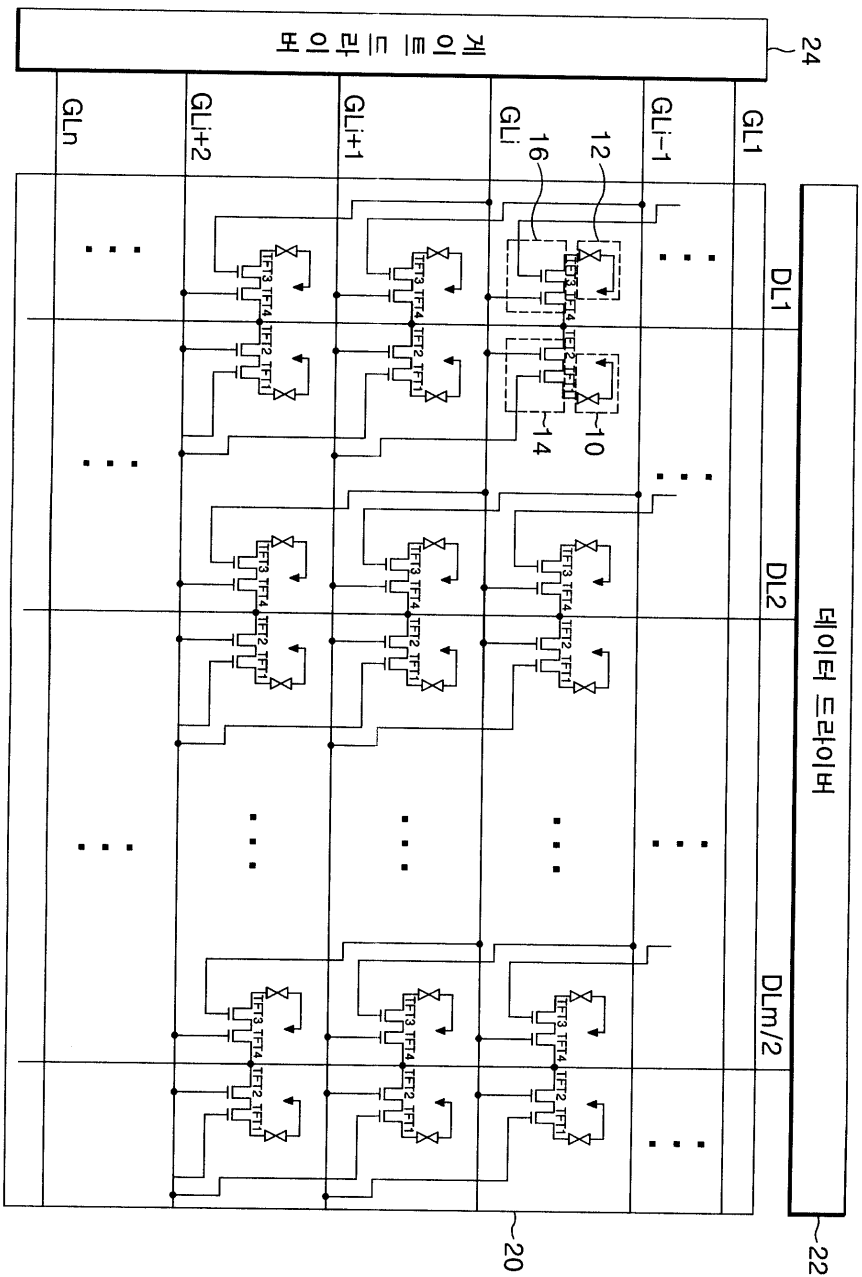
도면2



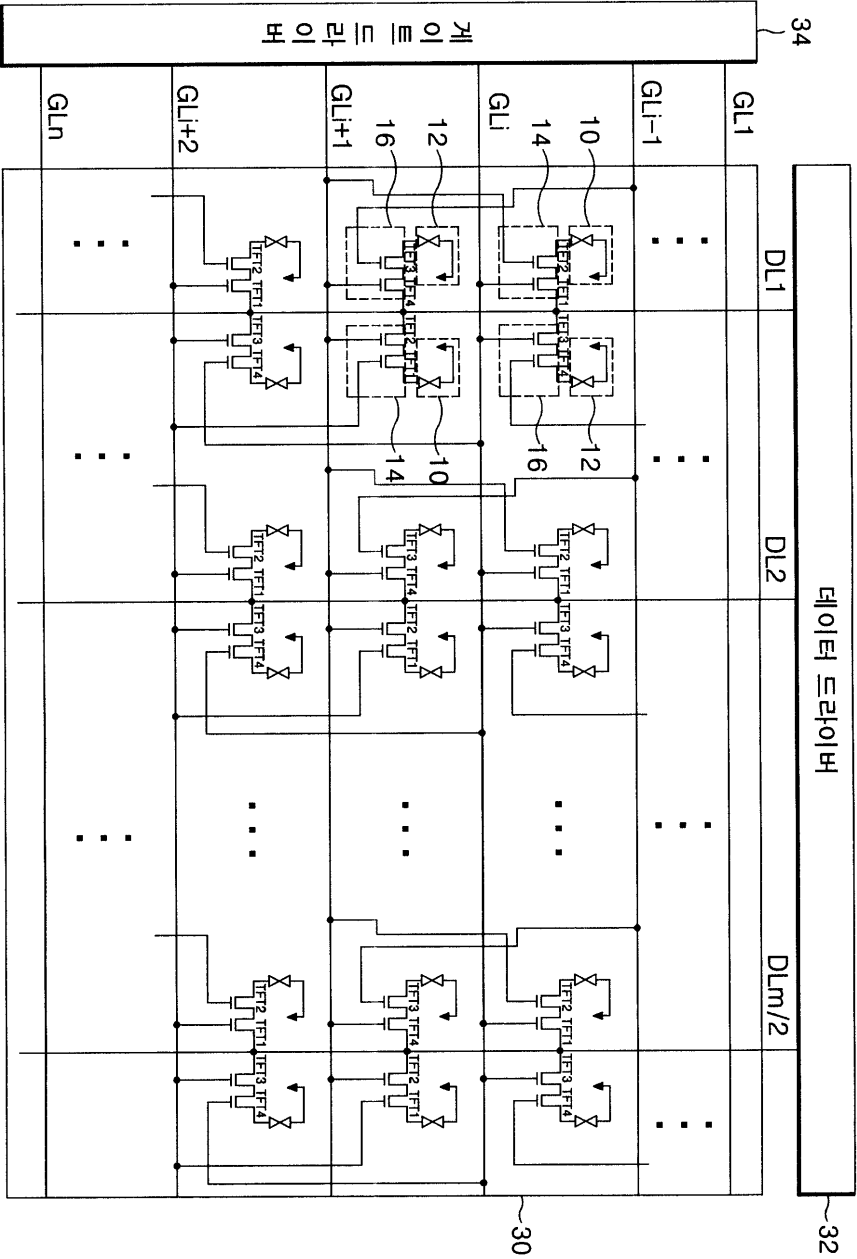
도면3



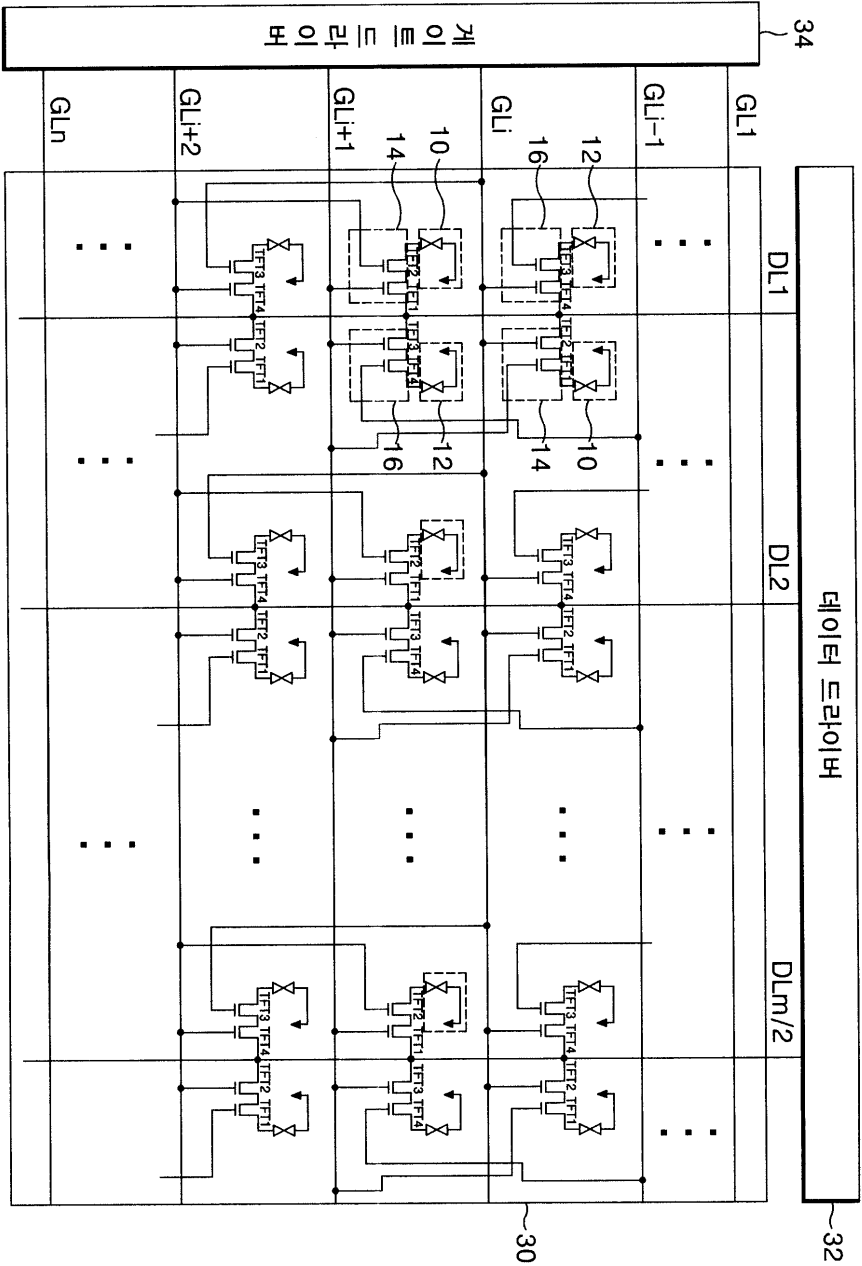
도면4



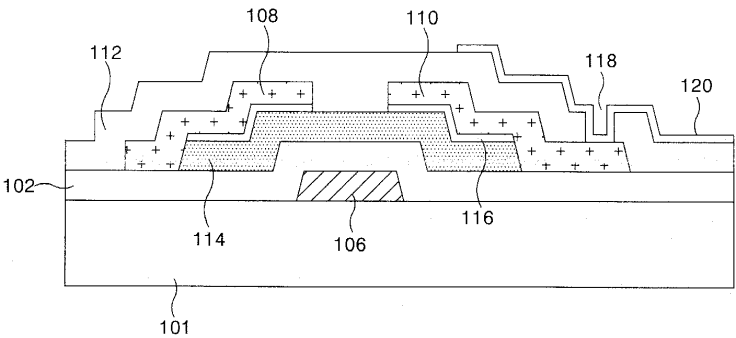
도면5



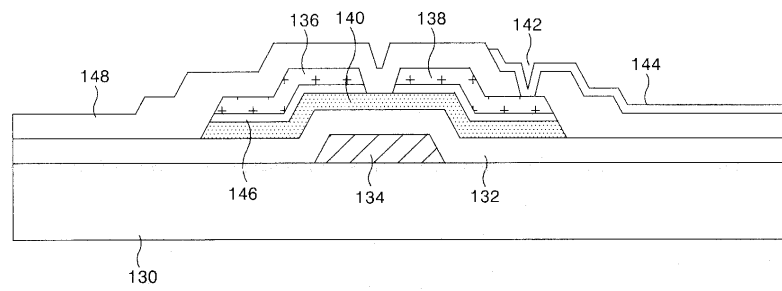
도면6



도면7



도면8



专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	KR100942836B1	公开(公告)日	2010-02-18
申请号	KR1020020081980	申请日	2002-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KWANGSOON		
发明人	PARK,KWANGSOON		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2300/0439 G09G2300/0809 G09G3/3659 G09G2320/0233		
其他公开文献	KR1020040055336A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及能够减少数据线的数量和与其对应的数据驱动IC的数量的液晶显示装置。本发明的液晶显示装置包括数据线，在与数据线交叉的方向上形成的栅极线，以及沿彼此相邻的栅极线（ i 是3或更大的自然数）第一液晶元件和第二液晶单元，在各第一液晶单元，其通过所述第 i 栅极线和第 $(i+1)$ 栅极线的控制，其特征在于，设置被连接到一条数据线的形成有第一切换部分在每个所述第 i 栅极线和 $i-2$ 条栅极线由所述第二开关单元控制是在形成第二液晶单元和。

