



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월16일
(11) 등록번호 10-0942265
(24) 등록일자 2010년02월05일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2004-0038974

(22) 출원일자 2004년05월31일

심사청구일자 2007년07월13일

(65) 공개번호 10-2005-0113850

(43) 공개일자 2005년12월05일

(56) 선행기술조사문헌

KR100382807 B1*

KR1020010085344 A*

KR1020020045256 A*

KR1020030024367 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김세준

서울특별시용산구동빙고동32-23

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 5 항

심사관 : 김효욱

(54) 씨오티 구조 액정표시장치 및 제조방법

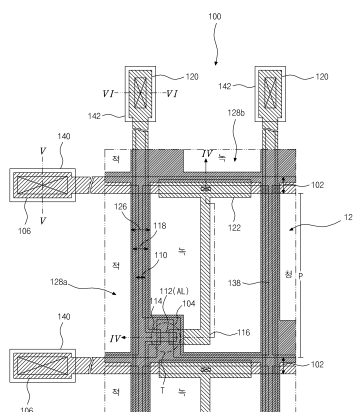
(57) 요약

본 발명은 액정표시장치에 관한 것으로, 어레이기판에 컬러필터가 구성된 COT구조의 액정표시장치에 관한 것이다.

특히, 컬러필터를 평탄화 하는 물질로 무기절연물질을 사용하는 것을 특징으로 하며, 이와 같이 하면 액정이 실제로 구동되는 화소 영역에 대응하여 형성된 컬러필터를 평탄화 할 수 있는 동시에, 값이 비싼 유기물질을 사용하지 않아도 되므로 비용을 절감할 수 있는 장점이 있다.

또한, 유기물질을 사용하면서 발생할 수 있는 셀터짐 불량 또는 패드부 콘택불량 등을 방지할 수 있는 장점이 있다.

대표도 - 도3



특허청구의 범위

청구항 1

서로 마주하는 제 1 기판과 제 2 기판과;

상기 제 2 기판과 마주보는 제 1 기판의 일면에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 순차 적층된 게이트 전극과, 게이트 절연막과 액티브층과, 서로 이격하는 소스 및 드레인 전극을 포함하는 박막트랜지스터와;

상기 박막트랜지스터에 대응하여 그 상부로 형성되며, 그 상부면이 상기 제 1 기판의 표면으로부터 제 1 높이를 갖는 제 1 블랙매트릭스와;

상기 게이트 배선과 데이터 배선의 상부에 형성되며, 그 상부면이 상기 제 1 블랙매트릭스와 동일한 제 1 높이를 갖는 제 2 블랙매트릭스와;

상기 화소영역에 상기 제 2 블랙매트릭스 내부를 채우며 상기 제 2 블랙매트릭스의 표면과 일치하여 이와 더불어 평탄한 표면을 이루며 형성된 컬러필터와;

상기 컬러필터와 제 1 및 제 2 블랙매트릭스 상부에 무기 절연물질로 평탄한 표면을 가지며 형성된 무기절연막과;

상기 무기절연막 상부로 상기 화소영역 내에 형성되며 ITO 또는 IZO의 투명도전성 물질로 이루어지는 화소전극과;

상기 제 2 기판의 내측면에 형성되어 있는 공통전극과;

상기 무기절연막과 상기 제 2 기판면과 접촉하며 제 1 기판의 테두리를 따라 형성된 셀패턴과;

상기 셀패턴 내측으로 상기 제 1 기판과 제 2 기판 사이에 개재된 액정층을 포함하고,

상기 박막트랜지스터의 상기 드레인 전극은 상기 게이트 절연막에 의해 절연된 상태로 상기 게이트 배선 중 전단 게이트 배선 상부로 연장되어 중첩되고, 상기 화소전극은 상기 드레인 전극의 연장부와 접촉되는 것이 특징인 씨.오.티(COT)구조 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 박막트랜지스터 상부로 무기 절연물질로 이루어진 보호층이 더욱 형성된 씨.오.티(COT)구조 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 게이트 배선의 일 끝단에 외부로부터 신호를 직접 입력받는 게이트 패드가 구성되고, 상기 데이터 배선의 일 끝단에 외부로부터 신호를 직접 입력받는 데이터 패드가 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 게이트 패드와 접촉하는 섬형상의 투명한 제 1 전극과, 상기 데이터 패드와 접촉하는 섬형상의 투명한 제 2 전극을 포함하는 씨.오.티(COT)구조 액정표시장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 항에 있어서,

상기 컬러필터는 화소영역에 순차 대응되어 적색과 녹색과 청색으로 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0019] 본 발명은 액정표시장치에 관한 것으로 특히, COT(color filter on TFT)구조의 액정표시장치 및 그 제조방법에 관한 것이다.
- [0020] 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- [0021] 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 상기 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- [0022] 도 1은 종래에 따른 액정표시장치를 개략적으로 나타낸 도면이다.
- [0023] 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- [0024] 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하여 지나가는 게이트 배선(13)과 데이터 배선(15)이 형성된다.
- [0025] 이때, 상기 화소영역(P)은 상기 게이트 배선(13)과 데이터 배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- [0026] 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- [0027] 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C_{ST})의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 금속패턴(30)을 사용한다.
- [0028] 이때, 상기 금속패턴(30)은 화소 전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- [0029] 그런데, 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- [0030] 이에 대해 이하, 도 2를 참조하여 설명한다.
- [0031] 도 2는 도 1의 II-II를 절단하여 도시한 액정표시장치의 단면도이다.
- [0032] 도시한 바와 같이, 제 1 기판(22)은 스위칭 영역(S)을 포함하는 화소 영역(P)과 스토리지 영역(ST)으로 정의된다.
- [0033] 상기 스위칭 영역(S)에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)으로 구성된 박막트랜지스터(T)가 구성되고, 상기 화소 영역(P)에는 투명한 화소 전극(17)이 구성된다.
- [0034] 상기 스토리지 영역(ST)에는 게이트 배선(13)을 제 1 전극으로 하고, 상기 게이트 배선(13)의 상부에 섬형상으로 구성되고 상기 화소 전극(17)과 접촉하는 금속패턴(30)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 구성된다.

- [0035] 이때, 상기 스토리지 캐패시터(C_{ST})는 다양한 구조 및 형태로 구성될 수 있다.
- [0036] 상기 제 1 기관(22)과 액정층(14)을 사이에 두고 이격된 제 2 기관(5)의 마주보는 일면에는 상기 박막트랜지스터(T)와 게이트 배선 및 데이터 배선(13, 15)에 대응하여 블랙매트릭스(6)가 구성되고, 상기 화소 영역(P)에 대응하는 면에는 컬러필터(7a, 7b, 7c)가 구성된다.
- [0037] 상기 컬러필터(7a, 7b, 7c)와 블랙매트릭스(6)가 구성된 기관(22)의 전면에는 투명한 공통전극(18)이 구성된다.
- [0038] 일반적으로, 전술한 제 1 기관(22)과 제 2 기관(5)은 별도의 제작되며 각각의 제작이 완료되면 합착하는 공정이 진행된다.
- [0039] 이때, 합착오차가 발생하게 되면 상기 블랙매트릭스(6)의 위치가 최초 설계된 위치에서 벗어나게 되고 이로 인해, 상기 박막트랜지스터(T)에는 빛이 들어가 누설전류가 발생하게 되고, 상기 게이트 및 데이터 배선(13, 15)에 대응하는 영역 즉, 데이터 배선(15)과 화소 전극(17)의 이격된 영역(A)과 상기 게이트 배선(13)과 상기 화소 전극(17)사이의 이격된 영역(B)에서 빛샘 현상이 발생하는 문제가 있다.
- [0040] 따라서, 종래에는 이를 해결하기 위해 합착공정시의 오차를 감안하여 최초 설계시 합착 마진을 더 두어 설계하게 된다.
- [0041] 즉, 상기 블랙매트릭스(6)의 크기를 좀더 크게 설계하는 것이다.
- [0042] 이와 같이 하면, 합착 오차가 발생하더라도 위의 불량들이 발생하지 않는다.
- [0043] 그러나, 그 만큼 개구영역을 잠식하는 문제가 있기 때문에 휘도 및 개구율이 감소되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- [0044] 본 발명은 전술한 문제를 해결하기 위한 목적으로 제안된 것으로, 상기 컬러필터 및 블랙매트릭스를 하부기관에 형성하는 것을 특징으로 한다.
- [0045] 특히, 화소 영역에 대응하는 컬러필터를 평탄화 하는 물질로 무기절연물질을 사용하는 것을 특징으로 한다.
- [0046] 상기 무기 절연물질은 일반적인 평탄화 물질인 유기절연물질에 비해 가격이 저렴하며, 실런트(sealant)와 접촉 특성이 좋아 상.하 기관을 합착하였을 경우 셀터짐불량이 발생하지 않고, 단차가 크지 않아 패드부에서 콘택불량이 발생하지 않는 장점이 있다.

발명의 구성 및 작용

- [0047] 전술한 목적을 달성하기 위한 본 발명에 따른 씨.오.티(COT)구조 액정표시장치는 서로 마주하는 제 1 기관과 제 2 기관과; 상기 제 2 기관과 마주보는 제 1 기관의 일면에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막트랜지스터와; 상기 박막트랜지스터에 대응하여 그 상부로 형성된 제 1 블랙매트릭스와; 상기 게이트 배선과 데이터 배선의 상부에 상기 제 1 블랙매트릭스와 동일한 제 1 높이를 가지며 형성된 제 2 블랙매트릭스와; 상기 화소영역에 상기 제 2 블랙매트릭스 내부를 채우며 상기 제 2 블랙매트릭스의 표면과 일치하여 이와 더불어 평탄한 표면을 이루며 형성된 컬러필터와; 상기 컬러필터와 제 1 및 제 2 블랙매트릭스 상부에 무기 절연물질로 평탄한 표면을 가지며 형성된 무기절연막과; 상기 무기절연막 상부로 상기 화소영역 내에 형성된 화소전극과; 상기 무기절연막과 상기 제 2 기관면과 접촉하며 제 1 기관의 테두리를 따라 형성된 셀패턴과; 상기 셀패턴 내측으로 상기 제 1 기관과 제 2 기관 사이에 개재된 액정층을 포함한다.
- [0048] 상기 박막트랜지스터 상부로 무기 절연물질로 이루어진 보호층이 더욱 형성된다.
- [0049] 상기 게이트 배선의 상부에 게이트 절연막을 사이에 두고 상기 박막트랜지스터의 드레인 전극에서 연장된 연장부가 더욱 구성되며, 상기 화소전극은 상기 드레인 전극의 연장부와 접촉하며 형성된다.
- [0050] 상기 박막트랜지스터는 순차 적층된 게이트 전극과, 게이트 절연막과 액티브층과, 서로 이격하는 소스 및 드레인 전극을 포함한다.

- [0051] 상기 게이트 배선의 일 끝단에 외부로부터 신호를 직접 입력받는 게이트 패드가 구성되고, 상기 데이터 배선의 일 끝단에 외부로부터 신호를 직접 입력받는 데이터 패드가 구성되며, 상기 게이트 패드와 접촉하는 섬형상의 투명한 제 1 전극과, 상기 데이터 패드와 접촉하는 섬형상의 투명한 제 2 전극을 포함한다.
- [0052] 삭제
- [0053] 상기 컬러필터는 화소영역에 순차 대응되어 적색과 녹색과 청색으로 구성되며, 상기 제 1 기판과 마주하는 제 2 기판의 내측면에는 공통전극이 전면에서 형성된다.
- [0054] 삭제
- [0055] 이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.
- [0056] -- 실시예 --
- [0057] 본 발명의 특징은, 컬러필터를 평탄화하는 물질로 무기 절연물질을 사용하는 것을 특징으로 한다.
- [0058] 도 3은 본 발명에 따른 COT구조 액정표시장치용 어레이 기판의 일부를 확대한 확대 평면도이다.
- [0059] 도시한 바와 같이, 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)과, 상기 게이트 배선(102)과 수직하게 교차하여 화소 영역(P)을 정의하며 일 끝단에 데이터 패드(120)를 포함하는 데이터 배선(118)을 구성한다.
- [0060] 상기 게이트 패드(106)의 상부에는 이와 접촉하는 게이트 패드 단자(140)를 구성하고, 상기 데이터 패드(120)의 상부에는 이와 접촉하는 데이터 패드 단자(142)를 구성한다.
- [0061] 상기 게이트 패드 단자 및 데이터 패드 단자(140,142)는 외부의 신호를 직접 입력받는 역할을 하게 된다.
- [0062] 상기 게이트 배선(102)과 데이터 배선(118)의 교차지점에는 게이트 전극(104)과 반도체층(112)과 소스 전극(114)과 드레인 전극(116)을 포함하는 박막트랜지스터(T)를 구성한다.
- [0063] 또한, 상기 화소 영역(P)에는 컬러필터(128a,128b,128c)를 구성하며, 상기 각 컬러필터(128a,128b,128c)의 둘레에 해당하는 상기 게이트 배선 및 데이터 배선(102,118)의 상부에는 블랙매트릭스(126)를 구성한다.
- [0064] 상기 게이트 배선(102)의 일부 상부에는 스토리지 커패시터(C_{ST})를 구성하며, 상기 스토리지 커패시터(C_{ST})는 게이트 배선(102)의 일부를 제 1 전극으로 하고, 상기 제 1 전극의 상부에 위치하고 상기 드레인 전극(116)에서 상기 화소 영역(P)을 거쳐 연장된 연장부(122)를 제 2 전극으로 한다.
- [0065] 상기 화소 영역(P)에 대응하는 컬러필터(128a,128b,128c)의 상부에 투명한 화소 전극(138)을 구성하며, 상기 화소 전극(138)은 상기 드레인 전극(116)의 연장부와 접촉하도록 구성한다.
- [0066] 전술한 구성에서 특징적인 것은, 상기 화소 전극(138)을 형성하기 전에 상기 화소 영역(P)에 대응하는 컬러필터(128a,128b,128c)를 평탄화 하는 물질로 무기 절연물질을 사용하는 것이다.
- [0067] 이하, 공정도면을 참조하여 본 발명에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.
- [0068] 도 4는 본 발명의 제 1 및 제 2 마스크 공정에 따른 평면도이고, 도 5a와 도 5b와 도 5c는 도 4의 IV-IV, V-V, VI-VI을 따라 절단한 단면도이고, 도 6은 본 발명의 제 3 마스크 공정에 따른 평면도이고, 도 7a와 도 7b와 도 7c는 도 6의 IV-IV, V-V, VI-VI을 따라 절단한 단면도이고, 도 8은 본 발명의 제 4 및 제 5 마스크 공정에 따른 평면도이고, 도 9a와 도 9b와 도 9c는 도 8의 IV-IV, V-V, VI-VI을 따라 절단한 단면도이고, 도 10은 본 발명의 제 6 마스크 공정을 나타낸 평면도이고, 도 11a와 도 11b와 도 11c는 도 10의 IV-IV, V-V, VI-VI을 따라 절단한 단면도이고, 도 12는 본 발명의 제 7 마스크 공정을 나타낸 평면도이고, 도 12a와 도 12b와 도 12c는 도 11의 IV-IV, V-V, VI-VI을 따라 절단한 단면도이다.
- [0069] 먼저, 도 4 및 도 5a와 도 5b와 도 5c에 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)을 포함하는 화소 영역(P)을 정의하고, 게이트 영역(G)과 데이터 영역(D)과, 상기 화소 영역(P)의 일부에 대응하여 스토리지 영역(ST)을 정의한다.
- [0070] 상기 다수의 영역(S,ST,P,G,D)이 정의된 기판(100)상에 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 텅스텐

(W), 크롬(Cr), 몰리브덴(Mo)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 제 1 마스크 공정으로 패터닝하여, 상기 화소 영역(P)에는 게이트 전극(104)을 형성하고, 상기 게이트 전극(104)과 연결되며 상기 스토리지 영역 및 게이트 영역(ST,G)에 대응하여 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)을 형성한다.

[0071] 다음으로, 상기 게이트 패드 및 게이트 배선(106,102)과 게이트 전극(104)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 게이트 절연막(108)을 형성한다.

[0072] 다음으로, 상기 게이트 절연막(108)의 상부에 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)을 적층한 후, 제 2 마스크 공정으로 패터닝하여 상기 데이터 영역에 대응하여 일 방향으로 연장된 제 1 반도체패턴(110)과, 상기 제 1 반도체패턴에서 상기 스위칭 영역(S)으로 돌출된 제 2 반도체패턴(112)을 형성한다.

[0073] 이때, 상기 제 2 반도체패턴(112)의 순수 비정질 실리콘층을 액티브층(AL)이라 칭하고, 상부의 불순물 비정질 실리콘층을 오믹 콘택층(OCL)이라 한다.

[0074] 도 6과 도 7a와 도 7b와 도 7c에 도시한 바와 같이, 상기 오믹 콘택층(OCL)이 형성된 기판(100)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 텅스텐(W), 구리(Cu), 티타늄(Ti), 몰리브덴(Mo), 크롬(Cr)등을 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 제 3 마스크 공정으로 패터닝하여, 상기 스위칭 영역(S)에 대응하여 이격된 소스 전극(114)과 드레인 전극(116)을 형성하고, 상기 데이터 영역(D)에 대응하여 상기 소스 전극(112)과 연결되며 일 끝단에 데이터 패드(120)를 포함하는 데이터 배선(118)과, 상기 스토리지 영역(ST)에 대응하는 게이트 배선(102)의 상부에 상기 드레인 전극(116)에서 연장된 연장부(122)를 형성한다.

[0075] 연속하여, 상기 소스 및 드레인 전극(114,116)의 이격된 사이로 노출된 오믹 콘택층(OCL)을 제거하여 하부의 액티브층(AL)을 노출하는 공정을 진행한다.

[0076] 이때, 상기 소스 및 드레인 전극(114,116)이 식각 방지막의 역할을 하게 되어 별도의 마스크 공정이 필요치 않다.

[0077] 상기 도 8과 도 9a와 도 9b와 도 9c에 도시한 바와 같이, 상기 소스 및 드레인 전극(114,116)과 데이터 패드 및 데이터 배선(120,118)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하고 패터닝하여 제 1 보호막(124)을 형성한다.

[0078] 다음으로, 상기 보호막(124)의 상부에 감광성 블럭수지를 도포한 후, 제 4 마스크 공정으로 패터닝하여, 상기 소스 및 드레인 전극(114,116)과 노출된 액티브층(AL)에 대응하는 상부와 상기 게이트 배선 및 데이터 배선(102,118)의 상부에 대응하여 격자 형상으로 블랙매트릭스(126)를 형성한다.

[0079] 다음으로, 제 5 마스크 공정을 진행하여 상기 화소 영역(P)에 대응하여 컬러필터(128b)를 형성한다.

[0080] 상기 컬러필터(128a,128b,128c)는 다수의 화소영역(P)에 대응하여 적색,녹색, 청색 컬러필터를 순차 구성함으로써 형성 된다.

[0081] 도 10과 도 11a와 도 11b와 도 11c에 도시한 바와 같이, 상기 컬러필터(128a,128b,128c)가 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 보호막(130)을 형성한다.

[0082] 상기 제 2 보호막(130)은 상기 화소 영역(P)에 대응하는 컬러필터(128a,128b,128c)의 표면을 평탄화 하는 역할을 하게 된다.

[0083] 다음으로, 상기 제 2 보호막(130)을 제 6 마스크 공정으로 패터닝하여, 상기 스토리지 영역(ST)에 대응하여 상기 드레인 전극(116)의 연장부(122)의 일부를 노출하는 제 1 콘택홀(132)과, 상기 게이트 패드(106)의 일부를 노출하는 제 2 콘택홀(134)과, 상기 데이터 패드(120)의 일부를 노출하는 제 3 콘택홀(136)을 형성한다.

[0084] 도 12와 도 13a와 도 13b와 도 13c에 도시한 바와 같이, 상기 제 2 보호막(130)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극의 연장부(122)와 접촉하면서 화소 영역(P)에 위치하는 화소 전극(138)과, 상기 게이트 패드(102)와 접촉하는 게이트 패드 단자(140)와, 상기 데이터 패드(120)와 접촉하는 데이터 패드 단자(142)를 형성한다.

- [0085] 전술한 공정을 통해 본 발명에 따른 COT 구조의 액정표시장치용 어레이기판을 제작할 수 있다.
- [0086] 전술한 어레이 기판과, 전면에 공통 전극(미도시)이 형성된 상부 기판(미도시)을 합착함으로써 COT 구조의 액정표시장치를 제작 할 수 있다.
- [0087] 이하, 도 14를 참조하여 설명한다.
- [0088] 도시한 바와 같이, COT 구조의 액정표시장치(100)는 앞서 설명한 공정으로 제작된 어레이기판인 하부기판(100)과 상부기판(200)을 소정간격을 두고 합착하여 구성하며, 상기 합착된 공간에 액정(300)을 주입하는 공정을 진행한다.
- [0089] 상기 하부 기판(100)과 마주보는 상부기판(200)의 전면에는 공통 전극(202)을 형성한다.
- [0090] 상기 하부 기판인 어레이기판(100)의 구성을 다시 한번 설명하면 아래와 같다.
- [0091] 어레이기판(100)은 스위칭 영역(S)으로 정의된 영역에 게이트 전극(104)과 액티브층 및 오믹 콘택층(AL,OCL)과 소스 및 드레인 전극(114,116)을 포함하는 박막트랜지스터(T)를 구성하고, 화소 영역(P)에는 컬러필터(128b)를 형성하고, 컬러필터(128b)의 상부에는 상기 드레인 전극(116)에서 상기 게이트 배선(102)의 상부로 연장된 연장부(122)와 접촉하는 화소 전극(138)을 구성한다.
- [0092] 상기 화소 영역(P)의 일 측에는 상기 게이트 전극(104)과 접촉하는 게이트 배선(102)을 구성하고, 상기 게이트 배선(102)과 수직한 방향의 화소 영역(P)의 타측에는 데이터 배선(118)을 구성한다.
- [0093] 상기 게이트 배선 및 데이터 배선(102,118)의 사이 영역과 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(126)를 구성한다.
- [0094] 상기 게이트 배선(102)이 지나가는 일부 영역을 스토리지 영역(ST)으로 정의하고, 상기 게이트 배선(102)을 제 1 전극으로 하고, 상기 드레인 전극(116)에서 연장되고 상기 화소 전극(138)과 접촉하는 연장부(122)를 제 2 전극으로 하고, 상기 제 1 및 제 2 전극(102,122)의 사이에 위치하는 게이트 절연막(124)을 유전체로 하는 스토리지 캐패시터(C_{ST})를 구성한다.
- [0095] 상기 컬러필터(128b)의 상부에 평탄화막(130)을 형성하며, 평탄화막(130)은 특히, 무기절연물질을 사용한다.
- [0096] 전술한 공정을 통해 본 발명에 따른 COT 구조의 액정표시장치를 제작할 수 있다.

발명의 효과

- [0097] 따라서, 본 발명에 따른 COT 구조의 액정표시장치는 컬러필터 및 블랙매트릭스를 상부기판에 별도로 구성한 종래의 구조에 비해 상.하부 기판의 합착마진을 필요로 하지 않기 때문에 개구영역을 더욱 확보할 수 있어 개구율을 개선할 수 있는 효과가 있다.
- [0098] 둘째, 화소 영역에 대응하는 컬러필터의 표면을 평탄화 하기 위한 평탄화막으로 무기 절연막을 사용하기 때문에, 평탄화막으로 일반적으로 사용하는 유기절연막에 비해 비용을 절약할 수 있는 효과가 있다.
- [0099] 셋째, 상기 무기절연막은 상부기판과 하부 기판을 합착하는 씰런트(sealant)와의 접착력이 좋기 때문에 씰터짐 불량을 방지할 수 있고, 단차가 작기 때문에 게이트 패드 및 데이터 패드에서 콘택불량이 발생하지 않아 제품의 수율을 개선하는 효과가 있다.

도면의 간단한 설명

- [0001] 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도이고,
- [0002] 도 2는 일반적인 컬러액정표시장치의 구성을 개략적으로 도시한 단면도이고,
- [0003] 도 3은 본 발명에 따른 COT 구조 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,
- [0004] 도 4는 본 발명의 제 1 및 제 2 마스크 공정에 따른 평면도이고, 도 5a와 도 5b와 도 5c는 도 4의 IV-IV, V-V, VI-VI을 각각 절단한 단면도이고,
- [0005] 도 6은 본 발명의 제 3 마스크 공정에 따른 평면도이고, 도 7a와 도 7b와 도 7c는 도 6의 IV-IV, V-V, VI-VI을

각각 절단한 단면도이고,

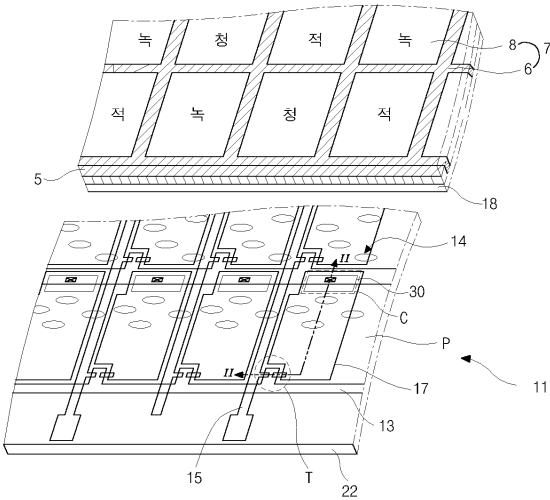
- [0006] 도 8은 본 발명의 제 4 및 제 5 마스크 공정에 따른 평면도이고, 도 9a와 도 9b와 도 9c는 도 8의 IV-IV, V-V, VI-VI를 각각 절단한 단면도이고,
- [0007] 도 10은 본 발명의 제 6 마스크 공정에 따른 평면도이고, 도 11a와 도 11b와 도 11c는 도 10의 IV-IV, V-V, VI-VI를 각각 절단한 단면도이고,
- [0008] 도 12는 본 발명의 제 7 마스크 공정에 따른 평면도이고, 도 13a와 도 13b와 도 13c는 도 12의 IV-IV, V-V, VI-VI를 각각 절단한 단면도이고,
- [0009] 도 14는 본 발명에 따른 COT 구조 액정표시장치의 구성을 도시한 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

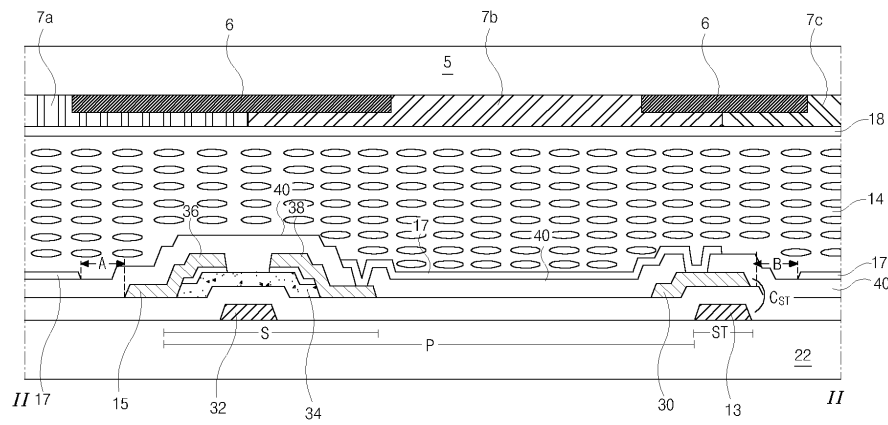
- | | | |
|--------|-----------------------|------------------|
| [0011] | 100 : 기판 | 102 : 게이트 배선 |
| [0012] | 104 : 게이트 전극 | 106 : 게이트 패드 |
| [0013] | 110 : 제 1 반도체 패턴 | 112 : 제 2 반도체 패턴 |
| [0014] | 114 : 소스 전극 | 116 : 드레인 전극 |
| [0015] | 118 : 데이터 배선 | 120 : 데이터 패드 |
| [0016] | 122 : 드레인 전극의 연장부 | 126 : 블랙 매트릭스 |
| [0017] | 128a,128b,128c : 컬러필터 | 138 : 화소 전극 |
| [0018] | 140 : 게이트 패드 단자 | 142 : 데이터 패드 단자 |

도면

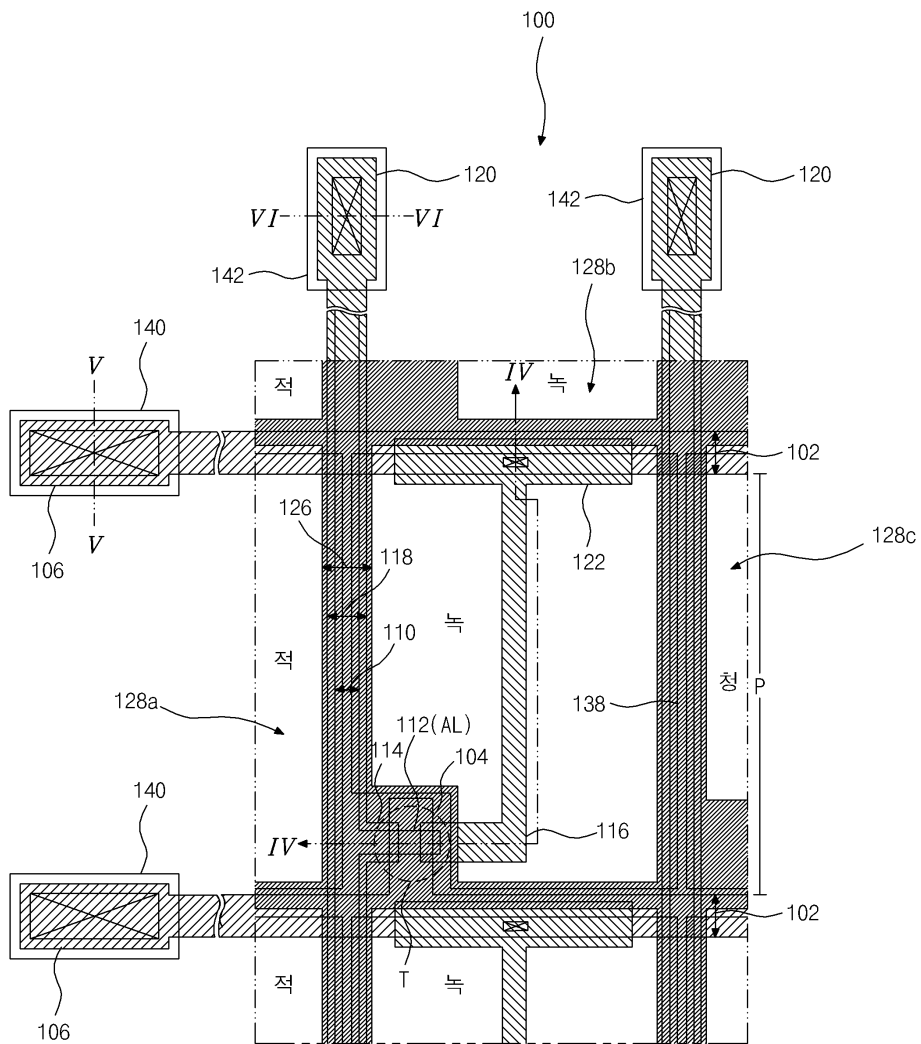
도면1



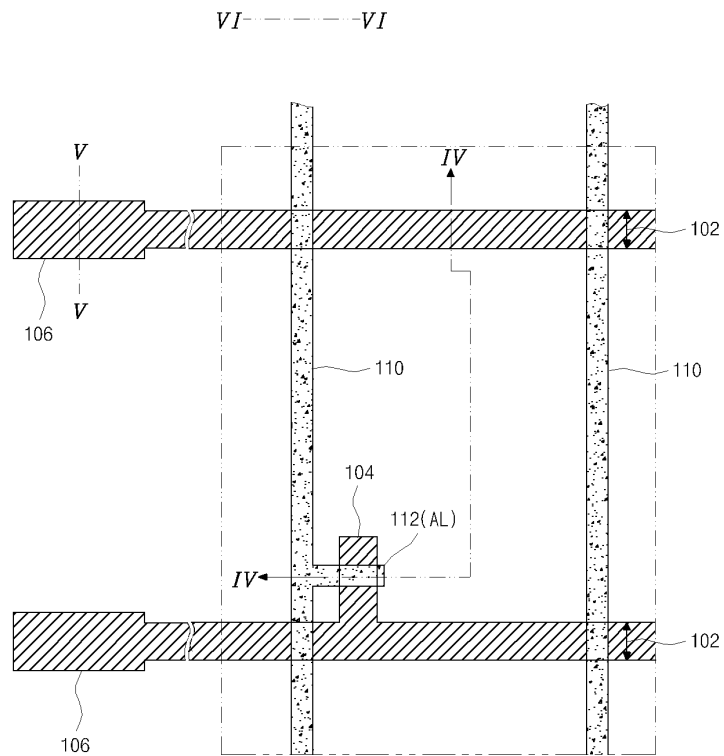
도면2



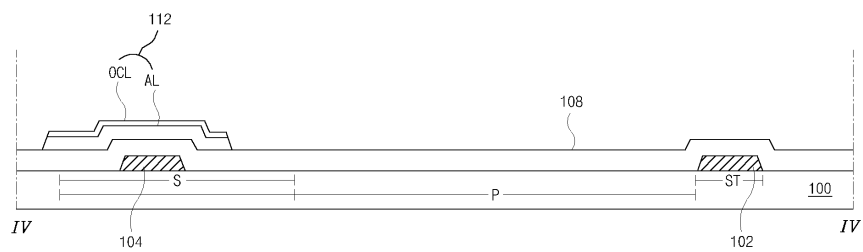
도면3



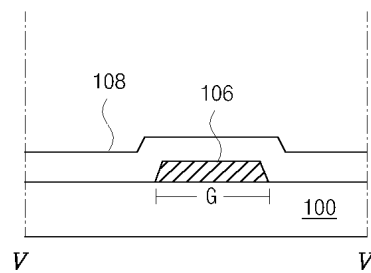
도면4



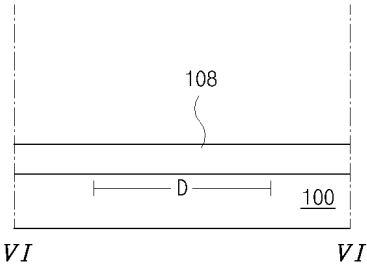
도면5a



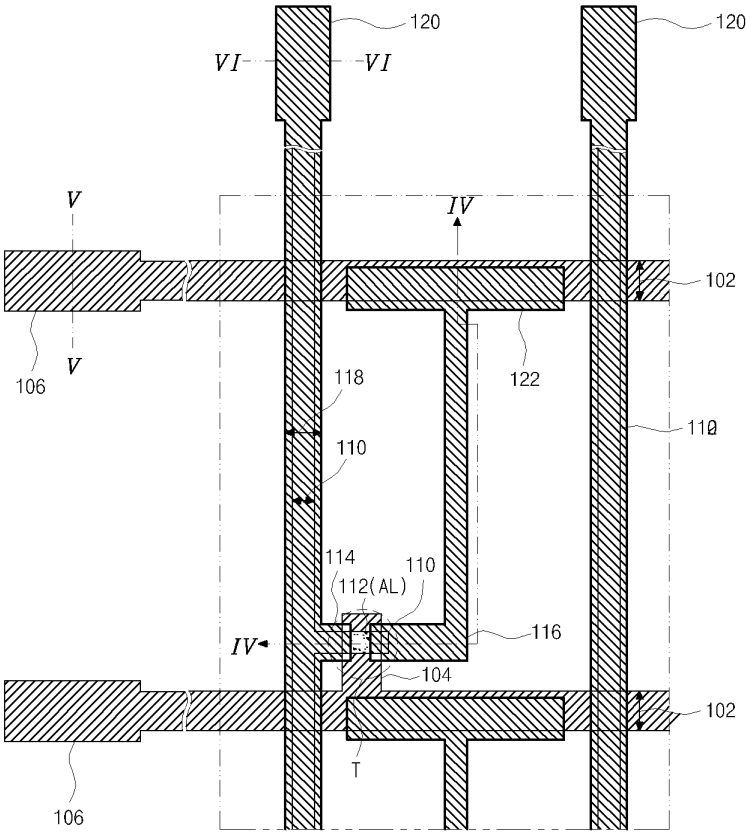
도면5b



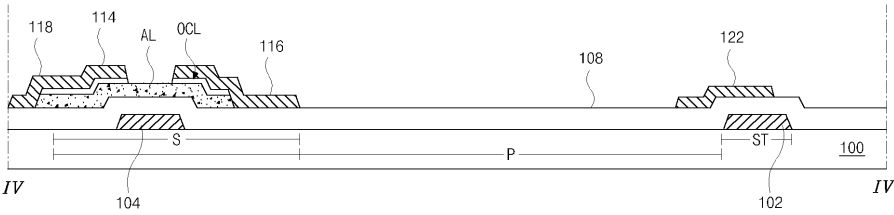
도면5c



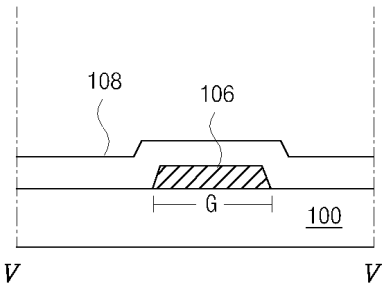
도면6



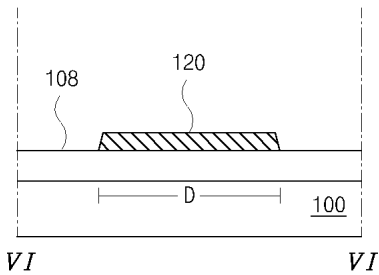
도면7a



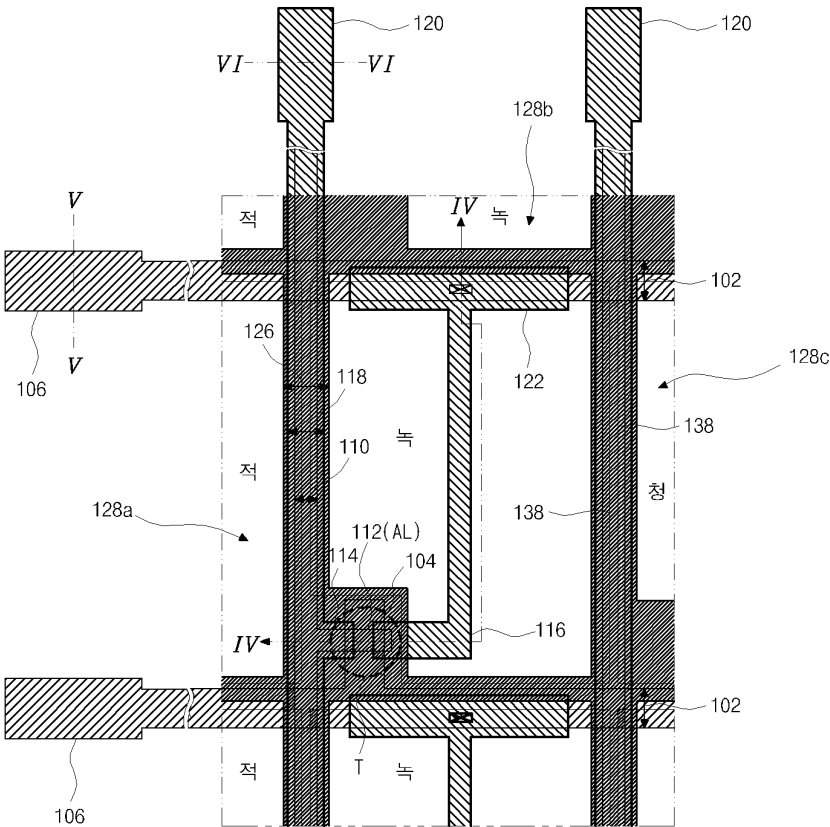
도면7b



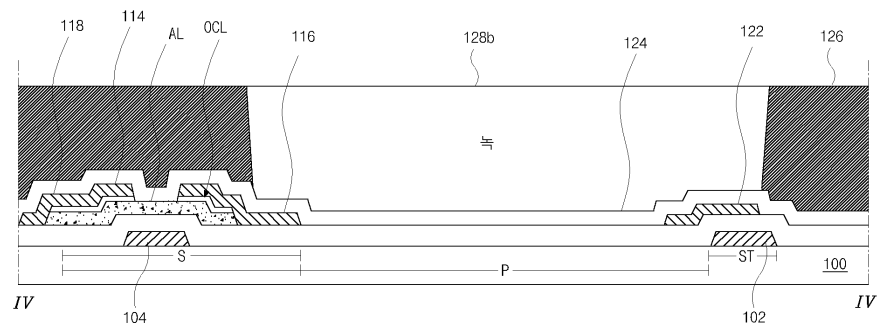
도면7c



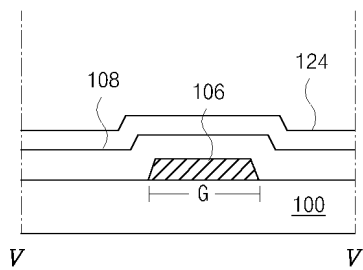
도면8



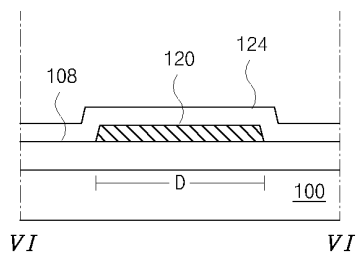
도면9a



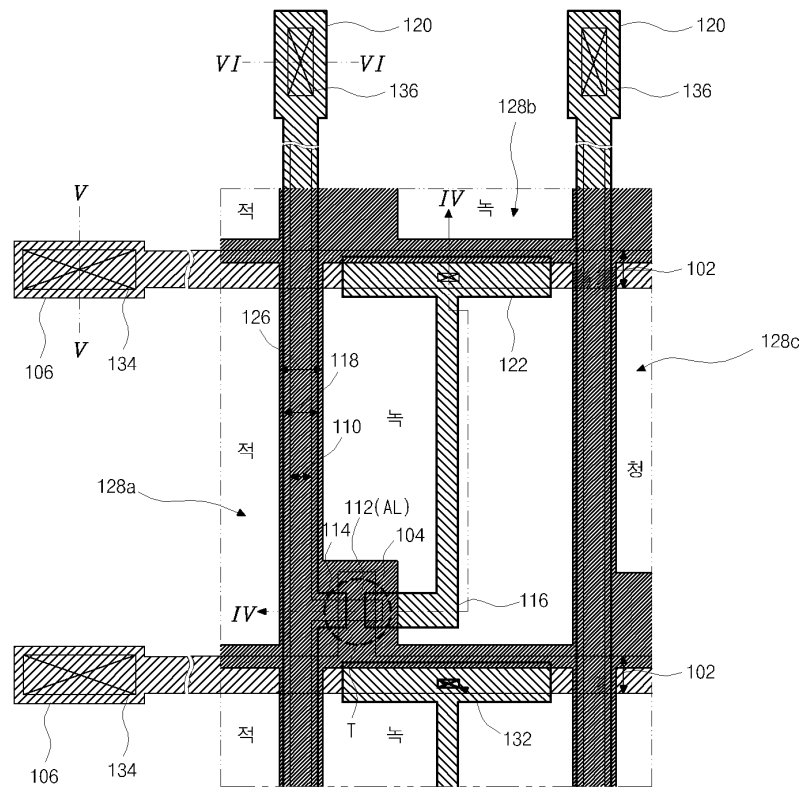
도면9b



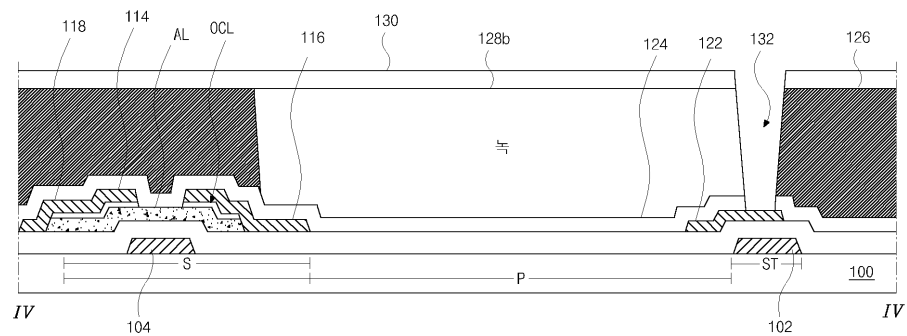
도면9c



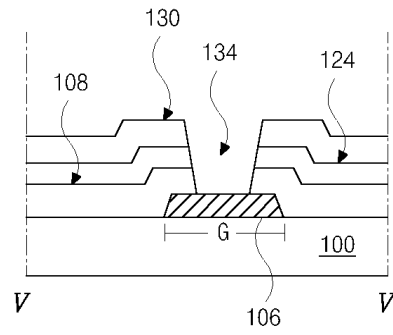
도면10



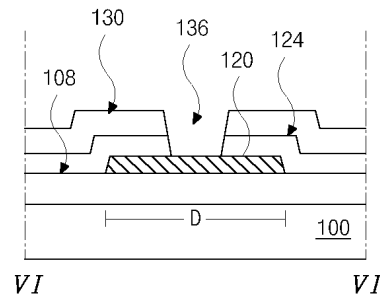
도면11a



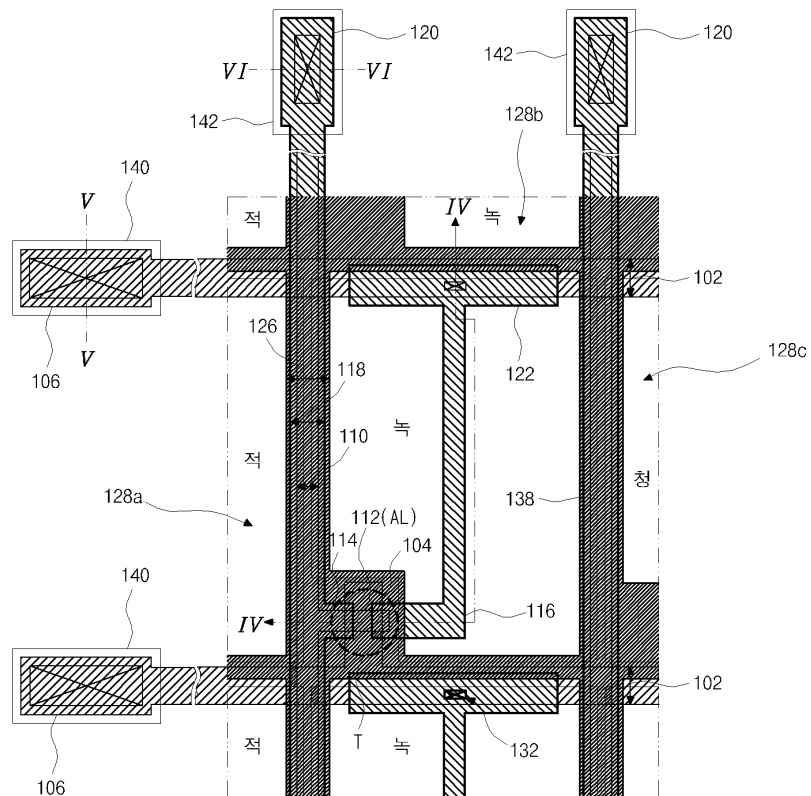
도면11b



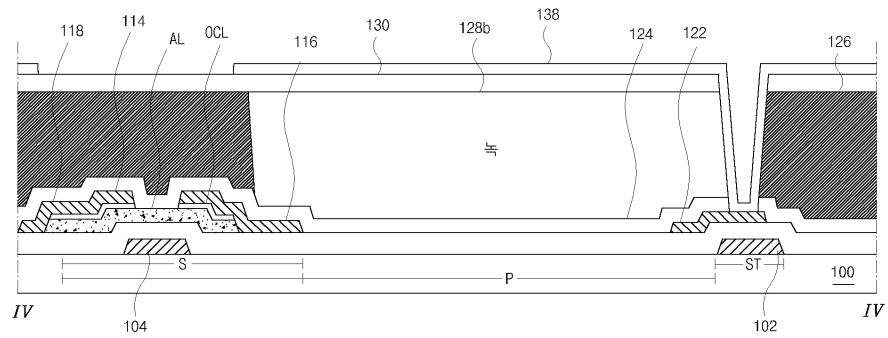
도면11c



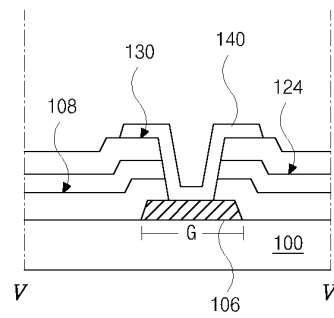
도면12



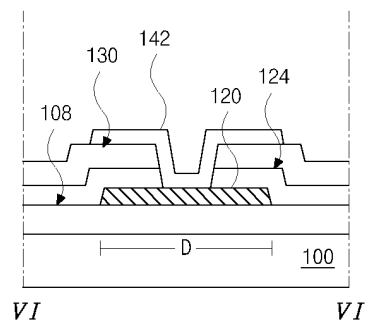
도면13a



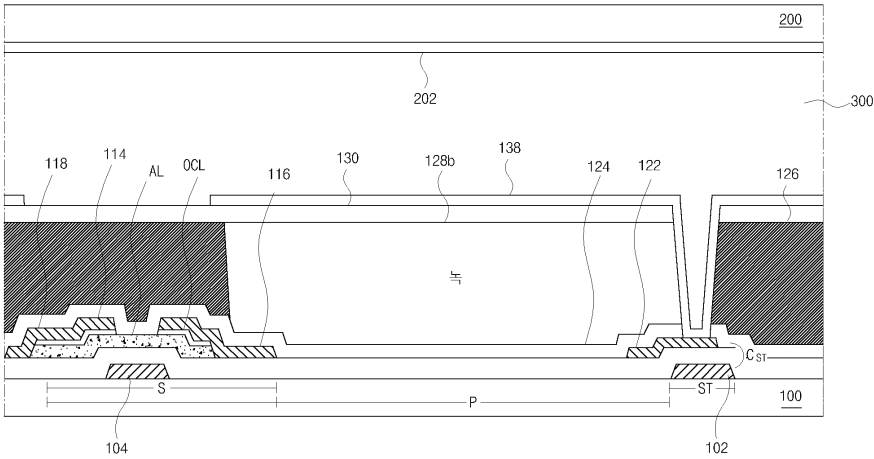
도면13b



도면13c



도면14



专利名称(译)	液晶显示装置和制造方法		
公开(公告)号	KR100942265B1	公开(公告)日	2010-02-16
申请号	KR1020040038974	申请日	2004-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEJUNE		
发明人	KIM,SEJUNE		
IPC分类号	G02F1/1335 G02F1/1333 G02F1/1343 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136213 G02F2001/136222 G02F1/136227 G02F1/136209		
其他公开文献	KR1020050113850A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，所述COT结构的液晶显示彩色滤光片的阵列板设备上配置。特别地，使用无机绝缘材料作为平面化滤色器的材料。可以使彼此对应形成的滤色器平面化，并且由于不使用昂贵的有机材料，因此还可以节省成本。此外，它具有防止密封破裂或焊盘部分接触失效的优点，这可能在使用有机材料时发生有。

