

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년07월20일
G09G 3/36 (2006.01)	(11) 등록번호	10-0602761
	(24) 등록일자	2006년07월11일

(21) 출원번호	10-2003-0050962	(65) 공개번호	10-2004-0010372
(22) 출원일자	2003년07월24일	(43) 공개일자	2004년01월31일

(30) 우선권주장 JP-P-2002-00216252 2002년07월25일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와Kenka와사카시나카하라쿠시모누마베 1753

(72) 발명자 타케모토타카히로
일본국카나가와Kenka와사카시나카하라쿠시모누마베 1753 엔이씨 엘씨디
테크놀로지스, 엘티디.

(74) 대리인 최달용

심사관 : 이병우

(54) 액정 표시 장치 및 그 구동 방법

요약

액티브 매트릭스 어드레스 LCD 장치는 회도를 감소시키지 않으면서도 바람직하지 않는 수평 스트립(strip)을 방지한다. 데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 하나의 대응하는 TFT를 경유하여 각각의 픽셀에 인가된 데이터 전압의 극성을 2 이상이 한 조를 이루는 수평 동기 기간의 각각마다 반전된다(예를 들면, 2-H 도트 또는 라인 반전 방법). 소스 드라이버는 각각의 상기 수평 동기 기간의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 데이터 전압을 리셋팅하는 리셋팅 수단을 구비한다. 상기 소스 드라이버는 각각의 상기 수평 동기 기간의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 상기 데이터 전압의 극성을 반전하는 극성 반전 수단을 구비할 수 있다. 각각의 상기 수평 동기 기간에서의 데이터 전압은 그 상승 상태에서 동일하다.

대표도

도 6

색인어

LCD 장치, 동기, 데이터 전압

명세서

도면의 간단한 설명

도 1은 액티브 매트릭스 어드레스 LCD 장치를 구동하는데 사용하는 종래 기술에서의 2-H 도트 또는 라인 반전 방법의 소스 드라이버 회로의 래치 신호(STB), 클록 신호(VCK), 인에이블 신호(VOE), 및 출력 신호의 파형 변화를 도시하는 파형도.

도 2는 상기 액티브 매트릭스 어드레스 LCD 장치를 구동하는데 사용하는 다른 종래 기술에서의 2-H 도트 또는 라인 반전 방법의 소스 드라이버 회로의 인에이블 신호(VOE) 및 출력 신호의 파형 변화를 도시하는 파형도.

도 3은 액티브 매트릭스 어드레스 LCD 장치를 구동하는데 사용하는 종래 기술에서의 도트 반전 방법을 도시하는 픽셀의 일부에 관한 개략도.

도 4는 액티브 매트릭스 어드레스 LCD 장치를 구동하는데 사용하는 종래 기술의 2-H 도트 반전 방법을 도시하는 픽셀의 일부에 관한 개략도.

도 5는 액티브 매트릭스 어드레스 LCD 장치를 구동하는데 사용하는 종래 기술에서 2-H 라인 반전 방법을 도시하는 픽셀의 일부에 관한 개략도.

도 6은 본 발명의 제1의 실시예에 따른 액티브 매트릭스 어드레스 LCD 장치의 회로 구성을 도시하는 개략 기능 블럭도.

도 7은 도 6의 제1의 실시예에 따른 액티브 매트릭스 어드레스 LCD 장치의 래치 신호(STB), TFT의 드레인 전압, 및 우수(even-number) 및 기수(odd-number) 게이트선의 게이트 전압의 파형 변화를 도시하는 파형도로서, 종래 기술의 액티브 매트릭스 어드레스 LCD 장치에서의 TFT의 드레인 전압과 추가로 비교하는 도면.

도 8은 본 발명의 제2의 실시예에 따른 액티브 매트릭스 어드레스 LCD 장치의 래치 신호(STB), 극선 반전 신호(POL), TFT의 드레인 전압, 및 우수(even-number) 및 기수(odd-number) 게이트선의 게이트 전압의 파형 변화를 도시하는 파형도로서, 종래 기술의 액티브 매트릭스 어드레스 LCD 장치에서의 TFT의 드레인 전압과 추가로 비교하는 도면.

도 9는 본 발명이 제1의 실시예에 다른 액티브 매트릭스 어드레스 LCD 장치의 소스 드라이버 회로의 래치 신호(STB), 클록 신호(VCK), 인에이블 신호(VOE), 및 출력 신호의 파형 변화를 도시하는 파형도.

도 10은 본 발명의 제1의 실시예에 따른 LCD 장치의 소스 드라이버 회로의 구성을 도시하는 기능 블럭도.

도 11은 본 발명의 제2의 실시예에 따른 LCD 장치의 소스 드라이버 회로의 구성을 도시하는 기능 블럭도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명이 속하는 기술분야

본 발명은 액정 표시(LCD) 장치 및 그 구동 방법에 관한 것으로서, 특히 각각의 픽셀에 인가된 데이터 또는 신호 전압의 극성이 2 이상의 수평 동기 시간마다 반전되는 액티브 매트릭스 어드레스 LCD 장치 및 그 구동 방법에 관한 것이다.

종래기술

최근에, 박막 트랜지스터(TFT)를 스위칭 소자로서 사용하는 공지의 액티브 매트릭스 어드레스 LCD 장치가 소위 사무자동화(OA) 장치, 모바일 커뮤니케이션 터미널, 모바일 정보 처리 장치 등의 표시 장치로서 광범위하게 사용되고 있다. 그 이유는 액티브 매트릭스 어드레스 LCD 장치는 몸체가 박형이고 경량이며 소비 전력이 비교적 낮다는 장점을 갖고 있기 때문이다.

액티브 매트릭스 어드레스 LCD 장치는 매트릭스 어레이 형상으로 배치된 한 조(set)의 픽셀, 상기 각각의 픽셀에 대해 배치된 TFT(예컨대, 스위칭 소자), 게이트 드라이버 회로(수직 또는 컬럼 드라이버라고도 한다), 소스 드라이버 회로(수평 또는 로우 드라이버라고도 한다), 및 상기 게이트 및 소스 드라이버를 제어하는 제어 회로를 포함한다. 상기 픽셀 및 TFT는 유리로 이루어진 액티브 매트릭스 기판상에 형성된다.

상기 게이트 드라이버 회로는 선택 또는 주사 신호(예컨대, 선택 또는 주사 전압)를 대응하는 주사 또는 게이트선을 통해 픽셀 매트릭스의 각각의 로우에 정렬된 TFT의 게이트에 연속적으로 공급하고, 그에 따라, 픽셀 매트릭스의 각각의 로우에서 픽셀을 연속적으로 선택한다. 소스 드라이버 회로는 데이터 신호(예컨대, 데이터 전압)를 대응하는 데이터 또는 소스선을 통해 대응하는 TFT를 경유하여 각각의 픽셀에 공급한다.

공통 전극은 유리로 이루어진 대향 기판상에 형성된다. 액정층은 액티브 매트릭스 기판과 대향 기판의 사이에 삽입된다.

픽셀에 대한 TFT가 게이트 드라이버 회로로부터 선택 전압에 의해 온 상태가 되는 경우에, 소스 드라이버 회로로부터의 데이터 전압은 상기 TFT 및 대응하는 소스선을 경유하여 상기 픽셀의 픽셀 전극에 공급된다.

상기 TFT가 오프 상태가 된 경우에, 상기와 같이 공급된 데이터 전압은 상기 픽셀 전극내에 유지된다. 그 의미는 전하는 픽셀 전극, 공통 전극, 및 액정층에 의해 형성된 액정 커페시터에 저장된다는 것을 뜻한다. 픽셀 전극과 공통 전극 사이의 전계 효과에 기인하여, 액정 분자의 배향은 픽셀의 데이터 전압에 따라 변화한다. 동일한 동작인 다른 픽셀에서도 일어난다. 이와 같이 하여, 소요의 화상이 LCD 장치의 스크린상에 표시된다.

일반적으로, 게이트 드라이버 회로에서 공급된 선택 전압은 "수평 동기 기간"과 같은 펄스폭을 갖는 펄스 신호 전압이다. 수평 동기 기간 동안에, 상기 게이트 또는 주사선에 접속된 모든 TFT는 도통(예컨대, 선택됨) 상태를 유지하고, 따라서, 소스 드라이버 회로에서의 데이터 전압은 상기 TFT에 접속된 각각의 픽셀 전극에 인가될 수 있다.

모든 주사선은 "프레임 기간" 내에 선택 전압에 의해 하나씩 순차적으로 선택되거나 구동된다. 그 후, 모든 주사선은 다음의 "프레임 기간" 내에 동일한 방법으로 재차 선택된다. 그에 따라, 동일한 선택 동작이 동작 중에 반복된다.

보통, 액티브 매트릭스 어드레스 LCD 장치는 공지의 "프레임 반전 방법"을 사용함으로써 60hz의 ac 전압으로 구동된다. 상기 방법에서, TFT를 경유하여 각각의 픽셀 전극에 인가된 데이터 전압의 극성은 2개의 인접한 프레임 기간마다 반전된다. 즉, 데이터 전압에 각각 대응하는 양의 전압 및 음의 전압은 공통 전극에 인가된 공통 전압을 기준으로서 사용하는 동안에 프레임 기간마다 각각의 픽셀 전극에 교대로 인가된다. 이로 인해, 액정 분자의 편파를 회피하고 소위 고스팅(ghosting)에 의해 유발된 우발적인 화상 품질의 악화를 방지한다.

액정층을 가로질러 인가된 데이터 전압의 양의 전압 파형 및 음의 전압 파형이 대칭적이면 이상적이다. 그러나, 공통 전극의 편의(deviation)에 의해, 액정 셀 등에 함유된 불순물에 의해 상기와 같은 이상적인 전압 파형이 실제로 인가되지 않는다. 따라서, 데이터 전압의 양의 유효값 및 음의 유효값은 보통 서로 다르다. 그 결과, 양의 유효 전압에 의해 액정층의 달성을 가능한 광 투과도는 음의 유효 전압에 의해 달성을 가능한 광 투과도와는 상이하고, 그에 따라, 인가된 ac 전압의 주파수에 따라 휙도가 변동되게 된다. 전술한 바와 같이, 액티브 매트릭스 어드레스 LCD 장치는 "프레임 반전 방법"에서 60Hz의 ac 전압에 의해 구동되어, 휙도 변동의 증가에 기인한 30Hz에서의 바람직하지 않는 플리커가 관찰된다.

상기 30Hz에서의 바람직하지 않는 플리커를 억제하기 위해서, "도트 반전 방법" 및 "라인 반전 방법"과 같은 개선된 방법이 개발되었다. 상기 2가지의 방법에서, 인가된 데이터 전압의 극성 반전은 게이트선 각각이 선택되는 수평 동기 기간마다 실행된다.

상기 "도트 반전 방법"에 있어서, 각 픽셀(예컨대, 각 TFT의 소스)에 인가된 데이터 전압의 극성은 프레임 주기마다 반전되어 픽셀 중의 하나의 픽셀의 전압 극성은 상기 픽셀에 수평 및 수직으로 인접하는 픽셀의 전압 극성과 반대되게 된다. 따라서, 2개의 인접한 픽셀에 인가된 데이터 전압의 극성은 수평 방향(주사선을 따름) 및 수직 방향(데이터선을 따름)의 양방향으로 각각의 프레임 내에서 서로 반대되게 된다.

반면에, "라인 반전 방법"에 있어서, 각 픽셀(예컨대, 각 TFT의 소스)에 인가된 데이터 전압의 극성은 프레임 주기마다 반전되어 주사선 중의 하나의 주사선에 접속된 픽셀의 전압 극성은 다른 주사선에 접속된 픽셀의 전압 극성과 반대되게 된다. 따라서, 인접한 주사선을 경유하여 픽셀에 인가된 데이터 전압의 극성은 수직 방향으로(데이터선을 따라) 각각의 프레임 내에서 서로 반대되게 된다.

도 3은 전술한 종래의 도트 반전 방법을 개략적으로 도시하는 것으로서, G1, G2, G3는 제1, 제2, 제3 케이트 또는 주사선을 각각 나타내고, S1, S2, S3, S4, S5는 제1, 제2, 제3, 제4, 제5 소스 또는 데이터선을 나타낸다. 도 3으로부터 알 수 있는 바와 같이, 각 핵셀에 인가된 데이터 전압의 극성은 프레임 주기마다 수평 및 수직으로 반전되고 그에 반해 극성 반전 기간은 프레임 기간과 동일하다. 상기 방법에서, 제1 및 제2 프레임 내에서 인가된 양 및 음의 데이터 전압의 유효값이 서로 다르다고 할 지라도, 유효값의 차이는 공간적으로 상쇄되어 30Hz의 폴리커를 억제한다. 상기 방법의 장점은 화상 그 자체의 품질의 개선에 있는데, 그 이유는 소스선을 경유하여 유도된 공통 전압(예컨대, 공통 전극에 인가된 전압)의 변동이 감소되기 때문이다.

도 3에 도시된 종래의 도트 반전 방법은 전체 스크린에서 표시된 동일한 그레이 화상에 대해 폴리커 상쇄 효과를 보여준다. 그러나, 상기 방법은 특정 패턴(예컨대, 핵셀에 대해 인가된 데이터 전압의 극성이 반전되는 영역에서 표시된 고정된 패턴)을 갖는 화상에 대해서는 거의 효과적이지 못하다. 상기 의미는 인가된 데이터 전압의 극성은 문제되는 화상에 대해 바이어스 되기 때문에 폴리커가 관찰된다는 것을 뜻한다. 따라서, 도 3의 상기 도트 반전 방법은 도트에 의해 형성된 바둑판 무늬의 패턴 화상을 표시하는데에는 취약하다.

전술한 동일한 이유에 의해, 종래의 라인 반전 방법(도시되지 않음)은 다른 라인마다 배치된 수평 스트립에 의해 형성된 스트립 패턴 화상을 표시하는데 취약점을 드러낸다.

상기 취약한 화상은 애니메이션이 스크린상에 표시될 때는 거의 나타나지 않는다. 그러나, 도트의 바둑판 무늬의 패턴은 마이크로소프트 윈도우(등록 상표)의 종료 장면에서 또는 디더링(dithering) 또는 계조에 의해 형성된 화상에서 종종 나타나게 된다. 따라서, 상기 취약한 화상은 개인용 컴퓨터의 화면상에서 종종 나타나게 되고 그에 따라 상기 문제점을 해결할 필요성이 대두된다.

상기 문제점을 해결하기 위해, 인가된 데이터 전압의 극성 반전이 수평 동기 기간마다 실행되는 전술한 종래의 도트 및 라인 반전 방법 대신에, 개선된 방법이 개발되었다. 상기 개선된 방법에 있어서, 인가된 데이터 전압의 극성 반전은 "2"개의 수평 동기 기간마다 실행된다(예컨대, 극성 반전 기간은 2개의 연속적인 수평 동기 기간과 동일하다). 상기 개선된 방법은 이하, "2-H 반전 방법"이라고 한다. 이하, "2-H 도트 반전 방법" 및 "2-H 라인 반전 방법" 이 설명된다.

도 4 및 도 5는 상기 2-H 도트 반전 방법 및 2-H 라인 반전 방법을 각각 도시하는 도면이다. 상기 두 방법을 사용함으로써, 윈도우의 종료 장면에서 보이는 바둑판 무늬의 취약한 패턴에서 폴리커가 효과적으로 방지된다. 반면에, 상기 취약한 바둑판 무늬의 패턴은 디더링 또는 계조에 의해 형성된 화상에서 거의 나타나지 않고 그 결과 폴리커는 전체적으로 전술한 종래의 도트 및 라인 반전 방법보다 더 효과적으로 억제된다.

그러나, 도 4 및 5에 도시된 전술한 2-H 방법은 이하의 문제점이 있다.

특히, 2개의 수평 동기 기간 중의 제1의 수평 동기 기간(예컨대, 극성 반전 기간)은 드레인선을 전기적으로 충전하는 충전 기간을 포함하고 있음에 비해 제2의 수평 동기 기간은 상기 충전 기간을 포함하지 않는다. 따라서, 충전 또는 기록 기간의 길이가 불충한 경우에 제1의 수평 동기 기간내에서 대응하는 핵셀에 기록된 총 전하량은 제2의 수평 동기 기간내에서 대응하는 핵셀에 기록된 총 전하량보다 적다. 제1의 수평 동기 기간과 제2의 수평 동기 기간 사이의 기록 총 기록 전하량은 상기 기간 사이에 휘도차를 유발한다. 그 결과, 바람직하지 않는 수평 스트립이 극성 반전 기간마다 나타나나는 문제점이 발생한다. 상기 문제는 이하에서 도 1을 참조하여 상세히 설명될 것이다.

도 1은 소위 소스 또는 수평 드라이버 회로의 출력 신호의 파형도이다. 도 1에서, STB는 데이터를 소스 드라이버 회로에 일시적으로 래치하는 펄스 래치 신호를 나타내고, VCK는 펄스 클록 신호를 나타내고, VOE는 소스 드라이버 회로에서 기록 케이트의 동작을 제어하는 펄스 인에이블 신호를 나타낸다. 상기 래치 신호(STB) 및 인에이블 신호(VOE)는 상기 클록 신호(VCK)와 동기한다.

도 1에 도시된 바와 같이, "기록 기간(T_{WR})은 인에이블 신호(VOE)의 하강 엣지로부터 그 다음의 하강 엣지 까지의 "수평 동기 기간(T_{HSYN})"내에 상기 인에이블 신호(VOE)가 L 레벨에 있는 시간에 의해 주어진다. "블랭킹 기간((T_B) "은 상기 인에이블 신호(VOE)가 동일한 수평 동기 기간(T_{HSYN})내에 H 레벨에 있는 시간에 의해 주어진다.

도 1에 도시된 바와 같이, 예컨대 소스 드라이버 회로의 출력 신호의 상승부는 제1의 게이트선(G1)에 대한 제1의 수평 동기 기간($T_{H\text{SYN}}$)의 기록 기간(T_{WR})에 포함된다. 반면에, 상기와 같은 상승부는 제2의 게이트선(G2)에 대한 제2의 수평 동기 기간($T_{H\text{SYN}}$)의 기록 기간(T_{WR})에는 포함되지 않는다. 따라서, 제1의 게이트선(G1)에 대한 접속된 각 픽셀에 기록된 총 전하량은 제2의 게이트선(G2)에 접속된 각 픽셀에 기록된 총 전하량보다 더 작아지기 쉽고, 그에 따라 제1의 게이트선(G1)과 제2의 게이트선(G2) 사이에서 휘도차를 발생한다. 그 결과, 바람직하지 않는 수평 스트립이 제1의 구성 반전 기간(= $2T_{H\text{SYN}}$)에 제1의 게이트선(G1)과 제2의 게이트선(G2) 사이에서 발생한다.

동일한 설명이 제2의 극성 반전 기간(= $2T_{H\text{SYN}}$)에 제3의 게이트선(G3)과 제4의 게이트선(G4)에 적용될 수 있고, 제3 및 그 다음의 극성 반전 기간에 다른 게이트선들에 적용될 수 있다. 따라서, 바람직하지 않는 수평 스트립이 제2 및 그 이후의 극성 반전 기간($2T_{H\text{SYN}}$)에 발생된다.

상기 바람직하지 않는 수평 스트립의 형성을 막기위해, 예컨대, 도 2에 도시된 개선된 방법이 개시되었다. 도 2의 개선된 방법에 있어서, 기록 기간(T_{WR})은 비기록 기간(T_N)을 인에이블 신호(VOE)에 의해 각각의 제1 및 제2의 수평 동기 기간($T_{H\text{SYN}}$)에 더함에 의해 단축된다. 따라서, 각 극성 반전 기간의 제1 및 제2의 수평 동기 기간($T_{H\text{SYN}}$)의 총 기록 전하량은 서로 동일하게 된다.

도 2의 개선된 방법에 있어서, 바람직하지 않는 수평 스트립은 방지된다. 그러나, 기록 기간(T_{WR}) 그 자체는 비기록 기간(T_N)을 부가함으로서 단축된다. 따라서, 액티브 매트릭스 어드레스 LCD 장치가 사용되는 보통의 블랙 LCD 패널에서 총 휘도가 낮아지는 문제점이 존재한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 휘도를 떨어뜨리지 않고 바람직하지 않는 수평 스트립의 형성을 방지할 수 있는 액티브 매트릭스 어드레스 LCD 장치 및 그 구동 방법을 제공함에 있다.

본 발명의 다른 목적은 백라이트 강도가 높아지는 경우에도 플리커의 발생 빈도 또는 발생 가능성이 낮은 액티브 매트릭스 어드레스 LCD 장치 및 그 구동 방법을 제공함에 있다.

전술한 목적 및 특별히 언급되지 않은 다른 목적은 이하의 설명으로부터 본 분야의 당업자에게는 명백할 것이다.

본 발명의 제1의 특징에 따른 액티브 매트릭스 어드레스 LCD 장치에 있어서,

데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하고,

데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성은 상기 제어 회로에 의해 2개 이상이 한 조(set)를 이루는 수평 동기 기간마다 반전되고,

상기 소스 드라이버 회로는 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 데이터 전압을 리셋팅하는 리셋팅 수단을 포함하며, 상기 리셋팅 동작은 상기 리셋팅 수단의 출력 단자를 단락함에 의해 이루어지는 것을 특징으로 한다.

상기 특징에 있어서, 데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성은 상기 제어 회로에 의해 2개 이상이 한 조(set)를 이루는 수평 동기 기간마다 반전된다. 상기 2개 이상이 한 조를 이루는 수평 동기 기간은 데이터 전압의 극성 반전 기간이다.

또한, 상기 소스 드라이버 회로는 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 데이터 전압을 리셋팅하는 리셋팅 수단을 포함하다.

따라서, 각각의 수평 동기 기간마다 대응하는 픽셀 각각에 인가된 데이터 전압은 리셋팅 동작에 의해 상승 상태에서 동일해 진다. 상기 의미는 각 극성 반전 기간의 2개 이상의 수평 동기 기간 중의 제1의 수평 동기 기간에 픽셀에 기록된 총 전하량은 동일한 수평 동기 기간 중의 제2의 수평 동기 기간에 픽셀에 기록된 총 전하량과 동일하다는 것을 뜻한다. 그 결과, 각 극성 반전 기간의 제1의 수평 동기 기간과 제2 또는 다음의 수평 동기 기간 사이의 휘도차에 의해 발생되는 바람직하지 않는 수평 스트립이 방지된다.

또한, 도 2의 종래 기술과는 다르게, 기록 기간(T_{WR})은 비기록 기간(T_N)의 추가에 의해 단축되지 않는다. 따라서, 휘도가 감소되지 않는다.

제다가, 바람직하지 않는 수평 스트립은 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간 중에 소스 드라이버 회로에 의해 출력된 데이터 전압을 리셋팅함으로써 방지되기 때문에, 플리커 그 자체의 발생 빈도 또는 발생 가능성이 감소된다. 따라서, 플리커는 백라이트 강도가 높은 경우에도 거의 관찰되지 않는다.

상기 특징에 있어서, 상기 리셋팅 수단은 상기 제어 회로에 의해 소스 드라이버 회로에 인가된 래치 신호를 참조하여 리셋팅 동작을 실행하는 것을 특징으로 한다.

상기 특징에 있어서, 각각의 상기 데이터 전압은 극성 반전 기간(예컨대, 2 이상이 한 조를 이루는 수평 동기 기간)에 양의 값 또는 음의 값을 교대로 갖는다.

상기 리셋팅 수단은 상기 리셋팅 동작이 완료된 이후에 상기 데이터 전압 각각이 상기 양의 값과 상기 음의 값 사이의 중간 값에 도달하도록 제어되는 것을 특징으로 한다.

상기 특징에 있어서, 상기 데이터선을 경유하여 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전된다. 그에 따라 상기 장치는 2-H 도트 반전 방법에 의해 구동된다.

상기 특징에 있어서, 데이터선을 경유하여 인가된 데이터 전압은 각 프레임 기간내에 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전된다. 그에 따라, 상기 장치는 2-H 라인 반전 방법에 의해 구동된다.

본 발명의 제2의 특징에 따른 액티브 매트릭스 어드레스 LCD 장치에 있어서,

데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하고,

데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성은 상기 제어 회로에 의해 2개 이상이 한 조를 이루는 수평 동기 기간마다 반전되고,

상기 소스 드라이버 회로는, 극성 반전 신호 펄스가 전환된 후에, 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간내에 래치신호의 트원펄스의 상승에서, 상기 소스 드라이버 회로에 의해 출력된 데이터 전압의 극성을 반전하는 극성 반전 수단을 포함하는 것을 특징으로 한다.

상기 특징에 있어서, 제1의 특징과 유사하게, 데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성은 2개 이상이 한 조를 이루는 수평 동기 기간마다 반전된다.

또한, 상기 소스 드라이버 회로는 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 데이터 전압의 극성을 반전하는 극성 반전 수단을 포함한다.

따라서, 각각의 수평 동기 기간마다 대응하는 픽셀 각각에 인가된 데이터 전압은 극성 반전 동작에 의해 상승 상태에서 동일해 진다. 상기 의미는 각 극성 반전 기간의 2개 이상의 수평 동기 기간 중의 제1의 수평 동기 기간에 픽셀에 기록된 총 전하량은 동일한 수평 동기 기간 중의 제2의 또는 다음의 수평 동기 기간에 픽셀에 기록된 총 전하량과 동일하다는 것을 뜻한다. 그 결과, 각 극성 반전 기간의 제1의 수평 동기 기간과 제2 또는 다음의 수평 동기 기간 사이의 휘도차에 의해 발생되는 바람직하지 않는 수평 스트립이 방지된다.

또한, 도 2의 종래 기술과는 다르게, 기록 기간(T_{WR})은 비기록 기간(T_N)의 추가에 의해 단축되지 않는다. 따라서, 휘도가 감소되지 않는다.

게다가, 바람직하지 않는 수평 스트립은 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간 중에 소스 드라이버 회로에 의해 출력된 데이터 전압을 리셋팅함으로써 방지되기 때문에, 플리커 그 자체의 발생 빈도 또는 발생 가능성이 감소된다. 따라서, 플리커는 백라이트 강도가 높은 경우에도 거의 관찰되지 않는다.

상기 특징에 있어서, 상기 극성 반전 수단은 상기 제어 회로에 의해 소스 드라이버 회로에 인가되는 래치 신호와 극성 반전 신호를 참조하여 극성 반전 동작을 실행하는 것을 특징으로 한다.

상기 특징에 있어서, 상기 극성 반전 수단은 상기 극성 반전 동작이 완료된 이후에 상기 데이터 전압 각각이 반대 극성의 값에 도달하도록 제어되는 것을 특징으로 한다.

상기 특징에 있어서, 데이터선을 경유하여 공급된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전된다. 그에 따라, 상기 장치는 2-H 도트 반전 방법에 의해 구동된다.

상기 특징에 있어서, 데이터선을 경유하여 공급된 데이터 전압의 극성은 각 프레임 기간 내의 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전된다. 그에 따라, 상기 장치는 2-H 라인 반전 방법에 의해 구동된다.

본 발명의 제3의 특징에 따른 데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법에 있어서;

2개 이상이 한 조를 이루는 수평 동기 기간마다 상기 데이터선 중의 대응하는 하나의 데이터선 및 상기 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성을 반전하는 동작과,

상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 상기 데이터 전압을 리셋팅하는 동작을 포함하며, 상기 리셋팅 동작은 상기 리셋팅 수단의 출력 단자를 단락함에 의해 이루어지는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법을 제공한다.

본 발명의 제3의 특징에 따른 방법은 본 발명의 제1의 특징에 따른 상기 장치에 대응한다. 따라서, 그 효과도 제1의 특징에서 언급한 효과도 동일하다.

상기 특징에 있어서, 상기 데이터 전압을 리셋팅하는 동작은 상기 제어 회로에 의해 소스 드라이버 회로에 인가된 래치 신호를 참조하여 리셋팅 동작을 실행하는 것을 특징으로 한다.

상기 특징에 있어서, 상기 데이터 전압 각각은 극성 반전 기간(예컨대, 2 이상이 한 조를 이루는 수평 동기 기간)에 양의 값 또는 음의 값을 교대로 갖는다. 상기 데이터 전압 리셋팅 동작은 상기 리셋팅 동작 단계가 완료된 이후에 상기 데이터 전압 각각이 상기 양의 값과 상기 음의 값 사이의 중간점에 도달하도록 실행되는 것을 특징으로 한다.

상기 특징에 있어서, 상기 데이터선을 경유하여 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전된다. 따라서, 상기 장치는 2-H 도트 반전 방법에 의해 구동된다.

상기 특징에 있어서, 데이터선을 경유하여 인가된 데이터 전압의 극성은 각 프레임 기간내의 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전된다. 그에 따라, 상기 장치는 2-H 라인 반전 방법에 의해 구동되는 것을 특징으로 한다.

본 발명의 제4의 특징에 따른 데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법에 있어서;

데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성을 2개 이상이 한 조를 이루는 수평 동기 기간마다 반전하는 동작과,

극성 반전 신호 펄스가 전환된 후, 상기 한조로 이루어진 수평 동기 기간 각각의 블랭킹 기간내에 래치신호의 트윈펄스의 상승에서, 상기 소스 드라이버 회로에 의해 출력된 데이터 전압의 극성을 반전하는 동작을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법을 개시한다.

본 발명에 따른 상기 제4의 특징은 전술한 제2의 특징에 따른 장치에 대응한다. 따라서, 그 효과는 제2의 특징과 유사하다.

상기 특징에 있어서, 상기 데이터 전압의 극성 반전 동작은 상기 제어 회로에 의해 소스 드라이버 회로에 인가되는 래치 신호 및 극성 반전 신호를 참조하여 실행되는 것을 특징으로 한다.

상기 특징에 있어서, 상기 데이터 전압의 상기 극성 반전 동작은 상기 극성 반전 동작이 완료된 이후에 상기 데이터 전압 각각이 반대 극성의 값에 도달하도록 실행되는 것을 특징으로 한다.

상기 특징에 있어서, 상기 데이터선을 통해 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전된다. 그에 따라, 상기 장치는 2-H 도트 반전 방법에 의해 구동된다.

상기 특징에 있어서, 데이터선을 경유하여 인가된 데이터 전압은 각 프레임 기간내의 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전된다. 그에 따라, 상기 장치는 2-H 라인 반전 방법에 의해 구동된다.

발명의 구성 및 작용

본 발명의 양호한 실시예가 첨부된 도면을 참조하여 이하에서 설명될 것이다.

제1의 실시예

본 발명의 제1의 실시예에 따른 액티브 매트릭스 어드레스 LCD 장치는 도 6에 도시된 회로 구성으로 구성된다.

제1의 실시예의 액티브 매트릭스 LCD 장치는 LCD 패널(11), 제어 회로(12), 게이트 또는 수직 드라이버 회로(13), 및 소스 또는 수평 드라이버 회로(14)를 포함한다.

LCD 패널(11)은 액티브 매트릭스 기판(21), 대향 기판(22), 및 상기 기판(21, 22) 사이에 삽입된 액정층(도시되지 않음)을 포함한다. 각각의 상기 기판(21, 22)은 투명성 유리로 제조된다.

액티브 매트릭스 기판(21)은 수평으로 연장되는 제1 내지 제m의 게이트 또는 주사선(17)(예컨대, G1, G2, ..., Gm), 수직으로 연장되어 주사선(17)과 직교하는 제1 내지 제n의 소스 또는 데이터선(18)(예컨대, S1, S2, ..., Sn), 상기 주사선 및 상기 데이터선(17, 18)의 각 교점 근방의 매트릭스 어레이 형상으로 배열된 픽셀(PX), 및 상기 각각의 픽셀(PX)에 대한 스위치 소자로서 배열된 TFT(15)를 포함한다. 도시되지 않았지만, 전하를 저장하는 스토리지 커패시터는 상기 각 픽셀(PX)에 형성된다.

주사선(17)은 TFT(15)의 대응하는 게이트 전극에 전기적으로 접속된다. 데이터선(18)은 TFT(15)의 대응하는 소스 전극에 전기적으로 접속된다. TFT(15)의 드레인 전극은 대응하는 액정 커패시터(16)의 전극으로서 작용하는 대응하는 픽셀 전극(23)에 전기적으로 접속된다. 액정 커패시터(16)의 대향 전극은 대향 기판(22)상에 형성된 투명 공통 전극(24)에 의해 구성된다.

픽셀(PX) 중의 하나의 픽셀에 대한 TFT(15)가 게이트 드라이버 회로(13)로부터 전압을 선택함에 의해 온 상태로 되는 경우에, 소스 드라이버 회로(14)로부터의 데이터 전압은 대응하는 상기 데이터선(18)과 상기 TFT(15)를 경유하여 상기 픽셀(PX)의 픽셀 전극(23)에 공급(즉, 기록)된다. TFT(15)가 오프 상태인 경우에, 상기와 같이 공급된 데이터 전압은 상기 픽셀 전극(23)에 유지된다. 상기가 의미하는 것은 전하는 대응하는 액정 커패시터(16)에 저장된다는 것을 뜻한다. 액정 커패시터(16)의 픽셀 전극(23)과 투명 공통 전극(24) 사이의 전계에 기인하여 액정 분자의 배향은 픽셀(PX)에서의 데이터 전압에 따라 변화된다. 동일한 동작이 다른 픽셀(PX)에서 발생한다. 이와 같이 하여, 소요의 화상이 LCD 장치의 스크린상에 표시된다.

제어 회로(12)는 표시될 화상에 대응하는 R(적), G(녹), B(청)의 화상 신호, 클록 신호, 수평 동기 신호, 및 수직 동기 신호를 수신한다. 클록 신호는 게이트 드라이버 회로(13), 소스 드라이버 회로(14), 및 다른 회로(도시되지 않음)의 동작을 동기하는데 사용된다. 수평 및 수직 동기 신호는 게이트 드라이버 회로(13)의 주사선 선택 동작 및 소스 드라이버 회로(14)의 데이터 공급 동작을 제어하는데 사용된다. 화상 신호, 클록 신호, 및 수평 및 수직 동기 신호에 기초하여, 제어 회로(12)는 게이트 드라이버 제어 신호(SG), 소스 드라이버 제어 신호(SS), 데이터 신호(SD)를 생성하고 상기 신호들을 게이트 및 소스 드라이버 회로(13, 14)에 공급한다.

게이트 드라이버 회로(13)는 선택 또는 주사 신호(예컨대, 선택 또는 주사 전압)를 게이트 드라이버 제어 신호(SG)에 기초하여 대응하는 주사선(17)을 통해 픽셀 매트릭스의 각 로우(row)에 배치된 TFT(15)의 게이트에 연속적으로 공급한다. 따라서, 픽셀 매트릭스의 각 로우의 픽셀(PX)은 연속적으로 선택되거나 주사된다.

소스 드라이버 회로(14)는 소스 드라이버 제어 신호(SS)에 기초하여 대응하는 데이터선(18)을 통해 대응하는 TFT(15)를 경유하여 각 픽셀(PX)에 데이터 신호(예컨대, 데이터 전압)를 공급한다. 상기 동작은 게이트 드라이버 회로(13)의 동작과 동기된다. 따라서, R, G, B의 화상 신호에 따른 화상이 LCD 장치의 스크린상에 표시된다.

게이트 드라이버 회로(13)로부터 공급된 선택 전압은 "수평 동기 기간"에 대응하는 펄스 폭을 갖는 펄스 신호 전압이다. 수평 동기 기간에, 상기 주사선(17)에 접속된 모든 TFT(15)는 도통(예컨대, 선택) 상태가 되고 그에 따라 소스 드라이버 회로(14)로부터의 데이터 전압은 TFT(15)에 접속된 각 픽셀 전극(23)에 인가된다.

모든 주사선(17)은 "프레임 기간"내에 선택 전압에 의해 순차적으로 하나씩 선택 또는 구동된다. 그 후, 모든 주사선(17)이 다음 "프레임 기간" 중에 동일한 방법으로 재차 선택된다. 따라서, 동일한 선택 동작이 동작중에는 항상 반복된다.

게이트 드라이버 회로(13), 소스 드라이버 회로(14), 및 제어 회로(12)의 동작에 의해, 데이터선(18) 중의 대응하는 하나의 데이터선 및 TFT(15) 중의 대응하는 하나의 TFT를 경유하여 픽셀(PX) 각각에 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간마다 반전된다. 상기 의미는 제1의 실시예의 LCD 장치는 "2-H 도트 반전 방법" 또는 "2-H 라인 반전 방법"에 따라 작동한다는 것을 의미한다. 상기 2가지의 반전 방법을 구현하는 회로 구성은 공지되어 있기 때문에, 그 회로 구성에 대한 설명은 여기서는 생략한다.

도 10은 소스 드라이버 회로(14)의 회로 구성을 개략적으로 도시한다. 도 10에 도시된 바와 같이, 소스 드라이버 회로(14)는 시프트 레지스터/래치 회로(141) 및 리셋팅 회로(142)를 포함한다.

시프트 레지스터/래치 회로(141)는 입력된 화상 데이터(SD)를 대응하는 데이터 전압으로서 각 데이터선(18)(S1 내지 Sn)에 분배하는 시프트 레지스터의 기능과, 입력된 화상 데이터(SD)를 시프트 레지스터/래치 회로(141)에 일시적으로 저장하는 래치 회로의 기능을 한다.

리셋팅 회로(142)는 극성 반전 기간의 각 수평 동기 기간(예컨대, 2개가 한 조를 이루는 수평 동기 기간)의 블랭킹 기간에 소스 드라이버 회로(14)에 의해 출력될 데이터 전압을 리셋팅하는 기능을 한다.

리셋팅 회로(142)의 리셋팅 동작은 리셋팅 회로(142)의 모든 출력단 사이에서 전기적인 단락을 순간적으로 유발함으로써 용이하게 구현된다. 그러나, 다른 방법이 상기 목적을 위해서 사용 가능하다.

다음에, 상기 제1의 실시예에 따른 LCD 장치의 동작이 도 7 및 9를 참조하여 상세히 설명될 것이다.

도 7 및 9에 있어서, STB는 펄스 래치 신호를 나타내고, VCK는 클록 신호를 나타내고, VOE는 인에이블 신호를 나타낸다. 주사선(G1)에 대한 제1의 수평 동기 기간($T_{H\text{SYN}}$)에 래치 신호(STB)의 하강 엣지(t1)에서 시프트 레지스터/래치 회로(141)의 래치 동작이 종료된다. 따라서, 시프트 레지스터/래치 회로(141)에 저장된 화상 데이터는 데이터선(18)(S1 내지 Sn)을 경유하여 각 픽셀(PX)에 인가된다. 그 결과, 소스 드라이버 회로(14)의 출력 전압 각각과 TFT(15) 각각의 드레인 전압은 점차 증가하기 시작한다.

그 후, 래치 동작이 래치 신호(STB)의 상승 엣지(t3)에서 시작된다. 상기 의미는 시프트 레지스터/래치 회로(141)의 화상 데이터는 상기 래치 신호(STB)가 L 레벨에 있는 상기 시간(t1)으로부터 상기 시간(t3)까지의 기간 내에 픽셀(PX)에 공급된다는 것을 의미한다. 그 결과, 소스 드라이버 회로(14)의 출력 전압 각각과 TFT(15) 각각의 드레인 전압은 t1 내지 t3의 기간내에 점차로 증가한다.

이어서, 상기와 같이 개시된 래치 동작이 신호(STB)의 다음 하강 엣지(t4)에서 종료된다. 상기 의미는 시프트 레지스터/래치 회로(141)의 화상 데이터는 신호(STB)가 H 레벨에 있는 시간(t3) 내지 시간(t4)의 기간 내에 래치된다는 것을 뜻한다.

유사하게, 게이트 또는 주사선(G2)에 대한 제2의 수평 동기 기간($T_{H\text{SYN}}$)의 래치 신호(STB)의 하강 엣지(t4)에서, 시프트 레지스터/래치 회로(141)의 래치 동작이 종료된다. 그에 따라, 시프트 레지스터/래치 회로(141)에 저장된 화상 데이터는 데이터선(18)(S1 내지 Sn)을 경유하여 각 픽셀(PX)에 공급된다. 그 후, 래치 동작은 신호(STB)의 다음 상승 엣지(t6)에서 재차 시작된다.

전술한 동일한 동작이 주사선(G3, G4)에 대한 제3 및 제4의 수평 동기 기간($T_{H\text{SYN}}$) 각각에서 반복된다.

소스 드라이버 회로(14)로부터 출력된 데이터 전압은 도 9에 도시된 바와 같이, 극성 반전 기간(예컨대, 2개가 한 조를 이루는 수평 동기 기간($= 2T_{H\text{SYN}}$))마다 양의 피크값(V+) 또는 음의 피크값(V-)을 갖는다. 상기 양의 피크값(V+)과 음의 피크값(V-) 사이의 중간값은 V_m 이다. 그 결과, 소스 드라이버 회로(14)로부터의 데이터 전압에 의해 생성된 TFT(15)의 드레인 전압은 도 7에 도시된 바와 같이 극성 반전 기간마다 양의 피크값(Vd+) 또는 음의 피크값(Vd-)을 교대로 갖는다. 상기 양의 피크값(Vd+) 및 음의 피크값(Vd-) 사이의 중간값은 V_{dm} 이다.

제1의 수평 동기 기간($T_{H\text{SYN}}$)에서, 시프트 레지스터/래치 회로(141)의 출력은 시간(t3) 보다 더 선행한 시간(t2)에서 리셋팅된다. 따라서, 데이터 전압의 값은 그 중간 전압(V_m)까지 점차 감소된다. 시간(t2)에서, 게이트 전압(예컨대, 게이트 드라이버 회로(13)로부터 공급된 선택 전압)의 펄스는 하강한다. 게이트 전압의 펄스의 상승은 시간(t1)에서 발생하고, 이

것이 뜻하는 것은 게이트 전압의 상승은 래치 신호(STB)의 하강과 동기한다는 의미이다. 도 7에 도시된 바와 같이, 시간(t1)에서 시간(t2)까지의 기간은 기록 기간(T_{WR})이고, 시간(t3)에서 시간(t4)까지의 기간은 블랭킹 기간(T_B)이다. 이와 같이 하여, 리셋팅 동작은 블랭킹 기간(T_B) 중에 실행된다.

리셋팅 회로(142)는 상기 리셋팅 동작이 완료된 이후에 데이터 전압 각각이 상기 양의 피크값(V+)과 음의 피크값(V-) 사이의 중간값(Vm)에 도달하도록 제어된다. 여기서, 상기 중간값(Vm)은 투명 공통 전극(24)의 공통 전압과 동일하다.

따라서, 각각의 수평 동기 기간($= 2T_{HSYN}$)마다 소스 드라이버 회로(14)에 의해 대응하는 픽셀(PX) 각각에 인가된 데이터 전압은 리셋팅 동작에 의해 상승 상태에서 동일해 진다. 상기 의미는 각 극성 반전 기간의 2개의 수평 동기 기간($= 2T_{HSYN}$) 중의 제1의 수평 동기 기간 중에 픽셀(PX)(예컨대, 도 7의 해칭부의 영역)에 기록된 총 전하량은 동일한 수평 동기 기간 중의 제2의 수평 동기 기간 중에 픽셀(PX)에 기록된 총 전하량과 동일하다는 것을 의미한다.

그 결과, 각 극성 반전 기간의 제1의 수평 동기 기간과 제2의 수평 동기 기간 사이의 휘도차에 의해 발생되는 바람직하지 않는 수평 스트립이 방지된다.

또한, 도 2의 종래 기술과는 다르게, 기록 기간(T_{WR})은 비기록 기간(T_N)의 추가에 의해 단축되지 않는다. 따라서, 휘도가 감소되지 않는다.

또한, 바람직하지 않는 수평 스트립이 각각의 수평 동기 기간($= 2T_{HSYN}$)의 블랭킹 기간(T_B) 중에 소스 드라이버 회로(14)에 의해 출력된 데이터 전압을 리셋팅함으로써 방지되기 때문에, 플리커 그 자체의 발생 빈도 또는 발생 가능성성이 감소된다. 따라서, 플리커는 백라이트 강도가 높은 경우에도 거의 관찰되지 않는다.

전술한 제1의 실시예에 있어서, 리셋팅 회로(142)를 리셋팅함에 의한 리셋팅 동작은 시간(t2)에서 게이트 전압의 하강과 동기한다. 그러나, 본 발명은 이에 한정되지 않는다. 리셋팅 동작은 래치 신호(STB)를 참조하여 실행될 수 있다. 즉, 리셋팅 동작은 래치 신호(STB)의 상승과 동기할 수 있거나 고정된 지연 시간에 의해 래치 신호(STB)의 상승 또는 하강 옛지 이후에 실행될 수도 있다.

또한, 제1의 실시예의 LCD 장치는 이하와 같은 추가의 장점이 있다.

(i) 전력 소비가 리셋팅 동작을 사용하지 않는 1-H 반전 방법에 의해 구동되는 종래의 장치에 비해 적고,

(ii) 전력 소비가 리셋팅 동작을 사용하지 않는 2-H 반전 방법에 의해 구동되는 종래의 장치에 비해 적다.

제2의 실시예

다음에, 본 발명의 제2의 실시예에 따른 액티브 매트릭스 어드레스 LCD 장치가 도 8 내지 도 11을 참조하여 이하 상세히 설명될 것이다.

제2의 실시예의 액티브 매트릭스 어드레스 LCD 장치는 시프트 레지스터/래치 회로(141)를 리셋팅하는 대신에 시프트 레지스터/래치 회로(141A)에 의해 출력된 데이터 전압의 극성을 반전하기 위한 극성 반전 회로(142A)를 소스 드라이버 회로(14A)가 갖는다는 점을 제외하고는 제1의 실시예의 액티브 매트릭스 어드레스 LCD 장치와 구성 및 동작이 동일하다. 따라서, 동일 구성 및 동일 동작에 대한 설명은 생략하기로 한다.

도 11은 소스 드라이버 회로(14A)의 회로 구성을 개략 도시한다. 도 11에 도시된 바와 같이, 소스 드라이버 회로(14A)는 시프트 레지스터/래치 회로(141A)와 극성 반전 회로(142A)를 구비한다.

시프트 레지스터/래치 회로(141A)는 제1의 실시예의 시프트 레지스터/래치 회로(141)의 구성과 동일하다. 따라서, 이에 대한 설명은 생략한다.

극성 반전 회로(142A)는 극성 반전 기간(예컨대, 2개가 한 조로 이루어진 수평 동기 기간)의 각각의 수평 동기 기간에서의 블랭킹 기간에 소스 드라이버 회로(14A)에 의해 출력될 데이터 전압의 극성을 반전하는 기능이 있다.

극성 반전 회로(142A)의 극성 반전 동작은 적합한 시간에 극성 반전 신호(POL)를 데이터 전압에 인가함으로써 용이하게 실행 가능하다. 상기 극성 반전 신호(POL)는 2개의 인접한 프레임 기간마다 데이터 전압의 극성을 반복적으로 반전시키도록 생성되기 때문에, 극성 반전 동작을 실행할 추가적인 회로가 필요치 않다.

다음에, 상기 제2의 실시예에 따른 LCD 장치의 동작이 도 8 및 도 9를 참조하여 설명될 것이다.

도 8에 있어서, 주사선(G1)에 대한 제1의 수평 동기 기간(T_{HSYN})의 래치 신호(STB)의 트윈(twin) 펄스의 최종 하강 엣지(t11)에서, 시프트 레지스터/래치 회로(141A)의 래치 동작은 종료된다. 따라서, 시프트 레지스터/래치 회로(141A)에 저장된 화상은 데이터선(18)(S1 내지 Sn)을 경유하여 각 픽셀(PX)에 공급된다. 그 결과, 소스 드라이버 회로(14A)의 출력 전압 각각과 TFT(15) 각각의 드레인 전압은 점차 증가하기 시작한다.

그 후, 래치 동작이 래치 신호(STB)의 트윈 펄스의 제1의 상승 엣지(t13)에서 시작된다. 상기 의미는 시프트 레지스터/래치 회로(141A)의 화상 데이터는 신호(STB)가 L 레벨에 유지되는 시간(t11)에서 시간(t13)까지의 기간에 픽셀(PX)에 공급된다는 것이다. 그 결과, 소스 드라이버 회로(14)의 출력 전압 각각과 TFT(15) 각각의 드레인 전압은 시간(t11)에서 시간(t13)까지의 기간에 점차로 증가한다.

이어서, 상기와 같이 개시된 래치 동작이 신호(STB)의 트윈 펄스의 제2의 하강 엣지(t15)에서 중단된다. 상기 의미는 시프트 레지스터/래치 회로(141A)에 저장된 화상 데이터는 시간(t13)에서 시간(t15)까지의 기간에 래치된다는 것이다.

유사하게, 주사선(G2)에 대한 제2의 수평 동기 기간(T_{HSYN})에서 래치 신호(STB)의 트윈 펄스의 제2의 하강 엣지(t15)에서, 시프트 레지스터/래치 회로(141A)의 래치 동작은 종료된다. 따라서, 시프트 레지스터/래치 회로(141A)에 저장된 화상 데이터는 데이터선(18)(S1 내지 Sn)을 경유하여 각 픽셀(PX)에 공급된다. 그 후, 래치 동작이 신호(STB)의 다음 상승 엣지(t18)에서 재차 시작되고 다음 하강 엣지(t19)에서 종료된다.

전술한 바와 같은 동일한 동작이 게이트 또는 주사선(G3, G4)에 대한 제3 및 제4의 수평 동기 기간(T_{HSYN})에서 각각 반복된다.

제1의 실시예와 유사하게, 소스 드라이버 회로(14A)로부터 출력된 데이터 전압은 도 9에 도시된 바와 같이, 극성 반전 기간(예컨대, 2개가 한 조를 이루는 수평 동기 기간($= 2T_{HSYN}$))마다 양의 피크값(V₊) 또는 음의 피크값(V₋)을 갖는다. 상기 양의 피크값(V₊)과 음의 피크값(V₋) 사이의 중간값은 V_m이다. 그 결과, 소스 드라이버 회로(14A)로부터의 데이터 전압에 의해 생성된 TFT(15)의 드레인 전압은 도 8에 도시된 바와 같이 극성 반전 기간마다 양의 피크값(V_{d+}) 또는 음의 피크값(V_{d-})을 교대로 갖는다. 상기 양의 피크값(V_{d+}) 및 음의 피크값(V_{d-}) 사이의 중간값은 V_{dm}이다.

제1의 수평 동기 기간(T_{HSYN})에서, 시프트 레지스터/래치 회로(141A)의 출력은 시간(t15) 보다 더 선행하는 시간(t14)에서 극성 반전된다. 따라서, 데이터 전압의 값은 양의 전압값(V_{dh})로부터 음의 전압값(V_{dl})까지 점차 감소된다. 시간(t12)에서, 게이트 전압(예컨대, 게이트 드라이버 회로(13)로부터 공급된 선택 전압)의 펄스는 하강한다. 게이트 전압의 펄스의 상승은 시간(t11)에서 발생하고, 이것이 뜻하는 것은 게이트 전압의 상승은 래치 신호(STB)의 제2의 하강과 동기한다는 의미이다. 도 8에 도시된 바와 같이, 시간(t11)에서 시간(t12)까지의 기간은 기록 기간(T_{WR})이고, 시간(t12)에서 시간(t15)까지의 기간은 블랭킹 기간(T_B)이다. 이와 같이 하여, 극성 반전 동작이 블랭킹 기간(T_B) 중에 실행된다.

극성 반전 회로(142A)는 상기 극성 반전 동작이 완료된 이후에 데이터 전압 각각이 V_{dm}의 중간값을 가로질로 반대 극성값(V_{dh} 또는 V_{dl})에 도달하도록 제어된다. 여기서, 상기 중간값(V_m)은 투명 공통 전극(24)의 공통 전압과 동일하다.

따라서, 각각의 수평 동기 기간($= 2T_{HSYN}$)에서 소스 드라이버 회로(14A)에 의해 대응하는 픽셀(PX) 각각에 인가된 데이터 전압은 극성 반전 동작에 의해 상승 상태에서 동일해 진다. 상기 의미는 각 극성 반전 기간의 2개의 수평 동기 기간($= 2T_{HSYN}$) 중의 제1의 수평 동기 기간 중에 픽셀(PX)(예컨대, 도 8의 해칭부의 영역)에 기록된 총 전하량은 동일한 수평 동기 기간 중의 제2의 수평 동기 기간 중에 픽셀(PX)에 기록된 총 전하량과 동일하다는 것을 뜻한다.

그 결과, 각 극성 반전 기간의 제1의 수평 동기 기간과 제2의 수평 동기 기간 사이의 휴드차에 의해 발생되는 바람직하지 않는 수평 스트립이 방지된다.

또한, 도 2의 종래 기술과는 다르게, 기록 기간(T_{WR})은 비기록 기간(T_N)의 추가에 의해 단축되지 않는다. 따라서, 휘도가 감소되지 않는다.

또한, 바람직하지 않는 수평 스트립이 각각의 수평 동기 기간(= $2T_{HSYN}$)의 블랭킹 기간(T_B) 중에 소스 드라이버 회로(14A)에 의해 출력된 데이터 전압을 극성 반전함으로써 방지되기 때문에, 플리커 자체의 발생 빈도 또는 발생 가능성이 감소된다. 따라서, 플리커는 백라이트 강도가 높은 경우에도 거의 관찰되지 않는다.

다른 실시예

본 발명은 전술한 제1 및 제2의 실시예에 한정되지 않는다는 것은 말할 나위가 없다. 어떠한 변형 실시예에도 상기 실시예에 적용 가능하다. 예컨대, LCD 장치가 전술한 실시예의 2-H 도트 또는 라인 반전 방법에 따라 구동된다고 하더라도 상기 장치는 3-H, 4-H, ..., k-H 도트 또는 라인 반전 방법(여기서, $k \geq 3$)에 따라 구동이 가능하다. 극성 반전 회로(142A)에 인가된 극성 반전 신호(POL)는 추가적인 회로에 의해 분리되어 생성될 수 있다.

이상, 본 발명의 양호한 실시예가 기술되었지만, 구체적인 구성은 이 실시예에 한정되는 것이 아니라, 본 발명의 요지를 일탈하지 않는 범위의 설계의 변경등이 있더라도 본 발명에 포함된다.

발명의 효과

전술한 구성에 의하면, 각 극성 반전 기간의 제1의 수평 동기 기간과 제2의 수평 동기 기간 사이의 휘도차에 의해 발생되는 바람직하지 않는 수평 스트립이 방지된다.

또한, 기록 기간(T_{WR})은 비기록 기간(T_N)의 추가에 의해 단축되지 않는다. 따라서, 휘도가 감소되지 않는다.

또한, 바람직하지 않는 수평 스트립이 각각의 수평 동기 기간(= $2T_{HSYN}$)의 블랭킹 기간(T_B) 중에 소스 드라이버 회로(14A)에 의해 출력된 데이터 전압을 극성 반전함으로써 방지되기 때문에, 플리커 자체의 발생 빈도 또는 발생 가능성이 감소된다. 따라서, 플리커는 백라이트 강도가 높은 경우에도 거의 관찰되지 않는다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스 어드레스 LCD 장치에 있어서,

데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하고,

데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성은 상기 제어 회로에 의해 2개 이상이 한 조(set)를 이루는 수평 동기 기간마다 반전되고,

상기 소스 드라이버 회로는 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 데이터 전압을 리셋팅하는 리셋팅 수단을 포함하며, 상기 리셋팅 동작은 상기 리셋팅 수단의 출력 단자를 단락함에 의해 이루어지는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 2.

제1항에 있어서,

상기 리셋팅 수단은 상기 제어 회로에 의해 소스 드라이버 회로에 인가된 래치 신호를 참조하여 리셋팅 동작을 실행하는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 3.

제1항에 있어서,

상기 데이터 전압 각각은 극성 반전 기간에 양의 값 또는 음의 값을 교대로 갖고,

상기 리셋팅 수단은 상기 리셋팅 동작이 완료된 이후에 상기 데이터 전압 각각이 상기 양의 값과 상기 음의 값을 사이의 중간 값에 도달하도록 제어되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 4.

제1항에 있어서,

상기 데이터선을 경유하여 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전되어 2-H 도트 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 5.

제1항에 있어서,

데이터선을 경유하여 인가된 데이터 전압은 각 프레임 기간내에 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전되어 2-H 라인 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 6.

액티브 매트릭스 어드레스 LCD 장치에 있어서,

데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하고,

데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성은 상기 제어 회로에 의해 2개 이상이 한 조를 이루는 수평 동기 기간마다 반전되고,

상기 소스 드라이버 회로는, 극성 반전 신호 펄스가 전환된 후에, 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간내에 래치신호의 트원 펄스의 상승에서, 상기 소스 드라이버 회로에 의해 출력된 데이터 전압의 극성을 반전하는 극성 반전 수단을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 7.

제6항에 있어서,

상기 극성 반전 수단은 상기 제어 회로에 의해 소스 드라이버 회로에 인가되는 래치 신호와 극성 반전 신호를 참조하여 극성 반전 동작을 실행하는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 8.

제6항에 있어서,

상기 극성 반전 수단은 상기 극성 반전 동작이 완료된 이후에 상기 데이터 전압 각각이 반대 극성의 값에 도달하도록 제어 되는 것을 특징으로하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 9.

제6항에 있어서,

데이터선을 경유하여 공급된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전되어 2-H 도트 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 10.

제6항에 있어서,

데이터선을 경유하여 공급된 데이터 전압의 극성은 각 프레임 기간 내의 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전되어 2-H 라인 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치.

청구항 11.

데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법에 있어서;

2개 이상이 한 조를 이루는 수평 동기 기간마다 상기 데이터선 중의 대응하는 하나의 데이터선 및 상기 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성을 반전하는 동작과,

상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간에 상기 소스 드라이버 회로에 의해 출력된 상기 데이터 전압을 리셋팅하는 동작을 포함하며, 상기 리셋팅 동작은 상기 리셋팅 수단의 출력 단자를 단락함에 의해 이루어지는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 12.

제11항에 있어서,

상기 데이터 전압을 리셋팅하는 동작은 상기 제어 회로에 의해 소스 드라이버 회로에 인가된 래치 신호를 참조하여 리셋팅 동작을 실행하는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 13.

제11항에 있어서,

상기 데이터 전압 각각은 극성 반전 기간에 양의 값 또는 음의 값을 교대로 갖고,

상기 데이터 전압 리셋팅 동작은 상기 리셋팅 동작단계가 완료된 이후에 상기 데이터 전압 각각이 상기 양의 값과 상기 음의 값을 사이의 중간점에 도달하도록 실행되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 14.

제11항에 있어서,

상기 데이터선을 경유하여 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전되어 2-H 도트 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 15.

제11항에 있어서,

데이터선을 경유하여 인가된 데이터 전압의 극성은 각 프레임 기간내의 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전되어 2-H 라인 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 16.

데이터선과, 상기 데이터선과 교점에서 교차하는 주사선과, 상기 각 교점 근방에 배치된 픽셀과, 상기 각 픽셀에 대한 스위칭 소자로서 배치된 TFT를 포함하는 액티브 매트릭스 기판과, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판에 의해 끼워진 액정층을 포함하는 패널과,

상기 데이터선을 구동하기 위한 소스 드라이버 회로와,

상기 주사선을 구동하기 위한 게이트 드라이버 회로와,

상기 소스 드라이버 회로 및 상기 게이트 드라이버 회로를 제어하는 제어 회로를 포함하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법에 있어서;

데이터선 중의 대응하는 하나의 데이터선 및 TFT 중의 대응하는 하나의 TFT를 경유하여 상기 픽셀 각각에 인가된 데이터 전압의 극성을 2개 이상이 한 조를 이루는 수평 동기 기간마다 반전하는 동작과,

극성 반전 신호 펄스가 전환된 후, 상기 한 조로 이루어진 수평 동기 기간 각각의 블랭킹 기간내에 래치신호의 트원 펄스의 상승에서, 상기 소스 드라이버 회로에 의해 출력된 데이터 전압의 극성을 반전하는 동작을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 17.

제16항에 있어서,

상기 데이터 전압의 극성 반전 동작은 상기 제어 회로에 의해 소스 드라이버 회로에 인가되는 래치 신호 및 극성 반전 신호를 참조하여 실행되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 18.

제16항에 있어서,

상기 데이터 전압의 상기 극성 반전 동작은 상기 극성 반전 동작이 완료된 이후에 상기 데이터 전압 각각이 반대 극성의 값에 도달하도록 실행되는 것을 특징으로하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

청구항 19.

제16항에 있어서,

상기 데이터 선을 통해 인가된 데이터 전압의 극성은 2개가 한 조를 이루는 수평 동기 기간 및 각 프레임 기간 내의 수직 동기 기간마다 교대로 반전되어 2-H 도트 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

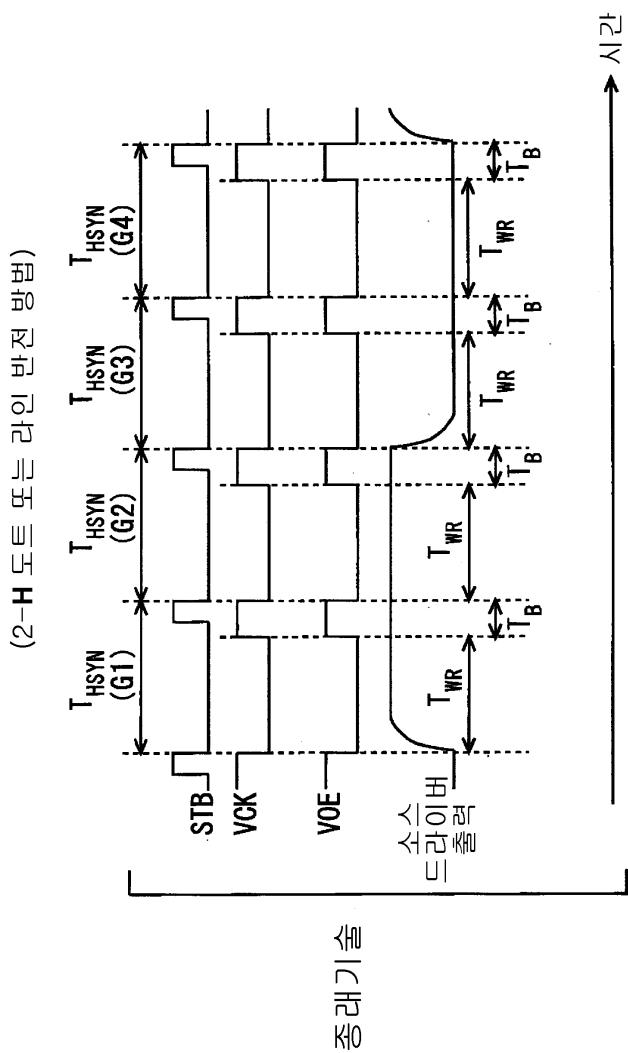
청구항 20.

제16항에 있어서,

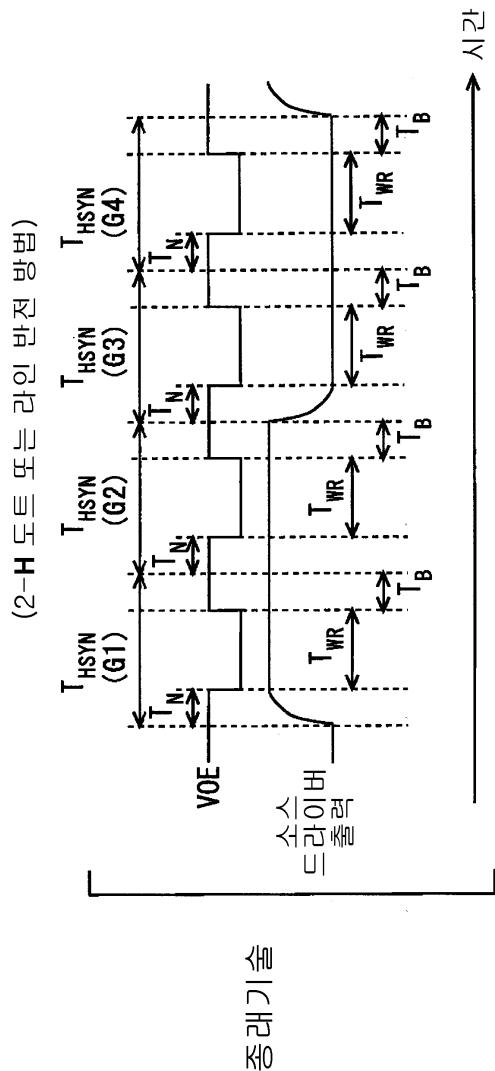
데이터선을 경유하여 인가된 데이터 전압은 각 프레임 기간내의 2개가 한 조를 이루는 수평 동기 기간마다 교대로 반전되어 2-H 라인 반전 방법에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스 어드레스 LCD 장치 구동 방법.

도면

도면1



도면2



도면3

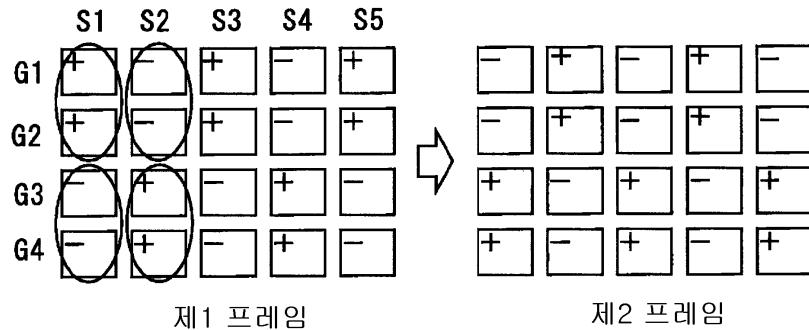
종래기술

(도트 반전 방법)

도면4

종래기술

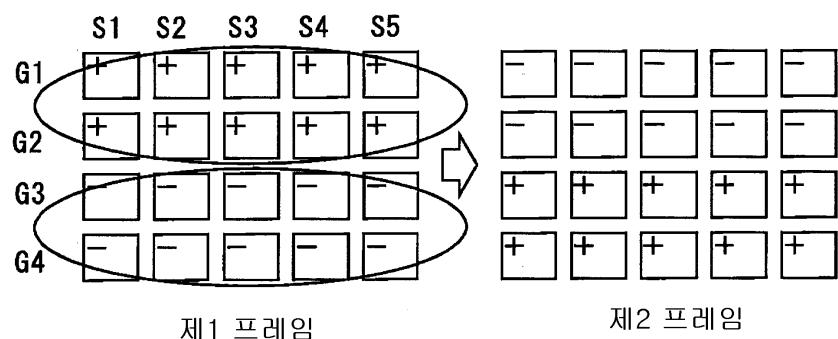
(2-H 도트 반전 방법)



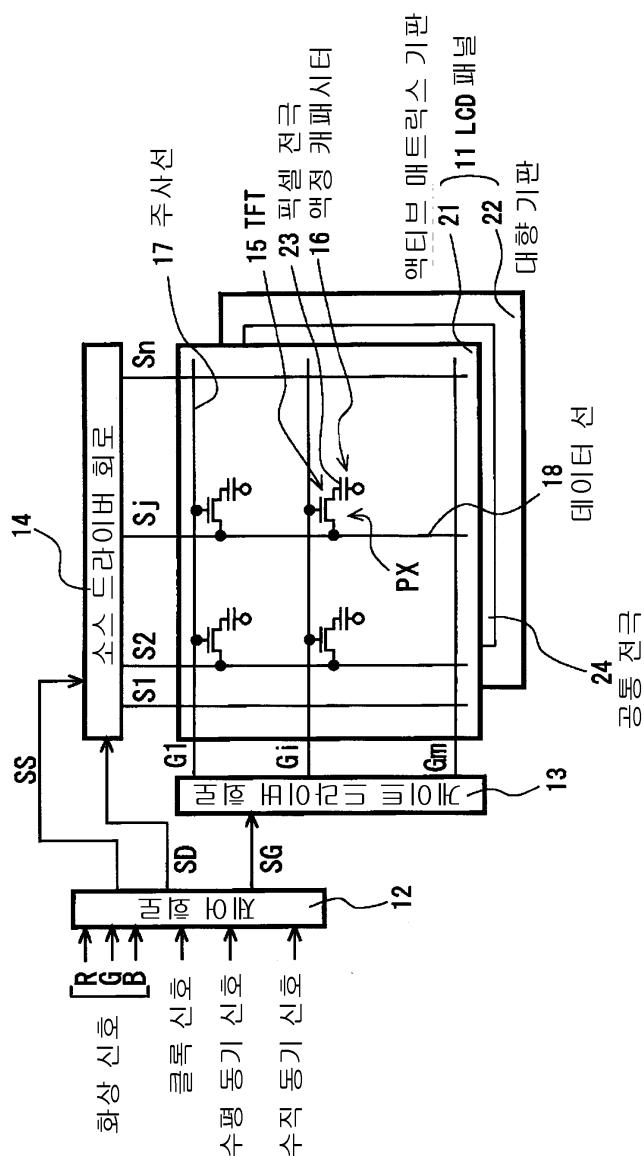
도면5

종래기술

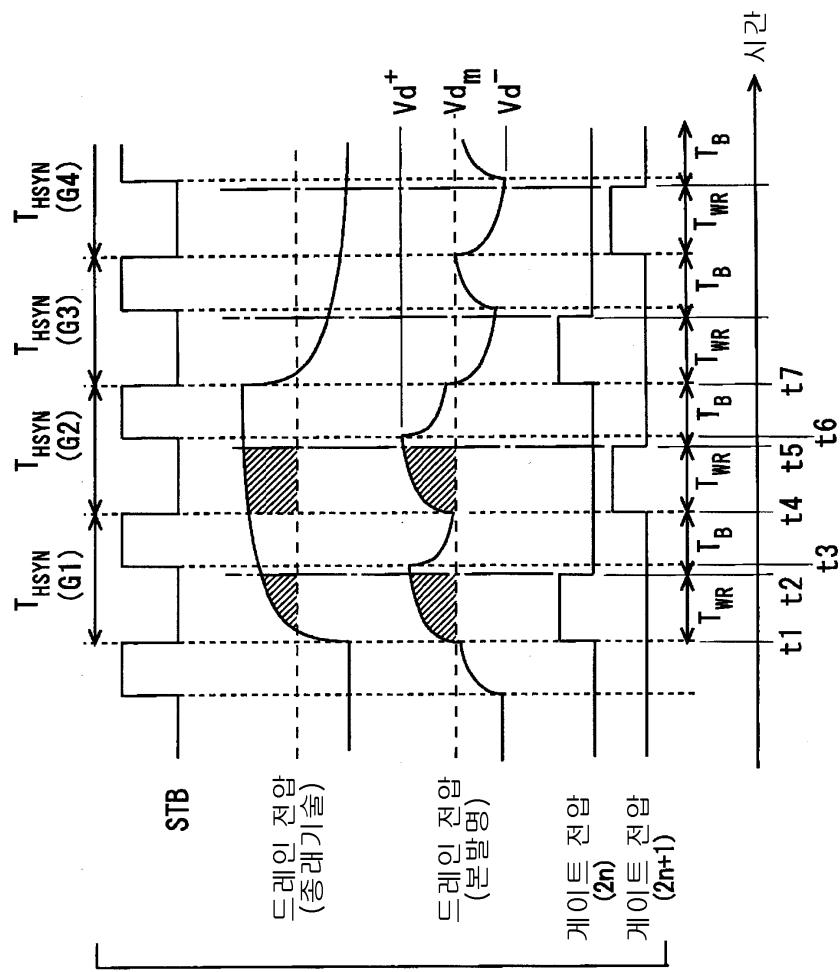
(2-H 라인 반전 방법)



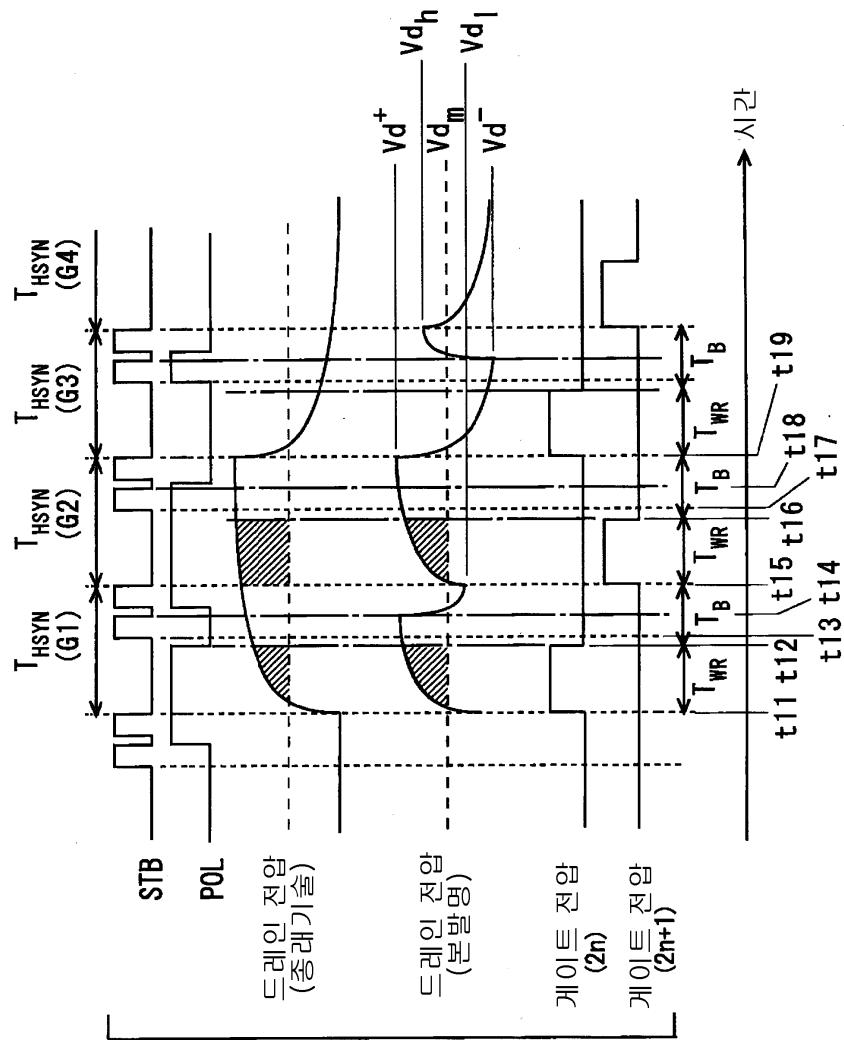
도면6



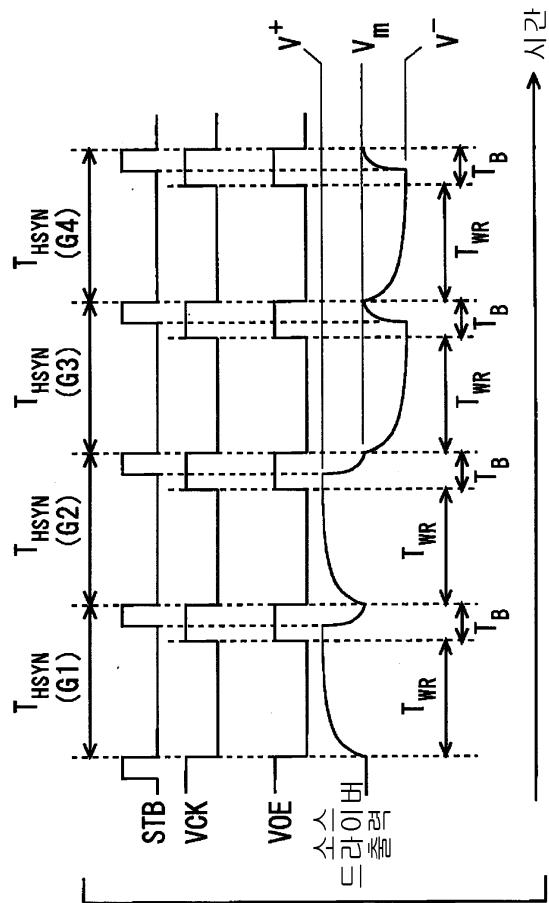
도면7



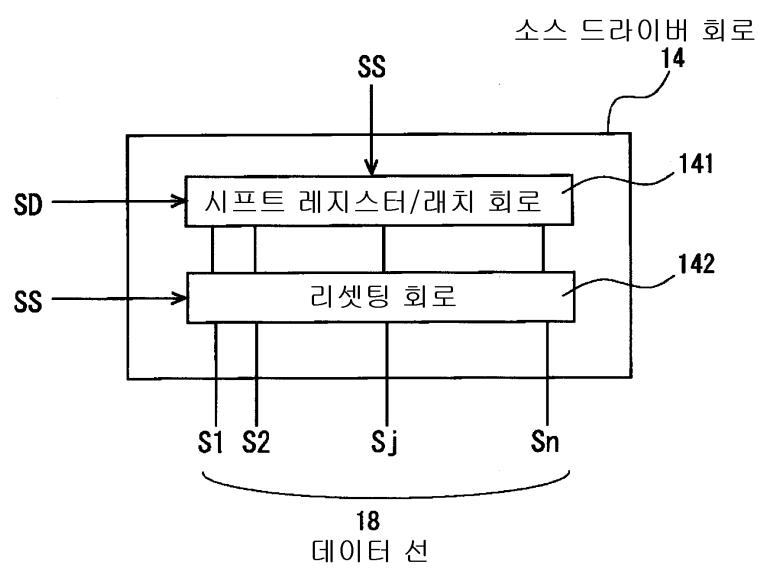
도면8



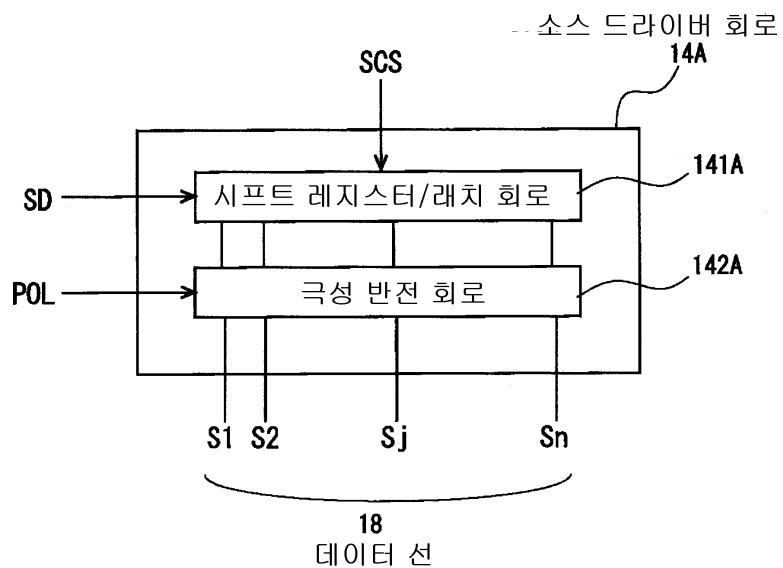
도면9



도면10



도면11



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR100602761B1	公开(公告)日	2006-07-20
申请号	KR1020030050962	申请日	2003-07-24
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	TAKEMOTO TAKAHIRO		
发明人	TAKEMOTO,TAKAHIRO		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2320/0247 G09G3/3688 G09G2320/0209 G09G3/3614 G09G3/3648 G09G2310/0248		
优先权	2002216252 2002-07-25 JP		
其他公开文献	KR1020040010372A		
外部链接	Espacenet		

摘要(译)

有源矩阵地址LCD装置在不降低亮度的情况下防止不希望的水平条带。经由数据线中的相应一条数据线和一个TFT中的相应TFT施加到每个像素的数据电压的极性针对形成两组或更多组的每个水平同步时段被反转（例如，，2-H点或线反转方法）。源驱动程序还可以包括：和复位装置，用于在周期的消隐周期期间复位源极驱动器电路输出的数据电压。源极驱动器可以包括极性反转装置，用于在每个水平同步时段的消隐时段期间反转由源极驱动器电路输出的数据电压的极性。每个水平同步时段中的数据电压在上升状态下是相同的。6 指数方面 LCD 设备，同步，数据电压

