

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월04일 10-0567605 2006년03월29일
---	-------------------------------------	--

(21) 출원번호	10-2003-0074584	(65) 공개번호	10-2004-0040344
(22) 출원일자	2003년10월24일	(43) 공개일자	2004년05월12일

(30) 우선권주장	JP-P-2002-00322540	2002년11월06일	일본(JP)
	JP-P-2003-00195213	2003년07월10일	일본(JP)

(73) 특허권자 알프스 덴키 가부시키키가이샤
일본국 도쿄도 오타구 유키가야 오즈카쵸 1반 7고

(72) 발명자 후지요시다즈미
일본미야기현구로카와군다이하쵸요시오까미나미1-34-6

가와바따겐
일본미야기현센다이시이즈미쵸데라오까2-3-2

(74) 대리인 특허법인코리아나

심사관 : 김정훈

(54) 출력단부의 로스를 저감시킨 소스 팔로워 회로 및 액정표시 장치의 구동 장치

요약

(과제) 출력단부의 로스를 적극 감소시켜 데이터 드라이버, 나아가서는 액정 표시 장치 전체의 저소비 전력화를 실현한다.

(해결수단) set 신호가 「H」가 되면, nMOS 트랜지스터 (20)가 드레인 전류 (I1)에서 소스 전위 (Vin)를 유지하는 Vgs (pre)가 입력 용량 (Cin)에 유지된다. 이어서, set 신호가 「L」, write 신호가 「H」가 되면, nMOS 트랜지스터 (20)는 소스팔로워 동작하여 부하용량 (Cload)을 충전하면서 안정상태가 된다. 부하용량으로의 기록이 종료된 타이밍에서 set 신호, write 신호 모두 「L」로 한다. 이로써, 부하용량에 기록전압을 유지한다. 동시에, 전류원 (21,22)을 강제적으로 오프함으로써 미소한 바이어스 전류 (I1)가 완전히 멈춰지게 되어 전류소비가 완전히 없어진다.

대표도

도 1

색인어

소스 팔로워 회로, MOS 트랜지스터, 액정 표시 장치, 용량 수단.

명세서

도면의 간단한 설명

- 도 1 은 본 발명의 제 1 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다.
- 도 2 는 본 제 1 실시형태에 의한 아날로그 버퍼 회로의 동작을 설명하기 위한 타이밍차트이다.
- 도 3 은 본 발명의 제 2 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다.
- 도 4 는 본 제 2 실시형태에 의한 아날로그 버퍼 회로의 동작을 설명하기 위한 타이밍차트이다.
- 도 5 는 본 발명의 제 3 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다.
- 도 6 은 본 발명의 제 4 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다.
- 도 7 은 본 발명의 제 5 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다.
- 도 8 은 본 발명의 제 6 실시형태에 의한 아날로그 버퍼 회로의 일부 구성을 나타내는 등가 회로도이다.
- 도 9 는 본 제 6 실시형태의 아날로그 버퍼 회로의 동작을 설명하기 위한 개념도이다.
- 도 10 은 본 제 6 실시형태의 아날로그 버퍼 회로의 효과를 설명하기 위한 개념도이다.
- 도 11 은 일반적인 액정 표시 장치의 구성을 나타내는 블록도이다.
- 도 12 는 종래의 액정 표시 장치에서의 버퍼 회로 구성을 나타내는 등가 회로도이다.

* 도면의 주요부분에 대한 부호의 설명*

- 21: 드레인측 전류원 (바이어스 전류 공급 수단, 제 2 바이어스 전류 공급 수단)
- 22: 소스측 전류원 (바이어스 전류 공급 수단, 제 1 바이어스 전류 공급 수단)
- Cin: 입력 용량 (용량 수단)
- Cin1: 입력 용량 (제 1 용량 수단)
- Cin2: 입력 용량 (제 2 용량 수단)
- 20: MOS 트랜지스터
- 35: nMOS 트랜지스터 (제 1 MOS 트랜지스터)
- 36: pMOS 트랜지스터 (제 1 MOS 트랜지스터)
- 37: pMOS 트랜지스터 (제 2 MOS 트랜지스터)
- 38: nMOS 트랜지스터 (제 2 MOS 트랜지스터)
- 30,40: 제어 신호 발생 회로 (제어 신호 발생 수단)
- Q5: MOS 트랜지스터 (제 3 MOS 트랜지스터)
- Q6: MOS 트랜지스터 (제 4 MOS 트랜지스터)

Q7: MOS 트랜지스터 (제 5 MOS 트랜지스터)

Q8: MOS 트랜지스터 (제 6 MOS 트랜지스터)

Q9: MOS 트랜지스터 (제 7 MOS 트랜지스터)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저소비전력 아날로그 버퍼 회로 및 구동 회로 장치에 관한 것으로, 특히 액정 표시 장치의 소스 드라이버의 출력단에 사용되는 소스 팔로워 회로 및 액정 표시 장치의 구동 장치에 관한 것이다.

액정 표시 장치는 도 11에 나타내는 바와 같이 주사선 (1), 데이터선 (2), 박막 트랜지스터 (3), 화소전극 (4), 액정을 통한 대향전극 (도시생략) 으로 이루어진다. 주사선 (1) 은 스캔 드라이버 (10) 에 의해 순차적으로 선택되며, 데이터 드라이버 (11) 는 아날로그 신호를 데이터선 (2) 에 송출한다.

데이터 드라이버 (11) 는 타이밍컨트롤 (9) 에 따라 시프트 레지스터 · 데이터래치 (12) 에 의해 멀티플렉스된 디지털 신호를 각 채널에 분배하고, R-String (13) 및 D/A 컨버터 (14) 에 의해 DA 변환하여 버퍼 (15) 를 통하여 데이터선 (2) 에 송출한다. 버퍼 (15) 는 용량부하를 갖는 데이터선 (2) 을 신속하게 구동시키기 위해 필요하며, 도 12에 나타내는 연산 증폭기를 사용한 회로가 일반적으로 사용되고 있다 (예컨대, 일본 공개특허공보 2000-338461호).

발명이 이루고자 하는 기술적 과제

그런데, 도 12에서 출력단에 사용되는 연산 증폭기 (P3) 는 그 동작의 유지를 위해 바이어스 전류 (I1, I2) 가 필요해진다. 특히, 바이어스 전류 (I2) 는 부하를 구동시키기 위해 큰 값으로 해야 한다. 예컨대, 부하 (Cload) = 30pF 로 하고, Vout = 5V 를 t = 5μsec 로 기록하는 경우, 적어도 바이어스 전류 (I2) 는 $I2 = Cload \times Vout / t = 30\mu A$ 가 필요해진다.

그러나, 종래 Vout 가 5V 이하라도, 기록이 종료된 후에도 상기 바이어스 전류 (I2) 를 흐르게 하였기 때문에, 이와 같은 회로에서 QVGA 패널 (320×RGB) 을 구동시키고자 하면,

$$I2 \times 320 \times 3 \times 5 = 144mW$$

를 연산 증폭기 (P3) 의 출력단에서만 소비하게 된다.

본래, 부하의 충방전에 필요한 전력을 간략하게 견적을 내보면,

$$I/2fCV^2 = 1/2 \times (60Hz \times 240) \times (30pF \times 320 \times 3) \times (5V)^2 = 5.2mW$$

가 된다. 실제로는 기록 종료시에 바이어스 전류를 컷오프하는 등의 저전력화에 대응하고 있지만, 이 대응만으로는 충분하지 않고 대부분은 연산 증폭기 내의 로스로서 소비되고 있다. 즉, 액정 표시 장치가 휴대단말기로서 사용되는 경우에는 저소비 전력화가 요구되기 때문에 버퍼 (15) 의 소비전력이 큰 문제가 되고 있다.

본 발명은 상기 서술한 사정을 감안하여 이루어진 것으로, 출력단부의 로스를 적극 감소시켜 데이터 드라이버, 나아가서는 액정 표시 장치 전체의 저소비 전력화를 실현할 수 있는 소스 팔로워 회로 및 액정 표시 장치의 구동 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 서술한 문제점을 해결하기 위해, 청구항 1 에 기재된 발명에서는, 해당 회로에 대한 입력 전압으로 부하를 구동시키는 소스 팔로워 회로에서, MOS 트랜지스터와, 상기 MOS 트랜지스터의 게이트 전위를 기억하는 용량 수단과, 상기 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 바이어스 전류 공급 수단과, 상기 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 바이어스 전류 공급 수단에 의해 변동된 상기 MOS 트랜지스터의 게이트 전위를 상기 용량 수단에 유지한 후, 상기 용량 수단에 유지된 게이트 전위를 상기 MOS 트랜지스터의 게이트에 인가하여 상기 MOS 트랜지스터를 동작시키고, 상기 소스측 전류원을 동작시킴으로써 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단을 구비하는 것을 특징으로 한다.

또, 청구항 2 에 기재된 발명에서는, 청구항 1 에 기재된 소스 팔로워 회로에서, 상기 MOS 트랜지스터는 nMOS 트랜지스터와 pMOS 트랜지스터로 이루어지고, 상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 nMOS 트랜지스터 또는 상기 pMOS 트랜지스터 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 한다.

또, 청구항 3 에 기재된 발명에서는, 청구항 1 에 기재된 소스 팔로워 회로에서, 상기 용량 수단의 편측은 접지 또는 정전위에 접속되어 있는 것을 특징으로 한다.

또, 상기 서술한 문제점을 해결하기 위해, 청구항 4 에 기재된 발명에서는, 해당 회로에 대한 입력 전압으로 부하를 구동시키는 소스 팔로워 회로에서, 제 1 MOS 트랜지스터와, 상기 제 1 MOS 트랜지스터의 게이트 전위를 기억하는 제 1 용량 수단과, 상기 제 1 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 제 1 바이어스 전류 공급 수단과, 제 2 MOS 트랜지스터와, 상기 제 2 MOS 트랜지스터의 게이트 전위를 기억하는 제 2 용량 수단과, 상기 제 2 MOS 트랜지스터로 바이어스 전류를 공급하는 드레인측 전류원으로 이루어지는 제 2 바이어스 전류 공급 수단과, 상기 제 1 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 제 1 바이어스 전류 공급 수단에 의해 변동된 상기 제 1 MOS 트랜지스터의 게이트 전위를 상기 제 1 용량 수단에 유지하는 동시에, 상기 제 2 바이어스 전류 공급 수단에 의해 발생하는 상기 제 2 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를 상기 제 2 용량 수단에 유지한 후, 상기 제 1 용량 수단에 유지된 게이트 전위를 상기 제 1 MOS 트랜지스터의 게이트에 인가하여 상기 제 1 MOS 트랜지스터를 동작시키고, 상기 제 2 용량 수단에 유지된 차분 전위를 상기 부하로의 출력 전압과, 상기 제 2 MOS 트랜지스터의 게이트 사이에 인가하여 상기 제 2 MOS 트랜지스터를 동작시키고, 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단을 구비하는 것을 특징으로 한다.

또, 청구항 5 에 기재된 발명에서는, 청구항 4 에 기재된 소스 팔로워 회로에서, 상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 nMOS 트랜지스터인 제 1 회로와, 상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 pMOS 트랜지스터인 제 2 회로를 구비하고, 상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 제 1 회로 또는 상기 제 2 회로 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 한다.

또, 청구항 6 에 기재된 발명에서는, 청구항 4 에 기재된 소스 팔로워 회로에서, 상기 제 2 MOS 트랜지스터가 제 3 및 제 4 의 2 개의 MOS 트랜지스터로 구성되어 있고, 이 제 3 및 제 4 MOS 트랜지스터의 소스 및 게이트끼리를 공통 접속하고, 제 3 및 제 4 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를, 상기 제 2 용량 수단에 유지할 때와, 상기 제 2 용량 수단에 유지된 차분 전위를, 상기 부하로의 출력단자와 상기 제 3 및 제 4 MOS 트랜지스터의 게이트 사이에 인가할 때에, 제 3 및 제 4 MOS 트랜지스터의 드레인간에 형성된 드레인간 저항을 제어하는 저항 제어 수단을 구비하는 것을 특징으로 한다.

또, 청구항 7 에 기재된 발명에서는, 청구항 6 에 기재된 소스 팔로워 회로에서, 상기 드레인간 저항이 제 5, 제 6, 제 7 MOS 트랜지스터로 구성되고, 상기 저항 제어 수단에 의해 각 트랜지스터가 온/오프 제어되어 저항값이 조정되는 것을 특징으로 한다.

또, 상기 서술한 문제점을 해결하기 위해, 청구항 8 에 기재된 발명에서는, 화소전극이 접속된 박막 트랜지스터를 통하여 크로스 접속된 주사선과 데이터선으로 이루어지는 액정 표시 장치에 대해, 아날로그신호를 상기 데이터선에 송출하는 데이터 드라이버를 구비하는 액정 표시 장치의 구동 장치로서, 상기 데이터 드라이버는 MOS 트랜지스터와, 상기 MOS 트랜지스터의 게이트 전위를 기억하는 용량 수단과, 상기 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 바이어스 전류 공급 수단과, 상기 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 바이어스 전류 공급 수단에 의해 변동된 상기 MOS 트랜지스터의 게이트 전위를 상기 용량 수단에 유지한 후, 상기 용량 수단에 유지된 게이트 전위를, 상기 MOS 트랜지스터의 게이트에 인가하여 상기 MOS 트랜지스터를 동작시키고, 상기 소스측 전류원을 동작시킴으로써 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단으로 이루어지는 버퍼 회로를 구비하는 것을 특징으로 한다.

또, 청구항 9 에 기재된 발명에서는, 청구항 8 에 기재된 액정 표시 장치의 구동 장치에서, 상기 MOS 트랜지스터는 nMOS 트랜지스터와 pMOS 트랜지스터로 이루어지고, 상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 nMOS 트랜지스터 또는 상기 pMOS 트랜지스터 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 한다.

또, 청구항 10 에 기재된 발명에서는, 청구항 8 에 기재된 액정 표시 장치의 구동 장치에서, 상기 용량 수단의 편측은 접지 또는 정전위에 접속되어 있는 것을 특징으로 한다.

또, 상기 서술한 문제점을 해결하기 위해, 청구항 11 에 기재된 발명에서는, 화소전극이 접속된 박막트랜지스터를 통하여 크로스 접속된 주사선과 데이터선으로 이루어지는 액정 표시 장치에 대해, 아날로그 신호를 상기 데이터선에 송출하는 데이터 드라이버를 구비하는 액정 표시 장치의 구동 장치로서, 상기 데이터 드라이버는 제 1 MOS 트랜지스터와, 상기 제 1 MOS 트랜지스터의 게이트-소스 바이어스 전압을 기억하는 제 1 용량 수단과, 상기 제 1 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 제 1 바이어스 전류 공급 수단과, 제 2 MOS 트랜지스터와, 상기 제 2 MOS 트랜지스터의 게이트 전위를 기억하는 제 2 용량 수단과, 상기 제 2 MOS 트랜지스터로 바이어스 전류를 공급하는 드레인측 전류원으로 이루어지는 제 2 바이어스 전류 공급 수단과, 상기 제 1 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 제 1 바이어스 전류 공급 수단에 의해 변동된 상기 제 1 MOS 트랜지스터의 게이트 전위를 상기 제 1 용량 수단에 유지하는 동시에, 상기 제 2 바이어스 전류 공급 수단에 의해 발생하는 상기 제 2 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를, 상기 제 2 용량 수단에 유지한 후, 상기 제 1 용량 수단에 유지된 게이트 전위를, 상기 제 1 MOS 트랜지스터의 게이트에 인가하여 상기 제 1 MOS 트랜지스터를 동작시키고, 상기 제 2 용량 수단에 유지된 차분 전위를 상기 부하로의 출력 전압과, 상기 제 2 MOS 트랜지스터의 게이트 사이에 인가하여 상기 제 2 MOS 트랜지스터를 동작시키고, 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단으로 이루어지는 버퍼 회로를 구비하는 것을 특징으로 한다.

또, 청구항 12 에 기재된 발명에서는, 청구항 11 에 기재된 액정 표시 장치의 구동 장치에서, 상기 데이터 드라이버는 추가로 상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 nMOS 트랜지스터인 제 1 회로와, 상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 pMOS 트랜지스터인 제 2 회로를 구비하고, 상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 제 1 회로 또는 상기 제 2 회로 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 한다.

또, 청구항 13 에 기재된 발명에서는, 청구항 11 에 기재된 액정 표시 장치의 구동 장치에서, 상기 제 2 MOS 트랜지스터가 제 3 및 제 4 의 2 개의 MOS 트랜지스터로 구성되어 있고, 이 제 3 및 제 4 MOS 트랜지스터의 소스 및 게이트끼리를 공통 접속하고, 제 3 및 제 4 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를, 상기 제 2 용량 수단에 유지할 때와, 상기 제 2 용량 수단에 유지된 차분 전위를, 상기 부하로의 출력단자와 상기 제 3 및 제 4 MOS 트랜지스터의 게이트 사이에 인가할 때에, 제 3 및 제 4 MOS 트랜지스터의 드레인간에 형성된 드레인간 저항의 저항값을 제어하는 저항 제어 수단을 구비하는 것을 특징으로 한다.

또, 청구항 14 에 기재된 발명에서는, 청구항 13 에 기재된 액정 표시 장치의 구동 장치에서, 상기 드레인간 저항이 제 5, 제 6, 제 7 MOS 트랜지스터로 구성되고, 상기 저항 제어 수단에 의해 각 트랜지스터가 온/오프 제어되어 저항값이 조정되는 것을 특징으로 한다.

본 발명에서는 제어 수단에 의해 상기 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 바이어스 전류 공급 수단에 의해 변동된 상기 MOS 트랜지스터의 게이트 전위를 상기 용량 수단에 유지한 후, 상기 용량 수단에 유지된 게이트 전위를 상기 MOS 트랜지스터의 게이트에 인가하여 상기 MOS 트랜지스터를 동작시키고, 상기 소스측 전류원을 동작시킴으로써 상기 부하를 상기 입력 전압으로 구동시킨다. 따라서, 출력단부의 로스를 적극 감소시켜 데이터 드라이버, 나아가서는 액정 표시 장치 전체의 저소비 전력화를 실현할 수 있다.

발명의 실시형태

이하, 도면을 사용하여 본 발명의 실시형태를 설명한다.

A. 제 1 실시형태

도 1 은 본 발명의 제 1 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다. 도 1 에서 nMOS 트랜지스터 (20) 와, 동일 전류를 흐르게 하는 전류원 (21,22) 이 각각 드레인 (D), 소스 (S) 에 접속되고, 게이트 (G) 와 입력 사

이에 입력 용량 (Cin) 이 접속되어 있다. 또, set 신호로 닫히는 아날로그 스위치 (SW1), write 신호로 닫히는 아날로그 스위치 (SW2) 가 도시하는 바와 같이 접속되어 있다. 또, 동작은 프리차지기간, 기록기간, 유지기간의 세가지 상태로 이루어진다.

도 2 는 본 제 1 실시형태에 의한 아날로그 버퍼 회로의 동작을 설명하기 위한 타이밍차트이다.

(a) 프리차지기간

set 신호는 high 가 되면, 아날로그 스위치 (SW1) 가 온상태가 되고, nMOS 트랜지스터 (20) 에는 전류원 (21) 으로부터 드레인 전류 (I1) 가 흐른다. 게이트 · 소스간의 전압 (Vgs) 은 드레인 전류 (I1) 에 맞도록 자동적으로 바이어스된다. 또, 소스 전위는 Vin 에 세트되는데, 소스 노드의 입출력 전류의 관계에서 Vin 으로부터 소스 노드로는 전류가 흘러들어가지 않는다. 즉, 입력 임피던스는 충분히 큰 값이 확보된다.

이렇게 하여 nMOS 트랜지스터 (20) 가 드레인 전류 (I1) 에서 소스 전위 (Vin) 를 유지하는 Vgs(pre) 가 입력 용량 (Cin) 에 유지된다. 그 때, 게이트 전위는 Vin + Vgs(pre) 가 된다. 한편, 부하 (Cload) 는 Vss 로 방전된다.

(b) 기록기간

set 신호가 low, write 신호가 high 가 되면, 아날로그 스위치 (SW1) 가 오프상태, 아날로그 스위치 (SW2) 가 온상태가 된다. 게이트 전위는 Vin + Vgs(pre) 상태이지만, nMOS 트랜지스터 (20) 는 소스팔로워 동작하여 부하용량 (Cload) 을 충전하면서 소스 전위가 Vin, 드레인 전류가 I1 로 안정상태가 된다. 드레인 전류 (I1) 가 지나치게 작으면, nMOS 트랜지스터 (20) 는 컷오프 직전에 동작하게 되고, 소스 전위가 Vin 에 가까워지면 구동능력이 급격하게 저하된다. I1 = 1μA 정도로 함으로써 30pF 를 4μsec 이하로 충전할 수 있다.

(c) 유지기간

부하용량으로의 기록이 종료된 타이밍에서 set 신호, write 신호 모두 low 로 하면, 아날로그 스위치 (SW1, SW2) 가 오프상태가 된다. 이로써, 부하용량에 기록전압을 유지한다. 이와 동시에, 2 개의 전류원 (21, 22) 을 강제적으로 오프한다. 이로써 미소한 바이어스 전류 (I1) 도 완전히 멈춰지게 되어 전류소비가 완전히 없어진다.

상기 서술한 동작에 의하면, 버퍼부 소비전력을 약 17mW 로 할 수 있었다. 또, 상기 서술한 동작은 nMOS 트랜지스터 (20) 를 사용한 경우이지만, 회로를 대상으로 구성함으로써 pMOS 트랜지스터로 구성해도 된다.

B. 제 2 실시형태

이어서, 본 발명의 제 2 실시형태에 대해 설명한다. 상기 서술한 제 1 실시형태에서는 전류원 (21, 22) 에서의 전압강하와, nMOS 트랜지스터 (20) 의 동작영역을 포화영역에 유지하기 위해 OUT 는 Vdd 보다 1V 정도 낮은 지점까지밖에 동작하지 않는다. pMOS 트랜지스터의 경우에는 반대로 Vss 보다 1V 정도 높은 지점까지밖에 동작하지 않는다. 이것을 해결한 것이 제 2 실시형태이다.

도 3 은 본 발명의 제 2 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다. 제어 신호 발생 회로 (30) 는 인버터 2 단의 래치 회로 (31) 와, 이 래치 회로 (31) 로부터 발생되는 제어 신호를 만드는 회로 (32) 로 이루어진다. 래치 회로 (31) 에 의해 입력 신호 (IN) 는 전원 전압의 약 반정도의 임계값 (Vlt) 으로 나누어져 래치된다. 즉, IN < Vlt 에서 sel = Low, IN > = Vlt 에서 sel = High 가 된다.

스위치 (SW4) 는 Latct 신호 (네거티브) 에 의해 온상태가 되고, 스위치 (SW5) 는 Latch 신호에 의해 온상태가 된다. WRn 은 기록기간에 nMOS 트랜지스터 (35) 를 경유하여 충전하는 스위치 (SW7) 를 닫는 제어 신호, WRp 는 동일하게 pMOS 트랜지스터 (36) 측의 신호로 스위치 (SW8) 를 닫는다. 또, 스위치 (SW9) 는 Sel 신호 (네거티브) 에 의해 온상태가 된다. 또, 스위치 (SW10) 는 Sel 신호에 의해 온상태가 된다. 또, 전류원으로는 pMOS 트랜지스터 (37), nMOS 트랜지스터 (38) 를 사용하고 있다.

도 4 는 본 제 2 실시형태에 의한 아날로그 버퍼 회로의 동작을 설명하기 위한 타이밍차트이다. 도 4 에 나타내는 1H 기간은 $IN < V_{lt}$ 이며, $Sel = Low$ 가 된다. 따라서, 프리차지기간에 OUT 는 V_{ss} 측으로 방전된다. 다음 기록기간에서는 WR_n 신호에 의해 스위치 (SW7) 가 닫히고, nMOS 트랜지스터 (35) 의 소스 팔로워 회로에 의해 OUT 는 원하는 전위까지 충전된다.

2H 기간은 $IN > V_{lt}$ 이며, $Sel = High$ 가 된다. 따라서, 프리차지기간에 OUT 는 V_{dd} 에서 충전된다. 다음 기록기간에서는 WR_p 신호에 의해 스위치 (SW8) 가 닫히고, pMOS 트랜지스터 (36) 의 소스 팔로워 회로에 의해 OUT 는 원하는 전위까지 방전된다.

이렇게 하여 V_{lt} 보다 하측에서는 nMOS 트랜지스터 (35) 의 소스 팔로워 회로가 동작하고, V_{lt} 보다 상측에서는 pMOS 트랜지스터 (36) 의 소스 팔로워 회로가 동작하여 V_{ss} 로부터 V_{dd} 의 거의 전역에서 동작할 수 있다.

C. 제 3 실시형태

이어서, 본 발명의 제 3 실시형태에 대해 설명한다. 도 5 는 본 발명의 제 3 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다. 또한, 도 1 에 대응하는 부분에는 동일한 부호를 부여하여 설명을 생략한다. 입력 용량 (C_{in}) 의 편측 노드가 그라운드에 접속되어 있다. 프리차지기간의 게이트 전위는 $V_{gs}(pre) + V_{in}$ 이며, 이 전압이 그대로 용량 (C_{in}) 에 유지된다. 따라서, 기록기간에 입력 (IN) 이 분리되어도 V_{in} 의 정보는 유지되어 제 1 실시형태와 동일한 동작을 실시한다.

일반적으로 IC 상에 용량을 형성하는 경우, 프로세스에 따라서는 안정된 용량형성은 편측 전극을 기판전위로 해야 하는 경우가 있다. 이와 같은 경우, 본 제 3 실시형태의 회로구성이 유효해진다. 또, 기록기간에는 입력 (IN) 을 분리할 수 있어 V_{in} 측 DA 변환처리를 병렬로 실시할 수 있는 장점도 있다.

D. 제 4 실시형태

이어서, 본 발명의 제 4 실시형태에 대해 설명한다. 상기 서술한 제 1 내지 제 3 실시형태에서는 소스팔로워의 출력 전압 범위에 제한이 있어 기록 동작전에 프리차지 동작이 필요해진다. 이것은 본래 필요한 출력 전압 이상으로 부하가 구동되는 경우가 있는 것을 나타내고 있어 아직 불필요한 전력소비가 있다. 이것을 해결한 것이 제 4 실시형태이다.

도 6 은 본 발명의 제 4 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다. 동작타이밍은 제 1 실시형태와 동일하며 도 2 에 나타내는 바와 같지만, 부하 (C_{load}) 의 방전동작은 실시되지 않는다. 도 6 에서 MOS 트랜지스터 (Q_1) 는 도 1 과 동일한 동작을 실시한다. MOS 트랜지스터 (Q_1) 는 부하용량 (C_{load}) 을 향해 전류를 공급하는 기능을 한다.

한편, MOS 트랜지스터 (Q_2) 는 I_2 에 맞는 게이트 · 소스간 전압 (V_{gs}) 에 바이어스된 상태에서의 입력전위와 게이트 전위의 차분 전위가 입력 용량 (C_{in2}) 에 유지되어 있으므로, 기록기간에서는 부하용량 (C_{load}) 의 전위가 V_{in} 이 되었을 때 드레인 전류가 I_2 가 된다.

여기에서, $I_1 = I_2$ 로 해 두면, $V_{in} < \text{부하용량}(C_{load})$ 의 전위일 때는, 부하용량 (C_{load}) 의 전위가 V_{in} 이 될 때까지 MOS 트랜지스터 (Q_2) 가 전류를 끌어들이는 동작을 실시하여 MOS 트랜지스터 (Q_1) 는 컷오프되고, $V_{in} > \text{부하용량}(C_{load})$ 의 전위일 때는, 부하용량 (C_{load}) 의 전위가 V_{in} 이 될 때까지 MOS 트랜지스터 (Q_1) 가 전류를 공급하는 동작을 실시하여 MOS 트랜지스터 (Q_2) 는 컷오프된다.

이와 같이, 본 발명의 제 4 실시형태에서는 부하용량 (C_{load}) 에 대해 푸시풀동작이 가능해진다. 따라서, 프리차지 동작이 불필요해져 프리차지 동작에 따른 전력소비를 삭감시킬 수 있어 저전력화를 더욱 실현할 수 있다.

E. 제 5 실시형태

이어서, 본 발명의 제 5 실시형태에 대해 설명한다. 상기 서술한 제 4 실시형태에서는 제 1 실시형태와 동일하게 도 6 에 나타내는 MOS 트랜지스터 (Q_1) 의 동작영역을 포화영역에 유지하기 위해 OUT 는 V_{dd} 보다 1V 정도 낮은 지점까지밖에 동작하지 않는다. 이것을 해결한 것이 제 5 실시형태이다.

도 7 은 본 발명의 제 5 실시형태에 의한 아날로그 버퍼 회로의 구성을 나타내는 등가 회로도이다. 또한, 동작 설명을 위한 타이밍차트는 도 4 와 동일하다. 제 2 실시형태와 동일하게 제어 신호 발생 회로 (40) 를 사용한다. 제어 신호 발생 회로 (40) 에서는 제 2 실시형태와 동일하게 $IN < V_{th}$ 에서 $sel = low$, $IN \geq V_{th}$ 에서 $sel = High$ 가 되는데, sel 신호와 set 신호에 의해 STn 신호, STp 신호가 새롭게 출력된다. 스위치 (SW11) 는 STn 신호에 의해 온상태가 되고, 스위치 (SW12) 는 STp 신호에 의해 온상태가 된다. 이들 STn 신호, STp 신호를 사용하여 $IN < V_{th}$ 에서 nMOS 트랜지스터 (Q1,Q2) 가 기능하고, $IN \geq V_{th}$ 에서 pMOS 트랜지스터 (Q3,Q4) 가 기능함으로써 V_{ss} 로부터 V_{dd} 의 거의 전역에서 동작할 수 있다.

F. 제 6 실시형태

이어서, 본 발명의 제 6 실시형태에 대해 설명한다. 상기 서술한 제 5 실시형태에서 V_{in} 이 V_{ss} 또는 V_{dd} 에 매우 가까워지면, MOS 트랜지스터 (Q2) 또는 MOS 트랜지스터 (Q4) 의 동작영역이 포화영역으로부터 선형영역이 되게 된다. 따라서, V_{in} 과 OUT 에 전위차가 발생한다. 본 제 6 실시형태에서는 입력 전압 (IN) 과 출력 전압 (OUT) 의 전위차를 작게 하는 것이다.

상기 서술한 제 5 실시형태에서 도 7 에 나타내는 MOS 트랜지스터 (Q4) (도 8(a)) 를, 도 8(b) 에 나타내는 바와 같이 복수의 MOS 트랜지스터 (Q5~Q9) 로 구성한다. MOS 트랜지스터의 포화영역에서의 드레인 전류 (I_d) 는 이하의 식 (1) 로 구해진다.

수학식 1

$$I_d = \frac{1}{2} \cdot K_o \cdot \frac{W}{L} \cdot (V_{gs} - V_t)^2 \quad \dots (1)$$

여기에서, K_o 는 제조프로세스 등에서 결정되는 정수, W 는 MOS 트랜지스터의 채널폭, L 은 채널길이, V_{gs} 는 게이트-소스 전압, V_t 는 임계값 전압이다.

도 8(a) 에서 MOS 트랜지스터 (Q4) 의 소스-드레인간 전압이 ($V_{gs} - V_t$) 보다 작아지면, 포화영역 동작에서 선형영역 동작으로 이행하여 소스-드레인 사이를 흐르는 전류 (I_d) 가 급격하게 감소한다. 선형영역에서의 드레인 전류 (I_d) 는 다음 식 (2) 로 구해진다. V_{ds} 는 드레인-소스간 전압이다.

수학식 2

$$I_d = K_o \cdot \frac{W}{L} \left\{ (V_{gs} - V_t) \cdot V_{ds} - \frac{1}{2} V_{ds}^2 \right\} \quad \dots (2)$$

따라서, 도 7 에서 입력 전압 (IN) 이 $V_{dd} - |V_{gs} - V_t|$ 이상이 되면, MOS 트랜지스터 (Q4) 는 포화영역 동작에서 벗어나기 때문에 출력 전압 (OUT) 은 입력 전압 (IN) 보다 작은 값이 되게 된다.

그래서, MOS 트랜지스터 (Q4) 는 도 8(b) 에 나타내는 바와 같이 MOS 트랜지스터 (Q5,Q6) 로 분할된다. 이 때, $W/L(Q4) = W/L(Q5) + W/L(Q6)$ 으로 한다.

입력 전압 (IN) 이 지나치게 낮을 때는 MOS 트랜지스터 (Q7) 가 온상태가 되고, 프리차지기간에서는 MOS 트랜지스터 (Q8) 가 $STpB$ 신호 (부논리로 인해 L 레벨 신호) 에 의해 온상태가 되고, 기록기간에서는 MOS 트랜지스터 (Q9) 가 $WRpB$ 신호 (부논리로 인해 L 레벨 신호) 에 의해 온상태가 된다. 이로 인해, MOS 트랜지스터 (Q5,Q6) 의 드레인은 항상 접속상태가 되어 W/L 의 합이 MOS 트랜지스터 (Q4) 와 동등한 하나의 MOS 트랜지스터로 간주할 수 있다. 따라서, 수학식 1 에서 도 8(a) 의 MOS 트랜지스터 (Q4) 의 드레인 전류와 도 8(b) 의 MOS 트랜지스터 (Q5,Q6) 의 드레인 전류의 합은 동등해지므로 도 8(a) 와 도 8(b) 의 동작은 변하지 않는다.

입력 전압 (IN) 이 높아지고 Vdd-IN 의 전위차가 MOS 트랜지스터 (Q5) 의 임계값 전압과 MOS 트랜지스터 (Q7) 의 임계값 전압의 합보다 작아지면, 프리차지기간에서는 MOS 트랜지스터 (Q7) 가 온상태가 되지 않아 실질적으로 MOS 트랜지스터 (Q5) 에만 드레인 전류가 흐르게 된다. 여기에서,

$$W/L(Q4) = W/L(Q5) + W/L(Q6) > W/L(Q5)$$

가 되므로, 입력 용량 (Cin2) 에 유지되는 전압은 MOS 트랜지스터 (Q4) 만의 회로구성일 때보다 도 9 에 나타내는 Vc 분만큼 다르게 된다. 기록기간에서는 MOS 트랜지스터 (Q5) 와 MOS 트랜지스터 (Q6) 의 드레인 전압은 항상 접속된다. 이로 인해, 출력 전압 (OUT) 이 Vdd 에 가까워지는 과정에서 바이어스 전류 (Ibias) 와 동등해지는 출력 전압 (OUT) 이 Vc 분만큼 Vdd 에 가까워지는 지점에서 기록이 종료하게 된다. 따라서, MOS 트랜지스터 (Q5) 와 MOS 트랜지스터 (Q6) 의 W/L 의 분할비율을 적당하게 설정함으로써 입력 전압 (IN) 이 Vdd 의 바로 근처인 경우라도 입력 전압 (IN) 과 출력 전압 (OUT) 의 전위차를 작게 할 수 있다.

또, 도 7 에 나타내는 MOS 트랜지스터 (Q2) 에서도 동일하게 복수의 N-MOS 트랜지스터로 구성함으로써 Vss 의 바로 근처인 입력 전압 (IN) 과 출력 전압 (OUT) 의 전위차를 작게 할 수 있다. 도 10 은 MOS 트랜지스터 (Q4) (또는 Q2) 를 도 8 (b) 에 나타내는 구성으로 한 본 제 6 실시형태에 의한 효과를 나타내는 개념도이다. 도 10 에 나타내는 바와 같이, 도 8(b) 에 나타내는 구성에 의한 입력 전압 (IN) 에 대한 입출력 오프셋 전압의 변화 범위가, 도 7 에 나타내는 구성에 의한 입력 전압 (IN) 에 대한 입출력 오프셋 전압의 변화 범위보다 작아지고 있음을 알 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 제어 수단에 의해 상기 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 바이어스 전류 공급 수단에 의해 변동된 상기 MOS 트랜지스터의 게이트 전위를 상기 용량 수단에 유지한 후, 상기 용량 수단에 유지된 게이트 전위를, 상기 MOS 트랜지스터의 게이트에 인가하여 상기 MOS 트랜지스터를 동작시킴으로써 상기 부하를 상기 입력 전압으로 구동시키도록 하였기 때문에, 출력단부의 로스를 적극 감소시켜 데이터 드라이버, 나아가서는 액정 표시 장치 전체의 저소비 전력화를 실현할 수 있다는 이점을 얻을 수 있다.

(57) 청구의 범위

청구항 1.

해당 회로에 대한 입력 전압으로 부하를 구동시키는 소스 팔로워 회로에 있어서,

MOS 트랜지스터와,

상기 MOS 트랜지스터의 게이트 전위를 기억하는 용량 수단과,

상기 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 바이어스 전류 공급 수단과,

상기 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 바이어스 전류 공급 수단에 의해 변동된 상기 MOS 트랜지스터의 게이트 전위를 상기 용량 수단에 유지한 후, 상기 용량 수단에 유지된 게이트 전위를 상기 MOS 트랜지스터의 게이트에 인가하여 상기 MOS 트랜지스터를 동작시키고, 상기 소스측 전류원을 동작시킴으로써 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단을 구비하는 것을 특징으로 하는 소스 팔로워 회로.

청구항 2.

제 1 항에 있어서,

상기 MOS 트랜지스터는 nMOS 트랜지스터와 pMOS 트랜지스터로 이루어지고,

상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 nMOS 트랜지스터 또는 상기 pMOS 트랜지스터 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 하는 소스 팔로워 회로.

청구항 3.

제 1 항에 있어서,

상기 용량 수단의 편측은 접지 또는 정전위에 접속되어 있는 것을 특징으로 하는 소스 팔로워 회로.

청구항 4.

해당 회로에 대한 입력 전압으로 부하를 구동시키는 소스 팔로워 회로에 있어서,

제 1 MOS 트랜지스터와,

상기 제 1 MOS 트랜지스터의 게이트 전위를 기억하는 제 1 용량 수단과,

상기 제 1 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 제 1 바이어스 전류 공급 수단과,

제 2 MOS 트랜지스터와,

상기 제 2 MOS 트랜지스터의 게이트 전위를 기억하는 제 2 용량 수단과,

상기 제 2 MOS 트랜지스터로 바이어스 전류를 공급하는 드레인측 전류원으로 이루어지는 제 2 바이어스 전류 공급 수단과,

상기 제 1 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 제 1 바이어스 전류 공급 수단에 의해 변동된 상기 제 1 MOS 트랜지스터의 게이트 전위를 상기 제 1 용량 수단에 유지하는 동시에, 상기 제 2 바이어스 전류 공급 수단에 의해 발생하는 상기 제 2 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를 상기 제 2 용량 수단에 유지한 후, 상기 제 1 용량 수단에 유지된 게이트 전위를 상기 제 1 MOS 트랜지스터의 게이트에 인가하여 상기 제 1 MOS 트랜지스터를 동작시키고, 상기 제 2 용량 수단에 유지된 차분 전위를 상기 부하로의 출력 단자와 상기 제 2 MOS 트랜지스터의 게이트 사이에 인가하여 상기 제 2 MOS 트랜지스터를 동작시키고, 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단을 구비하는 것을 특징으로 하는 소스 팔로워 회로.

청구항 5.

제 4 항에 있어서,

상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 nMOS 트랜지스터인 제 1 회로와,

상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 pMOS 트랜지스터인 제 2 회로를 구비하고,

상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 제 1 회로 또는 상기 제 2 회로 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 하는 소스 팔로워 회로.

청구항 6.

제 4 항에 있어서,

상기 제 2 MOS 트랜지스터가 제 3 및 제 4 의 2 개의 MOS 트랜지스터로 구성되어 있고, 이 제 3 및 제 4 MOS 트랜지스터의 소스 및 게이트끼리를 공통 접속하고, 제 3 및 제 4 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를, 상기 제 2 용량 수단에 유지할 때와, 상기 제 2 용량 수단에 유지된 차분 전위를, 상기 부하로의 출력단자와 상기 제 3 및 제 4 MOS 트랜지스터의 게이트 사이에 인가할 때에, 제 3 및 제 4 MOS 트랜지스터의 드레인간에 형성된 드레인간 저항을 제어하는 저항 제어 수단을 구비하는 것을 특징으로 하는 소스 팔로워 회로.

청구항 7.

제 6 항에 있어서,

상기 드레인간 저항은 제 5, 제 6, 제 7 MOS 트랜지스터로 구성되고, 상기 제 3 MOS 트랜지스터의 드레인은 상기 제 5 MOS 트랜지스터의 소스 및 상기 제 7 MOS 트랜지스터의 소스와 연결되고, 상기 제 4 MOS 트랜지스터의 드레인은 상기 제 6 MOS 트랜지스터의 드레인 및 상기 제 7 MOS 트랜지스터의 드레인과 연결되고, 상기 제 5 MOS 트랜지스터의 드레인은 상기 제 6 MOS 트랜지스터의 소스와 연결되며, 상기 저항 제어 수단에 의해 각 트랜지스터가 온/오프 제어되어 저항값이 조정되는 것을 특징으로 하는 소스 팔로워 회로.

청구항 8.

화소전극이 접속된 박막 트랜지스터를 통하여 크로스접속된 주사선과 데이터선으로 이루어지는 액정 표시 장치에 대해, 아날로그 신호를 상기 데이터선에 송출하는 데이터 드라이버를 구비하는 액정 표시 장치의 구동 장치로서,

상기 데이터 드라이버는,

MOS 트랜지스터와,

상기 MOS 트랜지스터의 게이트 전위를 기억하는 용량 수단과,

상기 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 바이어스 전류 공급 수단과,

상기 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 바이어스 전류 공급 수단에 의해 변동된 상기 MOS 트랜지스터의 게이트 전위를 상기 용량 수단에 유지한 후, 상기 용량 수단에 유지된 게이트 전위를, 상기 MOS 트랜지스터의 게이트에 인가하여 상기 MOS 트랜지스터를 동작시키고, 상기 소스측 전류원을 동작시킴으로써 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단으로 이루어지는 버퍼 회로를 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 9.

제 8 항에 있어서,

상기 MOS 트랜지스터는 nMOS 트랜지스터와 pMOS 트랜지스터로 이루어지고,

상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 nMOS 트랜지스터 또는 상기 pMOS 트랜지스터 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 10.

제 8 항에 있어서,

상기 용량 수단의 편측은 접지 또는 정전위에 접속되어 있는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 11.

화소전극이 접속된 박막 트랜지스터를 통하여 크로스접속된 주사선과 데이터선으로 이루어지는 액정 표시 장치에 대해, 아날로그 신호를 상기 데이터선에 송출하는 데이터 드라이버를 구비하는 액정 표시 장치의 구동 장치로서,

상기 데이터 드라이버는,

제 1 MOS 트랜지스터와,

상기 제 1 MOS 트랜지스터의 게이트-소스 바이어스 전압을 기억하는 제 1 용량 수단과,

상기 제 1 MOS 트랜지스터로 바이어스 전류를 공급하는 소스측 전류원과 드레인측 전류원으로 이루어지는 제 1 바이어스 전류 공급 수단과,

제 2 MOS 트랜지스터와,

상기 제 2 MOS 트랜지스터의 게이트 전위를 기억하는 제 2 용량 수단과,

상기 제 2 MOS 트랜지스터로 바이어스 전류를 공급하는 드레인측 전류원으로 이루어지는 제 2 바이어스 전류 공급 수단과,

상기 제 1 MOS 트랜지스터의 소스 전위를 강제적으로 상기 입력 전압으로 함으로써 상기 제 1 바이어스 전류 공급 수단에 의해 변동된 상기 제 1 MOS 트랜지스터의 게이트 전위를 상기 제 1 용량 수단에 유지하는 동시에, 상기 제 2 바이어스 전류 공급 수단에 의해 발생하는 상기 제 2 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를, 상기 제 2 용량 수단에 유지한 후, 상기 제 1 용량 수단에 유지된 게이트 전위를, 상기 제 1 MOS 트랜지스터의 게이트에 인가하여 상기 제 1 MOS 트랜지스터를 동작시키고, 상기 제 2 용량 수단에 유지된 차분 전위를 상기 부하로의 출력 단자와 상기 제 2 MOS 트랜지스터의 게이트 사이에 인가하여 상기 제 2 MOS 트랜지스터를 동작시키고, 상기 부하를 상기 입력 전압으로 구동시키는 제어 수단으로 이루어지는 버퍼 회로를 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 12.

제 11 항에 있어서,

상기 데이터 드라이버는,

상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 nMOS 트랜지스터인 제 1 회로와,

상기 제 1 MOS 트랜지스터 및 상기 제 2 MOS 트랜지스터가 모두 pMOS 트랜지스터인 제 2 회로를 더 구비하고,

상기 제어 수단은 상기 입력 전압값에 기초하여, 상기 제 1 회로 또는 상기 제 2 회로 중 어느 하나를 선택적으로 구동시키는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 13.

제 11 항에 있어서,

상기 제 2 MOS 트랜지스터가 제 3 및 제 4 의 2 개의 MOS 트랜지스터로 구성되어 있고, 이 제 3 및 제 4 MOS 트랜지스터의 소스 및 게이트끼리를 공통 접속하고, 제 3 및 제 4 MOS 트랜지스터의 게이트 전압과 상기 입력 전압의 차분 전위를, 상기 제 2 용량 수단에 유지할 때와, 상기 제 2 용량 수단에 유지된 차분 전위를, 상기 부하로의 출력단자와 상기 제 3 및 제 4 MOS 트랜지스터의 게이트 사이에 인가할 때에, 제 3 및 제 4 MOS 트랜지스터의 드레인간에 형성된 드레인간 저항의 저항값을 제어하는 저항 제어 수단을 구비하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

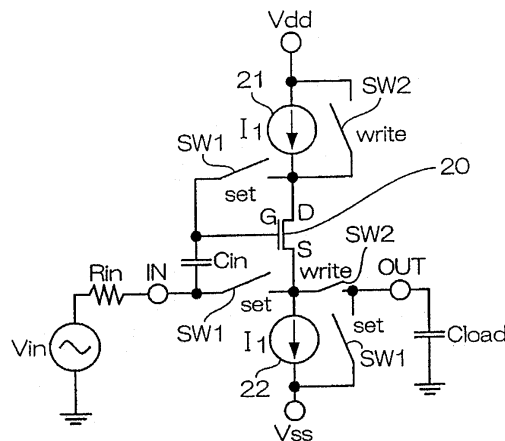
청구항 14.

제 13 항에 있어서,

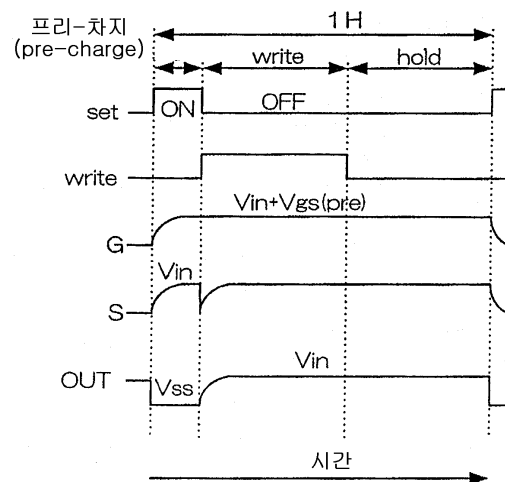
상기 드레인간 저항은 제 5, 제 6, 제 7 MOS 트랜지스터로 구성되고, 상기 제 3 MOS 트랜지스터의 드레인은 상기 제 5 MOS 트랜지스터의 소스 및 상기 제 7 MOS 트랜지스터의 소스와 연결되고, 상기 제 4 MOS 트랜지스터의 드레인은 상기 제 6 MOS 트랜지스터의 드레인 및 상기 제 7 MOS 트랜지스터의 드레인과 연결되고, 상기 제 5 MOS 트랜지스터의 드레인은 상기 제 6 MOS 트랜지스터의 소스와 연결되며, 상기 저항 제어 수단에 의해 각 트랜지스터가 온/오프 제어되어 저항값이 조정되는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

도면

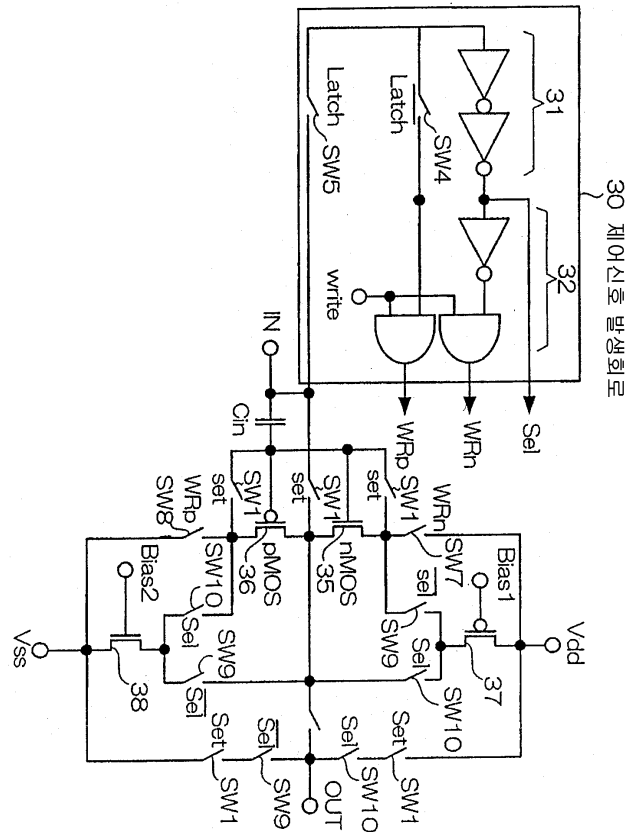
도면1



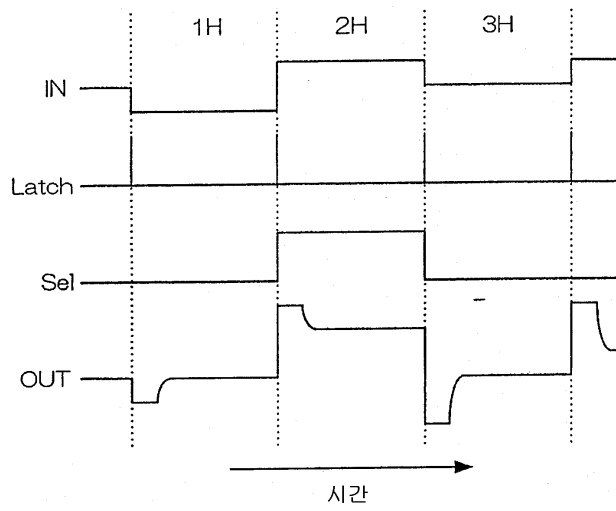
도면2



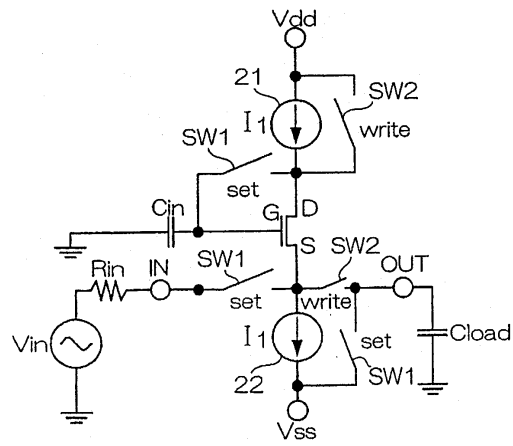
도면3



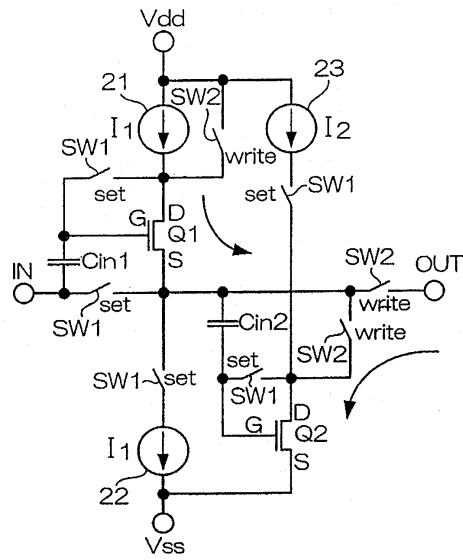
도면4



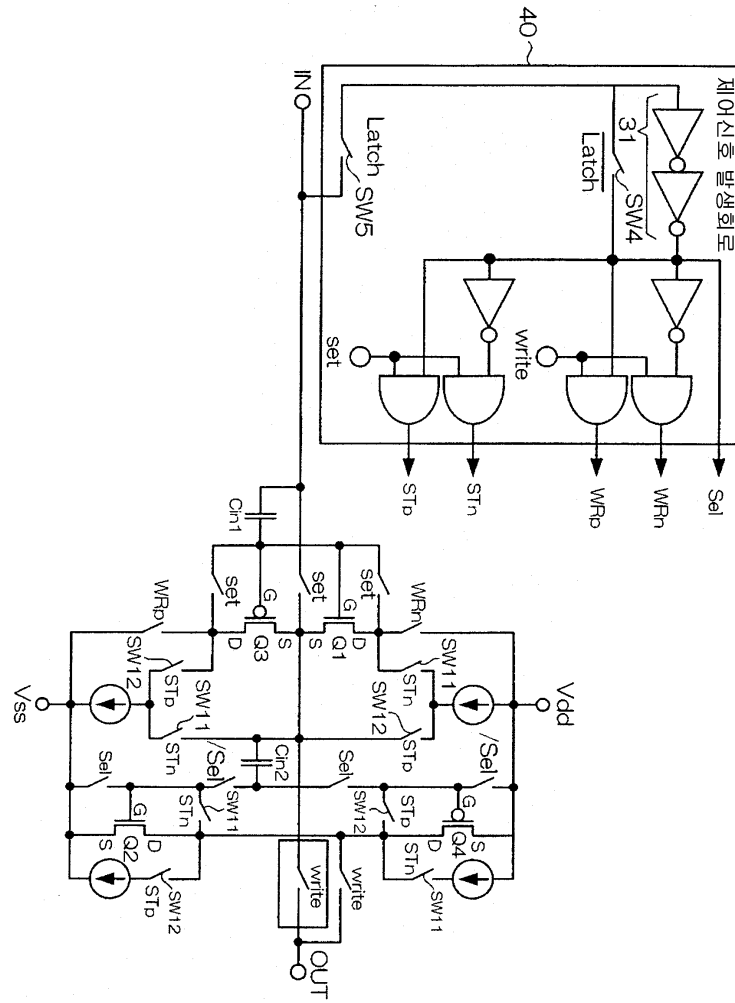
도면5



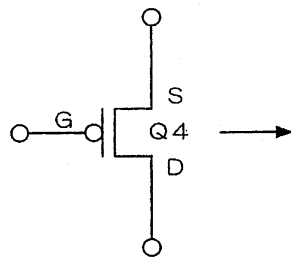
도면6



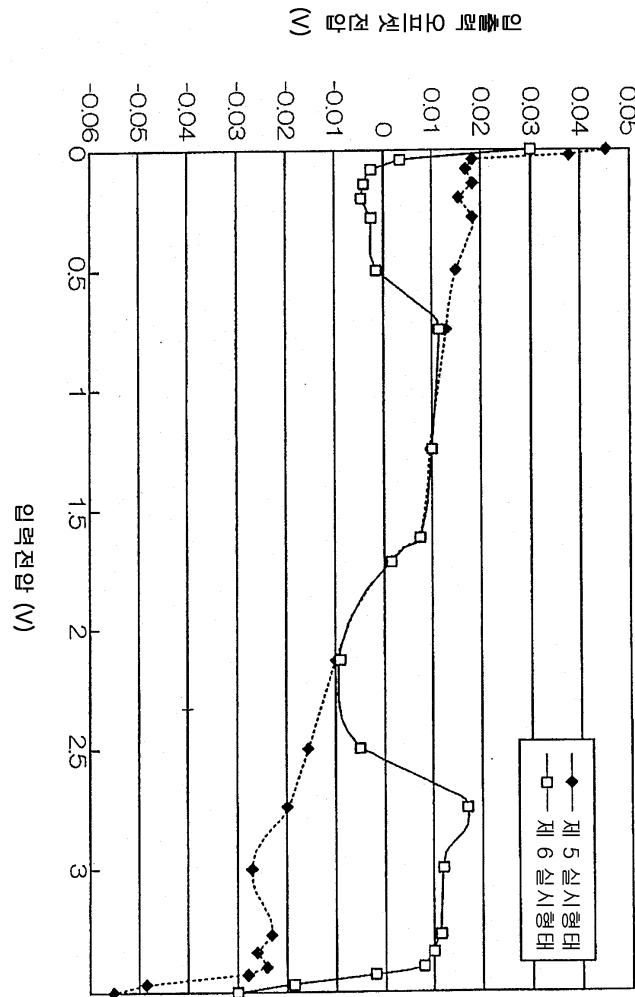
도면7



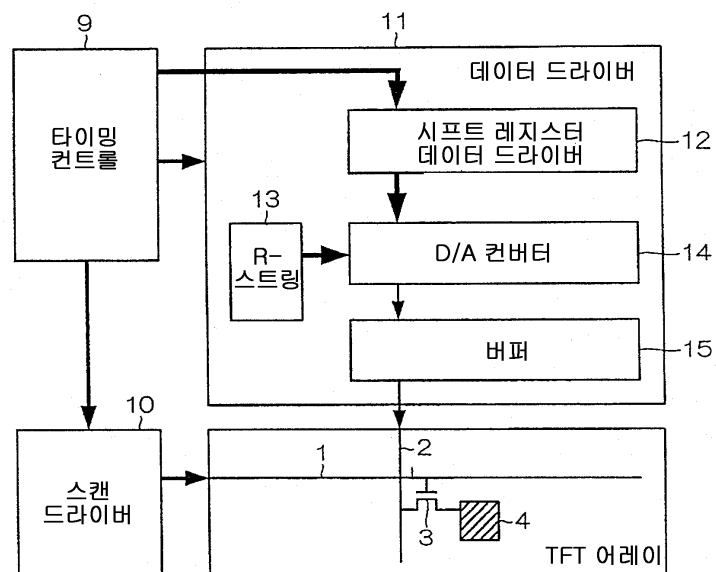
도면8a



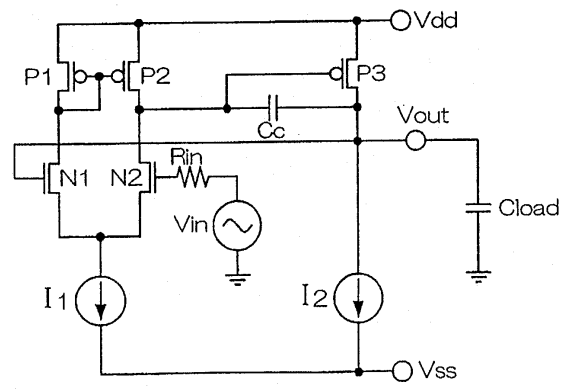
도면10



도면11



도면12



专利名称(译)	一种源极跟随器电路，其中输出端子处的损耗减小，并且液晶显示装置的驱动装置		
公开(公告)号	KR100567605B1	公开(公告)日	2006-04-04
申请号	KR1020030074584	申请日	2003-10-24
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
当前申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	FUJIYOSHI TATSUMI 후지요시다쯔미 KAWABATA KEN 가와바따겐		
发明人	후지요시다쯔미 가와바따겐		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F1/02 H03F3/00 H03F3/50		
CPC分类号	G09G3/3688 H03F3/005 H03F3/505		
代理人(译)	韩国专利公司		
优先权	2002322540 2002-11-06 JP 2003195213 2003-07-10 JP		
其他公开文献	KR1020040040344A		
外部链接	Espacenet		

摘要(译)

[问题]为了积极地减少输出端子的损耗，从而实现数据驱动器以及整个液晶显示装置的功耗的降低。（解决手段）中，当置位信号为“H”时，nMOS晶体管的 V_{gs} （预）～（20）中保持的漏极电流（ I_1 ）的源极电压（ V_{in} ）的输入电容（ C_{IN} ）被保持。然后，当置位信号变为“L”并且写入信号变为“H”时，nMOS晶体管20导通并且在对负载电容（ C_{load} ）充电时变得稳定。在写入负载电容的时刻结束时，置位信号和写入信号都被设置为“L”。结果，写入电压保持在负载电容中。同时，通过强制关闭电流源21和22，微小偏置电流 I_1 完全停止，电流消耗完全消除。1 指数方面 源极跟随器电路，MOS晶体管，液晶显示器，容量这意味着。

