

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월18일 10-0501128 2005년07월05일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0017335 2002년03월29일	(65) 공개번호 (43) 공개일자	10-2002-0077245 2002년10월11일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	JP-P-2001-00098269	2001년03월30일	일본(JP)
	JP-P-2001-00098281	2001년03월30일	일본(JP)
	JP-P-2001-00098323	2001년03월30일	일본(JP)
	JP-P-2001-00098334	2001년03월30일	일본(JP)

(73) 특허권자 산요덴키가부시킴이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 미야지마야스시
일본기후켄기후시반다이쵸1-34-1

요코야마료이찌
일본기후켄오가끼시아야노5-125-176

야마다쓰토무
일본기후켄모토스군호즈미쵸바바마에하따마쵸3쵸메112-3

요네다기요시
일본기후켄모토스군스나미쵸후루하시1495-6

(74) 대리인 장수길
이중희
구영창

심사관 : 박진우

(54) 각 화소에 보조 용량을 구비하는 액티브 매트릭스형 표시장치

요약

화소부에서, 각 화소가 톱 게이트형 TFT, 보조 용량 Csc, 액정 용량 Clc를 구비하는 액티브 매트릭스형 표시 장치이고, 보조 용량 Csc의 제1 전극(30)은 TFT의 p-Si 능동층(14)을 겸용하고, 제2 전극(32)은 능동층(14)의 하층에 절연층(12)을 사이에 두고 그 능동층(14)과 적어도 일부가 중첩되도록 형성한다. 드라이버부가 내장되는 경우에는 드라이버부 TFT는 화소부 TFT와 마찬가지로 톱 게이트형으로, 능동층(14)은 상기 능동층(14)과 동일 재료이고, 능동층(14)의 하층에 절연층(12)을 사이에 두고 제2 전극(32)과 동일 재료로 이루어지는 도전층(32D)을 갖는다. 화소부에서는 개구율 저하를 방지하면서 보조 용량을 형성할 수 있다. 또한, 화소부 TFT와 드라이버부 TFT에서 능동층의 다결정화 어닐링 시의 조건이 같고, 특성이 균일한 TFT를 얻을 수 있다.

대표도

도 4

색인어

화소, 보조 용량, 액정 표시

명세서

도면의 간단한 설명

- 도 1은 액티브 매트릭스형 액정 표시 장치의 1화소에 대한 등가 회로를 나타내는 도면.
- 도 2는 종래의 액티브 매트릭스형 액정 표시 장치에서의 화소 영역의 개략 평면 구조를 나타내는 도면.
- 도 3은 도 2의 X-X선을 따른 위치에서의 종래의 액정 표시 장치의 개략 단면 구조를 나타내는 도면.
- 도 4는 본 발명의 제1 실시예에 따른 액티브 매트릭스형 액정 표시 장치의 화소부에서의 개략 평면 구성을 나타내는 도면.
- 도 5는 도 4의 A-A선을 따른 위치에서의 액정 표시 장치의 개략 단면 구성을 나타내는 도면.
- 도 6은 도 4의 B-B선을 따른 위치에서의 액정 표시 장치의 제1 기관층의 개략 단면 구성을 나타내는 도면.
- 도 7은 본 발명에 따른 드라이버 내장형 액티브 매트릭스 LCD의 개략 구성을 나타내는 도면.
- 도 8은 본 발명의 제1 실시예에 따른 액티브 매트릭스형 액정 표시 장치의 내장 드라이버부의 일부 평면 구성의 제1 예를 나타내는 도면.
- 도 9는 도 8의 C-C선을 따른 위치에서의 단면 구성을 나타내는 도면.
- 도 10은 본 발명의 제1 실시예에 따른 액티브 매트릭스형 액정 표시 장치의 내장 드라이버부의 일부 평면 구성의 제2 예를 나타내는 도면.
- 도 11은 도 10의 D-D선을 따른 위치에서의 단면 구성을 나타내는 도면.
- 도 12는 본 발명의 제2 실시예에 따른 액티브 매트릭스형 LCD의 각 표시 화소에 있어서의 개략 평면 구성을 나타내는 도면.
- 도 13은 도 12의 B-B선을 따른 위치에서의 LCD의 제1 기관층의 개략 단면 구성을 나타내는 도면.
- 도 14는 본 발명의 제3 실시예에 따른 액티브 매트릭스형 LCD의 각 표시 화소에 있어서의 개략 평면 구성을 나타내는 도면.
- 도 15는 도 4의 C-C선을 따른 위치에서의 제2 실시예에 따른 LCD의 개략 단면 구성을 나타내는 도면.
- 도 16은 본 발명의 제4 실시예에 따른 액티브 매트릭스형 LCD의 각 표시 화소에 있어서의 개략 평면 구성을 나타내는 도면.
- 도 17은 도 16의 A-A선을 따른 위치에서의 제4 실시예에 따른 LCD의 개략 단면 구성을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 14 : 능동층
- 20 : 게이트 라인
- 22 : 데이터 라인
- 30 : 보조 용량의 제1 전극
- 32 : 보조 용량의 제2 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 각 화소에 박막 트랜지스터를 구비하는 액티브 매트릭스형 표시 장치에 관한 것이다.

액정 표시 장치(이하, LCD) 등의 플랫 패널 디스플레이는 박형화, 소형화, 경량화가 가능하며 저소비 전력이고, LCD 등은, 이미 각종 기기의 표시부로서, 휴대 정보 기기를 비롯하여, 많은 기기에 채용되어 있다. LCD 등에 있어서, 각 화소에, 스위치 소자로서 박막 트랜지스터 등을 설치한 것은 액티브 매트릭스형이라 불리고, 이 패널은 화소별 표시 내용의 유지가 확실하기 때문에, 정밀도가 높은 표시나 표시의 고품질화를 실현하기 위한 표시 장치로서 이용되고 있다.

도 1은 액티브 매트릭스형 LCD의 화소에 대한 등가 회로를 나타내고 있다. 각 화소는 게이트 라인과 데이터 라인에 접속된 박막 트랜지스터(1: TFT)를 구비하고, 게이트 라인으로 출력되는 선택 신호에 의해 TFT가 온 상태가 되면, 데이터 라인으로부터 이 TFT를 통해 표시 내용에 따른 데이터가 액정 용량(2: Clc)에 공급된다. 여기서, TFT가 선택되어 데이터가 기입되고 나서 다음에 TFT가 다시 선택되기까지의 기간동안, 기입된 표시 데이터를 확실하게 유지할 필요가 있기 때문에, TFT에 대해서 액정 용량 Clc와 병렬로 보조 용량(3: Csc)이 접속되어 있다.

도 2는 종래의 LCD의 TFT 형성 기관(제1 기관(100))에 있어서의 화소부의 평면 구성을 나타내고 있으며, 도 3은 도 2의 X-X선을 따른 위치에서의 LCD의 단면 구성을 나타내고 있다. LCD는 제1 및 제2 기관 사이에 액정이 봉입된 구성을 구비하고, 액티브 매트릭스형 LCD에서는 제1 기관(100) 상에 매트릭스 형상으로 TFT(1), 화소 전극(74) 등이 배치되고, 제1 기관과 대향 배치되는 제2 기관에는 공통 전압 Vcom이 인가되는 공통 전극(56)이나, 컬러 필터(54) 등이 형성되어 있다. 그리고, 각 화소 전극(74)과, 액정(200)을 사이에 두고 대향하는 공통 전극(56) 간에 인가하는 전압에 의해 화소별 액정 용량 Clc를 구동한다.

제1 기관(100)측에, 화소마다 설치되는 TFT는 도 3에 도시한 바와 같이, 게이트 전극(60)이 능동층(64)보다 상층에 위치하는, 소위 톱 게이트형 TFT이다. TFT의 능동층(64)은 기관(100) 상에 도 2에 도시한 바와 같이 패터닝되고, 이 능동층(64)을 피복하여 게이트 절연막(66)이 형성되고, 게이트 절연막(66) 상에는 게이트 전극(60)을 겸용하는 게이트 라인이 형성되어 있다. 능동층(64)은 게이트 전극(60)과 대향하는 위치가 채널 영역(64c)이고, 이 채널 영역(64c)을 사이에 두는 양측에 불순물이 주입된 드레인 영역(64d) 및 소스 영역(64s)이 형성되어 있다.

능동층(64)의 드레인 영역(64d)은 게이트 전극(60)을 덮어 형성되는 층간 절연막(68)에 형성된 콘택트홀을 통해, 데이터 라인을 겸용하는 드레인 전극(70)에 접속되어 있다.

또한, 상기 드레인 전극 및 데이터 라인(70)을 덮어 평탄화 절연막(72)이 형성되어 있으며, 능동층(64)의 소스 영역(64s)은 이 평탄화 절연막(72) 상에 ITO(Indium Tin Oxide) 등으로 이루어지는 화소 전극(74)과, 콘택트홀을 통해 접속되어 있다.

능동층(64)의 소스 영역(64s)은, 또한 각 화소에 설치되는 보조 용량 Csc의 제1 전극(80)을 겸용하고 있으며, 도 2에 도시한 바와 같이, 화소 전극(74)과의 콘택트 영역으로부터 연장되어 있다. 보조 용량 Csc의 제2 전극(84)은 도 3에 도시한 바와 같이 게이트 전극(60)과 동일층에 동시에 형성되어 있으며, 게이트 전극(60)과는 소정의 간격을 두고 다른 영역에 형성되어 있다. 게이트 절연막(66)은 제1 전극(80)과 제2 전극(84)과의 층간의 유전체를 겸용하고 있다. 또한, 보조 용량 Csc의 제2 전극(84)은 도 2에 도시한 바와 같이, 화소별로 독립된 것이 아니라, 게이트 라인(60)과 마찬가지로 화소 영역을 행 방향으로 연장하고, 소정의 보조 용량 전압 Vsc가 인가되어 있다.

이와 같이 각 화소에, 보조 용량 Csc를 설치함으로써, TFT의 비선택 기간 중, 액정 용량 Clc에 인가해야 할 표시 내용에 따른 전하를 보조 용량 Csc에 보유한다. 이에 따라, 화소 전극(74)의 전위 변동을 억제하고, 표시 내용을 유지할 수 있다.

발명이 이루고자 하는 기술적 과제

표시 장치의 소형화, 고정밀도가 강하게 요구되는 용도에 있어서는 1화소당 면적을 작게 해야 하고, 1화소당 액정 용량 Clc도 작아진다. 따라서, 각 화소에 있어서의 표시 데이터를 단위 표시 기간 중, 확실하게 유지하기 위해서는 상술한 바와 같은 보조 용량 Csc의 존재가 필요하게 된다.

그러나, 한편으로는, 보조 용량 Csc 자체는 표시 영역으로서 기능하지 않기 때문에, 투과형 LCD인 경우, 보조 용량 Csc를 각 화소에 형성하면, 그에 따라 1화소당 표시 가능 면적의 감소, 즉 개구율의 저하를 피할 수 없다. 특히, 도 2 및 도 3에 도시한 바와 같이, 보조 용량 Csc의 제2 전극(84)은 게이트 라인(60)과 동일층에서 형성되기 때문에, 게이트 라인(60)과 제2 전극(84)이 단락하지 않도록 절연 스페이스가 필요하게 된다. 또한, 게이트와 동일 재료이기 때문에, 제2 전극 영역은 불투명하고, 그 만큼, 개구율은 저하하여, 고휘도 표시가 어렵게 되는 문제가 발생한다.

또한, 종래의 LCD에서는 상기 보조 용량 Csc 외에 TFT가 형성되는 제1 기관과 대향 배치되는 제2 기관 상의 화소간 영역에 화면의 콘트라스트 향상을 위해, 화소 간을 차광하는 블랙 매트릭스가 설치되어 있다. LCD는 상술한 바와 같이 제1 기관과 제2 기관을 접합하고 그 간극에 액정을 봉입하여 구성하고 있으며, 이 기관의 접합 어긋남에 의해, 각 화소에서의 개구율에 변동이 생기는 것을 피하기 위해서, 사전에 블랙 매트릭스의 폭을 넓게 하거나, 또는 화소 영역(예를 들면, 화소 전극)을 약간 작게 하고 있다. 이 때문에, 개구율 저하의 문제는 더욱 커진다.

상기 과제를 해결하기 위해서 본 발명은 충분한 보조 용량을 확보하면서 개구율이 높은 액티브 매트릭스형 표시 장치를 실현하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서 본 발명은 각 화소에, 박막 트랜지스터와, 보조 용량을 구비하는 액티브 매트릭스형 표시 장치에 있어서, 기관 상에는 화소마다 톱 게이트형으로서 상기 TFT가 형성되어 있으며, 상기 보조 용량의 제1 전극은 상기 TFT의 능동층과 전기적으로 접속되고, 상기 보조 용량의 제2 전극은 상기 TFT의 능동층과 적어도 일부가 중첩되도록 상기 능동층과 상기 기관 사이에 절연층을 사이에 두고 형성되어 있는 것을 특징으로 한다.

본 발명의 다른 양태에서는 각 화소에, TFT와, 액정 용량과, 보조 용량을 구비하고, 제1 및 제2 기관의 간극에 봉입된 액정을 구동시켜서 표시를 행하는 액티브 매트릭스형 표시 장치에 있어서, 상기 제1 기관의 액정 대향면측에는 화소마다 톱 게이트형으로서 상기 TFT가 형성되어 있으며, 상기 보조 용량은 상기 TFT의 능동층을 겸용하는 제1 전극과, 상기 TFT의 능동층과 상기 제1 기관 사이에 절연막을 사이에 두고 배치된 제2 전극과의 대향 영역에 형성되어 있다.

이상과 같이, 보조 용량의 제1 전극을 TFT의 능동층에 접속시키고(겸용시키고), 또한 제2 전극을 게이트 라인과 동일층이 아닌, 제1 전극의 하층에 설치함으로써, 충분한 크기의 보조 용량 Csc를 개구율을 저하시키지 않고 각 화소에 형성할 수 있다.

본 발명의 또 다른 양태에서는 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 보조 용량의 제2 전극은 차광 기능을 갖는다.

본 발명의 또 다른 양태에서는 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 차광성 재료에 의해 형성되어 있다.

본 발명의 또 다른 양태에서는 액티브 매트릭스형 표시 장치에 있어서, 상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 형성되고, 블랙 매트릭스를 겸용한다.

TFT의 능동층의 하층에 배치되는 보조 용량의 제2 전극을 차광성으로 하면, 능동층 하방측으로부터, 외부로부터 광이 입사하여 광 누설 전류가 발생하는 것을 방지할 수 있다. 또한, 블랙 매트릭스가 되게 하면, TFT에서의 광 누설 전류 발생을 보다 확실하게 방지할 수 있어, 콘트라스트를 높일 수도 있다.

또한, 제2 전극을 블랙 매트릭스로서 이용함으로써, 개구율의 감소없이 콘트라스트 향상을 한층 더 도모할 수도 있다.

또한, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 TFT의 능동층에는 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층을 이용할 수 있다.

다결정화를 위한 레이저 어닐링 시, 비정질 실리콘층의 능동층 영역, 특히 TFT 채널 영역의 하층에 똑같이 제2 전극층이 형성되어 있으면, 채널 영역에 대한 어닐링 조건이 일치하기 때문에, 폴리실리콘층의 입경이 일정해져서, TFT 간의 특성 변동을 방지할 수 있다.

본 발명의 다른 양태에서는, 액티브 매트릭스형 표시 장치에 있어서, 매트릭스 형상으로 배치되는 화소의 각각은 게이트 라인과 데이터 라인과 교차 부근에 형성되고, 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고, 기관 상에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되어 있으며, 상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층을 상기 데이터 라인을 따라 연장시켜 형성하고, 상기 보조 용량의 제2 전극은 상기 제1 전극과 상기 기관 사이에 절연층을 사이에 두고 중첩되도록 형성되어 있다.

이상과 같이, 본 발명에서는 보조 용량의 제2 전극을 게이트 라인과 다른 층에서, TFT의 능동층으로부터 연장한 제1 전극보다 아래에 배치한다. 따라서, 제2 전극과 게이트 라인 사이의 충분한 절연 스페이스 등을 고려할 필요가 없어서, 효율적으로 능동층과 일체의 제1 전극과, 제2 전극이 중첩되는 영역을 넓게 할 수 있다. 또한, 데이터 라인을 따른 영역은 대부분의 경우, 비표시 영역이고, 이 영역에 제1 전극을 설치하여 보조 용량을 형성하면, 개구율을 저하시키지 않고 큰 용량을 얻는 것이 용이해진다. 또한, 절연층을 사이에 두고 상하로 위치하게 되는 제1 전극과 데이터 라인이 평면적으로 중첩되지 않는 레이아웃으로 함으로써, 데이터 라인과 제1 전극 사이에 커플링이 발생하는 것을 미연에 방지할 수 있다.

본 발명의 다른 양태에서는 액티브 매트릭스형 표시 장치에 있어서, 매트릭스 형상으로 배치되는 화소의 각각은 게이트 라인과 데이터 라인과 교차 부근에 형성되고, 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고, 기관 상에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되어 있으며, 상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층으로부터 상기 데이터 라인의 하층 영역으로 연장하고, 상기 보조 용량인 제2 전극은 상기 제1 전극과의 사이에 절연층을 사이에 두고 중첩되도록 상기 제1 전극과 상기 기관 사이에 형성되고, 상기 데이터 라인과 상기 보조 용량인 제1 전극이 중첩되는 영역에는 상기 데이터 라인과 상기 제1 전극과의 층간에 절연층을 사이에 두고 도전성 실드층이 형성되어 있다.

데이터 라인 형성 영역의 하층에 보조 용량인 제1 전극 및 제2 전극을 설치함으로써, 보조 용량을 형성함에 따른 개구율 저하를 최소한으로 할 수 있다. 또한, 도전성 실드층을 데이터 라인과 제1 전극 사이에 설치함으로써, 제1 전극과 데이터 라인 간에 커플링이 발생하는 것을 방지할 수 있다. 또한, 제1 전극과 상기 도전성 실드층 간에서도 보조 용량을 형성할 수 있다.

본 발명의 다른 양태에서는 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 도전성 실드층은 다른 행의 화소의 박막 트랜지스터에 선택 신호를 공급하는 게이트 라인을 겸용한다.

이와 같이 도전성 실드층이 다음 단의 게이트 라인을 겸용하게 함에 따라, 공정의 증가없이 데이터 라인 하층에 데이터 라인 전압에 영향을 받지 않는 보조 용량을 형성할 수 있다. 또한, 게이트 라인이 도전성 실드층을 겸용하기 때문에, 게이트 라인과 이 도전성 실드층 간에 절연성 확보를 위한 레이아웃 여유 등을 고려할 필요가 없어서, 최소한의 스페이스로 도전성 실드층을 형성할 수 있다.

본 발명의 다른 양태에서는, 액티브 매트릭스형 표시 장치에 있어서, 매트릭스 형상으로 배치되는 화소의 각각은 게이트 라인과 데이터 라인과 교차 부근에 형성되고, 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고, 기관 상에는 화소마다 튜프 게이트형으로서 상기 박막 트랜지스터가 형성되어 있으며, 상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층을 구성하는 반도체로 형성되고, 상기 보조 용량의 제2 전극은 상기 제1 전극과의 사이에 절연층을 사이에 두고 중첩되도록 상기 제1 전극과 상기 기관 사이에 형성되고, 또한 상기 제2 전극은 각 화소 간을 차광하는 블랙 매트릭스 기능을 갖고, 또한 각 화소의 상기 박막 트랜지스터 중 적어도 채널 영역이 개구하여 있다.

이상과 같이, 본 발명에서는 보조 용량의 제2 전극을 게이트 라인과 다른 층에서, TFT의 능동층을 구성하는 반도체층으로 이루어지는 제1 전극보다 하층(기관층)에 배치한다. 이 제2 전극을 블랙 매트릭스로서 기능시킴으로써, 다른 기관 등에 블랙 매트릭스를 형성한 경우와 비교하여, 두 개의 기관의 접합 어긋남에 의한 각 화소의 개구율의 저하를 방지할 수 있다. 또한, 제2 전극과 게이트 라인 사이의 충분한 절연 스페이스 등을 고려할 필요가 없고, 화소 내에 효율적으로 보조 용량을 형성할 수 있어, 충분한 용량을 확보하면서 개구율을 향상시킬 수 있다. 또한, 제2 전극은 적어도 박막 트랜지스터의 채널 영역에서는 개구되어 있기 때문에, 후술하는 바와 같이 비정질 실리콘층 등의 비정질 반도체층을 레이저 어닐링 등에 의해 다결정화하여 능동층에 이용하는 경우에, 박막 트랜지스터의 특성에 큰 영향을 미치는 채널 영역의 어닐링 조건을 제2 전극이 하층에 존재하는 경우의 특성에 맞춰 조정할 필요가 없다. 또한, 기관 주변에 화소부와 마찬가지로 박막 트랜지스터를 구비한 드라이버부를 내장하는 경우에도, 화소부의 박막 트랜지스터의 채널 영역 하에서 제2 전극이 개구하기 때문에, 드라이버부의 박막 트랜지스터와 화소부의 상기 박막 트랜지스터를 동일 조건에서 형성할 수 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 블랙 매트릭스를 겸용하는 상기 제2 전극이 개구한 상기 박막 트랜지스터의 채널 영역 부근에는 상기 능동층의 상기 제2 전극과의 비대향면측의 상방에, 이 영역을 차광하는 차광층이 형성되어 있다.

본 발명의 또 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 차광층은 상기 데이터 라인을 겸용한다.

제2 전극이 개구하는 채널 영역 부근이 다른 차광층에 의해 차광됨으로써, 이 채널 영역 부근에서 광이 누설됨으로써 화상의 콘트라스트가 저하하는 것을 확실하게 방지할 수 있다. 또한, 능동층의 채널 영역이 차광되기 때문에, 각 박막 트랜지스터의 채널 영역에 빛이 닿아서, 이 트랜지스터에 광 누설이 발생하는 것을 방지할 수 있다. 또한, 이 차광층이 데이터 라인을 겸용함으로써, 특별한 공정의 추가없이, 이 영역을 차광할 수 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 박막 트랜지스터의 능동층은 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되고 있다.

다결정화를 위한 레이저 어닐링 시, 비정질 실리콘층의 능동층 영역, 특히 TFT 채널 영역의 하층에서의 열용량의 차는 입경의 차로 연결되지만, 각 TFT의 채널 영역에서는 제2 전극을 개구시킴에 따라 채널 영역에 대한 어닐링 조건을 일치시킬 수 있다. 따라서, 폴리실리콘층의 입경이 일정해져서, TFT 간의 특성 변동을 방지할 수 있다.

본 발명의 다른 양태에서는, 드라이버 내장형 액티브 매트릭스 표시 장치에 있어서, 동일 기관 상에, 화소부와 드라이버부를 구비하고, 상기 화소부는 복수의 화소가 배치되고, 각 화소는 화소부 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고, 상기 화소부 박막 트랜지스터는 화소마다 상기 기관 상에 튜프 게이트형 트랜지스터로서 형성되어 있으며, 상기 보조 용량의 제1 전극은 상기 화소부 박막 트랜지스터의 능동층과 전기적으로 접속되고, 상기 보조 용량의 제2 전극은 상기 화소부 박막 트랜지스터의 능동층과 적어도 일부가 중첩되도록 상기 기관 사이에 절연층을 사이에 두고 형성되고, 상기 드라이버부는 상기 화소부의 각 화소를 구동시키기 위한 신호를 출력하는 복수의 드라이버부 박막 트랜지스터를 구비하고, 상기 드라이버부 박막 트랜지스터는 상기 기관 상에 튜프 게이트형 트랜지스터로서 형성되고, 상기 드라이버부 박막 트랜지스터의 능동층은 상기 화소부 박막 트랜지스터의 능동층과 동일 재료층으로 구성되고, 또한 상기 드라이버부 박막 트랜지스터의 능동층과 상기 기관 사이에는, 상기 절연층과, 제2 전극과 동일 재료로 이루어지는 도전층을 설치하되, 상기 능동층과 상기 도전층 사이에 상기 절연층이 배치되도록 하는 것을 특징으로 한다.

본 발명의 다른 양태에서는, 제1 및 제2 기관의 간극에 봉입된 액정을 구동시켜서 표시를 행하는 드라이버 내장형 액티브 매트릭스 표시 장치에 있어서, 동일 기관 상에, 화소부와 드라이버부를 구비하고, 상기 화소부는 복수의 화소가 배치되고, 각 화소는 화소부 박막 트랜지스터와, 액정 용량과, 보조 용량을 구비하고, 상기 제1 기관의 액정 대향면측에, 상기 화소부 박막 트랜지스터가 화소마다 튜프 게이트형 트랜지스터로 형성되어 있으며, 상기 보조 용량은 상기 화소부 박막 트랜지스터의 능동층을 겸용하는 제1 전극과, 상기 제1 전극 사이에 절연층을 삽입하여 배치되고, 또한 상기 화소부 박막 트랜지스터의 능동층과 상기 기관 사이에 배치된 제2 전극과의 대향 영역에 형성되고, 상기 드라이버부는 상기 화소부의 각 화소를 구동시키기 위한 신호를 출력하는 복수의 드라이버부 박막 트랜지스터를 구비하고, 상기 드라이버부 박막 트랜지스터는 상기 기관 상에 튜프 게이트형 트랜지스터로서 형성되고, 또한 상기 드라이버부 박막 트랜지스터의 능동층은 상기 화소부 박막 트랜지스터의 능동층과 동일 재료층으로 구성되고, 또한, 상기 드라이버부 박막 트랜지스터의 능동층과 상기 기관 사이에는, 상기 절연층과, 제2 전극과 동일 재료로 이루어지는 도전층을 설치하되, 상기 능동층과 상기 도전층 사이에 상기 절연층이 배치되도록 한다.

이상과 같이, 보조 용량의 제1 전극을 박막 트랜지스터의 능동층에 접속시키고(겸용시키고), 또한 제2 전극을 게이트 라인과 동일층이 아닌, 제1 전극의 하층(기관층)에 설치함으로써, 충분한 크기의 보조 용량 Csc를 개구율을 저하시키지 않고 각 화소에 형성할 수 있다. 또한, 동일 기관 상에 화소부 TFT의 능동층과 동일 재료로 구성되는 능동층을 구비하는 드라이

버부 박막 트랜지스터에 대하여, 그 능동층의 하방(기판측)에도 보조 용량의 제2 전극과 동일 재료로 형성된 도전층을 설치한다. 따라서, 화소부 박막 트랜지스터의 능동층과 드라이버부 박막 트랜지스터의 능동층을 구성하는 동일 재료층의 형성 조건이 양 트랜지스터 간에 같아져서, 특성이 균일한 트랜지스터를 얻을 수 있다.

본 발명의 다른 양태에서는, 상기 어느 하나의 드라이버 내장형 액티브 매트릭스 표시 장치에 있어서, 상기 화소부 및 드라이버부 박막 트랜지스터의 능동층에는 성막한 비정질층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되고 있다.

비정질 실리콘층을 레이저 어닐링에 의해 다결정화하는 경우, 종래에는 이 실리콘층이 형성된 영역에서의 열전도성 등의 조건에 의해 최종적으로 얻어지는 폴리실리콘층의 입경이 달라진다. 본 발명과 같이 화소부 및 드라이버부 박막 트랜지스터 중 모든 능동층의 하방(기판측)에 마찬가지로의 도전층을 설치함으로써, 레이저 어닐링에 의해 형성되는 폴리실리콘층의 입경이 양 트랜지스터의 능동층에서 달라지는 것을 방지하여, 특성이 일정한 트랜지스터를 형성할 수 있다.

본 발명의 다른 양태에서는, 상기 드라이버 내장형 액티브 매트릭스 표시 장치에 있어서, 상기 복수의 드라이버부 박막 트랜지스터는 도전형이 다른 n형 채널 트랜지스터와 p형 채널 트랜지스터를 구비하고, n형 채널 트랜지스터의 능동층의 상기 기판과의 사이에 형성된 상기 도전층과, p형 채널 트랜지스터의 능동층의 상기 기판과의 사이에 형성된 상기 도전층이 각각 제어되어 있다.

톱 게이트형 트랜지스터로서 형성되는 상기 드라이버부 박막 트랜지스터에 있어서 능동층의 하방에 존재하는 도전층의 전위가 트랜지스터에 주는 영향은 상기 트랜지스터의 도전형이 p형인지 n형인지에 따라 상이하다. 따라서, 본 발명과 같이 드라이버부 박막 트랜지스터의 능동층의 하방(기판측)에 설치된 도전층의 전위를 p형 및 n형 트랜지스터에 대하여 각각 제어하여 적절한 전위로 함으로써, 백 채널의 발생 등에 의한 누설 전류의 발생 등을 방지할 수 있다.

<실시예>

이하, 도면을 이용하여 본 발명의 적합한 실시예(이하, 실시예라고 함)에 대하여 설명한다. 또, 표시 장치로서는 이하, 액정 표시 장치(LCD)를 예로 들어 설명한다. LCD는 유리 등의 투명 절연 재료가 이용된 제1 기판과 제2 기판과의 사이에 액정을 사이에 두고 접합되어 형성되어 있다.

<제1 실시예>

제1 실시예에 따른 액티브 매트릭스형 LCD에서는 제1 기판 상에 각각 TFT를 구비하는 화소부를 포함하고, 또한 동일 기판 상의 화소부 주변에는 이 화소부를 구동시키기 위한 드라이버부가 형성되어 있다.

우선, 화소부에 대하여 설명한다. 도 4는 제1 실시예에 따른 LCD 화소부에서의 평면 구조를 나타내고, 도 5는 도 4의 A-A선을 따른 위치에서의 LCD의 개략 단면 구성을 나타내고, 도 6은 도 4의 B-B선을 따른 위치에서의 제1 기판 상의 단면 구성을 나타내고 있다.

각 화소의 등가 회로는 상술한 도 1과 마찬가지로, 제1 기판(100) 상에는 도 4에 도시한 바와 같이, 매트릭스 형상으로 화소 전극(24)이 배치되고, 각 화소 전극(24)에 대응하여 톱 게이트형 TFT(1) 및 보조 용량(3: Csc)이 설치되어 있다. 각 화소에 있어서, TFT(1)의 능동층(14)은 굴곡하여 행 방향으로 연장되는 게이트 라인(20)과 교차하고, 이 교차 부분에 능동층(14)은 채널 영역(14c)이 형성되고, 게이트 라인(20)은 여기가 게이트가 된다. 드레인(또는 소스)(14d)은 열 방향으로 연장되는 데이터 라인(22)에 접속되고, 소스(또는 드레인)(14s)에는 액정 용량(2: Clc)과 보조 용량 Csc가 병렬로 접속되어 있다. 각 화소의 등가 회로는 상술한 도 1과 거의 동일하지만, 본 실시예에서는 각 화소의 TFT는 멀티 게이트형 TFT를 채용하고 있으며, 게이트가 공통이고, 데이터 라인과 화소 전극 사이에 전기적으로 복수의 TFT 능동층이 직렬 접속된 구성으로 되어 있다. 물론, 도 1과 동일하게, 각 화소에 단일의 TFT를 설치한 구성이라도 무방하다.

각 화소의 상기 TFT(1)의 소스에 접속된 액정 용량(표시 용량) Clc는 액정(200)을 사이에 두고 배치되고, 표시 내용에 따른 전압이 인가되는 화소 전극(24)과, 공통 전위 Vcom가 인가되는 대향 전극(공통 전극: 56) 사이에 형성되어 있다.

보조 용량 Csc는 제1 전극(30)과 제2 전극(32)이 절연층(12)을 사이에 두고 중첩되는 영역에 형성되어 있다. 제1 전극(30)은 TFT(1)의 능동층(14)을 겸용하고, 제2 전극(32)은 제1 기판(100) 상에 형성되어 있으며, 능동층(14)과의 사이에 절연막(버퍼층)(12)을 사이에 두고 능동층(14) 아래에 연장되어 있다. 이와 같이, 제2 전극이 능동층(14)의 하층 전역으로 확장되므로, TFT의 능동층 자신이 제1 전극(30)으로서 기능할 수 있어, 보조 용량 Csc를 위한 큰 영역을 특별히 필요로 하지 않는다. 제1 전극(30)에는 TFT(1)를 통해 데이터 라인(22)으로부터 공급되는 표시 내용에 따른 전압이 인가되고, 제2 전극(32)에는 예를 들면 표시 영역 내에서 공통의 보조 용량 전압 Vsc가 인가된다.

보조 용량 Csc의 제2 전극(32)의 재료는 종래의 보조 용량 제2 전극과 같이 게이트 라인과 동일층으로 할 필요가 없기 때문에, 사용 재료는 게이트 재료에 한정되지 않는다. 이 때문에, 도전성 재료이면 양도체로 차광성의 금속 재료에 한정되지 않고, ITO 등의 투명 도전 재료를 채용할 수도 있지만, 본 실시예에서는 차광성의 금속 재료를 이용하여 이 제2 전극(32)을 형성하고 있다. 차광성으로 함으로써 톱 게이트형 TFT(1)에 있어서, 제1 기판측으로부터의 입사광이 TFT(1)의 능동층(14)에 도달하는 것을 방지할 수 있어, TFT의 광 누설 전류를 저감하여, 표시의 콘트라스트를 더욱 향상시킬 수 있다.

또, 본 실시예에서는 보조 용량 Csc는 상술된 바와 같이 평면적으로 본 경우에 TFT와 별도의 영역에 형성하지 않고 충분한 용량을 형성할 수 있다. 그러나, 보조 용량 Csc의 용량치가 부족한 경우에는 후술하는 실시예와 같이 제1 전극(30)의 영역, 즉 능동층(14)의 소스 영역(14s)의 면적을 확대하여, 예를 들면 인접하는 화소 전극(24) 사이의 영역으로 늘이는 것이 바람직하다.

또한, 본 실시예에서는 이 제2 전극(32)은 단순히 TFT 능동층(14)과 전기적으로 접속된 층(제1 전극(30))과 중첩될 뿐만 아니라, 적어도 능동층(14)의 채널 영역과 중첩되는 패턴으로 되어 있으며, 이 제2 전극(32)은 차광층으로서도 적합하다. 도 4의 레이아웃에서는 행 방향으로 게이트 라인(20)이 연장되고, TFT(1)의 능동층(14)은 데이터 라인(22)의 하층 부분으로부터 게이트 라인(20)의 아래로 빠져 나가는(도 4에서는 2회) 패턴이고, 채널 영역(14c)은 게이트 라인(20)과의 교차 영역에 형성된다. 그래서, 이러한 TFT의 능동층(14)의 차광을 겸한 보조 용량 Csc의 제2 전극(32)은 채널 영역, 즉 게이트(게이트 라인) 형성 영역과 중첩되는 영역에 형성하는 것이 바람직하다. 위치 정렬 여유를 고려하여, 게이트 라인 폭보다 다소 넓은 폭(예를 들면, 양측에 각각 +2 μ m)으로 게이트 라인의 하층에 형성하는 것이 보다 적합하다. 이러한 패턴으로 하면, 제2 전극(32)은 차광층으로서 적합하고, 또한 제1 전극(30)을 겸용하는 TFT(1)의 능동층(14)과, 대부분 위치에서 중첩되기 때문에, 상술한 도 2와 같이 제1 전극(30)을 TFT의 소스 영역(14)으로부터 연장시키지 않는 경우에도 큰 보조 용량 Csc를 형성할 수 있어서, 작은 면적 내에 효율적으로 보조 용량 Csc를 형성할 수 있다.

여기서, TFT(1)의 능동층(14)으로서는 후술하는 바와 같이 레이저 어닐링 등에 의해 다결정화된 폴리실리콘(p-Si)층이 채용 가능하다. 이 경우에도, 본 실시예에서는 보조 용량 Csc의 제2 전극(32)이, 이 p-Si층의 하층에 존재하기 때문에, 다결정의 입경을 일정하게 하여, 특성 변동이 적은 TFT를 형성할 수 있다.

그 이유는 다음과 같다. 즉, 레이저 어닐링에 의해 비정질 실리콘을 다결정화하는 경우, 비정질 실리콘막의 하층의 열전도율에 차가 있으면 어닐링 조건이 변하여, 능동층(14) 내에서 입경이 변동된다. 특히, 채널 영역 내에서의 입경의 변동은 TFT 특성에 큰 영향을 준다. 능동층(14)의 하층에 형성하는 보조 용량 Csc의 제2 전극(32)에는 고용점 금속인 Cr 등을 이용할 수 있지만, 이 Cr 등은 제1 기판을 구성하는 유리 등 보다 열전도성이 높다. 따라서, 레이저 어닐링에 의해 p-Si 능동층(14)을 형성하는 경우, 능동층(14)의 하층에, 열전도성이 높은 제2 전극(32)이 존재하거나, 존재하지 않거나 하면 어닐링 조건이 변하기 때문에, 바람직하지 않다. 그래서, 본 실시예에서는 도 4 및 도 5에 도시한 바와 같이, 제2 전극(32)을 능동층(14)의 적어도 채널 영역의 하방에 똑같이 설치하여, 비정질 실리콘층에 대한 어닐링 조건을 같게 하여, 각 TFT의 특성 변동을 억제하고 있다.

상기 목적을 위하여, 제2 전극(32)은 능동층의 하층 영역에만 배치해도 되지만, 본 실시예에서는 제2 전극(32)에는 도 4에 도시한 바와 같이 표시 영역 내에서 화소 전극 대응 영역만큼 개구하고, 다른 영역을 덮는 패턴을 채용하고 있다. 제2 전극(32)에 차광성 재료를 이용하고, 도 1과 같은 매트릭스 패턴으로 하면, 능동층(14)과의 중첩 면적을 증대시킬 수 있고(보조 용량의 증대), 또한 능동층(14)에 대한 차광을 보다 확실하게 할 수 있다. 또한, 이러한 패턴이면, 이 제2 전극(32)은 패턴의 블랙 매트릭스로서도 이용할 수 있다. 즉, 제1 기판의 외측(도 5의 하측)을 표시 장치의 관찰면으로 하거나, 프로젝터의 라이트밸브의 용도 등에 있어서, 광원측에 제1 기판을 배치할 수 있어, 그 경우에 능동층(14)에의 광 조사를 방지하여 콘트라스트를 더욱 향상시킬 수 있다.

또, 본 실시예에서는 보조 용량 Csc는 평면적으로 본 경우에 TFT와 별도의 영역에 형성하지 않고도 충분한 용량을 형성할 수 있다. 단, 보조 용량 Csc의 용량치가 부족한 경우에는 제1 전극(30)의 영역, 즉 능동층(14)의 소스 영역(14s)의 면적을 확대하여, 예를 들면 인접하는 화소 전극(24) 사이의 영역으로 늘이는 것이 바람직하다.

다음으로, 상술한 바와 같은 화소부를 구동시키기 위해서 화소부 주변에 형성되는 내장형 드라이버부의 제1 예에 대하여 설명한다. 도 7은 드라이버 내장형 액티브 매트릭스 LCD의 개략 구성을 나타내고, 도 8은 이 내장형 드라이버부의 일부 평면 구조를 나타내고, 도 9는 도 8의 C-C선을 따른 위치에서의 개략 단면 구성을 나타내고 있다. 또, 이미 설명한 구성에는 동일 부호를 붙여, 설명을 생략한다. 도 8에서는 n-ch형 TFT와 p-ch형 TFT의 합계 4개의 TFT가 배치되어 있다. 어느 TFT도, 도 9에 도시한 바와 같이 화소부 TFT와 마찬가지로 톱 게이트형 트랜지스터로서 형성되어 있다. 또한, 본 실시예에서는 상기 드라이버부 TFT의 각 능동층(140n, 140p)은 화소부 TFT와 동일한 재료를 이용하고 있다. 구체적으로는, 레이저 어닐링 등의 저온 프로세스에 의해 비정질 실리콘을 결정화하여 폴리실리콘을 형성하고, 이 폴리실리콘을 드라이버부의 TFT(11(11n, 11p))의 능동층(140(140n, 140p))에 이용하고 있다.

또한, 본 실시예에서는 화소부 TFT의 능동층과 동일 재료로 구성되는 능동층(140)의 적어도 채널 영역(140c(140nc, 140pc))의 하방에는 절연막(12)을 사이에 두고 도전층(32D)이 형성되어 있다. 이 도전층(32D)은 화소부 TFT의 능동층(14) 하방에 설치되어 있는 보조 용량 Csc의 제2 전극(32)과 동일 재료이고, 예를 들면 크롬 등의 고용점 금속이다. 드라이버부는 통상 광이 조사되지 않기 때문에, 화소부 TFT와 같이 반드시 능동층의 하방에 차광층을 설치할 필요는 없다(물론, 차광층으로써, 드라이버부에서의 광 누설의 발생을 확실하게 방지할 수 있음). 또한, 드라이버부의 각 TFT는 화소부 TFT와 비교하여 데이터 유지 시간이 단시간이어도 되는 것이 많아, 화소부와 같이 드라이버부 TFT의 능동층과 도전층(32D) 사이에 특별히 보조 용량을 형성할 필요는 없다(물론, 보조 용량을 형성해도 됨). 본 실시예에 있어서, 이 도전층(32D)의 역할은 화소부 TFT와 동일 재료로 구성되는 드라이버부 TFT(11)의 능동층(140)의 적어도 채널 하층에 설치함으로써, 비정질 실리콘을 다결정화하여 능동층(140)을 형성하는 다결정화 공정 시에, 화소부 TFT의 능동층(14)의 다결정화 조건과 드라이버부 TFT의 능동층(140)의 다결정화 조건을 같게 하는 것이다. 그리고, 이 도전층(32D)에 의해, 화소부의 다결정 TFT와 드라이버부의 다결정 TFT에서 다결정 능동층의 입경을 균일하게 하여, TFT 특성을 균일하게 하여 제어를 용이하게 하고 있다.

또한, 제1 예에 있어서, 도전층(32D)은 이 도전층(32D)이 중첩되는 능동층(140)의 TFT의 게이트 전압과 동일 전압이 인가된다. 도 8의 경우, 예를 들면 동일한 게이트 라인(122)에 n-ch형 및 p-ch형 TFT의 게이트 전극(121, 123)이 접속되고, 또한 이 둘의 TFT의 하층에 형성된 도전층(32D)이 동일한 게이트 라인(122)에 콘택트홀(33)을 통해 접속되어 있다. 즉, n-ch형, p-ch형의 모든 TFT가 자신의 게이트 신호가 도전층(32D)에 입력되고, 각 TFT는 능동층(140)을 사이에 두고 상호 게이트를 구비한 구성과 같아서, 이중 게이트형 TFT가 구성된다. n-ch형 TFT와 p-ch형 TFT에서는 동작 임계치 전압이 상호 역극성이기 때문에, 화소부와 같이 모든 도전층(32D)에 임의의 공통 전압을 인가하면, 드라이버부에서는 n형이나 p형 중 하나의 TFT의 동작이 불안정하게 될 가능성이 있다. 그러나, 본 예에서는 도전층(32D)의 전압을 대응하는 TFT의 게이트 전압으로 함으로써 특별한 구성을 설치하지 않고, 도전층(32D)이 TFT 동작에 악영향을 미치게 하는 것을 방지할 수 있다. 오히려 이중 게이트형 TFT가 구성되므로, 동작 속도의 향상 등 동작 특성을 향상시킬 수 있다.

다음으로, 드라이버부 TFT에 있어서의 도전층(32D)의 제2 예에 대하여 도 10 및 도 11을 참조하여 설명한다. 도 10은 드라이버부의 일부 평면 구조를 나타내고, 도 12는 도 10의 D-D선을 따른 위치에서의 단면 구조를 나타내고 있다. 제2 예

에 있어서도 상기 제1 예와 마찬가지로, 드라이버부에서 n-ch형 TFT 및 p-ch형 TFT가 이용되고 있다. 또한, 모든 능동층(140(140n, 140p))이, 제1 예와 마찬가지로, 화소부 TFT의 능동층(14)과 동일 재료층(폴리실리콘층)으로 구성되고, 또한 각 능동층(140)의 하방에는 절연막(12)을 사이에 두고 적어도 각 채널 영역(140nc, 140pc)과 중첩되는 위치에 화소부의 보조 용량 제2 전극(32)과 동일 재료로 이루어지는 도전층(32D)이 형성되어 있다.

제1 예와 서로 다른 점은 n-ch형 TFT와 p-ch형 TFT로 능동층(140)의 하층의 도전층(32D)으로의 인가 전압을 별도로 제어하고 있는 것이다. 즉, 도 10에 도시한 예에서는 n-ch형 TFT의 능동층(140n)의 하층에 형성된 도전층(32D)(32vss)은 컨택트(33vss)를 통해 저전압 전원 라인(150)에 접속하고, 저전압 Vss가 인가되어 있다. 반대로, p-ch형 TFT의 능동층(140p)의 하층에 형성된 도전층(32D)은 컨택트(33hvdd)를 통해 고전압 전원 라인(160)에 접속하고, 고전압 HVdd가 인가되어 있다. 따라서, n-ch형 TFT에서는 도전층(32D)에 의해 백 채널의 발생으로 상기 n-ch형 TFT가 온 상태가 되는 것이 방지되고, p-ch형 TFT에서도 도전층(32hvdd)에 의해 백 채널의 발생에 의해 p-ch형 TFT가 온 상태가 되는 것이 방지된다.

또, 도 10 및 도 11에서, 부호(126 및 128)는 각 TFT의 게이트 전극을 나타내고 있으며, 부호(152)는 CMOS 구조를 취하는 n-ch형 TFT와 p-ch형 TFT의 출력 라인이다.

이상, 도 10 및 도 11에 도시한 제2 예에 있어서도, 화소부 TFT의 보조 용량 Csc 제2 전극과 동일한 도전층(32D)을 드라이버부 TFT의 능동층(140)의 하층에 설치하고 있으며, 이에 따라 비정질 실리콘을 다결정화하여 능동층(140)을 형성하는 다결정화 공정 시에, 화소부 TFT의 능동층(14)의 다결정화 조건과 드라이버부 TFT의 능동층(140)의 다결정화 조건을 같게 하고 있다. 또한, n-ch형 TFT의 하층의 도전층(32D)은 저전압 Vss, p-ch형 TFT의 도전층(32D)은 고전압 HVdd를 인가함으로써, n-ch형, p-ch형의 어느 TFT도 게이트 전극(122 및 124)에 원하는 게이트 신호가 인가되지 않을 때에 동작하는 것이 방지되어 있다.

다음으로, 본 실시예에 따른 LCD의 제1 기관층의 각 요소의 제조 방법에 대하여 개략적으로 설명한다.

제1 기관(100)으로서 유리 기관, 석영 기관, 사파이어 기관 등의 투명 절연성 기관을 이용할 수 있다. 우선, 이 제1 기관(100) 상에 Cr 등의 고용점 금속층을 형성하고, 화소부에서는 도 4에 도시한 바와 같이 화소 전극 형성 예정 영역 부분을 개구하여 보조 용량 제2 전극(32)을 형성한다. 또한, 드라이버부에서는 도 7 또는 도 10에 도시한 바와 같이 후에 형성되는 TFT의 능동층과 중첩되는 위치에 도전층(32D)이 남도록 패터닝한다.

보조 용량 Csc의 제2 전극(32) 및 드라이버부의 도전층(32D)을 형성한 후, 이들 제2 전극(32) 및 도전층(32D)을 피복하는 기관 전면에 SiO₂, SiNx 등의 절연층(12)을 형성한다.

절연층(12) 상에는 비정질 실리콘층을 형성하고, 도 5에서는 제1 기관(100)의 상방에 상당하는 위치로부터 엑시머 레이저를 조사하여, 비정질 실리콘층을 어닐링하여 다결정화시킨다. 상술된 바와 같이, 엑시머 레이저 어닐링 시, 비정질 실리콘층 중 적어도 채널 형성 영역의 아래에는 화소부에서는 제2 전극(32), 드라이버부에서는 도전층(32D)이 똑같이 형성된다. 따라서, 각 채널 형성 영역은 전부 같은 조건에서 레이저 어닐링되고, 이 영역에 입경이 균일한 폴리실리콘층이 형성된다. 다결정화 어닐링 종료 후, 얻어진 폴리실리콘층을 화소부 TFT 및 드라이버부 TFT의 능동층 형성 및 보조 용량의 제1 전극의 형상으로 패터닝한다. 또한, 폴리실리콘층을 덮어 SiO₂로 이루어지는 게이트 절연막(16)을 형성한다.

게이트 절연막(16) 형성 후, 예를 들면 Cr을 이용하여 금속층을 성막·패터닝하고, 드라이버부 TFT의 게이트 전극(121, 123)(또는 126, 128)을 형성한다. 또한, 동시에 화소부에서는 게이트 전극과 일체의 게이트 라인(20)을 형성할 수 있다. 단, 이 화소부 TFT의 게이트는 Al을 이용하여 다른 공정에서 형성해도 된다.

다음으로, 게이트층으로부터 게이트를 마스크로 하여 능동층(14, 140)에 불순물을 도핑한다. 여기서, 화소부 TFT에서는 게이트를 마스크로 하여, 능동층(14)에 불순물(예를 들면, 인)을 저농도로 도핑하고, 또한 게이트 라인(20)을 그 라인 폭보다 일정폭 넓은 마스크로 덮고, 능동층(14)에 고농도로 불순물(예를 들면 인)을 도핑한다. 이에 따라, 능동층(14)에 있어서, 게이트 라인(20)에 대응하는 영역에는 불순물이 도핑되지 않는 진성의 채널 영역(14c)이 형성되고, 채널 영역(14c)의 양측에는 불순물이 저농도로 도핑된 LD 영역(14d)이 형성되고, 이 LD 영역의 외측에는 불순물이 고농도로 주입된 드레인 영역(14d) 및 소스 영역(14s)이 형성된다.

드라이버부 TFT에 있어서, 상기 화소부 TFT와 동일 도전형, 예를 들면 n-ch형 TFT는 화소부 TFT의 능동층으로의 상기도핑 공정과 동시에 도핑을 행할 수 있다. 이 경우, p-ch형 TFT의 형성 영역은 도핑 마스크로 덮어 둔다. 그리고, n-ch형 TFT의 능동층으로의 도핑 종료 후, p-ch형 TFT 형성 영역을 피복하고 있는 도핑 마스크를 제거하고, 반대로 드라이버부 n-ch형 TFT 및 화소부 TFT 영역을 피복하여, 능동층(140p)에 붕소 등의 불순물을 도핑한다.

도핑 공정 종료 후, 어닐링 처리를 실시하여 도핑한 불순물을 활성화시킨다. 다음으로, 전면에 층간 절연막(17)을 형성하고, 화소부에서는 TFT(1)의 드레인 영역(14d)(또는 소스 영역(14s))에 대응한 영역(본 실시예에서는 드레인), 드라이버부에서는 각 TFT의 드레인 영역 및 소스 영역에 대응한 영역에 층간 절연막(17) 및 게이트 절연막(16)을 관통하는 컨택트홀을 형성한다. 또한, Al 등을 이용하여 화소부에서는 드레인 전극을 겸용하는 데이터 라인(22)을 형성하고, 이 데이터 라인(22)과 능동층(14)의 드레인 영역(14d)을 상기 컨택트홀을 통해 접속한다. 또한, 드라이버부에서는 동시에 Al 등을 이용하여 드레인 및 소스 전극과, TFT의 드레인 영역 및 소스 영역을 컨택트홀을 통해 접속한다.

필요한 배선을 형성한 후, 기관 전체에는 아크릴 수지 등을 이용한 평탄화 절연막(18)을 형성하고, TFT(1)의 소스 영역(14s)에 대응하는 위치에, 평탄화 절연막(18), 층간 절연막(17) 및 게이트 절연막(16)을 관통하는 컨택트홀을 형성한다. 또한, ITO 등의 투명 도전성 재료층을 형성하고, 이를 화소 전극 형상으로 패터닝하고, 상기 컨택트홀을 통해 소스 영역(14s)과 접속된 화소 전극(24)을 형성한다.

화소 전극(24)을 형성한 후, 필요에 따라 전면에 액정 배향을 제어하는 배향막(26)을 형성하여, 이상에 의해 제1 기관측에 필요한 요소가 형성된다.

LCD의 제2 기관(500) 측은 유리나 플라스틱 등의 투명 기관을 이용한 제2 기관(500) 상에, 컬러 표시 장치의 경우 R, G, B 등의 컬러 필터(54)가 형성된다. 이 컬러 필터(54) 상에는 제1 기관(100)의 각 화소 전극(24)과 함께 액정(200)에 전압을 인가하기 위한 ITO 등으로 이루어지는 대향 전극(공통 전극: 56)이 형성된다. 이 대향 전극(56) 상에는, 또한 제1 기관(100)측과 마찬가지로 배향막(58)이 형성된다. 또, 본 실시예에서는 제1 기관(100)에 블랙 매트릭스로서도 기능 가능한 보조 용량 Csc의 제2 전극(32)을 형성하고 있기 때문에, 제2 기관 측은 통상 형성되는 블랙 매트릭스를 형성하지 않아도 된다.

이상과 같이 하여 얻어지는 제1 기관(100)과 제2 기관(500)은, 그 외측 가장자리 부분에서 일정한 갭을 두고 접합하고, 기관 사이의 간극에 액정(200)을 봉입하여 LCD가 완성된다. 또, 제2 기관(500)의 외측(도 5에서는 상면측)에는 편광 필름, 위상차 필름 등이 배치되어 있다.

이상의 설명에 있어서는 액티브 매트릭스형 표시 장치로서 LCD를 예로 들었지만, 본 발명은 보조 용량을 각 화소에 필요한 다른 액티브 매트릭스형 표시 장치, 예를 들면, 표시 소자로서 EL 소자를 이용한 액티브 매트릭스형 전계 발광 표시 장치 등에도 채용 가능하고, 마찬가지로의 효과를 얻을 수 있다.

또한, 화소부에서 보조 용량 Csc의 제1 전극(30) 및 제2 전극(32)의 패턴은 제2 전극이 적어도 능동층(14)의 채널 영역과 중첩된다고 하는 조건을 만족하지만 하면, 도 4 및 5에 도시한 것에 한정되지 않는다.

이상 설명한 바와 같이, 본 실시예에서는 액티브 매트릭스형 표시 장치의 각 화소에 설치하는 보조 용량의 제1 전극은 틱 게이트형 TFT의 능동층에 겹쳐지고, 상기 보조 용량의 제2 전극은 절연막을 사이에 두고 TFT 능동층의 하층에 형성한다. 제2 전극을 틱 게이트 TFT의 능동층의 하층에 설치함으로써, 투과형 표시 장치에 있어서 통상 표시에 기여하지 않는 TFT 형성 영역에 대하여, 보조 용량을 거듭 형성할 수 있어, 화소의 개구율 향상에 기여할 수 있다.

또한, 제2 전극에 차광성 재료를 이용함으로써, TFT의 능동층을 제1 기관측으로부터의 입사광으로부터 확실하게 차폐할 수 있어, TFT에 있어서의 광 누설 전류의 발생을 방지할 수 있어, 표시 콘트라스트를 향상시킬 수 있다.

또한, 상기 실시예에 있어서는 드라이버부의 TFT는 화소부 TFT와 동일한 틱 게이트형으로, 드라이버부 TFT의 능동층은 화소부 TFT의 능동층과 동일 재료로 하고, 화소부 TFT와 마찬가지로 적어도 능동층의 일부의 하층(기관측)에 제2 전극과 동일 재료로 이루어지는 도전층을 형성하고 있기 때문에, 화소부 TFT와 드라이버부 TFT의 능동층을 형성할 때, 양자를 동일 조건으로 형성할 수 있다. 따라서, 특성이 균일한 TFT를 동일 기관 상에 형성할 수 있다.

<제2 실시예>

도 12는 제2 실시예에 따른 액티브 매트릭스형 LCD의 표시 화소에 있어서의 평면 구조를 나타내고 있다. 또한, 도 12의 A-A선을 따른 위치에서의 LCD의 개략 단면 구성은 상술한 바와 같은 도 5와 동일하며, 도 13은 도 12의 B-B선을 따른 위치에서의 제1 기관 상의 단면 구성을 나타내고 있다. 또, 이하에, 이미 설명한 도면과 대응하는 구성에는 동일한 부호를 붙여 설명을 생략한다.

보조 용량 Csc는 제1 전극(30)과 제2 전극(32)이 절연층(12)을 사이에 두고 중첩되는 영역에 형성되어 있는 점은 상술한 제1 실시예와 동일하지만, 제2 실시예에 있어서, 제1 전극(30)은 TFT(1)의 능동층(14)과 일체로 형성되어 있으며, 이 제1 전극(30)은 능동층(14)으로부터 화소의 옆을 지나 데이터 라인(22)을 따르도록 인출된 돌출부로 구성되어 있는 점이 다르다. 제2 전극(32)은 제1 기관(100) 상에 형성되어 있으며, 그 위에는 절연층(버퍼층: 12)이 형성되고, 또한 이 절연막(12) 상에 상기 제1 전극(30)이 형성되어 있다. 이상과 같이 하여 절연막(12)을 사이에 두고 대향하는 제1 및 제2 전극(30, 32)에 의해 보조 용량 Csc가 구성되고, 제1 전극(30)에는 TFT(1)를 통해 데이터 라인(22)으로부터 공급되는 표시 내용에 따른 전압이 인가되고, 제2 전극(32)에는 예를 들면 표시 영역 내에서 공통의 보조 용량 전압 Vsc가 인가된다.

제2 실시예에 있어서, 보조 용량 Csc의 제1 전극(30)은 데이터 라인(22)을 따르도록 능동층(14)이 연장하여 형성되어 있지만, 보다 엄밀하게는 도 12 및 도 13에 도시한 바와 같이, 데이터 라인(22)과 중첩되지 않도록 레이아웃되어 있다. 데이터 라인(22)과 제1 전극(30)은, 후술하는 바와 같이 게이트 절연막(16) 및 층간 절연막(17)에 의해 막 두께 방향으로 절연되어 있지만, 표시 내용에 따른 고전압이 인가되는 데이터 라인(22)과 제1 전극(30)이 절연층을 사이에 두고 중첩되면, 커플링이 발생하고, 보조 용량 Csc의 보유 전하가 데이터 라인(22)의 전압의 영향을 받는다. 그러나, 제2 실시예와 같이 데이터 라인(22)과 중첩되지 않도록 레이아웃함으로써, 상기 커플링의 발생을 방지하면서, 하층의 제2 전극(32) 사이에 보조 용량 Csc를 형성한다.

보조 용량 Csc의 제2 전극(32)은 종래의 보조 용량 제2 전극과 같이 게이트 라인과 동일층으로 할 필요가 없기 때문에, 사용 재료는 게이트 재료에 한정되지 않는다. 이 때문에, 도전성 재료이면 통상 차광성인 금속 재료에 한정되지 않고, ITO 등의 투명 도전 재료를 채용할 수도 있다.

그러나, 제2 실시예의 예에서는 투명 도전 재료가 아니고, 상술한 실시예와 마찬가지로, 차광성의 금속 재료를 이용하여 제2 전극(32)을 형성하고 있다. 또, 이 차광성의 제2 전극(32)은 제1 전극(30)의 하층 영역뿐만 아니라, 틱 게이트형 TFT(1)의 능동층(14)의 적어도 채널 영역(14c)의 하층 영역으로 연장하고, 채널 영역(14c)을 차광하고 있다. 도 12에 도시한 레이아웃에서는 TFT(1)의 능동층(14)은 데이터 라인(22)의 하층 부근으로부터 게이트 라인(20)의 아래를 빠져 나가고 있으며(도 12에서는 2회), 채널 영역(14c)은 이러한 능동층(14)의 게이트 라인(20)과의 교차 영역에 형성된다. 따라서, 제1 실시예와 같이 보조 용량 Csc의 제2 전극(32)을 적어도 채널 영역(14c)의 차광층으로서도 기능시키기 위해서는 제2 전극(32)은 게이트(게이트 라인)와 중첩되는 위치에 형성할 필요가 있다. 또, 제2 전극(32)은 위치 정렬 여유를 고려하여,

게이트 라인(20)의 하층에서, 적어도 이 게이트 라인 폭보다 다소 넓은 폭(예를 들면, 각각 2 μ m)으로 하는 것이 보다 바람직하다. 이와 같이 제2 실시예에서는 차광성이며, 또한 채널 영역과 중첩되도록 제2 전극(32)을 레이아웃함으로써, 제1 기관측으로부터의 입사광이 TFT(1)의 채널 영역(14c)에 도달하는 것을 방지하고 있다. 이 때문에, 제1 기관측으로부터의 외광에 의한 광 누설 전류의 발생을 억제하여, 표시 콘트라스트의 향상을 더욱 도모할 수 있다.

능동층의 차광을 겸용하는 것이면, 제2 전극(32)은 제1 전극(30)의 하층 외에 능동층의 하층 영역으로 확장되어 있으면 된다. 그러나, 제2 실시예에 있어서, 제2 전극(32)은, 상술한 실시예와 마찬가지로, 표시 영역 내에서 화소 전극 대응 영역만큼 개구하고(도 12 참조), 다른 영역을 덮는 패턴으로 하고 있다. 제2 전극(32)에 차광성 재료를 이용하고, 도 1과 같은 매트릭스 패턴으로 하면, 이 제2 전극(32)과, 능동층(14)과 일체의 제1 전극(30)과의 중첩 면적을 증가시킬 수 있으며, 또한 능동층(14)에 대한 차광을 보다 확실하게 할 수 있다. 또한, 이러한 패턴이면, 이 제2 전극(32)을 패널의 블랙 매트릭스로서도 이용할 수 있다. 따라서, 제2 실시예에 있어서도, 제1 기관의 외측(상기 도 5의 하측)을 표시 장치의 관찰면으로 하거나, 프로젝터의 라이트벨브의 용도 등에 있어서, 광원측에 제1 기관을 배치할 수 있어, 그 경우에 능동층(14)에의 광 조사 등을 방지하여 콘트라스트를 더욱 향상시킬 수 있다.

또, TFT(1)의 능동층(14)으로서는 제1 실시예와 마찬가지로 p-Si층이 채용 가능하다. 제1 실시예에서는 보조 용량 Csc의 제2 전극(32)을 이 p-Si층의 하층에 형성하고 있기 때문에, 다결정의 입경을 균일하게 하여, 특성 변동이 적은 TFT를 형성할 수 있다.

제2 실시예에 따른 LCD의 제1 기관측의 각 요소는 능동층 및 이와 일체의 제1 전극(30), 데이터 라인(22)의 레이아웃 등의 패턴이 도 12와 같이 제1 실시예인 경우와 다소 다른 점을 제외하고, 상술한 실시예를 마찬가지로의 제조 방법에 의해 얻을 수 있다.

또, 본 실시예에서는 드레인 소스 영역(14d, 14s)의 형성과 동시에 소스 영역(14s)으로부터 데이터 라인(22)을 향하여 인출된 영역에도 동일하게 불순물이 고농도로 주입된 제1 전극(30)이 얻어진다.

또, 제1 기관(100)의 표시 영역의 외측(기관의 외면 부분)에는 상기 화소부의 TFT(1)와 거의 동일 공정을 거쳐, 다결정 실리콘층을 능동층으로 하는 TFT를 형성하고, 이를 이용한 내장 구동 회로(게이트 드라이버, 데이터 드라이버)가 형성되어 있어도 된다.

<제3 실시예>

도 14는 제3 실시예에 따른 액티브 매트릭스형 액정 표시 장치의 각 표시 화소에 있어서의 개략 평면 구성을 나타내고 있다. 단, 화소 전극(24)에 대해서는 도면을 보기 쉽게 하기 위해서 기재를 생략하고 있다. 또한, 도 15는 도 14의 C-C선을 따른 위치에서의 제1 기관 상의 단면 구성을 나타내고 있다. 상술한 제1, 제2 실시예와 공통되는 부분에는 공통의 부호를 붙이고 있다.

상기 제2 실시예에서는 커플링의 방지를 위해서, TFT 능동층과 일체인 보조 용량 제1 전극(30)은 데이터 라인(22)과 중첩되지 않도록 레이아웃하고 있다. 이에 대하여, 제3 실시예에서는 보조 용량의 제1 전극(30)을 데이터 라인의 형성 영역에 중첩하고, 또한 커플링을 방지하기 위해서, 제1 전극(30)과 데이터 라인의 중첩 영역에서 층간에 도전성 실드층을 형성하고 있다. 이 도전성 실드층은 소정의 전압이 인가되는 층이면 된다. 제2 실시예에서는 도 14에 도시한 바와 같이, 다음의 행의 TFT를 선택하기 위한 게이트 라인(20)이 도전성 실드층(20e)을 겸용하고 있다. 구체적으로는, 각 게이트 라인(20)으로부터, 이와 교차하는 데이터 라인(22)의 위치에서 상기 데이터 라인(22)을 따라 전단 방향으로 돌출부를 형성하고, 이 돌출부가 도전성 실드층(20e)을 구성하고 있다.

제3 실시예에 있어서 TFT는 제1 실시예와 마찬가지로 톱 게이트형이고, 보조 용량 Csc의 제1 전극(30)은 p-Si 능동층(14)과 일체이다. 따라서, 보조 용량 Csc의 형성 영역에서의 단면 구성은 도 15에 도시된 바와 같다. 즉, 제1 기관(100) 상에 제1 실시예와 마찬가지로 제2 전극(32)이 형성되고, 이를 피복하여 절연막(12)이 형성되고, 이 절연막(12) 상에 능동층(14)으로부터 데이터 라인 형성 영역으로 연장된 제1 전극(30)이 형성된다. 제1 전극(30)은 게이트 절연막(16)으로 덮이고, 게이트 절연막(16) 상에는 다음 단의 게이트 라인(20)으로부터 연장된 실드층(20e)이 배치되고, 이 실드층(20e) 상에 층간 절연막(17)이 형성되고, 또한 그 상층에 데이터 라인(22)이 형성되어 있다.

이상과 같이, 제3 실시예에서는 데이터 라인(22)과 보조 용량 Csc의 제1 전극(30)과의 사이에 실드층(20e)을 설치하고 있어서, 데이터 라인과 제1 전극(30)과의 커플링이 방지된다. 또한, 보조 용량 Csc의 제1 및 제2 전극(30, 32)의 중첩 영역 뿐만 아니라, 보조 용량 Csc의 제1 전극(30)과 상기 실드층(20e) 사이에도 보조 용량을 형성하고, 개구율을 저하시키지 않고 큰 용량을 형성할 수 있다.

여기서, 보조 용량 Csc의 제2 전극(32)으로서는 제1, 제2 실시예와 마찬가지로 Cr 등의 고용점의 차광 재료를 이용할 수 있고, 이 제2 전극(32)은 또한, TFT의 능동층(14) 중 적어도 채널 영역과 중첩되고, TFT를 제1 기관측으로부터의 광으로부터 차폐하고 있는 것이 바람직하다. 특히, 도 14에 도시한 바와 같이, 제2 화소 전극(32)을 화소 개구 영역을 제외한 영역을 덮는 패턴으로 하면, 제1 전극(30)과의 중첩 면적이 증대하여 보조 용량 Csc가 커지고, 또한 TFT의 차광 효과도 증대하여, 표시 품질의 향상에 기여할 수 있다.

이상 설명한 바와 같이, 제2, 제3 실시예에 따르면, 액티브 매트릭스형 표시 장치의 각 화소에 설치하는 보조 용량의 제1 전극은 데이터 라인을 따라 상기 데이터 라인과 중첩되지 않고 톱 게이트형의 TFT의 능동층으로부터 연장한다. 그리고, 보조 용량의 제2 전극은 절연막을 사이에 두고 TFT 능동층의 하층에 형성한다. 이러한 구성에 의해, 개구율의 향상과, 보조 용량치의 향상의 모두를 실현하는 것이 용이해진다.

또한, 제1 전극을 데이터 라인 형성 영역으로 연장시켜 여기서 하층의 제2 전극과의 사이에서 보조 용량을 형성함과 함께, 데이터 라인과 상기 제1 전극 사이에 다음 단의 게이트 라인 등으로부터 연장시킨 도전성 실드를 설치함으로써, 데이터 라인과 보조 용량 제1 전극 간의 커플링을 방지하고, 또한 효율적으로 큰 보조 용량을 각 화소에 설치할 수 있다. 이 때문에, 고 콘트라스트이며, 또한 표시 품질이 높은 표시 장치를 실현할 수 있다.

또한, 제2 전극에는 차광성 재료를 이용하여, 제1 전극과 중첩되도록 배치할 뿐만 아니라 적어도 TFT의 능동층 영역을 덮도록 형성함으로써, TFT를 제1 기관측으로부터의 입사광으로부터 확실하게 차폐할 수 있어, 광 누설 전류의 발생을 방지할 수 있다.

<제4 실시예>

도 16은 제4 실시예에 따른 액티브 매트릭스형 LCD의 표시부에서의 평면 구조를 나타내고 있다(단지 보기 쉽게 하기 위해서 화소 전극은 기재를 생략하였음). 또한, 도 17은 도 16의 A-A선을 따른 위치에서의 LCD의 개략 단면 구성을 나타내고 있다.

상술한 실시예와 상이한 점은, 제4 실시예에서는 제1 전극(30)과 함께 보조 용량 Csc를 구성하는 제2 전극(32)이 각 TFT(1) 형성 영역, 구체적으로는 적어도 능동층(14)의 채널 영역(14c)이 개구되어 있는 것이다. 즉, 이 제2 전극은 채널 영역 주변과, 화소 표시 영역이 개구하고, 데이터 라인(22) 및 게이트 라인(20)을 따른 영역을 차광하고, 또한 보조 용량 Csc의 제1 전극(30)과 중첩되어 보조 용량 Csc를 구성한다. 또, 제2 전극(32)은 위치 정렬 여유를 고려하여 데이터 라인 및 게이트 라인을 따른 위치에서는 이들로부터 소정 폭만큼 넓은 영역을 차광하고 있다. 또한, 이 제2 전극(32)은 종래의 보조 용량 제2 전극과 같이 게이트 라인과 동일층으로 할 필요가 없어서, 사용 재료는 게이트 재료에 한정되지 않지만, 상기 블랙 매트릭스로서 기능시키기 위해서 차광성 도전 재료로서, 제2 전극(32) 형성 후의 프로세스에 견디도록 Cr, Mo 등의 고용점 금속 재료를 이용하는 것이 바람직하다. 또한, 본 실시예에서 상기 보조 용량 Csc의 제2 전극(32)은 화소간의 비표시 영역을 차광하고, 화소 표시 영역이 개구된 블랙 매트릭스를 겸용할 수 있다.

이와 같이, 능동층(14)보다 하층에 설치되고, 블랙 매트릭스를 겸용하는 보조 용량 Csc의 제2 전극(32)이, 적어도 채널 영역(14c)에서 개구함으로써, TFT(1)에 특성 변동이 발생하는 것을 방지하고 있다. 상술한 바와 같이, TFT(1)의 능동층(14)에는 레이저 어닐링 등에 의한 다결정화된 폴리실리콘(p-Si)층을 채용할 수 있고, 레이저 어닐링에 의해 비정질 실리콘을 다결정화하는 경우, 비정질 실리콘막의 하층에서 열전도율에 차가 있으면 어닐링 조건이 변한다. 어닐링 조건의 변동은 능동층(14) 내에서의 입경 변동이 되고, 특히, 채널 영역 내에서의 입경의 변동은 TFT 특성에 큰 영향을 준다. 이 제2 전극(32)은 제1 기관을 구성하는 저용점 유리 등 보다 열전도성이 높다. 따라서, 레이저 어닐링에 의해 p-Si 능동층(14)을 형성하는 경우, 능동층(14)의 하층에, 열전도성이 높은 제2 전극(32)이 존재하거나, 존재하지 않거나 하면 어닐링 조건이 변하기 때문에, 바람직하지 않다. 제4 실시예에서는 능동층(14)의 이 채널 영역에서, 그 바로 아래 영역에는 제2 전극(32)을 형성하지 않기 때문에, 기관 상의 각 TFT에 있어서, 제2 전극(32)을 설치함에 따른 어닐링 조건의 변화가 없다.

또한, 폴리실리콘층을 TFT 능동층에 이용한 액티브 매트릭스형 LCD에서는 상술한 도 7에 도시한 바와 같이, 화소부의 주변에 마찬가지로 폴리실리콘층을 능동층에 이용한 드라이버부 TFT를 내장할 수 있다. 드라이버부의 폴리실리콘 TFT는 화소부와 달리 보조 용량 Csc를 필요로 하지 않고, 제2 전극(32)과 같은 도전층은 이 드라이버부의 탑 게이트 TFT의 능동층 하층에는 형성하지 않는다. 따라서, 보조 용량 Csc를 사용하지 않는 드라이버 TFT를 보조 용량 Csc를 갖는 화소부 TFT와 동일 기관 상에 내장하는 경우에 있고, 제4 실시예에서는 제2 전극(32)의 화소부 TFT의 채널 영역이 개구하고 있기 때문에, 이 내장 드라이버 TFT와, 화소부 TFT로 채널 영역 하층에서의 열전도율, 즉 어닐링 조건을 같게 할 수 있다. 물론 화소부에 복수 형성되는 각 TFT에 대해서도 상호 어닐링 조건을 일치시킬 수 있다. 따라서, 특성이 같은 TFT를 형성할 수 있다.

또한, 본 발명에 따른 제4 실시예에 있어서, 보조 용량 Csc의 제2 전극(32)은 반드시 블랙 매트릭스를 겸용하는 것에 한정되는 것은 아니다. 그리고, 예를 들면 별도의 블랙 매트릭스가 설치되어 있어도 되고, 패널에 블랙 매트릭스가 설치되지 않은 경우라도 된다. 이러한 경우에 있어서, 제2 전극(32)은 제1 전극(30)으로 보조 용량 Csc를 구성하는 전극이고, 각 화소 표시 영역과 채널 영역 주변만이 개구하여, 화소부의 다른 전역으로 확장된 패턴을 갖는 도전층이다. 이러한 패턴으로, 제1 전극(30)을 구성하는 TFT 능동층(14)의 형성 영역과 채널 영역을 제외하고 중첩되어, 면적을 매우 효율적으로 보조 용량 Csc를 구성할 수 있다. 또한, 이 제2 전극(32)은 채널 영역(14c)에서 개구하고 있기 때문에, 상기한 바와 같이 드라이버 내장형의 액티브 매트릭스형 표시 장치에 있어서, 하층에 용량 전극을 필요로 하지 않는 드라이버부 TFT의 능동층의 채널 영역과, 화소부 TFT의 능동층의 채널 영역을 같은 어닐링 조건으로 다결정화 어닐링할 수 있다.

또한, 제4 실시예에서는 차광성의 데이터 라인(22)은 제2 전극(32)이 개구한 TFT의 능동 영역에서 돌출하는 영역(연장부)(22a)을 갖는다. 이 때문에, TFT 능동층(14)은 도 17에서는 상방으로부터 입사되는 광에 대하여, 채널 영역(14c)의 상방에 위치하는 차광성의 게이트 전극(20)과, 상기 데이터 라인(22)의 연장부(22a)에 의해 확실하게 차광된다. 따라서, 외광이 조사됨으로써 TFT에서의 광 누설 전류 발생이 억제된다. 여기서, TFT 채널 영역(14c)은 상층의 게이트 전극(20)에 의해, 상방으로부터의 광에 대하여 차폐되기 때문에, 게이트측으로부터의 광에 의한 누설 방지의 관점에서는 데이터 라인(22)에 반드시 연장부(22a)를 형성할 필요는 없다. 그러나, 도 16에 도시한 바와 같이, TFT 형성 영역에서, 블랙 매트릭스인 제2 전극(32)의 개구 부분을 데이터 라인(22)이 완전하게 피복함으로써, 이 부분의 차광이 확실하게 된다. 즉, 예를 들면, 제1 기관측의 광원으로부터의 입사광이나, 제2 기관측으로부터의 입사광이 제2 전극으로 반사되는 등에 의해, 제2 전극(32)측으로부터 그 채널 영역 개구부에 입사된 광이 액정(200)측으로 방출되는 것을 방지하고 있다. 이 때문에, 콘트라스트의 향상을 도모할 수 있다. 또한, 물론 데이터 라인(22) 이외의 층을 이용하여 TFT의 채널 영역을 차광해도 된다. 단, 데이터 라인(22)을 차광층으로서 이용하면, 별도로 차광층을 형성할 필요가 없어 적합하다.

또, 본 실시예에 따른 LCD의 제1 기관측의 각 요소의 제조 방법에 대해서는 상술한 실시예와 마찬가지로이다.

또, 상기 각 실시예에 있어서는, 액티브 매트릭스형 표시 장치로서 LCD를 예로 들었지만, 본 발명은 보조 용량이 각 화소에 필요한 다른 액티브 매트릭스형 표시 장치, 예를 들면, 표시 소자로서 EL 소자를 갖는 액티브 매트릭스형의 전계 발광 표시 장치 등에도 채용 가능하고, 마찬가지로의 효과를 얻을 수 있다.

이상 설명한 바와 같이, 제4 실시예에서는 액티브 매트릭스형 표시 장치의 각 화소에 톱 게이트형 TFT, 보조 용량 및 액정 등의 표시 소자를 설치하고, 보조 용량의 제2 전극은 TFT의 능동층 아래에서 블랙 매트릭스로서 기능할 수 있다. 또한, 제2 전극은 능동층의 채널 영역에서는 개구한다. 이 때문에, 개구율을 저하시키지 않고 화소에 보조 용량을 형성할 수 있고, 또한 제2 전극을 능동층의 하층에 형성해도 각 TFT 채널 영역의 형성 조건에 영향을 주지 않는다. 따라서, 각 TFT의 능동층을 변동없이 형성할 수 있고, 또한, 드라이버 내장형 액티브 매트릭스형 표시 장치를 구성하는 경우에, 드라이버부 TFT의 능동층과 화소부 TFT의 능동층을 동일 조건으로 형성할 수 있다.

발명의 효과

이상 본 발명에 따르면, 화소부에서는 개구율 저하를 방지하면서 보조 용량을 형성할 수 있다. 또한, 화소부 TFT와 드라이버부 TFT에서 능동층의 다결정화 어닐링 시의 조건이 같아, 특성이 균일한 TFT를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

각 화소에, 박막 트랜지스터와, 보조 용량을 구비하는 액티브 매트릭스형 표시 장치에 있어서,

기관 상에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되며,

상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층과 전기적으로 접속되고,

상기 보조 용량의 제2 전극은 상기 박막 트랜지스터의 능동층과 적어도 일부가 중첩되도록, 상기 능동층과 상기 기관 사이에 절연층을 사이에 두고 형성되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 2.

제1항에 있어서,

상기 보조 용량의 제2 전극은 차광 기능을 갖는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 3.

제1항에 있어서,

상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 형성되고, 블랙 매트릭스를 겸용하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 4.

제1항에 있어서,

상기 박막 트랜지스터의 능동층에는, 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 5.

각 화소에, 박막 트랜지스터와, 액정 용량과, 보조 용량을 구비하고, 제1 및 제2 기관의 간극에 봉입된 액정을 구동시켜서 표시를 행하는 액티브 매트릭스형 표시 장치에 있어서,

상기 제1 기관의 액정 대향면측에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되며,

상기 보조 용량은 상기 박막 트랜지스터의 능동층을 겸용하는 제1 전극과, 상기 박막 트랜지스터의 능동층과 상기 제1 기판 사이에 절연막을 사이에 두고 배치된 제2 전극과의 대향 영역에 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 6.

제5항에 있어서,

상기 보조 용량의 제2 전극은 차광 기능을 갖는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 7.

제5항에 있어서,

상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 형성되고, 블랙 매트릭스를 겸용하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 8.

제5항에 있어서,

상기 박막 트랜지스터의 능동층에는, 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 9.

액티브 매트릭스형 표시 장치에 있어서,

매트릭스 형상으로 배치되는 화소의 각각은 게이트 라인과 데이터 라인과의 교차 부근에 형성되고, 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고,

기판 상에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되며,

상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층을 상기 데이터 라인을 따라 연장시켜 형성되고,

상기 보조 용량의 제2 전극은 상기 제1 전극과 상기 기판 사이에 상기 제1 전극과 절연층을 사이에 두고 중첩되도록 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 10.

제9항에 있어서,

상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 차광성 재료에 의해 형성되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 11.

제9항에 있어서,

상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 형성되고, 블랙 매트릭스를 겸용하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 12.

제9항에 있어서,

상기 박막 트랜지스터의 능동층에는, 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 13.

액티브 매트릭스형 표시 장치에 있어서,

매트릭스 형상으로 배치되는 화소의 각각은 게이트 라인과 데이터 라인과의 교차 부근에 형성되고, 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고,

기관 상에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되며,

상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층을 상기 데이터 라인의 하층 영역으로 연장시켜 형성되고,

상기 보조 용량의 제2 전극은 상기 제1 전극과 절연층을 사이에 두고 중첩되도록 상기 제1 전극과 상기 기관 사이에 형성되고,

상기 데이터 라인과 상기 보조 용량의 제1 전극이 중첩되는 영역에는 상기 데이터 라인과 상기 제1 전극과의 층간에 절연층을 사이에 두고 도전성 실드층이 형성되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 14.

제13항에 있어서,

상기 도전성 실드층은 다른 행의 화소의 박막 트랜지스터에 선택 신호를 공급하는 게이트 라인을 겸용하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 15.

제13항에 있어서,

상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 차광성 재료에 의해 형성되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 16.

제13항에 있어서,

상기 보조 용량의 제2 전극은 화소 개구 영역을 제외한 영역에 형성되고, 블랙 매트릭스를 겸용하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 17.

제13항에 있어서,

상기 박막 트랜지스터의 능동층에는, 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 18.

액티브 매트릭스형 표시 장치에 있어서,

매트릭스 형상으로 배치되는 화소의 각각은 게이트 라인과 데이터 라인과의 교차 부근에 형성되고, 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고,

기관 상에는 화소마다 톱 게이트형으로서 상기 박막 트랜지스터가 형성되며,

상기 보조 용량의 제1 전극은 상기 박막 트랜지스터의 능동층을 구성하는 반도체층으로 형성되고,

상기 보조 용량의 제2 전극은 상기 제1 전극과 절연층을 사이에 두고 중첩되도록 상기 제1 전극과 상기 기관 사이에 형성되고,

상기 제2 전극은 각 화소 사이를 차광하는 블랙 매트릭스 기능을 갖고, 또한 각 화소의 상기 박막 트랜지스터 중 적어도 채널 영역이 개구하고 있는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 19.

제18항에 있어서,

상기 블랙 매트릭스를 겸용하는 상기 제2 전극의 채널 영역 부근에서는 상기 능동층의 상기 제2 전극과의 비대향면측의 상방에, 이 영역을 차광하는 차광층이 형성되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 20.

제19항에 있어서,

상기 차광층은 상기 데이터 라인을 겸용하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 21.

제18항에 있어서,

상기 박막 트랜지스터의 능동층에는, 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 22.

드라이버 내장형 액티브 매트릭스형 표시 장치에 있어서,

동일 기관 상에, 화소부와 드라이버부를 구비하고,

상기 화소부는 복수의 화소가 배치되고, 각 화소는 화소부 박막 트랜지스터와, 표시 소자와, 보조 용량을 구비하고,

상기 화소부 박막 트랜지스터는 화소마다 상기 기관 상에 톱 게이트형 트랜지스터로서 형성되며,

상기 보조 용량의 제1 전극은 상기 화소부 박막 트랜지스터의 능동층과 전기적으로 접속되고,

상기 보조 용량의 제2 전극은 상기 화소부 박막 트랜지스터의 능동층과 적어도 일부가 중첩되도록 그 능동층과 상기 기관 사이에 절연층을 사이에 두고 형성되고,

상기 드라이버부는 상기 화소부의 각 화소를 구동시키기 위한 신호를 출력하는 복수의 드라이버부 박막 트랜지스터를 구비하고,

상기 드라이버부 박막 트랜지스터는 상기 기관 상에 톱 게이트형 트랜지스터로서 형성되고,

상기 드라이버부 박막 트랜지스터의 능동층은 상기 화소부 박막 트랜지스터의 능동층과 동일 재료층으로 구성되고,

상기 드라이버부 박막 트랜지스터의 능동층과 상기 기관 사이에는, 상기 절연층을 사이에 두고 상기 제2 전극과 동일 재료로 이루어지는 도전층이 설치되는 것을 특징으로 하는 드라이버 내장형 액티브 매트릭스 표시 장치.

청구항 23.

제22항에 있어서,

상기 화소부 및 드라이버부 박막 트랜지스터의 능동층에는 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 드라이버 내장형 액티브 매트릭스 표시 장치.

청구항 24.

제22항에 있어서,

상기 복수의 드라이버부 박막 트랜지스터는 도전형이 다른 n형 채널 트랜지스터와 p형 채널 트랜지스터를 구비하고, n형 채널 트랜지스터의 능동층과 상기 기판 사이에 형성된 상기 도전층과, p형 채널 트랜지스터의 능동층의 상기 기판과의 사이에 형성된 상기 도전층의 전위를 제어하는 것을 특징으로 하는 드라이버 내장형 액티브 매트릭스 표시 장치.

청구항 25.

제1 및 제2 기판의 간극에 봉입된 액정을 구동시켜서 표시를 행하는 드라이버 내장형 액티브 매트릭스 표시 장치에 있어서,

동일 기판 상에, 화소부와 드라이버부를 구비하고,

상기 화소부는 복수의 화소가 배치되고, 각 화소는 화소부 박막 트랜지스터와, 액정 용량과, 보조 용량을 구비하고,

상기 제1 기판의 액정 대향면측에, 상기 화소부 박막 트랜지스터가 화소마다 톱 게이트형 트랜지스터로 형성되며,

상기 보조 용량은 상기 화소부 박막 트랜지스터의 능동층을 겸용하는 제1 전극과, 상기 제1 전극 사이에 절연층을 사이에 두고 배치되고, 또한 상기 화소부 박막 트랜지스터의 능동층과 상기 기판 사이에 배치된 제2 전극과의 대향 영역에 형성되고,

상기 드라이버부는 상기 화소부의 각 화소를 구동시키기 위한 신호를 출력하는 복수의 드라이버부 박막 트랜지스터를 구비하고,

상기 드라이버부 박막 트랜지스터는 상기 기판 상에 톱 게이트형 트랜지스터로서 형성되고, 또한 상기 드라이버부 박막 트랜지스터의 능동층은 상기 화소부 박막 트랜지스터의 능동층과 동일 재료층으로 구성되고, 또한 상기 드라이버부 박막 트랜지스터의 능동층과 상기 기판 사이에는, 상기 절연층과, 상기 제2 전극과 동일 재료로 이루어지는 도전층을 설치하되, 상기 능동층과 상기 도전층 사이에 상기 절연층이 배치되도록 하는 것을 특징으로 하는 드라이버 내장형 액티브 매트릭스 표시 장치.

청구항 26.

제25항에 있어서,

상기 화소부 및 드라이버부 박막 트랜지스터의 능동층에는 성막한 비정질 실리콘층에 레이저를 조사함으로써, 다결정화한 폴리실리콘층이 이용되는 것을 특징으로 하는 드라이버 내장형 액티브 매트릭스 표시 장치.

청구항 27.

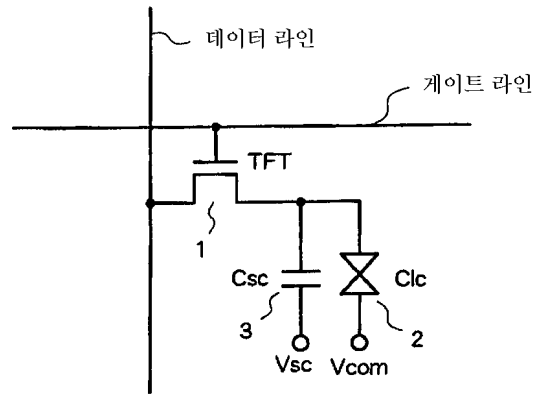
제25항에 있어서,

상기 복수의 드라이버부 박막 트랜지스터는 도전형이 다른 n형 채널 트랜지스터와 p형 채널 트랜지스터를 구비하고, n형 채널 트랜지스터의 능동층과 상기 기판 사이에 형성된 상기 도전층과, p형 채널 트랜지스터의 능동층의 상기 기판과의 사이에 형성된 상기 도전층의 전위를 제어하는 것을 특징으로 하는 드라이버 내장형 액티브 매트릭스 표시 장치.

도면

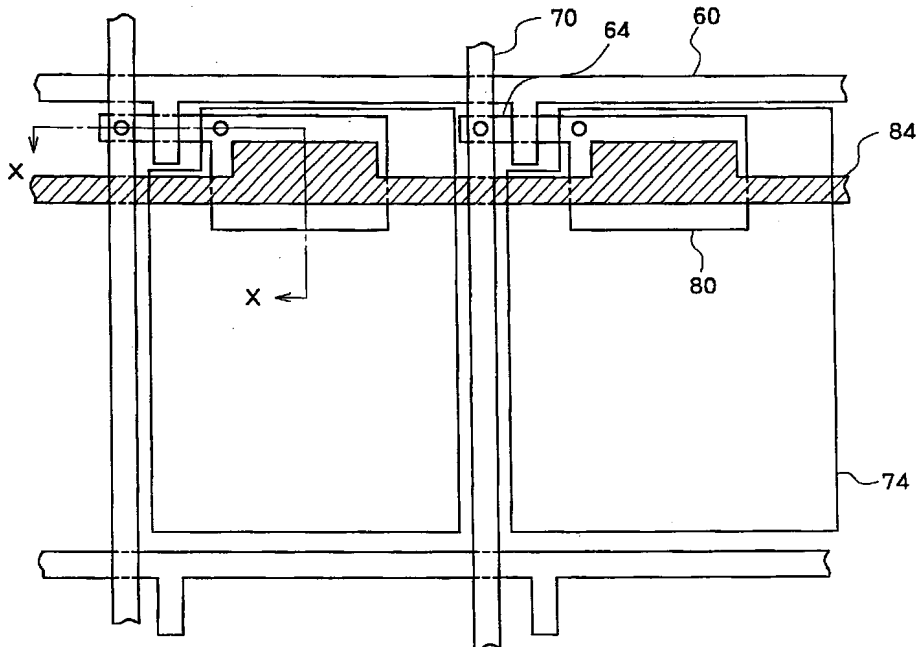
도면1

(종래 기술)

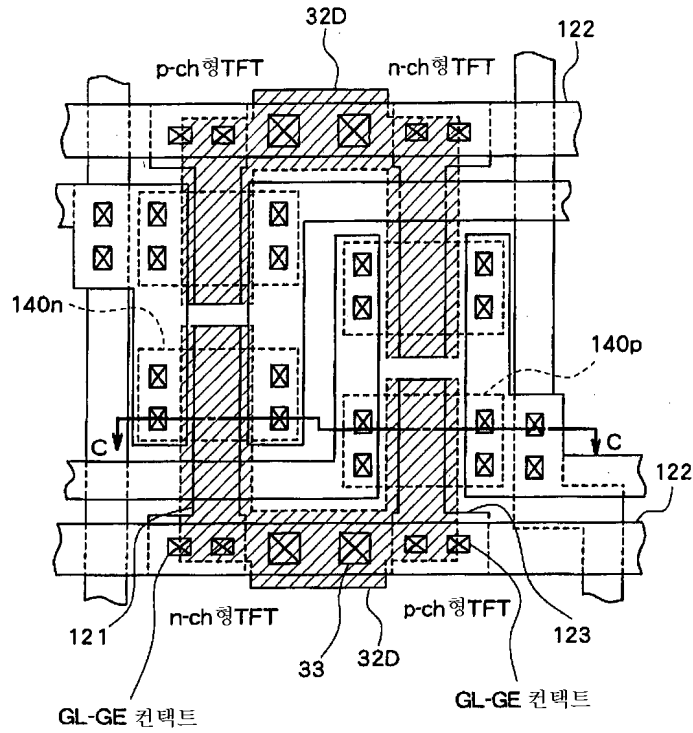


도면2

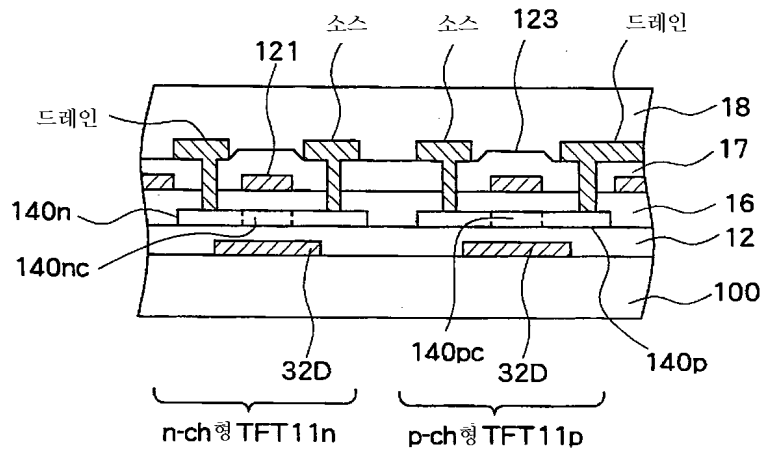
(종래 기술)



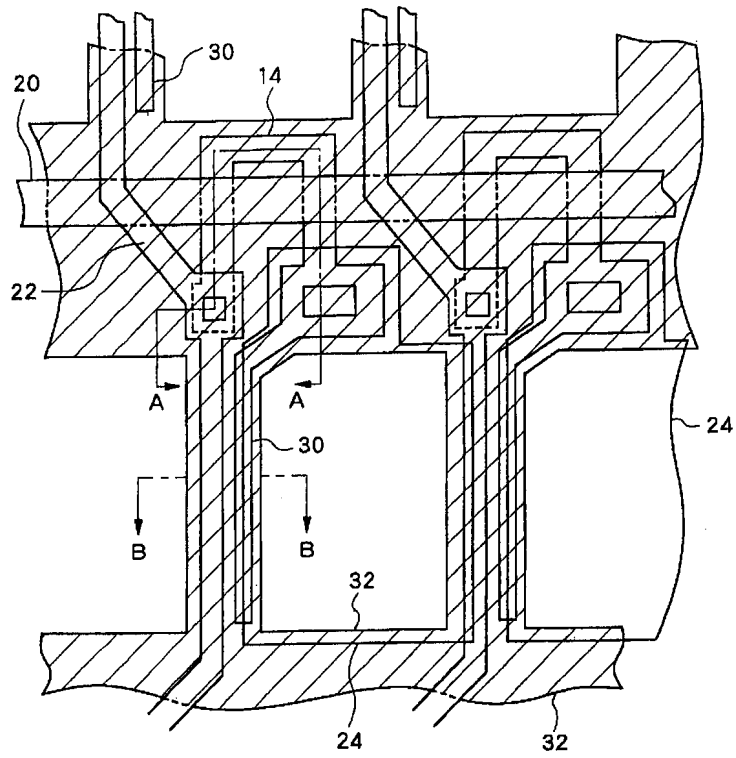
도면8



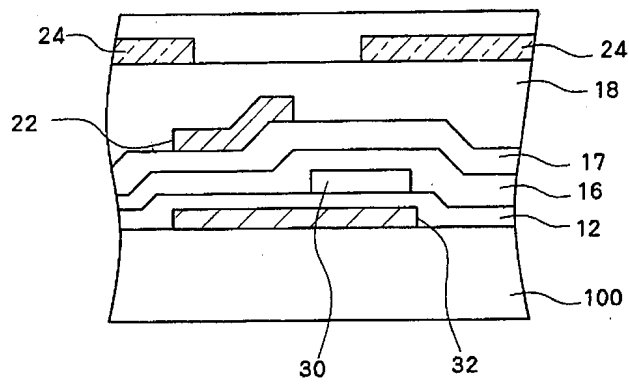
도면9



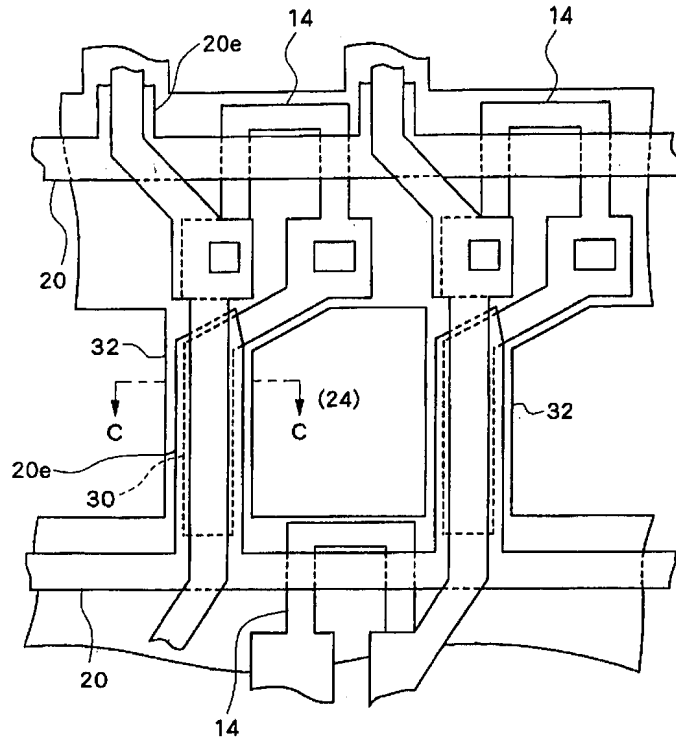
도면12



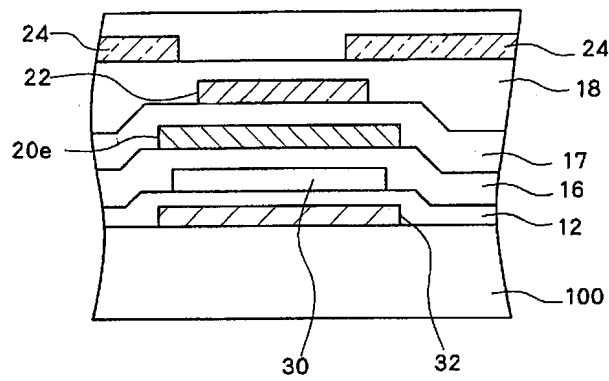
도면13



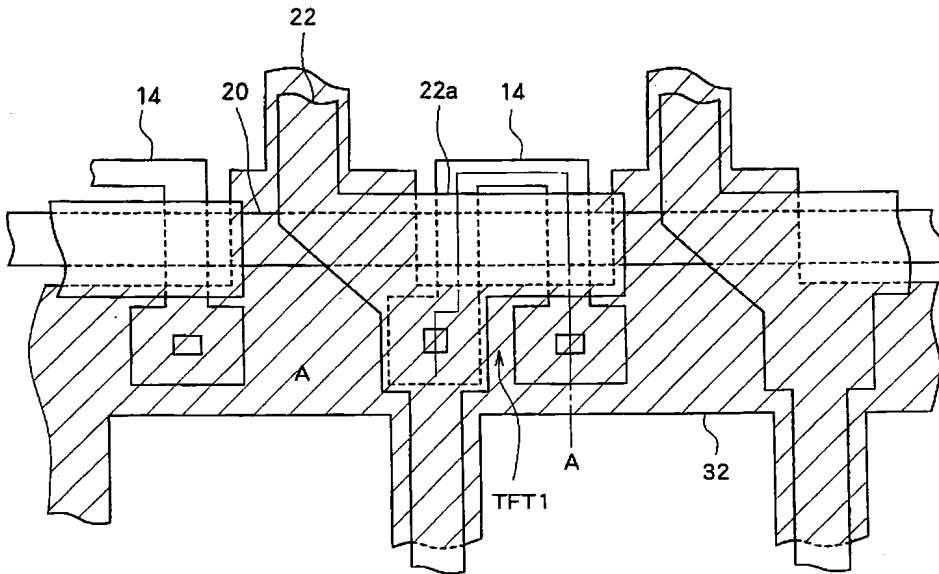
도면14



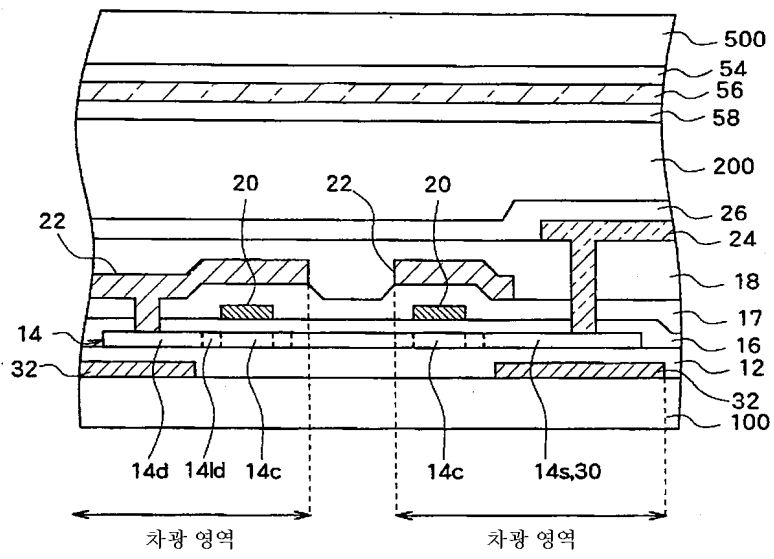
도면15



도면16



도면17



专利名称(译)	一种有源矩阵型显示装置，在每个像素中具有存储电容器		
公开(公告)号	KR100501128B1	公开(公告)日	2005-07-18
申请号	KR1020020017335	申请日	2002-03-29
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	MIYAJIMA YASUSHI 미야지마야스시 YOKOYAMA RYOICHI 요꼬야마료이찌 YAMADA TSUTOMU 야마다쯔또무 YONEDA KIYOSHI 요네다기요시		
发明人	미야지마야스시 요꼬야마료이찌 야마다쯔또무 요네다기요시		
IPC分类号	G02F1/1362 G02F1/136		
CPC分类号	G02F1/136213		
代理人(译)	LEE, JUNG HEE CHANG, SOO KIL		
优先权	2001098269 2001-03-30 JP 2001098281 2001-03-30 JP 2001098323 2001-03-30 JP 2001098334 2001-03-30 JP		
其他公开文献	KR1020020077245A		
外部链接	Espacenet		

摘要(译)

有源矩阵型显示装置配备有每个像素，像素中的顶栅TFT，辅助电容Csc和液晶电容Cic。辅助电容Csc的第一电极(30)以两种或更多种方式使用TFT的p-Si有源层(14)。第二电极(32)形成在有源层(14)的下层上，使得绝缘层(12)放置在间隔中并且有源层(14)和至少一部分重叠。安装驱动器的驱动TFT具有导电层(32D)，其中有源层(140)与有源层(14)的材料相同，如像素TFT到顶栅型，并放置绝缘层(12)在该间隔中，它包括与第二电极(32)相同材料的有源层(140)的下层。在像素中，可以在防止开口率下降的同时形成辅助电容。而且，像素TFT和性质是偶数TFT，可以获得驱动TFT中有源层的多晶退火相同的条件。像素，辅助容量和液晶显示器。

