

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G02F 1/133

(45) 공고일자 2005년01월03일
(11) 등록번호 10-0464206
(24) 등록일자 2004년12월21일

(21) 출원번호 10-2001-0071124
(22) 출원일자 2001년11월15일

(65) 공개번호 10-2003-0040707
(43) 공개일자 2003년05월23일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김병훈
경상북도구미시신평2동70-4363층

(74) 대리인 박장원

심사관 : 고종욱

(54) 2-도트인버전방식 액정표시소자

요약

본 발명의 2-도트인버전방식 액정표시소자는 종방향, 즉 데이터라인방향으로 인접하는 화소의 커패시턴스를 약 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/pixel)으로 형성함으로써 2-도트인버전방식 액정표시소자에서 발생할 수 있는 횡방향의 덤현상을 사용자가 인식할 수 없을 정도로 최소화시킨다. 이를 위해, 본 발명에서는 커패시턴스를 형성하는 종방향으로 인접한 화소들의 화소전극 간격 또는 화소전극과 축적캐패시터용 금속층의 간격을 약 $2.4 \sim 4\mu\text{m}$, 바람직하게는 약 $3\mu\text{m}$ 로 배치하였다.

대표도

도 9a

색인어

액정표시소자, 2-도트인버전, 커패시턴스, 화소, 덤현상

명세서

도면의 간단한 설명

도 1은 종래의 일반적인 액정표시소자의 구조를 나타내는 평면도.
도 2는 도 1에 도시된 종래 액정표시소자의 한 화소의 구조를 나타내는 단면도.
도 3(a) 및 도 3(b)는 각각 도트인버전방식 액정표시소자에서의 odd프레임과 even프레임의 구동방식을 나타내는 개념도.
도 4는 도트인버전방식 액정표시소자의 패널구조를 나타내는 도면.
도 5는 도트인버전방식 액정표시소자의 신호파형도.
도 6(a) 및 도 6(b)는 본 발명에 따른 2-도트인버전방식 액정표시소자에서의 odd프레임과 even프레임의 구동방식을 나타내는 개념도.

도 7은 본 발명에 따른 2-도트인버전방식 액정표시소자의 신호파형도.

도 8은 본 발명에 따른 2-도트인버전방식 액정표시소자에서 인접하는 화소전극 사이의 간격 또는 화소전극과 축적캐패시터용 금속층 사이의 간격 대 화소 사이의 커플링 캐패시턴스(C_{pp})의 관계를 나타내는 그래프.

도 9는 본 발명의 일실시예에 따른 2-도트인버전방식 액정표시소자의 구조를 나타내는 도면.

도 10은 본 발명의 다른 실시예에 따른 2-도트인버전방식 액정표시소자의 구조를 나타내는 도면.

** 도면의 주요부분에 대한 부호의 설명 **

103,203 : 게이트라인 105,205 : 데이터라인

120,220 : 하부 기판 122,222 : 게이트전극

124,224 : 게이트절연층 128,228 : 소스/드레인전극

130,230 : 화소전극 121,221,233 : 콘택홀

231 : 축적캐패시터용 금속층 d1 : 화소전극 간격

d2 : 화소전극과 축적캐패시터용 금속층 사이의 간격

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 2-도트인버전방식 액정표시소자에서 화소 사이의 커플링 캐패시턴스를 약 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel)로 설정함으로써 액정의 열화에 의한 크로스토크의 발생을 방지함과 동시에 횡방향으로의 뒤틀림이 발생하는 것을 방지할 수 있는 2-도트인버전방식 액정표시소자에 관한 것이다.

액정표시소자(Liquid Crystal Display device)는 투과형 평판표시장치로서, 핸드폰(mobile phone), PDA, 노트북 컴퓨터와 같은 각종 전자기기에 널리 적용되고 있다. 이러한 LCD는 경박단소화가 가능하고 고화질을 구현할 수 있다는 점에서 다른 평판표시장치에 비해 현재 많은 실용화가 이루어지고 있는 실정이다. 더욱이, 디지털TV나 고화질TV, 벽걸이용 TV에 대한 요구가 증가함에 따라 TV에 적용할 수 있는 대면적 LCD에 대한 연구가 더욱 활발히 이루어지고 있다.

일반적으로 LCD는 액정분자를 동작시키는 방법에 따라 몇 가지 방식으로 나누어질 수 있지만, 현재에는 반응속도가 빠르고 잔상이 적다는 점에서 주로 액티브매트릭스(active matrix) 박막트랜지스터(Thin Film Transistor) LCD가 주로 사용되고 있다.

도 1에 상기 TFT LCD의 패널(1) 구조가 도시되어 있다. 도면에 도시된 바와 같이, 액정패널(1)에는 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인(3)과 데이터라인(5)이 형성되어 있다. 각 화소 내에는 스위칭소자인 박막트랜지스터(Thin Film Transistor)가 배치되어 상기 게이트라인(3)을 통해 주사신호가 입력되는 경우 스위칭되어 데이터라인(5)을 통해 입력되는 신호를 액정층(9)에 인가한다. 도면에서, 도면부호 11은 축적캐패시터로서, 입력되는 데이터신호를 다음 주사신호의 인가시까지 유지하는 역할을 한다.

상기와 같은 구성된 액정패널(1)의 구조를 도 2에 도시된 단면도를 참조하여 더욱 상세히 설명한다. 이때, 도면에는 다수의 화소중 하나의 화소만을 도시하였다.

도면에 도시된 바와 같이, 유리라 같은 투명한 절연물질로 이루어진 하부 기판(20)상에는 금속으로 이루어진 게이트전극(22)이 형성되어 있으며, 상기 게이트전극(22)이 형성된 기판(20) 전체에 걸쳐서 게이트절연층(24)이 적층되어 있다. 게이트절연층(24) 위에는 반도체층(26)이 형성되어 있으며, 그 위에 금속으로 이루어진 소스/드레인전극(28)이 형성되어 있다. 한편, 화소의 화상표시영역에는 ITO(Indium Tin Oxide)와 같은 투명한 금속으로 이루어진 화소전극(30)이 형성되어, 상기 소스/드레인전극(28)과 전기적으로 접속되며, 그 위에 보호층(passivation layer;32)이 적층되어 있다.

또한, 상부 기판(40)에는 화소의 화상 비표시영역, 즉 화소와 화소 사이 및 TFT영역으로 광이 누설되어 화질이 저하되는 것을 방지하기 위한 광차단층인 블랙매트릭스(42)가 형성되어 있으며, 화상표시영역에는 실제 컬러를 구현하는 컬러필터층(44)이 형성되어 있다. 상기 블랙매트릭스(42)와 컬러필터층(44) 위에는 ITO와 같은 투명한 금속으로 이루어진 공통전극(46)이 형성되어 있다.

상기와 같이, 박막트랜지스터가 형성된 하부 기판(20)과 컬러필터층(44)이 형성된 상부 기판(40)은 그 사이에 위치하는 스페이서(spacer;52)에 의해 일정한 셀갭(cell gap)을 유지하며, 그 사이에 액정이 주입되어 액정층(50)이 형성된다. 또한, 도면에는 도시하지 않았지만, 상기 하부 기판(20)의 보호층(32) 및 상부기판(40)의 공통전극(46) 위에는 각각 액정층(50)의 액정분자를 배향하기 위한 배향막이 적층되어 있다.

상기와 같이, 구성된 액정패널(1)에서는 게이트라인(3)을 통해 외부로부터 입력되는 주사신호가 입력됨에 따라 반도체층(26)이 활성화되어 채널층이 형성되며, 이 채널층을 통해 소스/드레인전극(28)을 통해 데이터라인(5)으로부터 입력되는 데이터신호가 액정층(50)에 인가된다. 한편, 도 1에 도시된 바와 같이 횡으로 배열된 게이트라인(3)에는 복수의 화소에 배치된 TFT의 게이트전극(22)이 각각 접속되어 있다. 따라서, 게이트라인(3)에 주사신호가 인가됨에 따라 해당 게이트라인(3)과 접속된 복수의 TFT의 반도체층이 활성화되며, 이 상태에서 데이터라인(5)을 통해 데이터신호가 입력됨에 따라 해당 화소의 액정층(50)이 동작하게 된다.

이러한 액정패널(1)의 구동방법은 데이터라인(5)에 인가되는 데이터신호의 위상에 따라 라인인버전(line inversion) 방식, 컬럼인버전(column inversion) 및 도트인버전(dot inversion)방식으로 분류될 수 있다. 상기 라인인버전방식은 데이터라인(5)에 인가되는 데이터신호의 위상을 각 라인마다 반전시켜 인가하는 방식이고 컬럼인버전방식은 데이터라인(5)에 인가되는 데이터신호의 위상을 각 컬럼마다 반전시켜 인가하는 방식이며, 도트인버전방식은 데이터라인(5)에 인가되는 전압의 극성을 각 컬럼과 라인마다 동시에 반전시켜 인가하는 방식이다. 상기와 같이, 데이터신호의 위상을 반전시켜 데이터라인(5)에 인가하는 이유는 화소전극과 공통전극 사이에 동일한 전압을 계속하여 인가하는 경우 액정이 열화되어 액정표시소자를 제작했을 때, 화면에 크로스토크(cross-talk)현상이 발생하는 것을 방지하기 위한 것이다.

통상적으로 도트인버전방식은 라인인버전방식이나 컬럼인버전방식에 비해 크로스토크현상이 덜 발생하기 때문에, 더 좋은 화질을 구현할 수 있다고 알려져 있다. 그 이유는 도 3에 도시된 바와 같이, 도트인버전방식에서는 서로 인접하는 화소전극에는 위상이 다른 화소전압이 인가되기 때문이다. 예를 들어, 도면에 도시된 바와 같이 odd프레임시 (m,n)번째 화소에 정(+)의 화소전압이 인가되었을 경우 인접한 (m,n+1)번째 화소에는 부(-)의 화소전압이 인가되며, even프레임시에는 그 반대로 (m,n)번째 화소에 부의 화소전압이 인가되면 (m,n+1)번째 화소에는 정의 화소전압이 인가된다. 이와 같이, 소정의 주기(예를 들면, odd프레임) 동안 (m,n)번째 화소에 정의 화소전압에 전압강하가 일어나는 경우, 그 다음의 even프레임에서는 상기 (m,n)번째 화소에 부의 화소전압이 인가되기 때문에 정의 화소전압강하가 보상된다.

상기한 바와 같이, 도트인버전방식의 액정표시소자를 구동하기 위해서는 도 4에 도시된 바와 같이, 데이터라인(5)에 데이터신호를 인가하는 데이터구동IC(data driving Integrated Circuit)를 2개로 분할해서 제1데이터구동IC(62)와 제2데이터 구동IC(64)를 구비한다. 홀수열의 데이터라인은 제1데이터구동IC(62)에 연결되고 짝수열의 데이터라인은 제2데이터구동IC(64)에 연결되기 때문에, 게이트구동IC(60)를 통해 각각의 TFT(7)에 주사신호가 인가되는 경우 서로 인접하는 화소전극에는 서로 다른 위상의 화소전압이 인가된다.

이러한 도트인버전방식 액정표시소자를 구동하기 위한 신호파형이 도 5에 도시되어 있다. 이러한 신호파형과 도 3에 도시된 도트인버전방식의 개념도를 이용하여 도트인버전방식 액정표시소자의 구동방법을 설명하면 다음과 같다.

게이트구동IC(60)를 통해 n번째 게이트라인(3)에 주사신호가 입력됨에 따라 n번째 게이트라인(3)에 접속된 TFT의 반도체층이 활성화되어, 제1데이터구동IC(62)와 제2데이터구동IC(64)로부터 데이터라인(5)으로 공급된 데이터신호(화소전압)가 상기 TFT의 소스/드레인전극을 통해 액정층에 인가된다. 이때, 도면에 도시된 바와 같이, 서로 인접하는 화소(예를 들면, (m,n)번째 화소 및 (m,n+1)번째 화소)에는 각각 정의 화소전압 및 부의 화소전압이 인가된다.

도면에서 ΔV_p 는 피드스루전압(feed through voltage)으로서 기생용량에 의한 화소전압의 전압강하값이다. 이 ΔV_p 는 게이트전극과 소스/드레인 사이에 발생하는 기생캐패시턴스 및 데이터라인(5)과 화소전극 사이에 발생하는 기생용량에 의한 전압강하값으로, 일반적인 액정표시소자에서 발생하는 값이다.

한편, ΔV_{pp} 는 인접하는 화소전극 사이에 발생하는 커플링 캐패시턴스에 기인하는 전압변이값이다. 도면에 도시된 바와 같이, (m,n)번째의 화소에는 odd프레임 시에는 정의 화소전압이 인가되고 even프레임시에는 부의 화소전압이 인가된다. 또한, 상기 (m,n)번째 화소와 인접하는 (m,n+1)번째의 화소에는 odd프레임시에는 부의 화소전압이 인가되고 even프레임시에는 정의 화소전압이 인가된다. 따라서, odd프레임시 정의 화소전압이 인가된 (m,n)번째 화소는 부의 화소전압이 인가된 (m,n+1)과 인접해 있기 때문에, 상기 (m,n)번째 화소의 실효전압은 하강하는 인접 화소의 전위에 의해 ΔV_{pp} 만큼 하강하게 된다. 반면에, (m,n+1)번째 화소의 실효전압은 인접하는 (m,n)번째 화소의 전위 증가에 의해 ΔV_{pp} 만큼 상승하게 된다.

odd프레임에서 even프레임으로의 전환시 상기 (m,n)번째 화소 및 (m,n+1)번째 화소는 상기와 반대로 동작하게 되어, (m,n)번째 화소의 실효전압은 ΔV_{pp} 만큼 상승하게 되고 (m,n+1)번째 화소의 실효전압은 ΔV_{pp} 만큼 하강하게 된다.

이러한 도트인버전방식의 액정표시소자에서는 정의 화소전압이 인가되는 화소들의 실효전압은 ΔV_{pp} 만큼 하강하게 되며, 부의 화소전압이 인가되는 화소들의 실효전압은 ΔV_{pp} 만큼 상승하게 된다. 다시 말해서, 인접하는 화소 사이의 커플링효과에 의해 모든 화소들이 인가되는 화소전압과 반대방향으로 감소하는 전압변동값을 갖기 때문에, 화소 사이에는 휘도차가 발생하지 않게 되며, 그 결과 화면상에 크로스토크가 발생하지 않게 된다.

그러나, 상기한 도트인버전방식의 액정표시소자의 경우 각각의 화소에 인가되는 데이터신호의 위상을 반전시켜야만 하기 때문에, 근래 요구되고 있는 저소비 전력용의 액정표시소자에는 적합하지 않다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 종방향으로 인접한 2개의 화소에 동일한 위상의 데이터신호가 인가되고 상기 2개의 화소에 인접하는 2개의 화소에는 반전된 위상의 데이터신호를 인가함으로써 화면상에 크로스토크가 발생하는 것을 방지할 수 있는 2-도트인버전방식 액정표시소자를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 종방향으로 인접한 화소의 커플링 캐패시턴스를 약 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel)로 형성함으로써 횡방향의 뒤틀현상을 방지할 수 있는 2-도트인버전방식 액정표시소자를 제공하는 것이다.

본 발명의 또 다른 목적은 종방향으로 인접한 화소의 화소전극 사이의 간격 또는 화소전극과 축적캐패시터용 금속층의 간격을 약 $2.4 \sim 4 \mu\text{m}$ 로 형성함으로써 횡방향의 뒤틀현상을 방지할 수 있는 2-도트인버전방식 액정표시소자를 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명에서는 실효전압의 전압변이값에 영향을 미치는 종방향(데이터라인방향)으로 서로 인접하는 화소 사이의 커플링 캐패시턴스를 약 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/

pixel)로 형성하였다.

통상적으로, 인접하는 화소 사이에 발생하는 커플링 캐패시턴스는 화소내에 형성된 화소전극에 의해 형성되거나 화소전극과 축적캐패시터용 금속층 사이에 형성된다. 따라서 상기한 커플링 캐패시턴스를 형성하기 위해, 본 발명에서는 종방향으로 인접하는 화소전극 사이의 간격을 약 $2.4 \sim 4\mu\text{m}$, 바람직하게는 약 $3\mu\text{m}$ 로 형성하거나 또는 화소전극과 금속층의 간격을 약 $2.4 \sim 4\mu\text{m}$, 바람직하게는 약 $3\mu\text{m}$ 로 형성하였다.

발명의 구성 및 작용

본 발명에서는 저전력소비 액정표시소자를 제작하기 위해, 2-도트인버전방식의 액정표시소자를 제작하였다. 상기 2-도트인버전방식에서는 인접하는 2개의 화소 단위로 화소전압의 위상이 반전되어 인가된다. 도 6에 이러한 2-도트인버전방식의 기본적인 개념이 도시되어 있다.

도면에 도시된 바와 같이, 2-도트인버전방식은 종방향, 즉 데이터라인 방향으로 인접하는 2개의 화소에는 동일한 위상을 갖는 화소전압을 인가하고 상기 2개의 화소에 인접하는 다른 2개의 화소에 반전된 위상을 갖는 화소전압을 인가하는 방식이다. 이 방법의 장점은 도트인버전방식이 모든 인접하는 화소에 반전된 위상의 화소전압을 인가하는 반면에 인접하는 2개의 화소에는 동일한 위상의 화소전압을 인가하기 때문에, 도트인버전방식에 비해 저소비전력이 가능하다는 점이다.

도면에 도시된 바와 같이, odd프레임시 종방향으로 인접한 (m,n)번째 화소와 (m,n+1)번째 화소에는 정(+)의 화소전압이 인가되며, 상기 2개의 화소와 인접한 (m+1,n)번째 화소와 (m+1,n+1)번째 화소에는 부(-)의 화소전압이 인가된다. 또한, even프레임시에는 위상이 반전되어, (m,n)번째 화소와 (m,n+1)번째 화소에는 부의 화소전압이 인가되며, (m+1,n)번째 화소와 (m+1,n+1)번째 화소에는 정의 화소전압이 인가된다.

상기와 같은 2-도트인버전방식 액정표시소자는 도 4에 도시된 도트인버전방식 액정표시소자와 거의 유사한 구성으로 이루어져 있다. 즉, 데이터구동IC를 복수개로 구성하여 서로 반전된 위상의 데이터신호를 출력하는 것이다.

도 7은 상기 2-도트인버전방식 액정표시소자의 신호파형도이다. 도면에 도시된 바와 같이, odd프레임에서 주사신호가 게이트구동IC로부터 n번째 게이트라인을 통해 입력됨에 따라, n번째 게이트라인에 접속된 (m,n)번째 화소와 이에 인접한 (m,n+1)번째 화소에는 정의 화소전압이 인가되며 (m+1,n)번째 화소와 이에 인접한 (m+1,n+1)번째 화소에는 부의 화소전압이 인가된다. 이와 반대로, even프레임에서는 n번째 게이트라인에 접속된 (m,n)번째 화소와 이에 인접한 (m,n+1)번째 화소에는 부의 화소전압이 인가되며 (m+1,n)번째 화소와 이에 인접한 (m+1,n+1)번째 화소에는 정의 화소전압이 인가된다.

이때, 각각의 화소에 인가되는 전압은 피드스루전압(ΔV_p)에 의한 변이가 발생한다. 상기 피드스루전압(ΔV_p)은 기생캐패시턴스에 의해 발생하는 것으로, 다음의 수학식 1과 같이 표현될 수 있다.

수학식 1

$$\Delta V_p = \frac{C_{gd}}{C_{total}} \times \Delta V_g$$

여기서, $C_{total} = C_{gs} + C_{st} + C_{lc} + C_{dp} + C_{gd}$ 로서, C_{gs} 는 화소내에 배치된 TFT의 게이트전극과 소스전극 사이에 발생하는 기생캐패시턴스, C_{st} 는 축적캐패시턴스, C_{lc} 는 액정에 의한 캐패시턴스, C_{dp} 는 데이터라인과 화소전극 사이에 발생하는 기생캐패시턴스, C_{gd} 는 TFT의 게이트전극과 드레인전극 사이에 발생하는 기생캐패시턴스이다. 또한, ΔV_g 는 게이트전압이다.

일반적으로 화소에 발생하는 기생캐패시턴스는 시간이 경과함에 따라 증가하기 때문에, 상기 피드스루전압(ΔV_p)이 증가하게 되고, 결과적으로 화소에 인가되는 화소전압은 전압강하가 일어나게 된다.

또한, 화소에 인가되는 화소전압에는 각종 이유에 의해 전압변이가 발생한다. 이러한 전압변이값(V_{pp})은 화소내의 캐패시턴스, 인접하는 화소의 화소전압 및 인접하는 화소 사이의 커플링효과에 의한 커플링캐패시턴스(C_{pp})에 기인하는 것으로, 이 전압변이값(V_{pp})에 의해 각 화소의 실효전압이 변하게 된다.

도 7에 도시된 바와 같이, odd프레임시 정의 화소전압이 인가되는 (m,n)번째 화소의 실효전압은 화소전압(V_p)보다 전압변이값(V_{pp})만큼 상승한다. 즉, 실효전압이 상승하는 것이다. 그 이유는 인접하는 (m,n+1)번째 화소에 정의 화소전압이 인가되기 때문이다. 즉, 인접하는 화소의 전압 증가에 의해 전압변이값(V_{pp})만큼의 실효전압이 상승하게 된다. 반면에 (m,n+1)번째 화소에 인가되는 실효전압은 인접하는 (m,n+2)번째 화소의 전압강하에 따라 화소전압(V_p)보다 전압변이값(V_{pp})만큼 하강하게 된다. 또한, 부의 화소전압이 인가되는 (m+1,n)번째 화소의 실효전압은 인접하는 (m+1,n+1)번째 화소의 전압강하에 의해 화소전압(V_p)보다 전압변이값(V_{pp})만큼 하강하며, (m+1,n+1)번째 화소의 실효전압은 인접하는 (m+1,n+2)의 전압 상승에 의해 전압변이값(V_{pp})만큼 상승하게 된다.

이러한 각 화소에서의 실효전압을 살펴보면, 정의 화소전압이 인가되는 (m,n)번째 화소는 실효전압이 화소전압(V_p)보다 전압변이값(V_{pp})만큼 상승하여 화소전극에 화소전압 보다 더 큰 전압($|V_p + V_{pp}|$)이 인가되며, 부의 화소전압이 인가되는 (m+1,n)번째 화소는 실효전압이 화소전압(V_p)에 비해 전압변이값(V_{pp})만큼 하강하여 화소전압 보다 더 큰 전압($|-V_p - V_{pp}|$)이 인가된다. 즉, 상기 (m,n)번째 화소와 (m+1,n)번째 화소에 인가되는 실효전압은 실제 데이터라인을 통해 인가되는 화소전압(데이터신호)에 비해 더 큰 전압으로 된다. 반면에, (m,n+1)번째

화소에는 ($|V_p - V_{pp}|$)의 실효전압이 인가되고 ($m+1, n+1$)번째 화소에는 ($|-V_p + V_{pp}|$)의 실효전압이 인가된다.

다시 말해서, n 번째 게이트라인에 접속된 (m, n)번째 화소 및 ($m+1, n$)번째 화소에는 화소전압 보다 큰 실효전압이 인가되며, $n+1$ 번째 게이트라인에 접속된 ($m, n+1$)번째 화소 및 ($m+1, n+1$)번째 화소에는 화소전압 보다 작은 실효전압이 인가된다. 이러한 경향은 상기한 4개의 화소에만 발생하는 것이 아니다. n 번째 게이트 라인에 접속된 모든 화소에는 화소전압 보다 큰 실효전압이 인가되고 $n+1$ 번째 게이트라인에 접속된 모든 화소에는 화소전압 보다 작은 실효전압이 인가된다. 또한, 이러한 현상은 모든 게이트라인에 접속되는 화소에 해당된다. 횡방향의 화소, 즉 하나의 게이트라인에 접속되는 화소의 화소전극에 화소전압 보다 큰 실효전압(예를 들면, $|V_p + V_{pp}|$)이 인가되면, 해당 게이트라인에 인접하는 게이트라인에 접속된 화소에는 화소전극 보다 작은 실효전압(예를 들면, $|V_p - V_{pp}|$)이 인가된다. 이러한 현상은 액정패널 전체에 걸쳐 반복된다.

상기와 같이, n 번째 게이트라인을 따라 배열된 일련의 화소들과 $n+1$ 번째 게이트라인을 따라 배열된 일련의 화소들 사이의 실효전압이 다르다는 것은 n 번째 게이트라인의 화소들과 $n+1$ 번째 게이트라인의 화소들의 투과율이 다르다는 것을 의미한다. 따라서, 2-도트인버전방식의 액정표시소자에서는 게이트라인방향(즉, 횡방향)으로 휘도차가 발생하여 화면상에 횡방향의 뒬(dim)현상이 발생하게 된다.

상기한 바와 같이, 2-도트인버전방식의 액정표시소자는 저전력을 소비하는 장점을 갖는 반면에 화면상에 횡방향의 뒬현상이 발생한다는 치명적인 약점도 갖고 있다. 따라서, 2-도트인버전방식의 액정표시소자를 저소비전력 표시소자로서 응용하기 위해서는 상기한 뒬현상을 제거해야만 한다.

한편, 2-도트인버전방식에서 발생하는 전압변이값(V_{pp})은 화소내의 캐패시턴스, 인접하는 화소의 화소전압 및 인접하는 화소 사이의 커플링효과에 의해 기인하는데, 이 전압변이값(V_{pp})을 수학식 2에 표시하였다. 이때, 상기 전압변이값(V_{pp})은 (m, n)번째 화소에 인가되는 화소전압의 변이값이다.

수학식 2

$$\Delta V_{pp} = \frac{C_{pp}}{C_{total}} \times \Delta V_{data}$$

여기서, C_{total} 은 화소 전체 캐패시턴스이고, C_{pp} 는 (m, n)번째 화소와 인접하는 ($m, n+1$)번째 화소 사이의 커플링 효과에 기인하는 커플링 캐패시턴스이며, ΔV_{data} 는 ($m, n+1$)번째 화소에 인가되는 화소전압 변동량이다.

상기한 바와 같이, 각 화소의 전압변이값(V_{pp})은 화소의 전체 캐패시턴스와 인접하는 화소의 화소전압 변동량 및 인접하는 화소와의 사이에 발생하는 커플링 캐패시턴스에 따라 달라진다. 일반적으로 화소의 전체 캐패시턴스나 인접 화소의 화소전압 변동량을 제어하기란 실질적으로 불가능한 일이다. 반면에 인접하는 화소 사이의 커플링 캐패시턴스를 제어하는 것은 상대적으로 손쉬운 일이다.

본 발명에서는 인접하는 화소 사이의 커플링 캐패시턴스를 제어함으로써 뒬현상이 발생하지 않는 2-도트인버전방식 액정표시소자를 제작하였다. 특히, 화소들 사이의 커플링 캐패시턴스를 제어함으로써 하나의 게이트라인과 연결된 화소들과 인접하는 게이트라인에 연결된 화소들 사이에 발생하는 횡방향 뒬현상을 제거한 액정표시소자를 제작하였다.

뒬현상, 특히 2-도트인버전방식에서 문제가 되는 횡방향의 뒬현상은 각각의 게이트라인에 접속된 화소들에 인가되는 실효전압의 차에 의한 휘도차에 기인하지 만, 화면상에 나타나는 미세한 뒬현상은 무시할 수 있다. 그 이유는 표시소자에서 중요한 것은 뒬현상의 절대적인 수치에 있는 것이 아니라 사용자가 뒬현상을 인식할 수 있는가에 달려 있기 때문이다. 즉, 화면상에 뒬현상이 발생해도 사용자가 이를 인식할 수 없을 정도의 미세하다면 이는 용납될 수 있을 것이다. 따라서, 본 발명에서는 화소들 사이의 커플링 캐패시턴스(실효전압의 크기를 좌우하는 한 요소)를 제어함으로써 뒬현상을 사용자가 인식할 수 없을 정도로 작게 만들었다.

본 발명에서는 화소 사이의 커플링캐패시턴스(C_{pp})를 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/pixel) 정도로 설정하여 사용자가 화면상에 표시되는 뒬현상을 인식할 수 없을 정도로 작게 만들었다.

이러한 커플링 캐패시턴스(C_{pp})는 인접하는 화소에 형성된 화소전극 사이에 형성된다. 따라서, 커플링 캐패시턴스(C_{pp})를 제어하기 위해서는 인접하는 화소의 화소전극의 간격을 제어할 필요가 있게 된다.

도 8은 본 발명에 따른 2-도트 액정표시소자에서 인접하는 화소 사이의 커플링 캐패시턴스(C_{pp})와 화소전극 사이의 간격을 나타내는 그래프이다. 도면에 도시된 바와 같이, 화소전극 사이의 간격이 커짐에 따라 커플링 캐패시턴스(C_{pp})는 비선형적으로 감소한다. 따라서, 본 발명에서 제시한 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel)의 커플링 캐패시턴스(C_{pp})를 형성하기 위해서는 인접하는 화소 전극의 간격을 $2.4 \sim 4 \mu\text{m}$ 로 유지해야만 한다.

수학식 2에 도시된 바와 같이, 화소에 인가되는 실효전압값의 전압변이값(V_{pp})은 커플링캐패시턴스(C_{pp})에 비례하며, 상기 커플링캐패시턴스(C_{pp})는 도 8의 그래프에 도시된 바와 같이 화소 전극의 간격과 비선형적으로 반비례하므로, 화소전극의 간격을 임계값 이상으로 형성함으로써 전압변이값(V_{pp})을 감소시킬 수 있게 되며, 결국 실효전압값의 변이를 감소시킬 수 있게 된다.

이하에서는 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel)의 커플링 캐패시턴스(C_{pp})가 형성된 본 발명의 액정표시소자의 실시예를 설명한다.

도 9는 본 발명의 일실시예에 따른 액정표시소자의 일실시예를 나타내는 도면으로, 도 9(a)는 액정표시소자의 한화소의 구조를 나타내는 평면도이고 도 9(b)는 도 9(a)의 A-A'선 단면도이다.

도면에 도시된 바와 같이, 게이트라인(103)과 데이터라인(105)은 종횡으로 배열되어 있으며, 상기 게이트라인(103)에는 TFT의 게이트전극(122)이 접속되어 있고 데이터라인(105)에는 소스/드레인전극(128)이 접속되어 있다. 또한, 화소내에는 ITO와 같은 투명한 금속으로 이루어진 화소전극(130)이 형성되어, 콘택홀(contact hole;121)을 통해 소스/드레인전극(128)과 전기적으로 연결되어 있다. 도면에는 도시하지 않았지만, 상기 게이트전극(122)과 소스/드레인전극(128) 사이에는 반도체층이 형성되어, 게이트라인(103)을 통해 게이트전극(122)으로 주사신호가 인가됨에 따라 활성화됨에 따라 데이터라인(105)으로 입력된 데이터신호가 상기 소스/드레인 전극(128)을 통해 화소전극(130)에 인가된다.

화소를 정의하는 게이트라인(103)은 인접하는(종방향으로 인접하는) 화소의 화소전극과 오버랩되어 있다. 즉, 도 9(b)에 도시된 바와 같이, 유리하부 기판(120) 위에는 TFT의 게이트전극(122) 형성시 동시에 형성되는 게이트라인(103)이 형성되어 있으며, 그 위에 기판(120) 전체에 걸쳐서 게이트절연층(124)이 형성되어 있다. 상기 게이트절연층(124) 위에는 TFT를 덮고 있는 보호층(132)이 형성되어 있으며, 상기 보호층(132) 위에 화소전극(130a, 130b)이 형성되어 있다. 게이트라인(103)은 인접하는(종방향 또는 데이터라인방향으로 인접하는) 화소의 화소전극(130a)과 그 일부가 겹치게 된다. 화소내에 형성된 화소전극(130b) 및 게이트라인(103)과 겹치는 인접화소의 화소전극(130b) 사이에 커플링 캐패시턴스(C_{pp})가 형성된다. 상술한 바와 같이, 이 커플링 캐패시턴스(C_{pp})는 약 1.5×10^{-15} (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/pixel)이며, 이 커플링 캐패시턴스(C_{pp})를 형성하기 위해, 서로 인접하는 화소전극(130a, 130b)의 간격(d1)을 약 $2.4 \sim 4\mu\text{m}$, 바람직하게는 약 $3\mu\text{m}$ 로 형성하였다.

이때, 상기 커플링 캐패시턴스(C_{pp})를 1.5×10^{-15} (F/pixel) 이하로 설정하면, 화소 전극(130a, 130b)의 간격(d1)이 $4\mu\text{m}$ 이상으로 되어 액정표시소자의 개구율이 저하되는 문제가 발생하며, 2.3×10^{-15} (F/pixel) 이상으로 설정하면 실효전압의 전압변이값(V_{pp}) 저하의 효과가 없어지기 때문에, 커플링 캐패시턴스(C_{pp})를 상기과 같이 약 1.5×10^{-15} (F/pixel)로 설정하는 것이 바람직하다.

상술한 바와 같이, 본 발명에서는 종방향(데이터라인방향)으로 서로 인접하는 화소에 형성되는 화소전극(130a, 130b) 사이의 간격(d1)을 약 $2.4 \sim 4\mu\text{m}$, 바람직하게는 약 $3\mu\text{m}$ 로 배치함으로써 화소 사이의 커플링 캐패시턴스(C_{pp})를 약 1.5×10^{-15} (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/pixel)로 형성하였다. 그 결과, 2-도트인버전방식의 액정표시소자를 제작했을 때, 횡방향(게이트라인방향)으로 발생하는 뒤틀현상이 사용자가 인식할 수 없을 정도로 작게 만들 수 있었다.

통상적으로, 인접하는 화소 사이의 커플링 캐패시턴스(C_{pp})는 주로 화소에 형성되는 화소전극에 의해 생성된다. 그러나, 다른 구조의 액정표시소자, 예를 들면, 축적캐패시터용 금속층이 형성된 액정표시소자와 같은 구조에서는 커플링 캐패시턴스(C_{pp})가 인접하는 화소의 화소전극 사이에 형성되는 것이 아니라 화소전극과 축적캐패시터용 금속층 사이에 형성된다.

도 10에 이러한 구조의 2-도트인버전방식의 액정표시소자의 한 화소가 도시되어 있다. 도면에 도시된 바와 같이, 이 구조의 액정표시소자는 도 9에 도시된 액정표시소자와는 그 구조가 거의 동일하며, 단지 축적캐패시터용 금속층이 형성되어 있다는 점만이 다르다. 이때, 도 10(a)는 화소의 구조를 나타내는 평면도이고 도 10(b)는 도 10(a)의 B-B'선 단면도이다. 도면에 도시된 바와 같이, 축적캐패시터용 금속층(231)은 게이트절연층(224) 위에 상기 게이트라인(203)의 폭 보다 큰 폭으로 형성되어 있으며, 그 위에 보호층(232)이 형성되어 있다. 상기 보호층(232)에는 콘택홀(233)이 형성되어 축적캐패시터용 금속층(231)이 인접하는 화소의 화소전극(230a)과 전기적으로 접속되어 축적캐패시턴스(C_{st})를 형성하게 된다.

커플링 캐패시턴스(C_{pp})는 화소에 형성된 화소전극(230b)과 상기 축적캐패시터용 금속층(231) 사이에 형성된다. 따라서, 도 9에 도시된 구조의 액정표시소자에서는 서로 인접하는 화소의 화소전극 사이의 간격을 조절함으로써 커플링 캐패시턴스(C_{pp})를 조절하였지만, 이 구조의 액정표시소자에서는 화소전극(230b)과 축적캐패시터용 금속층(231) 사이의 간격(d2)을 제어함으로써 커플링 캐패시턴스(C_{pp})를 조절할 수 있게 된다. 이러한 구조의 액정표시소자도 도 9에 도시된 액정표시소자와 마찬가지로, 약 1.5×10^{-15} (F/pixel)의 커플링 캐패시턴스(C_{pp})를 형성하기 위해 화소전극(230b)과 축적캐패시터용 금속층(231)의 간격(d2)을 약 $2.4 \sim 4\mu\text{m}$ 로 형성하였다.

상술한 바와 같이, 본 발명에서는 2-도트인버전방식 액정표시소자에서 사용자가 인식할 수 없을 정도로 뒤틀현상을 감소시키기 위해, 화소 사이의 커플링효과에 의해 발생하는 커플링 캐패시턴스를 약 1.5×10^{-15} (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/pixel)으로 형성하였으며, 이를 위해 인접하는 화소들의 화소전극 사이의 간격(d1) 또는 화소전극과 축적캐패시터용 금속층 사이의 간격(d2)을 약 $2.4 \sim 4\mu\text{m}$, 바람직하게는 약 $3\mu\text{m}$ 로 배치하였다.

그런데, 이러한 인접하는 화소전극 사이의 간격(d1)이나 화소전극과 축적캐패시터용 금속층 사이의 간격(d2)은 특정한 값으로 고정되는 것은 아니다. 본 발명에서 중요한 것은 인접하는 화소 사이의 커플링 캐패시턴스(C_{pp})를 약 1.5×10^{-15} (F/pixel)의 값으로 형성함으로써 2-도트인버전방식에서 발생할 수 있는 횡방향의 뒤틀현상을 감소시키는 것이며, 이 커플링 캐패시턴스(C_{pp})의 원하는 값을 형성하기 위한 화소전극의 간격 배치나 화소전극과 축적캐패시터용 금속층의 금속배치는 제작되는 2-도트인버전방식 액정표시소자의 패널 크기나 구조에 따라 달라질 수 있을 것이다.

즉, 본 발명의 기본적인 개념은 2-도트인버전방식 액정표시소자에서의 커플링 캐패시턴스(C_{pp})의 특정값 형성이며, 이 특정값을 형성할 수 있는 어떠한 구조의 액정표시소자도 본 발명의 개념을 이용하면 본 발명이 속하는 기술분야에 종사하는 사람이라면 누구나 제작할 수 있을 것이다. 따라서, 본 발명의 권리범위는 상술한 상세한 설명에 의해 결정되는 것이 아니라 첨부한 특허청구범위에 의해 결정되어야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명에서는 액정의 열화를 방지하며 저소비전력을 실현할 수 있는 2-도트인버전방식의 액정표시소자를 제공한다. 따라서, 종래 일반적인 액정표시소자에서 발생하는 액정의 열화에 의한 크로스토크 현상을 방지할 수 있게 된다. 또한, 본 발명에서는 이러한 2-도트인버전방식의 액정표시소자의 인접하는 화소 사이의 커플링 캐패시턴스(C_{pp})를 약 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel), 바람직하게는 약 1.88×10^{-15} (F/pixel)로 형성함으로써 2-도트인버전방식 액정표시소자에서 발생하는 횡방향의 뒤틀 현상을 사용자가 인식할 수 없을 정도로 감소시켜 액정표시소자에 불량 발생을 방지한다.

(57) 청구의 범위

청구항 1.

종횡으로 배열된 복수의 게이트라인;
상기 게이트라인과 교차하여 배열되며, 서로 인접하는 2개의 라인으로 이루어져 동일 위상의 데이터신호가 입력되는 제1데이터라인과 서로 인접하는 2개의 라인으로 이루어져 상기 제1데이터라인과는 위상 반전된 데이터신호가 인가되는 복수의 제2데이터라인으로 이루어진 데이터라인; 및
상기 게이트라인과 데이터라인에 의해 정의되며, 내부에 각각 박막트랜지스터가 형성되는 복수의 화소로 구성되며; 상기 화소는 종방향으로 인접하는 화소와는 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel)의 커플링 캐패시턴스(C_{pp})를 형성하는 2-도트인버전방식 액정표시소자.

청구항 2.

제1항에 있어서, 상기 종방향은 데이터라인방향인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 3.

제1항에 있어서, 상기 박막트랜지스터는,
투명한 기판 상에 형성된 게이트전극;
상기 게이트전극 위에 형성된 게이트절연층;
상기 게이트절연층 위에 형성되어 게이트전극에 신호가 인가됨에 따라 활성화 되는 반도체층;
상기 반도체층 위에 형성되어 반도체층이 활성화됨에 따라 데이터라인을 통해 신호가 입력되는 소스/드레인전극; 및
상기 소스/드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 4.

제3항에 있어서, 상기 화소내에 배치되어 박막트랜지스터의 소스/드레인전극과 접속되는 투명한 화소전극을 추가로 포함하는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 5.

제4항에 있어서, 상기 커플링 캐패시턴스(C_{pp})는 인접하는 화소의 화소전극 사이에 형성되는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 6.

제5항에 있어서, 상기 화소전극은 인접하는 화소의 게이트라인과 일부 겹치는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 7.

제1항에 있어서, 인접하는 화소의 화소전극 사이의 간격은 $2.4 \sim 4\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 8.

제1항에 있어서, 서로 인접하는 화소 사이의 커플링 캐패시턴스(C_{pp})는 1.88×10^{-15} (F/pixel)인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 9.

제8항에 있어서, 인접하는 화소의 화소전극 사이의 간격은 $3\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 10.

제1항에 있어서, 상기 게이트라인 영역의 게이트절연층 위에 형성되며 화소전극과 전기적으로 접속되어 축적캐패시터를 형성하고 종방향으로 인접하는 화소전극과 커플링 캐패시턴스(C_{pp})를 형성하는 금속층을 포함하는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 11.

제10항에 있어서, 상기 금속층과 화소전극의 간격은 $2.4 \sim 4\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 12.

제11항에 있어서, 상기 금속층과 화소전극의 간격은 $3\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 13.

복수의 게이트라인 및 데이터라인에 의해 정의되고 내부에 각각 박막트랜지스터가 형성된 복수의 화소로 구성되며, 종방향으로 인접한 2개의 화소에 동일한 위상의 데이터신호가 인가되고 상기 2개의 화소에 인접하는 2개의 화소에는 반전된 위상의 데이터신호를 인가하는 2-도트인버전방식 액정표시소자에 있어서, 상기 종방향으로 인접하는 화소 사

이에는 $1.5 \sim 2.3 \times 10^{-15}$ (F/pixel)의 커플링 캐패시턴스(C_{pp})가 형성되는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 14.

제13항에 있어서, 상기 커플링 캐패시턴스(C_{pp})는 인접하는 화소에 형성된 화소전극 사이에 형성되는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 15.

제14항에 있어서, 인접하는 화소의 화소전극 간격은 $2.4 \sim 4\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 16.

제13항에 있어서, 종방향으로 인접하는 화소 사이의 커플링 캐패시턴스(C_{pp})는 1.88×10^{-15} (F/pixel)인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 17.

제16항에 있어서, 상기 인접하는 화소의 화소전극 간격은 $3\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 18.

제13항에 있어서, 상기 커플링 캐패시턴스(C_{pp})는 축적캐패시터용 금속층과 화소전극 사이에 형성되는 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 19.

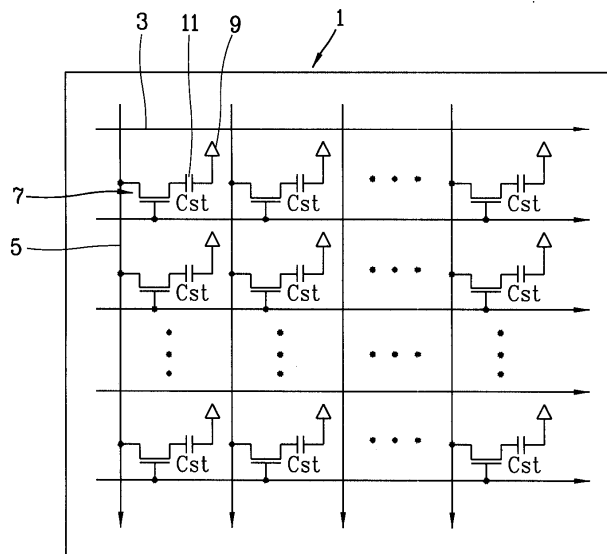
제18항에 있어서, 상기 화소전극과 축적캐패시터용 금속층의 간격은 $2.4 \sim 4\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

청구항 20.

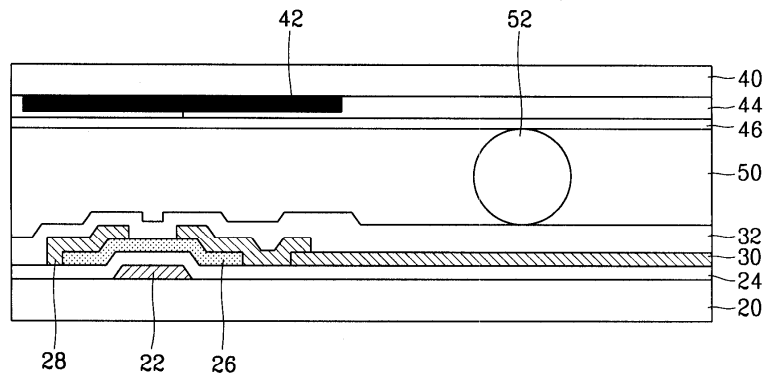
제19항에 있어서, 상기 화소전극과 축적캐패시터용 금속층의 간격은 $3\mu\text{m}$ 인 것을 특징으로 하는 2-도트인버전방식 액정표시소자.

도면

도면1



도면2



도면3a

m-2	m-1	m	m+1	m+2	
-	+	-	+	-	n-1
+	-	+	-	+	n
-	+	-	+	-	n+1
+	-	+	-	+	n+2
-	+	-	+	-	n+3

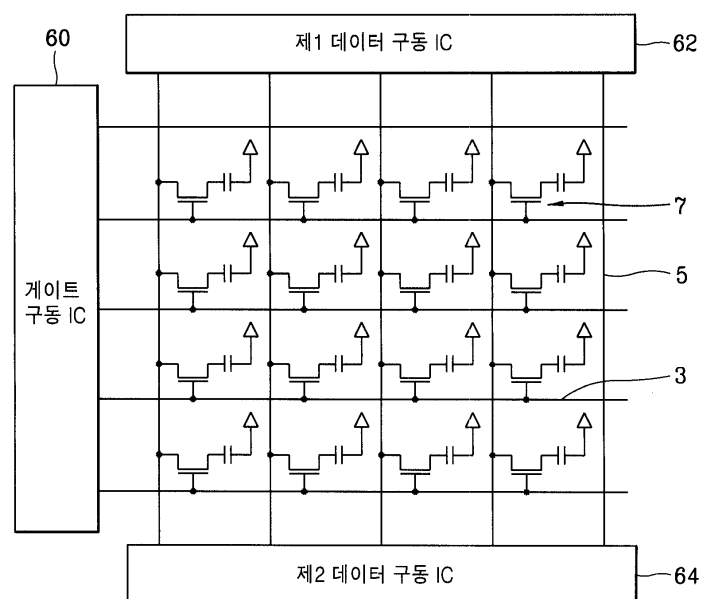
odd 프레임

도면3b

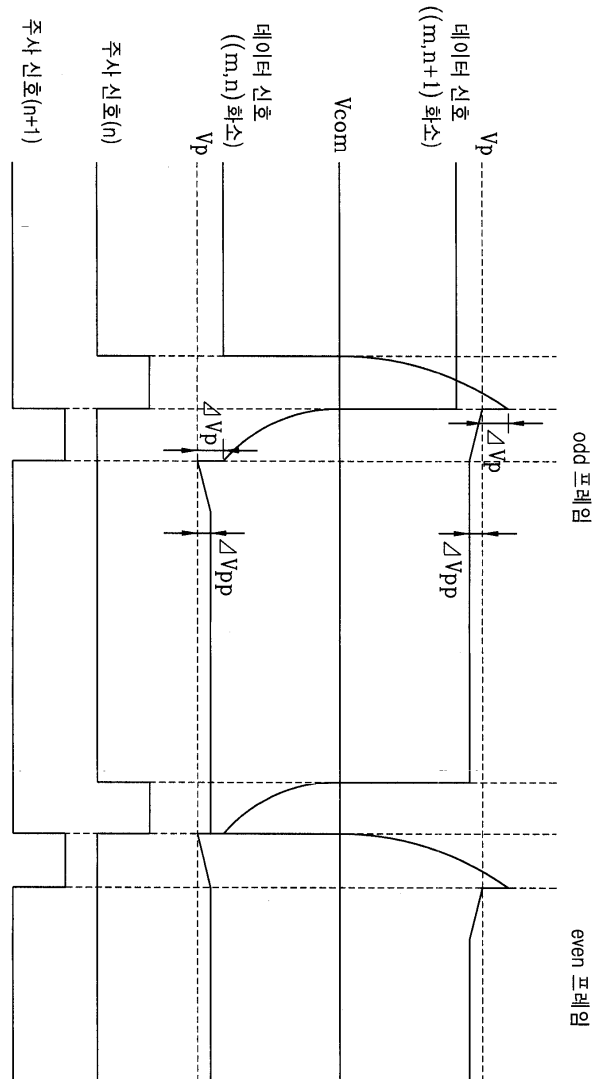
m-2	m-1	m	m+1	m+2	
+	-	+	-	+	n-1
-	+	-	+	-	n
+	-	+	-	+	n+1
-	+	-	+	-	n+2
+	-	+	-	+	n+3

even 프레임

도면4



도면5



도면6a

m-2	m-1	m	m+1	m+2	
-	+	-	+	-	n-1
+	-	+	-	+	n
+	-	+	-	+	n+1
-	+	-	+	-	n+2
-	+	-	+	-	n+3

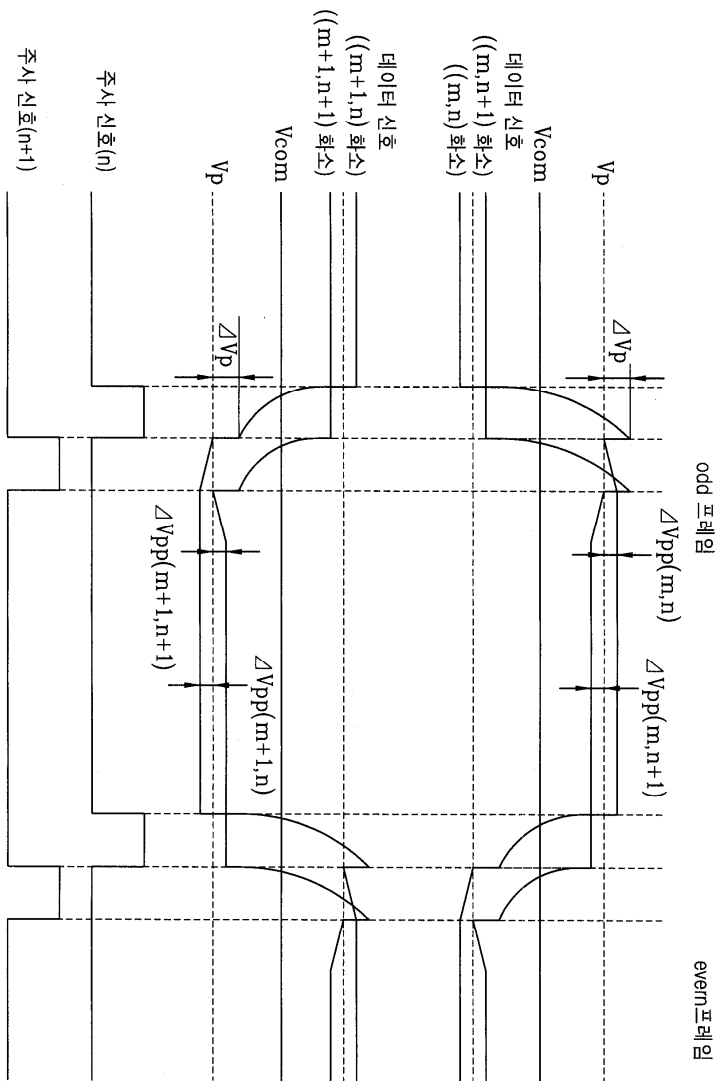
odd 프레임

도면6b

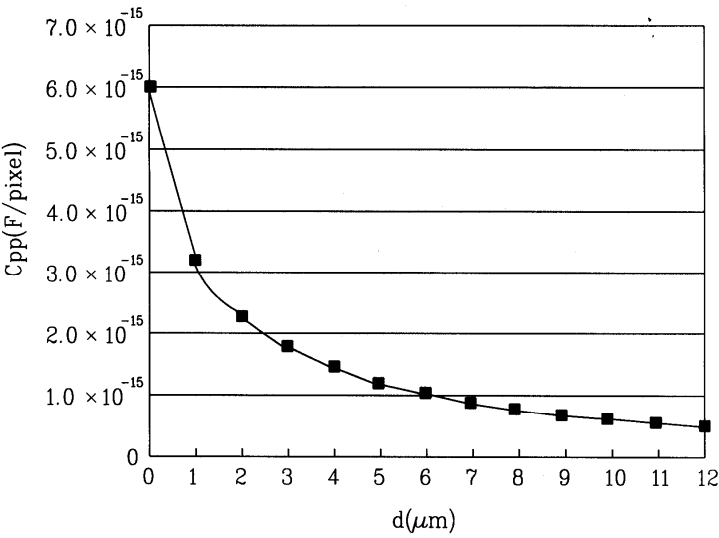
m-2	m-1	m	m+1	m+2	
+	-	+	-	+	n-1
-	+	-	+	-	n
-	+	-	+	-	n+1
+	-	+	-	+	n+2
+	-	+	-	+	n+3

even 프레임

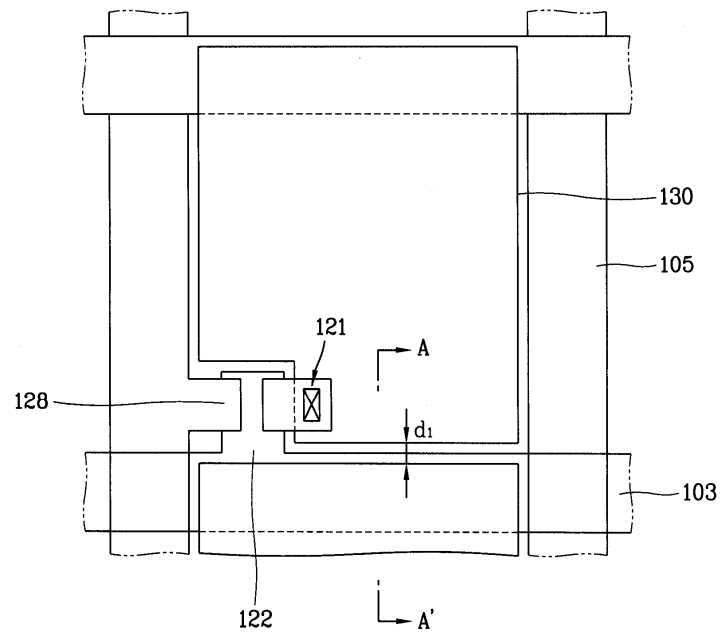
도면7



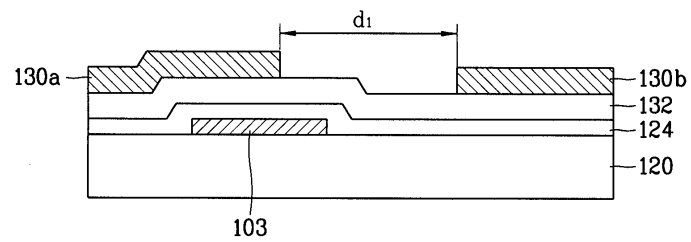
도면8



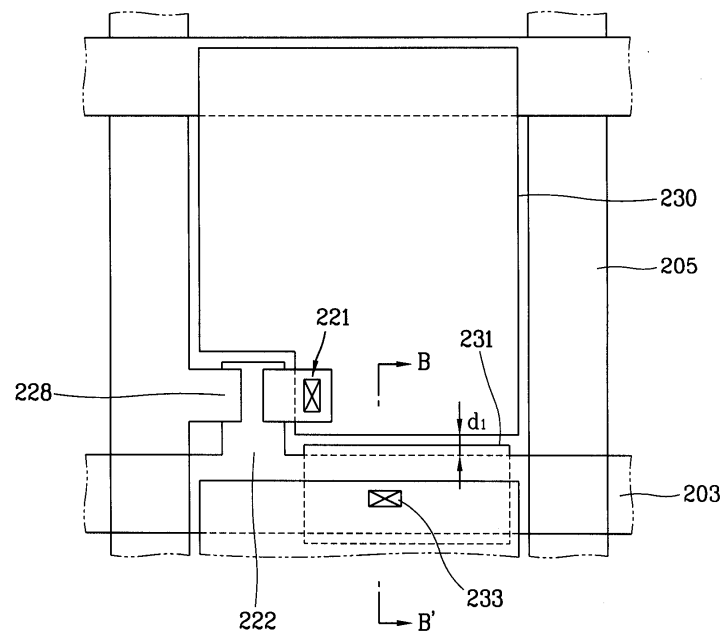
도면9a



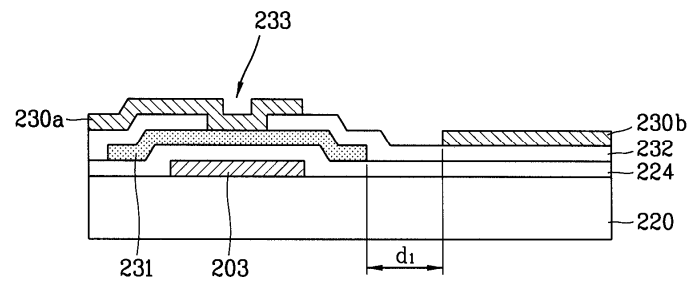
도면9b



도면10a



도면10b



专利名称(译)	2点反转型液晶显示元件		
公开(公告)号	KR100464206B1	公开(公告)日	2005-01-03
申请号	KR1020010071124	申请日	2001-11-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM PYUNGHUN		
发明人	KIM,PYUNGHUN		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3648 G09G2320/0209 G09G2320/0219 G09G3/3614		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020030040707A		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，包括沿纵向延伸并沿横向以第一间隔设置的多条栅极线，沿横向延伸以与所述多条栅极线交叉的多条数据线，第一组相邻的两条栅极线数据线传输第一相的数据信号和第二组的两个相邻数据线，传输反相到第一相的第二相的数据信号，多个像素，每个像素区域设置在由栅极和栅极的交叉限定的像素区域中。数据线和多个薄膜晶体管各自连接到多个像素中的一个。

