

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G09G 3/36

(45) 공고일자 2004년04월28일
(11) 등록번호 10-0428597
(24) 등록일자 2004년04월12일

(21) 출원번호	10-2001-7004319	(65) 공개번호	10-2002-0005565
(22) 출원일자	2001년04월04일	(43) 공개일자	2002년01월17일
번역문 제출일자	2001년04월04일		
(86) 국제출원번호	PCT/JP2000/005215	(87) 국제공개번호	WO 2001/11598
(86) 국제출원출원일자	2000년08월03일	(87) 국제공개일자	2001년02월15일

(81) 지정국 국내특허 : 일본, 대한민국, 미국,

(30) 우선권주장 1999-222770 1999년08월05일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자 하나리,준
일본105-8001도쿄도미나토꾸시바우라1쵸메1-1가부시끼가이샤도시바인텔렉추얼프로퍼티디비전내

(74) 대리인 장수길
 구영창

심사관 : 정경덕

(54) 평면 패널 표시 장치

요약

일 화면을 복수의 블록으로 나누고, 각 블록마다 복수의 데이터선 구동 회로를 배치한 평면 패널 표시 장치이다. 각 데이터선 구동 회로마다 복수의 D/A 컨버터가 구비된다. 각 D/A 컨버터(11a, 12a, 11b, 12b)에 접속되는 데이터선(Dj, Dj+1, Dj+2, Dj+3, ...)은 소정 수의 간격으로 교대로 배치된다.

대표도

도 1

색인어

비디오 버스 배선, D/A 컨버터, 액정 화소, 액정 표시 장치, 표시 패널

명세서

기술분야

본 발명은 평면 패널 표시 장치에 관한 것으로, 상세하게는 액티브 매트릭스형 액정 표시 장치 등의 평면 패널 표시 장치에 있어서의 구동 회로 구성에 관한 것이다.

배경기술

평면 패널 표시 장치 중에서도, 광 변조층으로서 액정층이 이용된 액정 표시 장치는 경량, 박형, 저소비 전력의 특성을 살려 폭넓은 분야에서 이용되고 있다. 특히, 각 화소마다 스위치 소자를 설치한 액티브 매트릭스형 액정 표시 장치는 퍼스널 컴퓨터 등 OA 기기의 디스플레이 장치로서 급격히 보급되고 있다.

지금까지의 액티브 매트릭스형 액정 표시 장치에 있어서, 어레이 기판의 화소 스위치 소자는 활성층에 비정질 실리콘(a-Si)을 이용한 박막 트랜지스터(TFT)로 보통 구성되었다. 그러나, 최근에는 활성층에 폴리실리콘(p-Si)이 이용된 TFT로 화소 스위치 소자를 구성한 디스플레이가 시장에서 판매되고 있다.

p-Si TFT는 a-Si TFT에 비교하여 전자 이동도가 높고, TFT를 소형화할 수 있기 때문에, 기판 상의 빈 영역에 구동 회로의 일부를 형성할 수 있다고 하는 이점이 있다. 예를 들면, 어레이 기판 상에는 게이트선 구동 회로의 전부와 데이터선 구동 회로 중의 시프트 레지스터와 아날로그 스위치 소자 등을 형성하고, 외부 인쇄 회로 기판(PCB) 상에는 데이터선 구동 회로 중의 D/A 컨버터나, 각종 제어 신호를 생성하는 컨트롤 IC 등을 형성한다.

화면의 고정밀화는 데이터선 구동 회로의 처리 속도의 향상 및 데이터 기입 속도의 고속화를 요구한다. 이것에 대응하는 기술로서, 일 수평 주사 기간에 구동될 화소를 몇 개의 대블록으로 분할하여, 각 대블록마다 데이터를 동시에 전송하여, 병렬 처리함과 함께, 각 대블록에 있어서, 몇 개의 데이터선을 소블록으로 나누고, 이 소블록들을 순차 구동하는 방법이 있다. 이에 따르면, 시프트 레지스터 출력에 기초하는 샘플링 시간을 길게 할 수 있다.

예를 들면, 수평 방향으로 1024 화소의 배열을 갖는 화면, 즉 XGA(1024 ; 768)에 있어서, 24개의 데이터선에 접속된 8 화소(1 화소는 RGB의 3 도트로 구성됨)를 하나의 소블록으로 하고, 이러한 소블록들을 1/32 수평 주사 기간으로 순차 구동함으로써, 1 수평 주사 기간에 256 화소를 구동할 수가 있다. 이 256 화소는 화면의 1/4(대블록)에 상당하기 때문에, 화면에 대하여 4 병렬 컬럼용 데이터, 즉 $24 \div 4 = 96$ 개의 영상 신호를 입력하면 된다. 여기서, 예를 들면 하나의 구동 IC가 48개의 신호를 출력할 수 있다고 하면, 2개의 구동 IC가 필요하게 된다.

이 예와 같이, 1 화면을 4개의 대블록으로 나누고, 이 4개의 대블록을 동시에 샘플링하여 출력하도록 구성한 경우에는, 1 화면의 영상 데이터를 하나의 시프트 레지스터로 순차 샘플링하여 출력하는 경우에 비교하여 시프트 레지스터에서의 샘플링 시간을 4배 길게 하는 것이 가능해지기 때문에, 양호한 표시 화상을 실현할 수 있다.

앞으로, 고정밀화에 의해 화소 수가 증가하는 경우에는 화면에 동시에 접속되는 데이터선 수도 증가될 것이 예상된다. 이 경우에는, 하나의 대블록을 더 많은 수의 IC로 구동하는 것이 고려된다. 구동 IC들은 동일 제품 로트의 구동 IC에서도 출력 특성에 미묘한 차이가 있으며, 또한 구동 IC들로부터의 배선 길이에 차이가 있다. 이들 이유에 의해, 구동 IC들 사이의 성능에는 오프셋이 생긴다. 이 오프셋이 있기 때문에, 동일 대블록 내에서도 구동 IC들 간의 경계가 화면 상에 나타날 우려가 있었다.

인접하는 구동 IC에서 동일 레벨의 신호 전압을 출력하고 있어도, 구동 IC들 사이의 오프셋에 의해 액정으로의 인가 전압에 차이가 생겨, 이에 따라 화면 상에서 농담의 얼룩짐으로 되어, 경계가 인식된다고 하는 문제점이 있었다. 이 문제는 p-Si TFT에 의해 구동 IC를 기판 내에 일체로 형성한 경우에도, 구동 회로 사이의 오프셋에 의해 생길 수 있다. 본 발명의 목적은, 하나의 대블록을 복수의 데이터선 구동 회로로 구동한 경우에도, 경계가 눈에 띄지 않아 양호한 표시 화상을 얻을 수 있는 평면 패널 표시 장치를 제공하는 것이다.

발명의 상세한 설명

본 발명의 제1 특징에 따른 평면 패널 표시 장치는 어레이 기판과, 상기 어레이 기판에 대향하는 대향 기판과, 상기 어레이 기판과 상기 대향 기판 사이에 개재된 광 변조층을 포함하는 표시 패널을 포함한다. 상기 어레이 기판은 절연 기판 상에 매트릭스형으로 배치된 복수의 데이터선 및 복수의 주사선과, 상기 데이터선과 주사선의 교점 근방에 배치된 화소 스위치 소자와, 상기 화소 스위치 소자에 접속된 화소 전극을 포함한다. 또한, 평면 패널 표시 장치는, 상기 절연 기판 상에 배치되며, 상기 데이터선에, 대응하는 아날로그 영상 신호를 공급하는 데이터선 구동 회로와, 상기 주사선에 주사 신호를 공급하는 주사선 구동 회로를 포함한다. 상기 데이터선 구동 회로는 각 수평 주사 기간마다 소정의 데이터선에 대한 디지털 영상 신호를 아날로그 영상 신호로 순차 변환하는 적어도 제1 및 제2 디지털 ; 아날로그 변환 회로를 포함한다. 상기 제1 디지털 ; 아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선과, 상기 제2 디지털 ; 아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치된다.

또한, 제1 특징에 따른 평면 패널 표시 장치에 있어서, 상기 데이터선 구동 회로는, 상기 제1 및 제2 디지털 ; 아날로그 변환 회로의 각각에 대응하고, 상호 병렬 동작하는 시프트 레지스터들을 포함한다.

또한, 제1 특징에 따른 평면 패널 표시 장치에 있어서, 상기 화소 스위치 소자, 상기 제1 및 제2 디지털 ; 아날로그 변환 회로 및 상기 시프트 레지스터들 각각은 활성층이 폴리실리콘으로 구성된 박막 트랜지스터를 포함한다.

본 발명의 제2 특징에 따른 평면 패널 표시 장치는 어레이 기판과, 상기 어레이 기판에 대향하는 대향 기판과, 상기 어레이 기판과 상기 대향 기판 사이에 개재된 광 변조층을 포함하는 표시 패널을 포함한다. 상기 어레이 기판은 절연 기판 상에 매트릭스형으로 배치된 복수의 데이터선 및 복수의 주사선과, 상기 데이터선과 주사선의 교점 근방에 배치된 화소 스위치 소자와, 상기 화소 스위치 소자에 접속된 화소 전극을 포함한다. 또한, 평면 패널 표시 장치는, 상기 절연 기판 상에 배치되며, 상기 데이터선에, 대응하는 아날로그 영상 신호를 공급하는 데이터선 구동 회로와, 상기 주사선에 주사 신호를 공급하는 주사선 구동 회로를 포함한다. 상기 데이터선 구동 회로는 상기 절연 기판 상에 배치되는 복수의 비디오 버스 배선을, 상기 비디오 버스 배선과 대응하는 상기 데이터선에 전기적으로 접속하는 스위치 회로와, 상기 비디오 버스 배선에 전기적으로 접속되어 디지털 영상 신호를 아날로그 영상 신호로 순차 변환하는 적어도 제1, 제2, 제3 및 제4 디지털 ; 아날로그 변환 회로 IC를 포함한다. 상기 제1 디지털 ; 아날로그 변환 회로에 전기적으로 접

속되는 상기 데이터선, 상기 제2 디지털 ;아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선, 상기 제3 디지털 ;아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치된다.

본 발명의 제3 특징에 따른 평면 패널 표시 장치는 어레이 기판과, 상기 어레이 기판에 대향하는 대향 기판과, 상기 어레이 기판과 상기 대향 기판 사이에 개재된 광 변조층을 포함하는 표시 패널을 포함한다. 상기 어레이 기판은 절연 기판 상에 매트릭스형으로 배치된 복수의 데이터선 및 복수의 주사선과, 상기 데이터선과 주사선의 교점 근방에 배치된 화소 스위치 소자와, 상기 화소 스위치 소자에 접속된 화소 전극을 포함한다. 또한, 평면 패널 표시 장치는, 상기 절연 기판 상에 배치되며, 상기 데이터선에, 대응하는 아날로그 영상 신호를 공급하는 데이터선 구동 회로와, 상기 주사선에 주사 신호를 공급하는 주사선 구동 회로를 포함한다. 상기 데이터선 구동 회로는 상기 절연 기판 상에 배치되는 복수의 비디오 버스 배선을, 상기 비디오 버스 배선과 대응하는 상기 데이터선에 전기적으로 접속하는 스위치 회로와, 상기 비디오 버스 배선에 전기적으로 접속되어 디지털 영상 신호를 아날로그 영상 신호로 순차 변환하는 적어도 제1, 제2, 제3, 및 제4 디지털 ;아날로그 변환 회로 IC를 포함한다. 상기 제1 디지털 ;아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선, 상기 제2 디지털 ;아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선, 상기 제3 디지털 ;아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선 및 상기 제4 디지털 ;아날로그 변환 회로에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치된다.

또한, 제3 특징에 따른 평면 패널 표시 장치에 있어서, 상기 제1 및 제2 디지털 ;아날로그 변환 회로 IC는 기준 전압에 대하여 정극성의 아날로그 영상 신호를 공급하고, 상기 제3 및 제4 디지털 ;아날로그 변환 회로 IC는 기준 전압에 대하여 부극성의 아날로그 영상 신호를 공급한다.

상기 스위치 회로는 상기 비디오 버스 배선과, 대응하는 상기 데이터선과의 관계를 소정 기간마다 전환한다.

또한, 제3 특징에 따른 평면 패널 표시 장치에 있어서, 상기 화소 스위치 소자, 및 상기 스위치 회로는 활성층이 폴리 실리콘으로 구성된 박막 트랜지스터를 포함한다.

또한, 제3 특징에 따른 평면 패널 표시 장치에 있어서, 상기 제1 내지 제4 디지털 ;아날로그 변환 회로 IC는 외부 구동 회로 기판 상에 형성된다.

상기 제1 내지 제3 특징에 따른 평면 패널 표시 장치에 있어서는, 일 화면 중에서 분할된 하나의 대블록을 복수의 데이터선 구동 회로로 구동하는 경우에, 인접하는 신호선을 각각 다른 데이터선 구동 회로에 접속하도록 한 것이다. 이에 따라, 데이터선 구동 회로마다의 출력 변동, 즉 구동 IC의 변동은 화면 전체로 분산되게 된다. 따라서, 화면 상에 구동 IC들 간의 경계가 나타나지 않아, 양호한 표시 화상을 얻을 수 있다.

도면의 간단한 설명

도 1은 액정 화소, 비디오 버스 배선 및 D/A 컨버터의 접속 관계를 나타내는 개념도이다.

도 2는 도 1의 다른 실시 형태를 나타내는 개념도이다.

도 3은 도 2의 다른 실시 형태를 나타내는 개념도이다.

도 4는 도 2의 또 다른 실시 형태를 나타내는 개념도이다.

도 5는 일 실시 형태에 따른 액정 표시 장치의 전체의 구성을 나타내는 블록도이다.

도 6은 액정 패널의 회로 구성도이다.

도 7은 구동 회로 기판의 회로 구성도이다.

도 8은 일 실시 형태에 따른 액정 패널의 구동 방법을 설명하기 위한 배선도이다.

도 9는 도 6에 도시한 영역 L1의 부분 확대도이다.

도 10은 데이터선 구동 회로의 부분 회로도이다.

도 11은 컨트롤 IC로 재배열된 영상 신호 데이터의 배열을 나타내는 설명도이다.

실시예

이하, 본 발명의 실시 형태에 따른 평면 패널 표시 장치, 예를 들어 액정 표시 장치에 대해 설명한다.

본 실시 형태의 액정 표시 장치는 액티브 매트릭스형의 액정 패널을 구비하고 있다. 이 액정 패널은 p-Si TFT를 이 용함으로써 구동 회로가 내장되어 있다.

도 5는 본 실시 형태에 따른 액정 표시 장치의 전체의 구성을 나타내는 블록도이다. 이 액정 표시 장치(100)는 구동 회로의 일부가 내장된 액정 패널(101)과, 이 액정 패널(101)에 아날로그 영상 신호를 공급하는 구동 회로 기판(PCB: 102)과, 이들을 서로 전기적으로 접속시키는 플렉시블 배선 기판(FPC: 106)으로 구성되어 있다.

도 6은 액정 패널(101)의 회로 구성도이다. 액정 패널(101)은 액티브 매트릭스부(1)와, 이 액티브 매트릭스부(1)를 구동하는 게이트선 구동 회로(2) 및 데이터선 구동 회로(3)를 구비하고 있다. 게이트선 구동 회로(2)는 구성 요소의 전부가 액정 패널(101) 측에 형성되어 있다. 데이터선 구동 회로(3)는 구성 요소의 일부가 액정 패널(101) 측에 형성되어 있다. 데이터선 구동 회로(3)의 구성에 대해서는 후에 설명한다.

공통 회로(대향 전극 구동 회로: 4)는 도 5에 도시한 바와 같이 구동 회로 기판(102) 측에 배치되는 회로이다. 여기서는 설명을 쉽게 하기 위해 도 6에 도시하고 있다.

액티브 매트릭스부(1)는 매트릭스형으로 배치된 복수의 액정 화소(5)를 구비하고 있다. 각각의 액정 화소(5)는 대향 전극(7), 화소 전극(8) 및 이들 전극 사이에 보유되는 액정층(9)으로 구성되어 있다. 각 화소 전극(8)으로의 영상 신호의 공급은 스위치 소자로서의 TFT(6)에 의해 제어되고 있다. 각 TFT(6)의 게이트는 행마다 각각 게이트선(주사선) G1, G2, ..., Gn에 접속되고, 드레인 은 열마다 데이터선 D1, D2, ..., Dm에 각각 접속되어 있다. 소스는 화소 전극(8)

에 접속되어 있다. 또한, 모든 액정 화소(5)에 대응하는 대향 전극(7)은 공통으로 공통 회로(4)에 접속되어 있다. 게이트선 구동 회로(2)는 도시하지 않은 시프트 레지스터 및 버퍼를 포함하는 회로로 구성되어 있다. 게이트선 구동 회로(2)는 수직 동기 신호 STV 및 수직 클럭 신호 CKV에 기초하여, 각 게이트선 G1, G2, ..., Gn에 어드레스 신호를 공급한다. 게이트선 구동 회로(2)는 전체가 절연성 기판(14) 상에 형성되어 있다.

데이터선 구동 회로(3)는 아날로그 영상 신호를 데이터선 D1, D2, ..., Dm에 공급하기 위해 소정의 타이밍에서 순차 샘플링을 행하는 샘플 홀드 회로와, 이 샘플 홀드 회로의 동작 타이밍을 제어하는 시프트 레지스터와, 후술하는 극성 반전 구동을 위한 스위치 회로와, 이 스위치 회로에 아날로그 영상 신호를 공급하기 위한 비디오 버스 배선과, 외부로부터 입력되는 디지털 영상 신호를 아날로그 영상 신호로 변환하여, 비디오 버스 배선으로 순차 출력하는 정극성/부극성 D/A 컨버터들로 구성되어 있다. 또한, 액정 표시 장치(100)는 컨트롤 IC를 포함하고, 이 컨트롤 IC로부터의 수평 동기 신호 STH, 수평 클럭 신호 CKH 및 디지털 영상 신호가 데이터선 구동 회로(3)에 공급된다.

본 실시 형태의 데이터선 구동 회로(3)를 구성하는 샘플 홀드 회로, 시프트 레지스터 및 비디오 버스 배선은 절연성 기판(14) 상에 일체로 형성되어 있다. 또한, 정극성/부극성 D/A 컨버터들은 도 5에 도시한 바와 같이 IC칩으로서 구동 회로 기판(102) 상에 탑재되어 있다. 본 실시 형태에서는, 정극성/부극성 D/A 컨버터들을 구동 회로 기판(102) 상에 탑재하였지만, 절연 기판(14) 상에 탑재하여도 괜찮다.

도 5에 도시한 구동 회로 기판(102)은 컨트롤 IC(103), 정극성 D/A 컨버터(11a, 11b), 부극성 D/A 컨버터(12a, 12b) 및 공통 회로(4)를 구비하고 있다. 그리고, 구동 회로 기판(102)과 도시하지 않은 퍼스널 컴퓨터의 프로세서 사이는 FPC(107)에 의해 접속되어 있다.

또, 데이터선 구동 회로(3) 중의 샘플 홀드 회로, 시프트 레지스터 및 비디오 버스 배선은 각각 후술하는 바와 같이 내부적으로 4 병렬로 나누어져 있다. 또한, 절연성 기판(14) 상에 형성되는 TFT(6), 게이트선 구동 회로(2)와, 데이터선 구동 회로(3)의 일부는 p-Si TFT로 구성되어 있다.

도 7은 구동 회로 기판(102)의 회로 구성도이다. 컨트롤 IC(103)에는 도시하지 않은 퍼스널 컴퓨터의 프로세서로부터 디지털 영상 신호, 기준 클럭 신호 및 도시하지 않은 복합 동기 신호가 공급된다. 디지털 영상 신호로서는, 각 수평 주사 기간마다 R, G, B의 각 색에서 각각 3072 도트, 즉 1024 화소분의 데이터가 순차 공급된다.

컨트롤 IC(103)는 재배열 회로(15), 선택 출력 회로(16) 및 제어 신호 생성부(17)를 구비하고 있다. 재배열 회로(15)는 외부 프로세서로부터 공급되는 디지털의 영상 신호를 후술하는 극성 반전 구동을 위해 재배열하는 회로이며, 도시하지 않은 2 라인 메모리를 포함하고 있다. 선택 출력 회로(16)는 프레임마다 각각의 영상 신호의 극성에 따라 정극성 또는 부극성 D/A 컨버터로 분류하여 출력한다. 제어 신호 생성부(17)는 도시하지 않은 외부 프로세서로부터 디지털의 영상 신호와 동시에 공급되는 기준 클럭 신호 및 도시하지 않은 복합 동기 신호에 기초하여 극성 반전 신호(Vpol)나 클럭 신호 등의 각종 제어 신호를 생성하여 출력한다.

정극성 D/A 컨버터(11a, 11b) 및 부극성 D/A 컨버터(12a, 12b)는 컨트롤 IC(103)로부터 공급된 디지털 영상 신호를 아날로그 영상 신호로 변환하여 액정 패널(101)의 도시하지 않은 비디오 버스 배선으로 공급한다.

본 실시 형태에 따른 액정 패널(101)에서는, 후술하는 바와 같이 표시 화면이 데이터선을 따라 4개의 영역(대블록)으로 분할되어 있으며, 각 영역마다 정부(正負) 24개의 영상 신호가 병렬로 공급되도록 구성되어 있다. 정극성 D/A 컨버터(11a, 11b)에서는, 4개의 영역으로 각각 정극성의 영상 신호가 12개씩, 합계 48개 출력된다. 부극성 D/A 컨버터(12a, 12b)에서는 4개의 영역으로 각각 부극성의 영상 신호가 12개씩, 합계 48개가 출력된다.

도 7에 도시한 정극성 D/A 컨버터(11a, 11b)의 내부에는 도시하지 않은 정극성용의 D/A 컨버터부가 각각 24개 배치되어 있다. 또한, 부극성 D/A 컨버터(12a, 12b)의 내부에는, 도시하지 않은 부극성용의 D/A 컨버터가 각각 24개 배치되어 있다.

정극성 D/A 컨버터(11a, 11b) 및 부극성 D/A 컨버터(12a, 12b)와, 비디오 버스 배선과의 접속 관계에 대해서는, 후에 상세히 설명한다.

여기서, 상기한 바와 같은 액티브 매트릭스형의 액정 표시 장치에 있어서의 액정 패널의 극성 반전 구동에 대해 설명한다.

일반적인 액정 표시 장치에 있어서는, 액정층의 특성 열화를 방지하기 위해 1 프레임마다 액정 패널의 화소와 대향 전극 사이에 인가하는 전위차의 극성을 반전시키고 있다. 이러한 극성 반전 구동 방법으로서, 예를 들면 인접하는 수직 화소 라인마다(열마다) 화소와 대향 전극 사이에 인가하는 전위차의 극성을 반전시키는 V(수직) 라인 반전 구동 법이나, 인접하는 화소마다 화소와 대향 전극 사이에 인가하는 전위차의 극성을 반전시키는 H/V(수평/수직) 라인 반전 구동 법 등이 알려져 있다.

그런데, 액정을 구동하기 위해서는, 통상 5V 정도의 전압을 필요로 한다. 따라서, 상기한 바와 같은 반전 구동 방법을 실시하기 위해서는, 구동 회로의 출력으로서 10V의 내압이 필요해져서, 소비 전력의 경감은 곤란하였다. 그래서, 소비 전력의 경감을 목적으로 한 액정 표시 장치가 제안되어 있다.

예를 들면, 일본 특원평9-186151호 공보에는 외부로부터 입력되는 직렬인 디지털 영상 신호를 병렬 신호로 변환한 후에 아날로그 신호로 변환하는 복수의 D/A 변환 회로와, 각각의 D/A 변환 회로에 접속된 증폭기를 구비하고, 인접하는 D/A 변환 회로에 접속되는 증폭기를 상호 역극성의 전원 전압에 접속함과 함께, 각각의 증폭기에 한쌍의 스위치 쌍을 접속하고, 이 스위치쌍을 구성하는 스위치를 각각 데이터 데이터선에 접속한 표시 장치가 개시되어 있다. 이 구성에 따르면, 구동 회로를 단일 극성의 내압으로 동작시킬 수 있으므로, 소비 전력을 경감시킬 수 있다. 또한, 인접하는 신호선에서 표시 신호 버스를 공용할 수 있기 때문에, 표시 신호 버스의 갯수를 줄일 수 있어 회로 규모를 작게 할 수가 있다.

이 일본 특원평9-186151호 공보에 개시된 표시 장치에서는, 임의의 프레임 기간에 있어서는, 홀수번째의 D/A 변환 회로는 홀수번째의 데이터선을 구동하고, 짝수번째의 D/A 변환 회로는 짝수번째의 데이터선을 구동한다. 그리고, 다

음의 프레임 기간에 있어서는, 홀수번째의 D/A 변환 회로는 짝수번째의 데이터선을 구동하고, 짝수번째의 D/A 변환 회로는 홀수번째의 데이터선을 구동한다. 이러한 극성 반전 구동을 가능하게 하기 위해, 미리 외부에 배치된 메모리에 의해 프레임에 따라 영상 신호의 재배열을 행하도록 하고 있다. 이하에 설명하는 액정 패널(101)의 구동 방법에 있어서도, 상기 일본 특원평9-186151호의 표시 장치와 같이 극성 반전 구동을 행하고 있으며, 영상 신호의 재배열을 행하고 있다.

다음에, 본 실시 형태에 따른 액정 패널(101)의 기본적인 구동 방법에 대하여 설명한다.

도 8은 본 실시 형태에 따른 액정 패널(101)의 구동 방법을 설명하기 위한 배선도이며, 데이터선과 이것에 접속하는 내부 배선(비디오 버스 배선)의 관계를 주로 나타내고 있다.

본 실시 형태에 따른 액정 패널(101)에서는, 액티브 매트릭스부(1)에 의해 구성되는 표시 화면을 데이터선을 따라 4 분할하고 있다. 도 8의 L1, L2, R1, R2는 분할된 각각의 영역을 나타내고 있다. 각 영역에 공급되는 영상 신호는, 화면을 4 분할하는 3개의 라인 중, 좌우의 2 라인(라인 L, 라인 R)을 중심으로 하여, 각각 화살표 방향을 향해 일제히 주사된다. 이것은, 분할된 경계에서의 불연속성을 해소하기 위해서이다.

이러한 주사를 행하기 위해 데이터선 구동 회로(3: 도 6)는 전기적으로 4 병렬화되어 있다. 즉, 데이터선 구동 회로(3)를 구성하는 시프트 레지스터, 샘플 홀드 회로 등의 회로군은 4 분할되어, 각각의 영역마다 독립하여 설치되어 있다. 본 예와 같이, 4개의 영역에서 영상 신호를 동시에 샘플링하여 출력하도록 구성한 경우에는, 일 화면을 하나의 시프트 레지스터로 순차 샘플링하여 출력하는 경우에 비교하여, 시프트 레지스터에서의 샘플링 시간을 4배 길게 하는 것이 가능해져서 양호한 표시 화상을 실현할 수 있다.

도 8의 CN-L, CN-R에는, 구동 회로 기판(102: 도 5)으로부터 아날로그의 영상 신호가 공급된다. CN-L, CN-R에는, 각 영역에 공급될 24개분의 영상 신호가 입력된다. 즉, CN-L에는 영역 L1, L2에 각각 공급될 48개(24개 $\times$ 2)의 영상 신호가 입력되며, CN-R에는 영역 R1, R2에 각각 공급될 48개(24개 $\times$ 2)의 영상 신호가 입력된다.

액정 패널(101)에 입력된 영상 신호는, 각 영역마다 배선된 24개의 비디오 버스 배선(예를 들면, L1P1, L1N1, ..., L1N12)을 통하여, 후술하는 스위치 회로(113)로 출력된다. 비디오 버스 배선은 정극성의 영상 신호가 공급되는 라인과, 부극성의 영상 신호가 공급되는 라인이 교대로 배열되어 있다. 도 8에 도시한 비디오 버스 배선에서는, 정극성의 라인에는 'P'를, 부극성의 라인에는 'N'을 각각 붙이고 있다. 예를 들면, 비디오 버스 배선 L1P1은 정극성의 라인, L1N1은 부극성의 라인을 나타내고 있다.

도 9는 도 8에 도시한 영역 L1의 부분 확대도이다. 하나의 영역은 내부가 32개의 블록(소블록)으로 나누어져 있다.

그리고, 하나의 블록에서는 R, G, B의 각 색이 각각 8개씩 분류되어 있다.

예를 들면, 블록 1에는 R1 R8, G1 G8, B1 B8으로, 블록 2에는 R9 R16, G9 G16, B9 B16으로, 각각 분류되어 있다. 또한, 블록 32에는 R249 R256, G249 G256, B249 B256으로 분류되어 있다.

이와 같이, 각 블록에서는 R, G, B의 각 색마다 각각 8개의 분류가 있고, 1 블록에서는 합계 24개분의 영상 신호가 동시에 샘플링된다. 또한, 도 9에 도시한 바와 같이, 하나의 블록을 한 단위로 하여 32 블록을 순서대로 샘플링함으로써, 각 영역에서 영상 신호가 샘플링되어 출력된다.

예를 들면, 도 9의 블록 32로부터 블록 1의 순으로 샘플링이 행해짐으로써, 도 8의 영역 L1에서는 B256으로부터 R1을 향해 영상 신호가 순차 샘플링되어 출력된다. 다른 영역에서도 마찬가지로 샘플링이 행해진다. 이와 같이, 하나의 영역에서는 24 $\times$ 32 = 768 화소의 샘플링이 행해지게 되기 때문에, 4개의 영역의 합계에서는 각 수평 주사 기간에 3072개의 화소에 대응하는 샘플링이 달성된다. 이러한 샘플링 출력을 모든 주사선에 대해 반복함으로써 1 프레임분의 영상 신호가 각 화소에 순차 기입된다.

본 실시 형태에 따른 액정 패널(101)의 구동 방법에서는, V 라인 반전 구동법을 이용하고 있다. 즉, 각각의 프레임 기간 중에, 데이터선 구동 회로(3)는 인접하는 데이터선의 전위가 상호, 기준 전압에 대하여 역극성이 되도록 데이터선을 구동하며, 동시에 각각의 데이터선의 전위는 프레임 주기로 극성 반전된다. 다만, 액정 패널(101)의 구동 방법은 V 라인 반전 구동법에 한하지 않고, 예를 들면 H라인 반전 구동법이나 H/V 반전 구동법을 적용할 수도 있다.

도 10은 데이터선 구동 회로(3)의 부분 회로도이며, 도 8의 영역 L1에 대응하는 부분의 회로 구성을 나타내고 있다.

본 실시 형태의 데이터선 구동 회로(3)는 4 분할된 영역에 대응하여 4 병렬화되어 있다. 도 10은 4 분할된 영역 중 한 영역의 회로 구성을 나타내고 있다.

데이터선 구동 회로(3)는 시프트 레지스터(111)와, 이 시프트 레지스터(111)로부터의 출력 Q에 기초하여 아날로그의 영상 신호를 샘플링하는 샘플 홀드 회로(112)를 구비하고 있다. 이들 회로는 구동 회로 기판(102: 도 5)으로부터 공급된 아날로그의 영상 신호를 수평 클럭 신호 CKH에 동기하여 순차 샘플링하여 각 데이터선에 기입하도록 구성되어 있다.

시프트 레지스터(111)의 출력 Q는 홀수번째의 신호 전환 회로(112a), 짝수번째의 신호 전환 회로(112b)에 입력된다. 또한, 비디오 버스 배선(125)에는 정극성의 R, G, B의 아날로그 신호가 입력되고, 비디오 버스 배선(126)에는 부극성의 R, G, B의 아날로그 신호가 입력된다.

스위치 회로(113)의 각각은 Pch 트랜지스터와 Nch 트랜지스터의 쌍으로 구성되어 있다. 정극성의 비디오 버스 배선(125)은 Pch 트랜지스터(114, 115)를 통해 데이터선 Dm-n, Dm-(n-1)에 접속되어 있다. 한편, 부극성의 비디오 버스 배선(126)은 Nch 트랜지스터(116, 117)를 통해 데이터선 Dm-n, Dm-(n-1)에 접속되어 있다.

Pch 트랜지스터(114)의 게이트는 OR 게이트(118)의 출력 단자에 접속되고, Nch 트랜지스터(116)의 게이트는 AND 게이트(119)의 출력단에 접속되어 있다. 또한, Pch 트랜지스터(115)의 게이트는 NAND 게이트(120)의 출력단에 접속되고, Nch 트랜지스터(117)의 게이트는 NOR 게이트(121)의 출력단에 접속되어 있다.

OR 게이트(118), AND 게이트(119), NAND 게이트(120), NOR 게이트(121)에는, 극성 반전 신호 Vpol이 입력된다. 또한, AND 게이트(119)와 NAND 게이트(120)는 시프트 레지스터(111)의 출력 Q에 접속되어 있다. OR 게이트(118)

에는 시프트 레지스터(111)로부터의 출력 Q가 인버터(122)를 통해 접속되고, NOR 게이트(121)에는 시프트 레지스터(111)로부터의 출력 Q가 인버터(123)를 통해 접속되어 있다. 시프트 레지스터(111)는 수평 클럭 신호 CKH에 동기하여 수평 동기 신호 STH를 순차 시프트하도록 구성되어 있다. 시프트 레지스터(111)로부터의 출력 Q는 수평 동기 신호 STH에 기초하여 출력된다.

다음에, 도 10에 도시한 회로의 동작에 대하여 설명한다. 여기서는, 인접하는 한쌍의 데이터선 Dm-n 및 Dm-(n-1)과, 그것에 접속하는 스위치 회로(113), 신호전환 회로(112a 및 112b)의 동작에 대해 설명한다. 또한, 신호 전환 회로(112a, 112b)에 공급되는 극성 반전 신호 Vpol은 Low 레벨이 정극성을, High 레벨이 부극성을 각각 나타내도록 한다. 또한, 극성 반전 신호 Vpol은 프레임마다 전환되도록 한다.

극성 반전 신호 Vpol이 Low 레벨인 경우, OR 게이트(118)는 시프트 레지스터(111)로부터의 출력 Q를 통과시키는 상태로 되고, AND 게이트(119)의 출력은 Low 레벨로 된다. 또한, NAND 게이트(120)의 출력은 High 레벨로 되고, NOR 게이트(121)는 출력 Q를 반전하여 통과시키는 상태로 된다. 따라서, Pch 트랜지스터(114)는 시프트 레지스터(111)로부터의 출력 Q에 의해 도통 상태로 되고, Nch 트랜지스터(116) 및 Pch 트랜지스터(115)는 비도통 상태로 된다. 또한, Nch 트랜지스터(117)는 시프트 레지스터(111)로부터의 출력 Q에 의해 도통 상태가 된다. 그 결과, 데이터선 Dm-n에는, 시프트 레지스터(111)로부터의 출력 Q에 기초하여 정극성의 영상 신호가 기입된다. 한편, 데이터선 Dm-(n-1)에는 시프트 레지스터(111)로부터의 출력 Q에 기초하여 부극성의 영상 신호가 기입된다.

극성 반전 신호 Vpol이 High 레벨인 경우, OR 게이트(118)는 High 레벨로 되고, AND 게이트(119)는 출력 Q를 통과시키는 상태로 된다. 또한, NAND 게이트(120)는 출력 Q를 반전하여 통과시키는 상태로 되고, NOR 게이트(121)의 출력은 Low 레벨로 된다. 따라서, Pch 트랜지스터(114)는 비도통 상태로 되고, Nch 트랜지스터(116)는 시프트 레지스터(111)로부터의 출력 Q에 의해 도통 상태로 된다. 또한, Pch 트랜지스터(115)는 시프트 레지스터(111)로부터의 출력 Q에 의해 도통 상태로 되고, Nch 트랜지스터(117)는 비도통 상태로 된다. 그 결과, 데이터선 Dm-n에는 시프트 레지스터(111)로부터의 출력 Q에 기초하여 부극성의 영상 신호가 기입된다. 한편, 데이터선 Dm-(n-1)에는, 시프트 레지스터(111)로부터의 출력 Q에 기초하여 정극성의 영상 신호가 기입된다.

이상의 동작이 프레임마다 반복됨으로써, 인접하는 데이터선 Dm-n, Dm-(n-1)에는, 정극성의 영상 신호와 부극성의 영상 신호가 교대로 기입된다. 다른 데이터선에 대해서도, 동일하게 인접하는 데이터선에는 정극성의 영상 신호와 부극성의 영상 신호가 교대로 기입된다. 또한, 상기한 회로 구성에 있어서는, 비디오 버스 배선(125)에는 정극성의 영상 신호만이 출력되고, 비디오 버스 배선(126)에는 부극성의 영상 신호만이 출력된다. 이러한 구성에 의하면, 샘플 홀드 회로(112)의 각 게이트 소자를 단극성의 내압으로 동작시킬 수 있으므로, 소비 전력을 경감할 수 있다.

도 11은 컨트롤 IC(103: 도 7)에서 재배열된 영상 신호의 데이터 배열을 나타내는 설명도이다. 도면 중 우측은, 프로세서로부터 공급된 1 라인분의 영상 신호를, 영역 L1, L2, R1, R2의 1/32 블록마다 재배열한 경우의 데이터 열을 나타내고 있다. 또한, 도면 중 좌측은, 극성 반전 신호의 극성(Pol)과 그 때의 각 비디오 버스 배선으로의 분배의 룰(rule)을 나타내고 있다. Pol = 0(Low 레벨)은 극성 반전 신호가 정극성을 나타낼 때의 배선(配信)을, 또한 Pol = 1(High 레벨)은 극성 반전 신호가 부극성을 나타낼 때의 배선을 나타내고 있다.

영역 L1의 블록 1을 예로서 데이터의 분배를 설명한다. 극성 반전 신호가 Pol = 0인 경우, 블록 1의 비디오 버스 배선 L1P1에는 'R249'가, L1N1에는 'G249'가 각각 공급된다. 'R249'의 영상 신호는, 도 10의 Pch 트랜지스터(114)를 통과하여 데이터선 Dm-n에 기입되며, 'G249'의 영상 신호는 도 10의 Nch 트랜지스터(117)를 통과하여 데이터선 Dm-(n-1)에 기입된다. 한편, 극성 반전 신호가 Pol = 1인 경우, 블록 1의 비디오 버스 배선 L1P1에는 'G249'가, L1N1에는 'R249'가 각각 공급된다. 'G249'의 영상 신호는 도 10의 Pch 트랜지스터(115)를 통과하여 데이터선 Dm-(n-1)에 기입되고, 'R249'의 영상 신호는 도 10의 Nch 트랜지스터(116)를 통과하여 데이터선 Dm-n에 기입된다.

도 11에 도시한 바와 같은 데이터의 재배열을 행함으로써, 도 10의 비디오 버스 배선(125)에는 항상 정극성의 영상 신호만이 출력되고, 비디오 버스 배선(126)에는 항상 부극성의 영상 신호만이 출력되게 된다. 즉, 인접하는 데이터선 Dm-n, Dm-(n-1)에서는, 프레임 주기로 영상 신호의 극성이 반전되지만, 각 비디오 버스 배선에는 항상 동극성의 영상 신호가 출력된다.

다음에, 상기한 바와 같이 구성된 액정 패널(101)의 구동 회로에서의 특징적인 구성에 대해 설명한다.

도 1은 지금까지 설명하여 온 액정 화소, 비디오 버스 배선 및 D/A 컨버터의 접속 관계를 나타내는 개념도로서, Gi번째와 Gi+1번째의 게이트선 및 Dj번째로부터 Dj+3번째까지의 데이터선을 나타내고 있다. 단, D/A 컨버터로 영상 신호가 입력되기까지의 회로와, 절연성 기판 상에 형성한 회로 부분은 도시하지 않는다. 또한, 샘플 홀드 회로 등의 다른 회로 관계에 대해서도 도시를 생략하고 있다.

도 1에 도시한 바와 같이, 데이터선 Dj, Dj+1, Dj+2, ...중, 데이터선 Dj, Dj+1은, 정극성 D/A 컨버터(11a), 부극성 D/A 컨버터(12a)와 연결되는 비디오 버스 배선(131, 132)에 접속되며, 데이터선 Dj+2, Dj+3은 정극성 D/A 컨버터(11b)와 부극성 D/A 컨버터(12b)와 연결되는 비디오 버스 배선(133, 134)에 접속되어 있다. 그리고, 본 실시 형태와 같이 4개의 D/A 컨버터를 사용한 경우, 도시하지 않은 다음의 2개의 데이터선 Dj+4, Dj+5는 비디오 버스 배선(131, 132)과 접속되며, 또한 다음의 2개의 데이터선 Dj+6, Dj+7은 비디오 버스 배선(133, 134)과 접속된다. 즉, 인접하는 2개의 데이터선과 정부(正負)의 영상 신호를 공급하는 2개의 비디오 버스 배선을 정부의 일조로 하여, 이들 조합이 교대로 배치되도록 구성되어 있다.

상기 구성에 있어서, 인접하는 데이터선에 정극성과 부극성의 영상 신호가 각각 교대로 기입되는 경우에 대해 보면, 정극성의 영상 신호의 기입 데이터선에는 정극성 D/A 컨버터(11a)와 정극성 D/A 컨버터(11b)에서의 출력이 1개씩 기입되고, 또한 부극성의 영상 신호가 기입되는 데이터선에는 부극성 D/A 컨버터(12a)와 부극성 D/A 컨버터(12b)에서의 출력이 1개씩 기입된다.

따라서, 정극성 D/A 컨버터(11a와 11b) 또는 부극성 D/A 컨버터(12a와 12b)에 있어서, 출력 변동 등이 있더라도, 화면 상에서의 농담의 얼룩짐은 2번째의 데이터선마다 나타나게 되므로, 얼룩짐이 화면 전체에 분산되어 인식되기 어렵게 된다. 이 때문에, 단일 계조 표시를 한 경우라도, 농담의 얼룩짐이 이음매로서 인식되지 않게 되어, 양호한 표시 화상을 얻을 수 있다.

본 실시 형태에서는, 설명을 간략하게 하기 위해 4개의 D/A 컨버터를 사용한 경우에 대하여 설명하였지만, 다수의 D/A 컨버터를 더 사용한 경우에도 마찬가지로의 접속을 행할 수 있다.

도 2는 다른 실시 형태를 나타내는 것으로, 도 1과 동일하게 액정 화소, 비디오 버스 배선 및 D/A 컨버터의 접속 관계를 나타내는 개념도이다. 도 2에 있어 서도, G_i 번째와 G_i+1 번째의 게이트선 및 D_j 번째로부터 D_j+3 번째까지의 데이터선을 나타내고 있다. 또한, D/A 컨버터로 영상 신호가 입력되기까지의 회로와, 절연성 기판 상에 형성한 회로 부분은 도시하지 않는다. 또한, 다른 회로 관계에 대해서도 도시를 생략하고 있다.

도 2에 도시한 D/A 컨버터(21, 22)는 각각 정극성과 부극성의 영상 신호를 공급할 수 있도록 구성되어 있으며, 프레임마다 영상 신호의 극성을 반전시켜 출력하고 있다. 데이터선 D_j , D_j+1 , D_j+2 , ...중, 데이터선 D_j , D_j+2 는 D/A 컨버터(21)와 연결되는 비디오 버스 배선(135, 136)에 접속되며, 데이터선 D_j+1 , D_j+3 은 D/A 컨버터(22)와 연결되는 비디오 버스 배선(137, 138)에 접속되어 있다. 즉, 데이터선 D_j 가 짝수번째로 있다고 하면, D_j , D_j+2 , D_j+4 , ...와 같은 짝수번째에 있는 데이터선은 D/A 컨버터(21)와 접속되고, D_j+1 , D_j+3 , ...과 같은 홀수번째에 있는 데이터선은 D/A 컨버터(22)와 접속된다. 그리고, 임의의 프레임에서, 화소 (D_j , G_i)에 대하여 D/A 컨버터(21)가 정극성으로 기입을 행하고, 화소 (D_j+1 , G_i)에 대하여 D/A 컨버터(22)가 부극성으로 기입을 행하였다고 하면, 다음의 프레임에서는, 화소 (D_j , G_i)에 대하여 D/A 컨버터(21)가 부극성으로 기입을 행하고, 화소 (D_j+1 , G_i)에 대하여 D/A 컨버터(22)가 정극성으로 기입을 행한다고 하는 동작이 반복된다.

상기 구성에 의하면, 임의의 프레임에 있어서, 2번째마다의 데이터선에는 D/A 컨버터(21)로부터 정극성의 영상 신호가 기입되고, 나머지 데이터선에는 D/A 컨버터(22)로부터 부극성의 영상 신호가 기입된다. 또한, 다음의 프레임에 있어서, 2번째마다의 데이터선에는 D/A 컨버터(22)로부터 정극성의 영상 신호가 기입되고, 나머지 데이터선에는 D/A 컨버터(21)로부터 부극성의 영상 신호가 기입된다.

따라서, D/A 컨버터(21와 22)에 있어서, 각각 출력 변동 등이 있더라도, 화면상에서의 농담의 얼룩짐은 데이터선의 하나 건너(즉, 2라인마다) 나타나게 되어, 화면 전체로 분산되어 인식되기 어렵게 된다. 이 때문에, 단일 계조 표시를 한 경우에도, 농담의 얼룩짐이 이음매로서 인식되지 않게 되어 양호한 표시 화상을 얻을 수 있다.

또, 상술한 실시 형태의 데이터선 구동 회로(3)에서는 샘플 홀드 회로, 시프트 레지스터 및 비디오 버스 배선을 절연성 기판(14) 상에 형성한 예에 대하여 나타내었지만, D/A 컨버터(11, 12, 21, 22)나 이 D/A 컨버터의 전단에 배치되는 도시하지 않은 시프트 레지스터를 절연성 기판(14) 상에 형성한 구성으로 하여도 좋다. 또한, 컨트롤 IC(103)를 포함해서 절연성 기판(14) 상에 형성한 구성으로 하여도 좋다.

또한, 본 실시 형태에 있어서는, 정극성과 부극성의 영상 신호를 공급할 수 있도록 구성된 D/A 컨버터를 2개 사용한 경우에 대하여 설명하였지만, 마찬가지로의 기능을 구비한 D/A 컨버터를 또한 다수 사용한 경우에도 마찬가지로 접속할 수가 있다.

여기서, 정극성과 부극성의 영상 신호를 공급할 수 있는 D/A 컨버터를 이용한 다른 실시 형태에 대해 설명한다.

도 3은 도 2의 다른 실시 형태를 나타내는 개념도이다. 도 3에서는, 주로 데이터선 구동 회로(3)의 회로 구성에 대하여 나타내고 있다. 또한, 도 2와 동등 부분은 동일 부호로 표시하고 있다.

도 3에 도시한 데이터선 구동 회로(3)에는, 정극성과 부극성의 영상 신호를 공급할 수 있는 4개의 D/A 컨버터(32-1, 32-2, 32-3, 32-4)가 배치되어 있다. 이들 D/A 컨버터로는 컨트롤 IC(103)로부터 시프트 레지스터(31-1, 31-2, 31-3, 31-4)를 통해 디지털 영상 신호가 병렬로 공급되어 있다. D/A 컨버터(32-1, 32-2, 32-3, 32-4)와 데이터선 D_1 , D_2 , D_3 , ...은, 비디오 버스 배선(33)과 데이터선의 구동용 증폭기(34)를 통해 접속되어 있다.

도 3에 도시한 회로 구성에서는, D/A 컨버터(32-1)는 데이터선 D_1 , D_5 , D_9 , ...에 접속되고, D/A 컨버터(32-2)는 데이터선 D_2 , D_6 , D_{10} , ...에 접속되어, 순차 아날로그 영상 신호를 출력하도록 구성되어 있다. 또한, D/A 컨버터(32-3)는 데이터선 D_3 , D_7 , D_{11} , ...에 접속되고, D/A 컨버터(32-4)는 데이터선 D_4 , D_8 , D_{12} , ...에 접속되며, 순차 아날로그 영상 신호를 출력하도록 구성되어 있다.

본 실시 형태에 있어서, 시프트 레지스터(31-1, 31-2, 31-3, 31-4), D/A 컨버터(32-1, 32-2, 32-3, 32-4), 비디오 버스 배선(33) 및 구동용 증폭기(34)는 절연성 기판(14) 상에 일체로 형성되어 있다. 다만, 컨트롤 IC(103)는 구동 회로 기판(102) 상에 형성되어 있다.

상기 구성에 따르면, 인접하는 데이터선은 상호 다른 D/A 컨버터에 접속되어 있다. 여기서, 홀수번째의 데이터선에는 정극성의 영상 신호가 기입되고, 짝수번째의 데이터선에는 부극성의 영상 신호가 기입된다고 하면, 정극성의 영상 신호가 기입되는 홀수번째의 데이터선에는 D/A 컨버터(32-1과 32-3)로부터의 출력이 각각 1개 건너(즉, 2개 간격으로) 기입되고, 부극성의 영상 신호가 기입되는 짝수번째의 데이터선에는 D/A 컨버터(32-2와 32-4)로부터의 출력이 각각 1개 건너 기입되게 된다.

따라서, D/A 컨버터(32-1, 32-2, 32-3, 32-4)에 있어서, 각각 출력 변동이 있더라도, 화면 상에서의 농담의 얼룩짐은 데이터선의 2라인마다 나타나게 되어, 화면 전체로 분산되어 인식되기 어렵게 된다. 이 때문에, 단일 계조 표시를 한 경우에도, 농담의 얼룩짐이 이음매로서 인식되지 않게 되어 양호한 표시 화상을 얻을 수 있다.

또, 상술한 실시 형태의 데이터선 구동 회로(3)에서는, 시프트 레지스터(31), D/A 컨버터(32), 비디오 버스 배선(33) 및 구동용 증폭기(34)를 절연성 기판(14) 상에 일체로 형성한 예에 대하여 나타내었지만, 컨트롤 IC(103)를 포함해서 절연성 기판(14) 상에 일체로 형성한 구성으로 하여도 좋다. 또한, 데이터선 구동 회로(3) 중의 비디오 버스 배선(33)과 구동용 증폭기(34)만을 절연성 기판(14) 상에 형성하고, 그 밖의 것을 구동 회로 기판(102) 상에 형성한 구성으로

하여도 좋다. 또한, 비디오 버스 배선(33), 구동용 증폭기(34) 및 D/A 컨버터(32)를 절연성 기판(14) 상에 형성하고, 그 밖의 것을 구동 회로 기판(102) 상에 형성한 구성으로 하여도 좋다.

본 실시 형태에서는, 설명을 간략화하기 위해 4개의 D/A 컨버터를 사용한 경우에 대하여 설명하였지만, 또한 다수의 D/A 컨버터를 사용한 경우에도 마찬가지로의 접속을 행할 수 있다.

계속해서, 정극성과 부극성의 영상 신호를 공급할 수 있는 D/A 컨버터를 이용한 또 다른 실시 형태에 대하여 설명한다.

도 4는 도 2의 또 다른 실시 형태를 나타내는 개념도이다. 도 4에서는, 주로 데이터선 구동 회로(3)의 회로 구성에 대하여 나타내고 있다. 또한, 도 2와 동등 부분은 동일 부호로 표시하고 있다.

도 4에 도시한 데이터선 구동 회로(3)에는, 정극성과 부극성의 영상 신호를 공급할 수 있는 4개의 D/A 컨버터(42-1, 42-2, 42-3, 42-4)가 배치되어 있다. 이들 D/A 컨버터로는, 컨트롤 IC(103)로부터 시프트 레지스터(41-1, 41-2, 41-3, 41-4)를 통해 디지털 영상 신호가 공급되어 있다. D/A 컨버터(42-1, 42-2, 42-3, 42-4)와 데이터선 D1, D2, D3, ...은 버스 라인(43), 시프트 레지스터(44) 및 데이터선의 구동용 증폭기(45)를 통해 접속되어 있다.

D/A 컨버터(42-1)로부터의 출력은 버스 라인(43)을 통해 데이터선 D1, D2, D3, ...으로 분배되어 있다. 마찬가지로, D/A 컨버터(42-2, 42-3, 42-4)로부터의 도시하지 않은 출력에 대해서도, 도시하지 않은 버스 라인을 통해 데이터선 D1, D2, D3, ...으로 각각 분배되어 있다.

도 4에 도시한 바와 같이, D/A 컨버터(42-1)로부터의 출력은 버스 라인(43)의 각 라인에 접속되어 있으며, 상기 출력은 이 접속된 라인을 통하여 데이터선 D1, D5, D9, ...에 접속되어 있다. 마찬가지로, D/A 컨버터(42-2)로부터의 출력은 도시하지 않은 버스 라인을 통해 데이터선 D2, D6, D10, ...에 접속되어 있다. 또한, D/A 컨버터(42-3)로부터의 출력은 도시하지 않은 버스 라인을 통해 데이터선 D3, D7, D11, ...에 접속되며, 또한 D/A 컨버터(42-4)로부터의 출력은 도시하지 않은 버스 라인을 통해 데이터선 D4, D8, D12, ...에 접속되어 있다.

본 실시 형태에 있어서, 시프트 레지스터(41-1, 41-2, 41-3, 41-4), D/A 컨버터(42-1, 42-2, 42-3, 42-4), 버스 라인(43), 시프트 레지스터(44) 및 구동용 증폭기(45)는 절연성 기판(14) 상에 일체로 형성되어 있다. 다만, 컨트롤 IC(103)는 구동 회로 기판(102) 상에 형성되어 있다. 상기 구성에 따르면, 인접하는 데이터선은 상호 다른 D/A 컨버터에 접속되어 있다. 여기서, 홀수번째의 데이터선에는 정극성의 아날로그 영상 신호가 기입되고, 짝수번째의 데이터선에는 부극성의 아날로그 영상 신호가 기입된다고 하면, 정극성의 영상 신호가 기입되는 홀수번째의 데이터선에는 D/A 컨버터(42-1과 42-3)로부터의 출력이 각각 2개 간격으로 기입되고, 부극성의 영상 신호가 기입되는 짝수번째의 데이터선에는 D/A 컨버터(42-2와 42-4)로부터의 출력이 각각 2개 간격으로 기입되게 된다.

산업상 이용 가능성

따라서, D/A 컨버터(42-1, 42-2, 42-3, 42-4)에 있어서, 각각 출력 변동이 있더라도, 화면 상에서의 농담의 얼룩짐은 데이터선 한 개 건너(즉, 2개 간격으로) 나타나게 되어, 화면 전체로 분산되어 인식되기 어렵게 된다. 이 때문에, 단일 계조 표시를 한 경우에도, 농담의 얼룩짐이 이음매로서 인식되지 않아 양호한 표시 화상을 얻을 수 있다.

특히, 도 4와 같이 버스 라인을 이용한 경우에는, 각 D/A 컨버터를 멀리 떨어진 영역에 형성할 수 있기 때문에, 제조 과정에서 드라이버 IC의 오프셋이 생기기 쉽게 된다. 이 때문에, 본 실시 형태와 같은 회로 구성은 양호한 표시 화상을 얻는 데 유효하게 된다.

또, 상술한 실시 형태의 데이터선 구동 회로(3)에서는 시프트 레지스터(41), D/A 컨버터(42), 버스 라인(43), 시프트 레지스터(44) 및 구동용 증폭기(45)를 절연성 기판(14) 상에 형성한 예에 대하여 나타내었지만, 컨트롤 IC(103)도 포함해서 절연성 기판(14) 상에 형성한 구성으로 하여도 좋다. 또한, 데이터선 구동 회로(3) 중의 버스 라인(43), 시프트 레지스터(44) 및 구동용 증폭기(45)만을 절연성 기판(14) 상에 형성하고, 그 밖의 것을 구동 회로 기판(102) 상에 형성한 구성으로 하여도 좋다. 또한, 버스 라인(43), 시프트 레지스터(44), 구동용 증폭기(45) 및 D/A 컨버터(42)를 절연성 기판(14) 상에 형성하고, 그 밖의 것을 구동 회로 기판(102) 상에 형성한 구성으로 하여도 좋다.

본 실시 형태에서는 4개의 D/A 컨버터를 사용한 경우에 대해 설명하였지만, 또한 다수의 D/A 컨버터를 사용한 경우에도 마찬가지로의 접속을 행할 수 있다.

(57) 청구의 범위

청구항 1.

평면 패널 표시 장치에 있어서,

절연 기판 상에 매트릭스형으로 배치된 데이터선들과 주사선들, 상기 데이터선들과 주사선들의 교점들 근방에 배치된 화소 스위치 소자들, 및 상기 화소 스위치 소자들에 접속된 화소 전극들을 포함하는 어레이 기판과, 상기 화소 전극들에 대향하는 대향 전극과, 상기 화소 전극과 상기 대향 전극 사이에 삽입된 광 변조층을 포함하는 표시 패널;

상기 절연 기판 상에 배치되어, 상기 데이터선들에, 대응하는 아날로그 영상 신호들을 공급하는 데이터선 구동기; 및 상기 절연 기판 상에 배치되어, 상기 주사선들에 주사 신호들을 공급하는 주사선 구동기

를 포함하고,

상기 데이터선 구동기는

시프트 레지스터들에 의해 병렬로 공급되는 디지털 영상 신호들을 아날로그 신호들로 순차 변환하는 적어도 제1 및 제2 디지털-아날로그 변환기

를 포함하며,

상기 제1 및 제2 디지털 ;아날로그 변환기 각각은 비디오 버스 배선을 통해 상기 복수의 데이터선 각각에 접속되고, 각 수평 주사 기간마다 상기 아날로그 영상 신호들을 상기 아날로그 신호들에 따라서 대응하는 데이터선들에 제공하며,

상기 제1 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선과, 상기 제2 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치되어 있는 평면 패널 표시 장치.

청구항 2.

제1항에 있어서,

상기 데이터선 구동기는

상기 제1 및 제2 디지털 ;아날로그 변환기에 대응하고, 상호 병렬 동작하는 시프트 레지스터들을 포함하는 평면 패널 표시 장치.

청구항 3.

제2항에 있어서,

상기 화소 스위치 소자, 상기 제1 및 제2 디지털 ;아날로그 변환기 및 상기 시프트 레지스터들은

활성층이 폴리실리콘으로 구성된 박막 트랜지스터들

을 포함하는 평면 패널 표시 장치.

청구항 4.

평면 패널 표시 장치에 있어서,

절연 기판 상에 매트릭스형으로 배치된 데이터선들과 주사선들, 상기 데이터선들과 주사선들의 교점들 근방에 배치된 화소 스위치 소자들, 및 상기 화소 스위치 소자들에 접속된 화소 전극들을 포함하는 어레이 기판과, 상기 화소 전극들에 대향하는 대향 전극과, 상기 화소 전극과 상기 대향 전극 사이에 삽입된 광 변조층을 포함하는 표시 패널;

상기 데이터선들에, 대응하는 아날로그 영상 신호들을 공급하는 데이터선 구동기; 및

상기 주사선들에 주사 신호들을 공급하는 주사선 구동기

를 포함하고,

상기 데이터선 구동기는

상기 절연 기판 상에 배치되는 복수의 비디오 버스 배선들과,

상기 비디오 버스 배선을 상기 비디오 버스 배선과 대응하는 상기 데이터선에 전기적으로 접속하는 스위치 회로와, 디지털 영상 신호들을 아날로그 신호들로 순차 변환하는 적어도 제1, 제2 및 제3 디지털 ;아날로그 변환기

를 포함하고,

상기 제1, 제2 및 제3 디지털 ;아날로그 변환기 각각은 복수의 데이터선 각각에 접속되며, 상기 아날로그 영상 신호들을 상기 아날로그 신호들에 따라서 대응하는 데이터선들에 제공하고,

상기 제1 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선, 상기 제2 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선, 및 상기 제3 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치되어 있는 평면 패널 표시 장치.

청구항 5.

평면 패널 표시 장치에 있어서,

절연 기판 상에 매트릭스형으로 배치된 데이터선들과 주사선들, 상기 데이터선들과 주사선들과의 교점들 근방에 배치된 화소 스위치 소자들, 및 상기 화소 스위치 소자들에 접속된 화소 전극들을 포함하는 어레이 기판과, 상기 화소 전극들에 대향하는 대향 전극과, 상기 화소 전극과 상기 대향 전극 사이에 삽입된 광 변조층을 포함하는 표시 패널;

상기 데이터선들에, 대응하는 아날로그 영상 신호들을 공급하는 데이터선 구동기; 및

상기 주사선들에 주사 신호들을 공급하는 주사선 구동기

를 포함하고,

상기 데이터선 구동기는

상기 절연 기판 상에 배치되는 비디오 버스 배선들과,

상기 비디오 버스 배선을 상기 비디오 버스 배선과 대응하는 상기 데이터선에 전기적으로 접속하는 스위치 회로와, 디지털 영상 신호들을 아날로그 신호들로 순차 변환하는 적어도 제1, 제2, 제3 및 제4 디지털 ;아날로그 변환기

를 포함하고,

상기 제1, 제2, 제3 및 제4 디지털 ;아날로그 변환기 각각은 복수의 데이터선 각각에 접속되며, 상기 아날로그 영상 신호들을 상기 아날로그 신호들에 따라서 대응하는 데이터선들에 제공하고,

상기 제1 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선, 상기 제2 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선, 상기 제3 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선, 및 상기 제4 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치되어 있는 평면 패널 표시 장치

청구항 6.

제5항에 있어서,

상기 제1 및 제2 디지털 ;아날로그 변환기는 기준 전압에 대하여 정극성의 아날로그 영상 신호들을 공급하고, 상기 제3 및 제4 디지털 ;아날로그 변환기는 기준 전압에 대하여 부극성의 아날로그 영상 신호들을 공급하는 평면 패널 표시 장치.

청구항 7.

제6항에 있어서,
상기 스위치 회로는 상기 비디오 버스 배선들과, 대응하는 상기 데이터선들과의 관계를 소정 기간마다 전환하는 평면 패널 표시 장치.

청구항 8.

제5항에 있어서,
상기 화소 스위치 소자들 및 상기 스위치 회로는 활성층이 폴리실리콘으로 구성된 박막 트랜지스터들을 포함하는 평면 패널 표시 장치.

청구항 9.

제5항에 있어서,
상기 제1 내지 제4 디지털 ;아날로그 변환기는 외부 구동기 회로 기판 상에 형성되어 있는 평면 패널 표시 장치.

청구항 10.

평면 패널 표시 장치에 있어서,
절연 기판 상에 매트릭스형으로 배치된 데이터선들과 주사선들, 상기 데이터선들과 주사선들의 교점들 근방에 배치된 화소 스위치 소자들, 및 상기 화소 스위치 소자들에 접속된 화소 전극들을 포함하는 어레이 기판과, 상기 화소 전극들에 대향하는 대향 전극과, 상기 화소 전극들과 상기 대향 전극 사이에 삽입된 광 변조층을 포함하는 표시 패널;
상기 데이터선들에, 대응하는 아날로그 영상 신호들을 공급하는 데이터선 구동기; 및
상기 주사선들에 주사 신호들을 공급하는 주사선 구동기
를 포함하고,
상기 데이터선 구동기는
상기 절연 기판 상에 배치된 비디오 버스 배선들과,
상기 비디오 버스 배선들과 전기적으로 접속되고, 디지털 영상 신호들을 아날로그 신호들로 순차 변환하는 적어도 제1 및 제2 디지털 ;아날로그 변환기 - 상기 제1 및 제2 디지털 ;아날로그 변환기 각각은 상기 복수의 데이터선 각각에 접속되고, 상기 아날로그 영상 신호들을 상기 아날로그 신호들에 따라서 대응하는 데이터선들에 제공함 - 와,
상기 데이터선들의 아날로그 영상 신호들에 관한 직-병렬 변환을 순차 실행하여, 이들을, 데이터선 연장 방향으로 상기 데이터선들을 분할하여 형성된 데이터선 그룹에 접속하는 적어도 제1 및 제2 시프트 레지스터들을 포함하며,
상기 제1 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선과, 상기 제2 디지털 ;아날로그 변환기에 전기적으로 접속되는 상기 데이터선은 소정 수의 간격으로 교대로 배치되고,
상기 제1 시프트 레지스터의 제1단에 접속된 데이터선과 상기 제2 시프트 레지스터의 제1단에 접속된 데이터선, 또는 상기 제1 시프트 레지스터의 최종단에 접속된 데이터선과 상기 제2 시프트 레지스터의 최종단에 접속된 데이터선은 서로 인접하여 배치되어 있는 평면 패널 표시 장치.

청구항 11.

제1항에 있어서,
정극성의 아날로그 영상 신호와 부극성의 아날로그 영상 신호를 다른 디지털 ;아날로그 변환 회로에서 변환하는 평면 패널 표시 장치.

청구항 12.

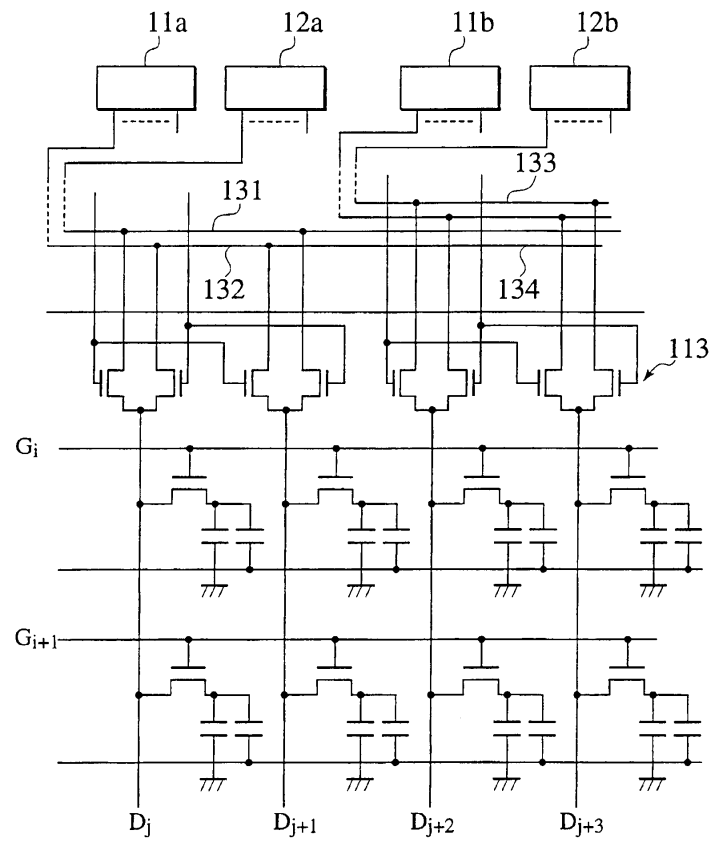
제1항에 있어서,
상기 비디오 버스 배선과 대응하는 상기 데이터선을 전기적으로 접속하는 스위치 회로를 포함하는 평면 패널 표시 장치.

청구항 13.

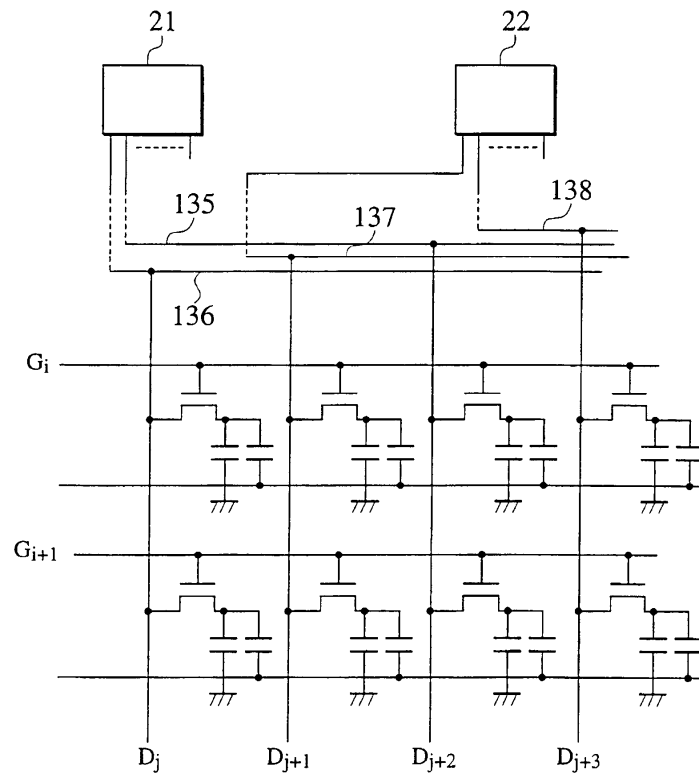
제11항에 있어서,
상기 스위치 회로는 Pch 트랜지스터와 Nch 트랜지스터를 1쌍으로 한 구조인 평면 패널 표시 장치.

도면

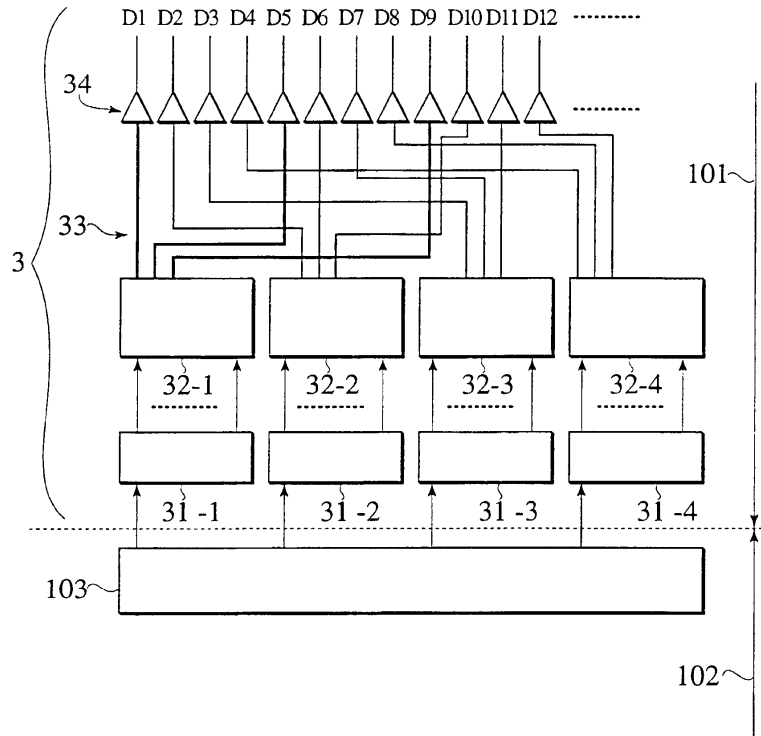
도면1



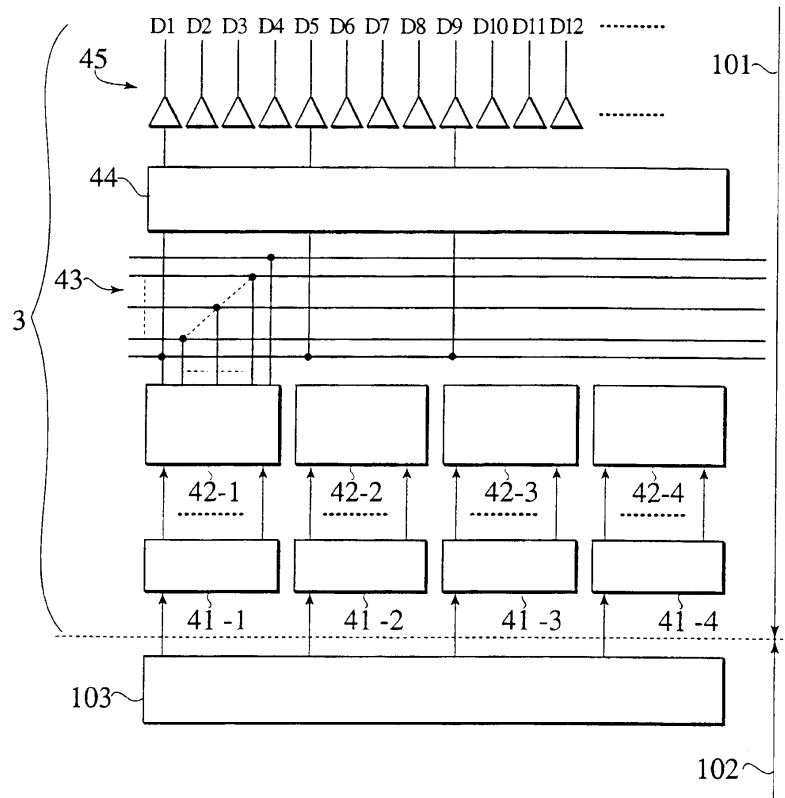
도면2



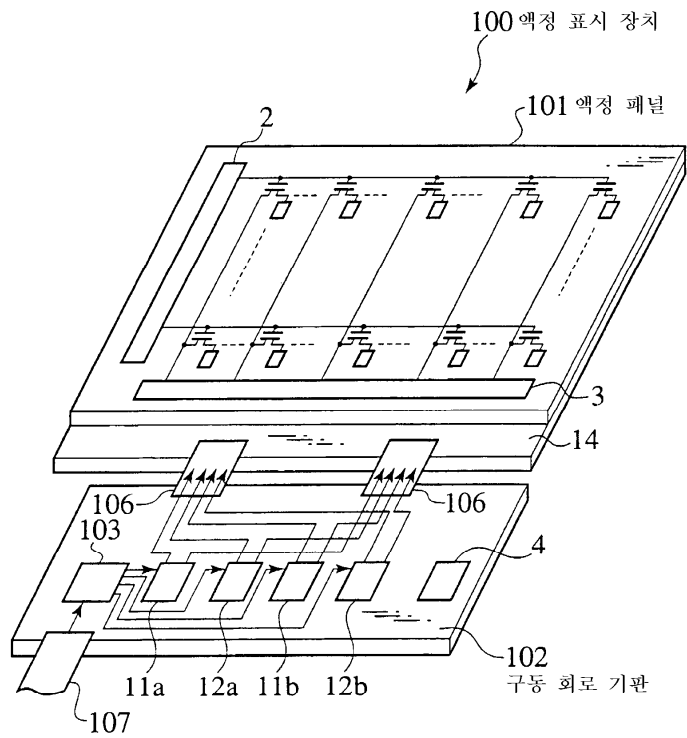
도면3



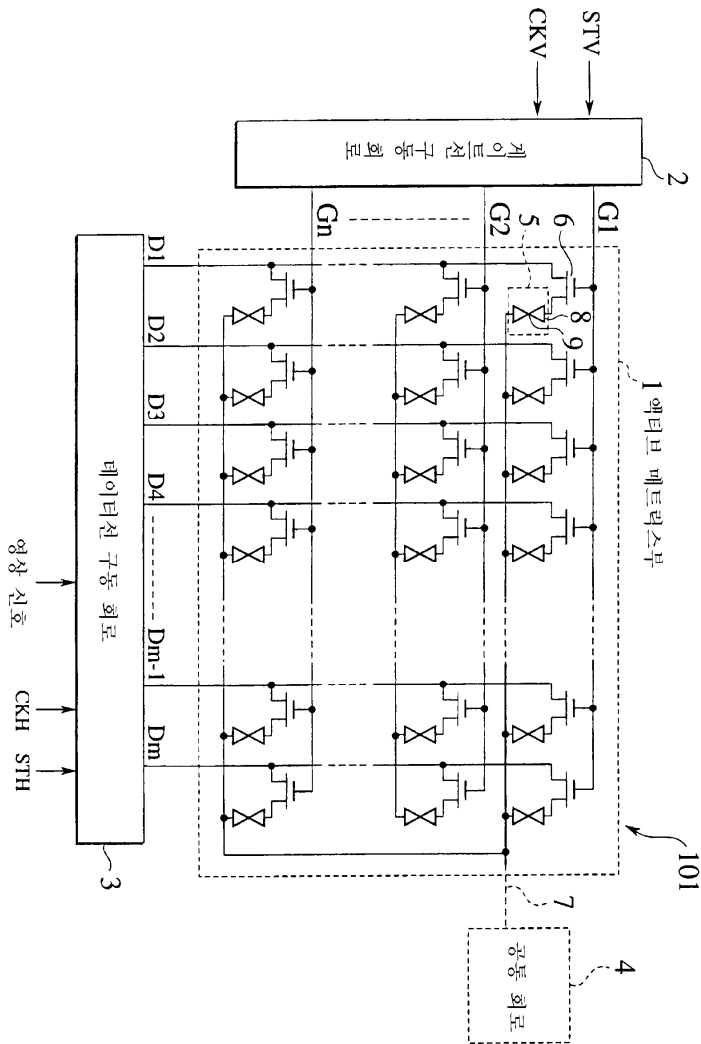
도면4



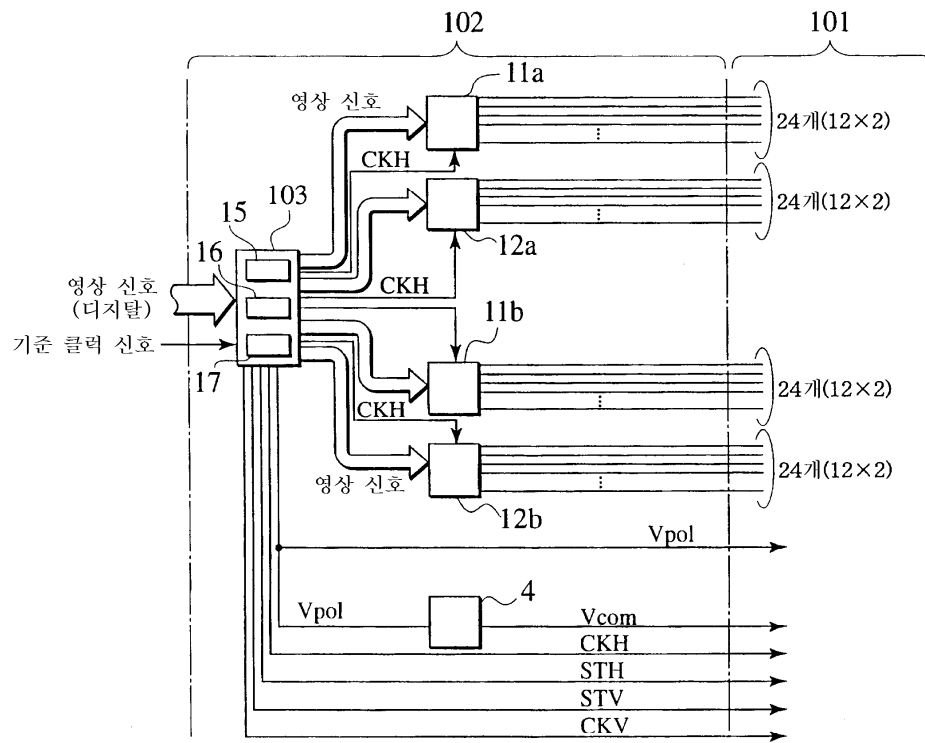
도면5



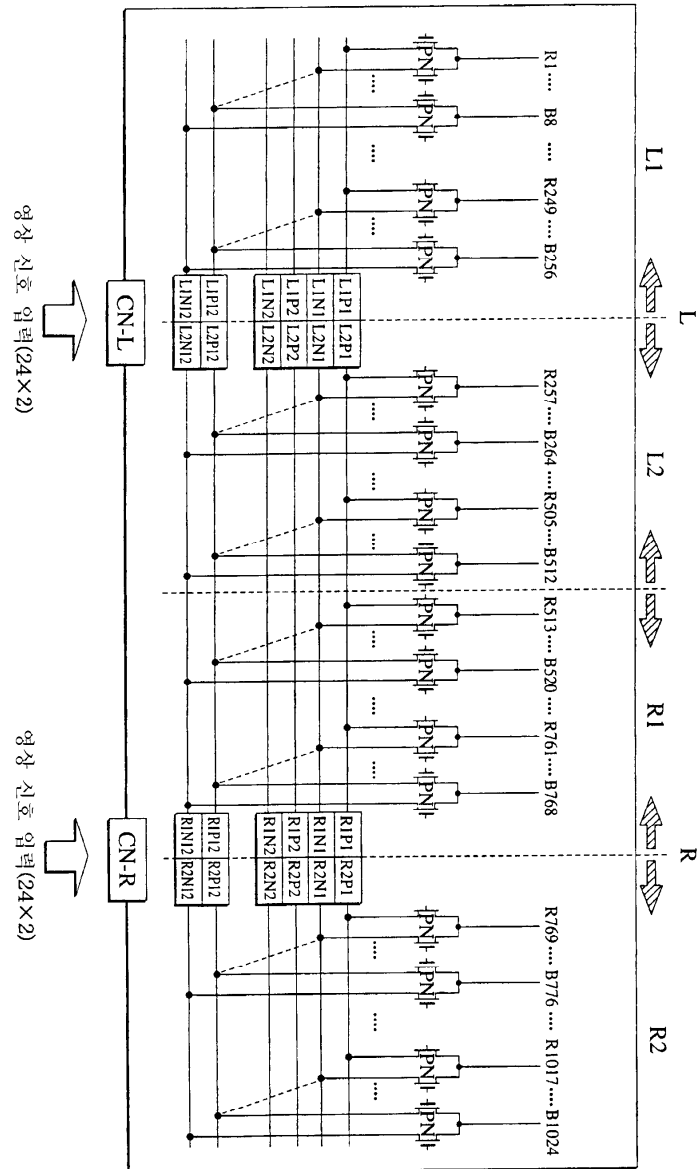
도면6



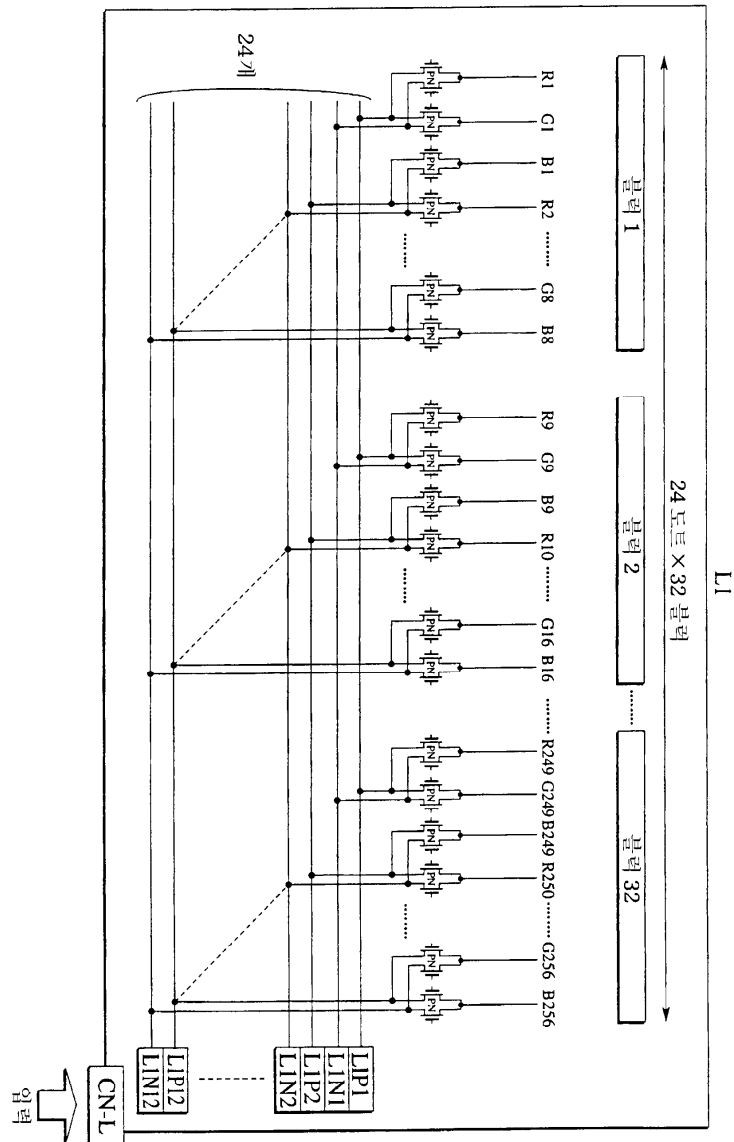
도면7



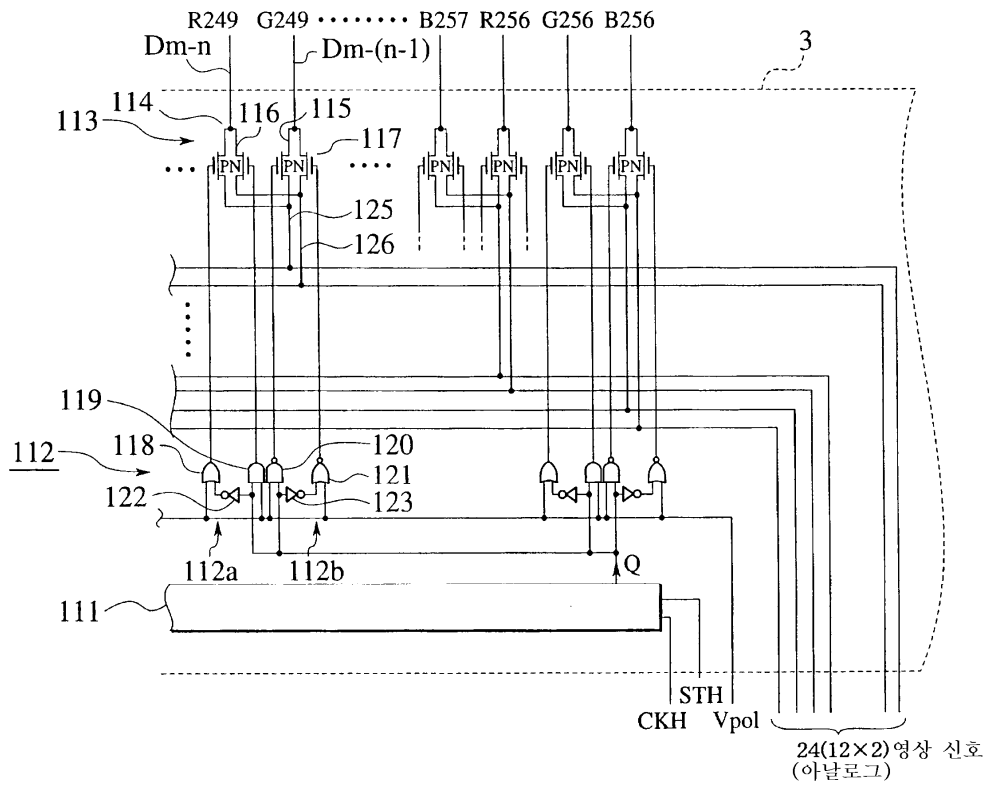
도면8



도면9



도면10



도면11

L1
(24개)

POB=0	POB=1
L1P1	L1N1
L1P2	L1P3
L1N2	L1N2
L1P3	L1P4
L1N3	L1N3
L1P4	L1P5
L1N4	L1N4
L1P5	L1P6
L1N5	L1N5
L1P6	L1P7
L1N6	L1N6
L1P7	L1P8
L1N7	L1N7
L1P8	L1P9
L1N8	L1N8
L1P9	L1P10
L1N9	L1N9
L1P10	L1P11
L1N10	L1N10
L1P11	L1P12
L1N11	L1N11
L1P12	L1P13
L1N12	L1N12

L2
(24개)

POB=0	POB=1
L2P1	L2N1
L2P2	L2P3
L2N2	L2N2
L2P3	L2P4
L2N3	L2N3
L2P4	L2P5
L2N4	L2N4
L2P5	L2P6
L2N5	L2N5
L2P6	L2P7
L2N6	L2N6
L2P7	L2P8
L2N7	L2N7
L2P8	L2P9
L2N8	L2N8
L2P9	L2P10
L2N9	L2N9
L2P10	L2P11
L2N10	L2N10
L2P11	L2P12
L2N11	L2N11
L2P12	L2P13
L2N12	L2N12

R1
(24개)

POB=0	POB=1
R1P1	R1N1
R1P2	R1P3
R1N2	R1N2
R1P3	R1P4
R1N3	R1N3
R1P4	R1P5
R1N4	R1N4
R1P5	R1P6
R1N5	R1N5
R1P6	R1P7
R1N6	R1N6
R1P7	R1P8
R1N7	R1N7
R1P8	R1P9
R1N8	R1N8
R1P9	R1P10
R1N9	R1N9
R1P10	R1P11
R1N10	R1N10
R1P11	R1P12
R1N11	R1N11
R1P12	R1P13
R1N12	R1N12

R2
(24개)

POB=0	POB=1
R2P1	R2N1
R2P2	R2P3
R2N2	R2N2
R2P3	R2P4
R2N3	R2N3
R2P4	R2P5
R2N4	R2N4
R2P5	R2P6
R2N5	R2N5
R2P6	R2P7
R2N6	R2N6
R2P7	R2P8
R2N7	R2N7
R2P8	R2P9
R2N8	R2N8
R2P9	R2P10
R2N9	R2N9
R2P10	R2P11
R2N10	R2N10
R2P11	R2P12
R2N11	R2N11
R2P12	R2P13
R2N12	R2N12

분류	1	2	3	4	5	31	32
R 249	R 241	R 233	R 225	R 217	R 209	R 17	R 9
G 249	G 241	G 233	G 225	G 217	G 209	G 17	G 9
B 249	B 241	B 233	B 225	B 217	B 209	B 17	B 9
R 250	R 242	R 234	R 226	R 218	R 210	R 18	R 10
G 250	G 242	G 234	G 226	G 218	G 210	G 18	G 10
B 250	B 242	B 234	B 226	B 218	B 210	B 18	B 10
R 251	R 243	R 235	R 227	R 219	R 211	R 19	R 11
G 251	G 243	G 235	G 227	G 219	G 211	G 19	G 11
B 251	B 243	B 235	B 227	B 219	B 211	B 19	B 11
R 252	R 244	R 236	R 228	R 220	R 212	R 20	R 12
G 252	G 244	G 236	G 228	G 220	G 212	G 20	G 12
B 252	B 244	B 236	B 228	B 220	B 212	B 20	B 12
R 253	R 245	R 237	R 229	R 221	R 213	R 21	R 13
G 253	G 245	G 237	G 229	G 221	G 213	G 21	G 13
B 253	B 245	B 237	B 229	B 221	B 213	B 21	B 13
R 254	R 246	R 238	R 230	R 222	R 214	R 22	R 14
G 254	G 246	G 238	G 230	G 222	G 214	G 22	G 14
B 254	B 246	B 238	B 230	B 222	B 214	B 22	B 14
R 255	R 247	R 239	R 231	R 223	R 215	R 23	R 15
G 255	G 247	G 239	G 231	G 223	G 215	G 23	G 15
B 255	B 247	B 239	B 231	B 223	B 215	B 23	B 15
R 256	R 248	R 240	R 232	R 224	R 216	R 24	R 16
G 256	G 248	G 240	G 232	G 224	G 216	G 24	G 16
B 256	B 248	B 240	B 232	B 224	B 216	B 24	B 16

분류	1	2	3	4	5	31	32
R 257	R 255	R 253	R 251	R 249	R 247	R 497	R 505
G 257	G 255	G 253	G 251	G 249	G 247	G 497	G 505
B 257	B 255	B 253	B 251	B 249	B 247	B 497	B 505
R 258	R 256	R 254	R 252	R 250	R 248	R 498	R 506
G 258	G 256	G 254	G 252	G 250	G 248	G 498	G 506
B 258	B 256	B 254	B 252	B 250	B 248	B 498	B 506
R 259	R 257	R 255	R 253	R 251	R 249	R 499	R 507
G 259	G 257	G 255	G 253	G 251	G 249	G 499	G 507
B 259	B 257	B 255	B 253	B 251	B 249	B 499	B 507
R 260	R 258	R 256	R 254	R 252	R 250	R 500	R 508
G 260	G 258	G 256	G 254	G 252	G 250	G 500	G 508
B 260	B 258	B 256	B 254	B 252	B 250	B 500	B 508
R 261	R 259	R 257	R 255	R 253	R 251	R 501	R 509
G 261	G 259	G 257	G 255	G 253	G 251	G 501	G 509
B 261	B 259	B 257	B 255	B 253	B 251	B 501	B 509
R 262	R 260	R 258	R 256	R 254	R 252	R 502	R 510
G 262	G 260	G 258	G 256	G 254	G 252	G 502	G 510
B 262	B 260	B 258	B 256	B 254	B 252	B 502	B 510
R 263	R 261	R 259	R 257	R 255	R 253	R 503	R 511
G 263	G 261	G 259	G 257	G 255	G 253	G 503	G 511
B 263	B 261	B 259	B 257	B 255	B 253	B 503	B 511
R 264	R 262	R 260	R 258	R 256	R 254	R 504	R 512
G 264	G 262	G 260	G 258	G 256	G 254	G 504	G 512
B 264	B 262	B 260	B 258	B 256	B 254	B 504	B 512
R 265	R 263	R 261	R 259	R 257	R 255	R 505	R 513
G 265	G 263	G 261	G 259	G 257	G 255	G 505	G 513
B 265	B 263	B 261	B 259	B 257	B 255	B 505	B 513
R 266	R 264	R 262	R 260	R 258	R 256	R 506	R 514
G 266	G 264	G 262	G 260	G 258	G 256	G 506	G 514
B 266	B 264	B 262	B 260	B 258	B 256	B 506	B 514

분류	1	2	3	4	5	31	32
R 761	R 753	R 745	R 737	R 729	R 721	R 149	R 157
G 761	G 753	G 745	G 737	G 729	G 721	G 149	G 157
B 761	B 753	B 745	B 737	B 729	B 721	B 149	B 157
R 762	R 754	R 746	R 738	R 730	R 722	R 150	R 158
G 762	G 754	G 746	G 738	G 730	G 722	G 150	G 158
B 762	B 754	B 746	B 738	B 730	B 722	B 150	B 158
R 763	R 755	R 747	R 739	R 731	R 723	R 151	R 159
G 763	G 755	G 747	G 739	G 731	G 723	G 151	G 159
B 763	B 755	B 747	B 739	B 731	B 723	B 151	B 159
R 764	R 756	R 748	R 740	R 732	R 724	R 152	R 160
G 764	G 756	G 748	G 740	G 732	G 724	G 152	G 160
B 764	B 756	B 748	B 740	B 732	B 724	B 152	B 160
R 765	R 757	R 749	R 741	R 733	R 725	R 153	R 161
G 765	G 757	G 749	G 741	G 733	G 725	G 153	G 161
B 765	B 757	B 749	B 741	B 733	B 725	B 153	B 161
R 766	R 758	R 750	R 742	R 734	R 726	R 154	R 162
G 766	G 758	G 750	G 742	G 734	G 726	G 154	G 162
B 766	B 758	B 750	B 742	B 734	B 726	B 154	B 162
R 767	R 759	R 751	R 743	R 735	R 727	R 155	R 163
G 767	G 759	G 751	G 743	G 735	G 727	G 155	G 163
B 767	B 759	B 751	B 743	B 735	B 727	B 155	B 163
R 768	R 760	R 752	R 744	R 736	R 728	R 156	R 164
G 768	G 760	G 752	G 744	G 736	G 728	G 156	G 164
B 768	B 760	B 752	B 744	B 736	B 728	B 156	B 164
R 769	R 761	R 753	R 745	R 737	R 729	R 157	R 165
G 769	G 761	G 753	G 745	G 737	G 729	G 157	G 165
B 769	B 761	B 753	B 745	B 737	B 729	B 157	B 165
R 770	R 762	R 754	R 746	R 738	R 730	R 158	R 166
G 770	G 762	G 754	G 746	G 738	G 730	G 158	G 166
B 770	B 762	B 754	B 746	B 738	B 730	B 158	B 166
R 771	R 763	R 755	R 747	R 739	R 731	R 159	R 167
G 771	G 763	G 755	G 747	G 739	G 731	G 159	G 167
B 771	B 763	B 755	B 747	B 739	B 731	B 159	B 167
R 772	R 764	R 756	R 748	R 740	R 732	R 160	R 168
G 772	G 764	G 756	G 748	G 740	G 732	G 160	G 168
B 772	B 764	B 756	B 748	B 740	B 732	B 160	B 168
R 773	R 765	R 757	R 749	R 741	R 733	R 161	R 169
G 773	G 765	G 757	G 749	G 741	G 733	G 161	G 169
B 773	B 765	B 757	B 749	B 741	B 733	B 161	B 169
R 774	R 766	R 758	R 750	R 742	R 734	R 162	R 170
G 774	G 766	G 758	G 750	G 742	G 734	G 162	G 170
B 774	B 766	B 758	B 750	B 742	B 734	B 162	B 170
R 775	R 767	R 759	R 751	R 743	R 735	R 163	R 171
G 775	G 767	G 759	G 751	G 743	G 735	G 163	G 171
B 775	B 767	B 759	B 751	B 743	B 735	B 163	B 171
R 776	R 768	R 760	R 752	R 744	R 736	R 164	R 172
G 776	G 768	G 760	G 752	G 744	G 736	G 164	G 172
B 776	B 768	B 760	B 752	B 744	B 736	B 164	B 172
R 777	R 769	R 761	R 753	R 745	R 737	R 165	R 173
G 777	G 769	G 761	G 753	G 745	G 737	G 165	G 173
B 777	B 769	B 761	B 753	B 745	B 737	B 165	B 173
R 778	R 770	R 762	R 754	R 746	R 738	R 166	R 174
G 778	G 770	G 762	G 754	G 746	G 738	G 166	G 174
B 778	B 770	B 762	B 754	B 746	B 738	B 166	B 174
R 779	R 771	R 763	R 755	R 747	R 739	R 167	R 175
G 779	G 771	G 763	G 755	G 747	G 739	G 167	G 175
B 779	B 771	B 763	B 755	B 747	B 739	B 167	B 175
R 780	R 772	R 764	R 756	R 748	R 740	R 168	R 176
G 780	G 772	G 764	G 756	G 748	G 740	G 168	G 176
B 780	B 772	B 764	B 756	B 748	B 740	B 168	B 176
R 781	R 773	R 765	R 757	R 749	R 741	R 169	R 177
G 781	G 773	G 765	G 757	G 749	G 741	G 169	G 177
B 781	B 773	B 765	B 757	B 749	B 741	B 169	B 177
R 782	R 774	R 766	R 758	R 750	R 742	R 170	R 178
G 782	G 774	G 766	G 758	G 750	G 742	G 170	G 178
B 782	B 774	B 766	B 758	B 750	B 742	B 170	B 178
R 783	R 775	R 767	R 759	R 751	R 743	R 171	R 179
G 783	G 775	G 767	G 759	G 751	G 743	G 171	G 179
B 783	B 775	B 767	B 759	B 751	B 743	B 171	B 179
R 784	R 776	R 768	R 760	R 752	R 744	R 172	R 180
G 784	G 776	G 768	G 760	G 752	G 744	G 172	G 180
B 784	B 776	B 768	B 760	B 752	B 744	B 172	B 180

