(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0097793
(43) 공개일자 2008년11월06일

(51) Int. Cl.
G02F 1/1343 (2006.01) *G02F 1/136* (2006.01)
(21) 출원번호 10-2007-0043101
(22) 출원일자 2007년05월03일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
김동규
경기 용인시 수지구 풍덕천2동 삼성5차아파트 523동 1305호
(74) 대리인
팬코리아특허법인

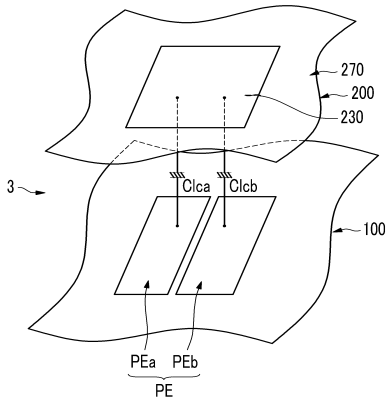
전체 청구항 수 : 총 23 항

(54) 액정 표시 장치

(57) 요 약

본 발명에 따른 액정 표시 장치는 기판, 기판 위에 형성되어 있으며 서로 이웃하는 제1 게이트선 및 제2 게이트선, 제1 및 제2 게이트선과 절연된 상태로 교차하며 서로 이웃하는 제1 데이터선 및 제2 데이터선, 제1 및 제2 게이트선과 절연된 상태로 교차하는 유지 전극선, 제1 게이트선과 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제1 박막 트랜지스터, 제1 게이트선과 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터의 출력 단자에 연결되어 있는 제1 부화소 전극, 제2 박막 트랜지스터의 출력 단자에 연결되어 있는 제2 부화소 전극, 제2 게이트선과 제1 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제3 박막 트랜지스터, 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제1 축전기용 도전체를 포함한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

기판,

상기 기판 위에 형성되어 있으며 서로 이웃하는 제1 게이트선, 제2 게이트선 및 제3 게이트선,

상기 제1 내지 제3 게이트선과 절연된 상태로 교차하며 서로 이웃하는 제1 데이터선 및 제2 데이터선,

상기 제1 내지 제3 게이트선과 절연된 상태로 교차하는 유지 전극선,

상기 제1 게이트선과 상기 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제1 박막 트랜지스터,

상기 제1 게이트선과 상기 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터의 출력 단자에 연결되어 있는 제1 부화소 전극,

상기 제2 박막 트랜지스터의 출력 단자에 연결되어 있는 제2 부화소 전극,

상기 제2 게이트선과 상기 제1 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제3 박막 트랜지스터,

상기 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제1 및 제2 부화소 전극과 같은 층에 형성되어 있고, 상기 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제1 축전기용 도전체,

상기 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 상기 제2 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제1 보조 전극,

상기 제2 게이트선과 상기 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제4 박막 트랜지스터,

상기 제2 게이트선과 상기 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제5 박막 트랜지스터,

상기 제4 박막 트랜지스터의 출력 단자에 연결되어 있는 제3 부화소 전극,

상기 제5 박막 트랜지스터의 출력 단자에 연결되어 있는 제4 부화소 전극,

상기 제3 게이트선과 상기 제3 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제6 박막 트랜지스터,

상기 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제3 및 제4 부화소 전극과 같은 층에 형성되어 있고, 상기 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제2 축전기용 도전체,

상기 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 상기 제4 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제2 보조 전극

을 포함하고,

상기 유지 전극선은 상기 제1 데이터선과 상기 제2 데이터선으로부터 등거리에 위치하는 제1 부분, 상기 제3 박막 트랜지스터 주위를 오른쪽으로 돌아 상기 제1 부분과 연결되는 제2 부분 및 상기 제6 박막 트랜지스터 주위를 왼쪽으로 돌아 상기 제1 부분과 연결되는 제3 부분을 포함하고, 상기 제1 게이트선과 상기 제2 게이트선 사이의 간격보다 상기 제1 데이터선과 상기 제2 데이터선 사이의 간격이 더 넓은 액정 표시 장치.

청구항 2

기판,

상기 기판 위에 형성되어 있으며 서로 이웃하는 제1 게이트선 및 제2 게이트선,

상기 제1 및 제2 게이트선과 절연된 상태로 교차하며 서로 이웃하는 제1 데이터선 및 제2 데이터선,

상기 제1 및 제2 게이트선과 절연된 상태로 교차하는 유지 전극선,

상기 제1 게이트선과 상기 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제1 박막 트랜지스터,

상기 제1 게이트선과 상기 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터의 출력 단자에 연결되어 있는 제1 부화소 전극,

상기 제2 박막 트랜지스터의 출력 단자에 연결되어 있는 제2 부화소 전극,

상기 제2 게이트선과 상기 제1 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제3 박막 트랜지스터,

상기 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 상기 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제1 축전기용 도전체

를 포함하는 액정 표시 장치.

청구항 3

제2항에서,

상기 제1 축전기용 도전체는 상기 제1 및 제2 부화소 전극과 같은 층에 형성되어 있는 액정 표시 장치.

청구항 4

제3항에서,

상기 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 상기 제2 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제1 보조 전극을 더 포함하는 액정 표시 장치.

청구항 5

제4항에서,

상기 제1 보조 전극은 상기 제3 박막 트랜지스터의 출력 단자가 연장되어 이루어진 것인 액정 표시 장치.

청구항 6

제2항에서,

상기 유지 전극선은 상기 제1 데이터선과 상기 제2 데이터선으로부터 등거리에 위치하는 제1 부분과 상기 제3 박막 트랜지스터 주위를 우회하여 상기 제1 부분과 연결되는 제2 부분을 포함하는 액정 표시 장치.

청구항 7

제2항에서,

상기 제1 게이트선과 상기 제2 게이트선 사이의 간격보다 상기 제1 데이터선과 상기 제2 데이터선 사이의 간격이 더 넓은 액정 표시 장치.

청구항 8

제2항에서,

상기 제1 박막 트랜지스터의 출력 전극과 상기 제2 박막 트랜지스터의 출력 전극은 연결되어 있는 액정 표시 장치.

청구항 9

제2항에서,

상기 제2 게이트선과 이웃하는 제3 게이트선,

상기 제2 게이트선과 상기 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제4 박막 트랜지스터,

상기 제2 게이트선과 상기 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제5 박막 트랜지스터,

상기 제4 박막 트랜지스터의 출력 단자에 연결되어 있는 제3 부화소 전극,

상기 제5 박막 트랜지스터의 출력 단자에 연결되어 있는 제4 부화소 전극,

상기 제3 게이트선과 상기 제3 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제6 박막 트랜지스터,

상기 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제3 및 제4 부화소 전극과 같은 층에 형성되어 있고, 상기 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제2 축전기용 도전체

를 더 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 상기 제4 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제2 보조 전극을 더 포함하는 액정 표시 장치.

청구항 11

제9항에서,

상기 유지 전극선은 상기 제1 데이터선과 상기 제2 데이터선으로부터 등거리에 위치하는 제1 부분, 상기 제3 박막 트랜지스터 주위를 상기 제2 데이터선과 가까운 쪽으로 돌아 상기 제1 부분과 연결되는 제2 부분 및 상기 제6 박막 트랜지스터 주위를 상기 제1 데이터선과 가까운 쪽으로 돌아 상기 제1 부분과 연결되는 제3 부분을 포함하는 액정 표시 장치.

청구항 12

제9항에서,

상기 제4 박막 트랜지스터의 출력 전극과 상기 제5 박막 트랜지스터의 출력 전극은 연결되어 있는 액정 표시 장치.

청구항 13

제2항에서,

상기 제1 부화소 전극은 상기 제2 부화소 전극을 기준으로 하여 왼쪽, 오른쪽 및 아래에 위치하는 제1 내지 제3 부분 및 상기 제1 부분과 제3 부분 사이 및 상기 제2 부분과 제3 부분 사이를 연결하는 연결부를 포함하고, 상기 제2 부화소 전극은 상기 제1 부화소 전극이 형성하는 중앙 공간에 배치되어 있으며, 상기 제1 부화소 전극의 제1 내지 제3 부분과 상기 제2 부화소 전극 사이의 간극은 상기 제1 게이트선과 빗각을 이루고, 상기 제1 부화소 전극의 연결부와 상기 제2 부화소 전극 사이의 간극은 상기 제1 게이트선과 평행한 액정 표시 장치.

청구항 14

제13항에서,

상기 제1 부화소 전극의 제1 부분과 제3 부분은 각각 상기 게이트선에 대하여 빗각을 이루는 절개부를 포함하고, 상기 제2 부화소 전극은 상기 유지 전극선과 중첩하며 상기 데이터선과 나란한 절개부를 포함하는 액정 표시 장치.

청구항 15

제14항에서,

상기 제1 부화소 전극의 제3 부분은 오목한 부분을 가지며, 상기 제1 축전기용 도전체는 상기 제3 부분의 오목한 부분에 배치되어 있는 액정 표시 장치.

청구항 16

제14항에서,

상기 빗각은 45° 인 액정 표시 장치.

청구항 17

기판,

상기 기판 위에 형성되어 있으며 제1 및 제2 게이트 전극을 포함하는 제1 게이트선,

상기 기판 위에 형성되어 있으며 상기 제1 게이트선과 이웃하고 제3 게이트 전극을 포함하는 제2 게이트선,

상기 제1 게이트선 및 제2 게이트선 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며 상기 제1 내지 제3 게이트 전극 각각의 상부에 위치하는 제1 내지 제3 반도체,

상기 게이트 절연막 위에 형성되어 있으며, 상기 제1 및 제2 게이트선과 교차하고, 상기 제1 반도체 위에 걸쳐 있는 제1 소스 전극 및 상기 제2 반도체 위에 걸쳐 있는 제2 소스 전극을 포함하는 데이터선,

상기 게이트 절연막 위에 형성되어 있으며 상기 제3 반도체 위에 걸쳐 있는 제3 소스 전극,

상기 제1 반도체 위에서 상기 제1 소스 전극과 마주하는 제1 드레인 전극,

상기 제2 반도체 위에서 상기 제2 소스 전극에 마주하는 제2 드레인 전극,

상기 제3 반도체 위에서 상기 제3 소스 전극과 마주하는 제3 드레인 전극,

상기 게이트 절연막 위에 형성되어 있으며 상기 제1 및 제2 게이트선과 교차하는 유지 전극선,

상기 제1 내지 제3 반도체와 상기 제1 내지 제3 소스 전극 사이 및 상기 제1 내지 제3 반도체와 상기 제1 내지 제3 드레인 전극 사이에 형성되어 있는 저항성 접촉 부재,

상기 데이터선, 제3 소스 전극, 제1 내지 제3 드레인 전극 및 유지 전극선 위에 형성되어 있으며 상기 제3 소스 전극과 상기 제1 내지 제3 드레인 전극을 각각 노출하는 제1 내지 제4 접촉 구멍을 가지는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제1 접촉 구멍을 통하여 상기 제3 소스 전극에 연결되어 있고 상기 제2 접촉 구멍을 통하여 상기 제1 드레인 전극에 연결되어 있는 제1 부화소 전극,

상기 보호막 위에 형성되어 있으며 상기 제3 접촉 구멍을 통하여 상기 제2 드레인 전극에 연결되어 있는 제2 부화소 전극,

상기 보호막 위에 형성되어 있으며 상기 제4 접촉 구멍을 통하여 상기 제3 드레인 전극에 연결되어 있고, 상기 유지 전극선과 적어도 일부가 중첩하는 축전기용 도전체

를 포함하는 액정 표시 장치.

청구항 18

제17항에서,

상기 제3 드레인 전극에서 연장되어 있고, 상기 제2 부화소 전극과 중첩하는 보조 전극을 더 포함하는 액정 표시 장치.

청구항 19

제18항에서,

상기 저항성 접촉 부재는 상기 데이터선, 상기 제3 소스 전극, 상기 제1 내지 제3 드레인 전극, 상기 유지 전극선 및 상기 보조 전극과 실질적으로 동일한 평면 패턴을 가지는 액정 표시 장치.

청구항 20

제19항에서,

상기 데이터선 아래에 위치하며 상기 제1 및 제2 반도체와 연결되어 있는 제1 선형 반도체, 상기 유지 전극선 아래에 위치하는 제2 선형 반도체, 상기 제3 소스 전극, 상기 제3 드레인 전극 및 상기 보조 전극 아래에 위치하며 상기 제3 반도체와 연결되어 있는 섬형 반도체를 더 포함하는 액정 표시 장치.

청구항 21

제20항에서,

상기 제1 선형 반도체, 상기 제2 선형 반도체 및 상기 섬형 반도체는 각각 그 상부에 위치하는 상기 데이터선, 상기 유지 전극선, 상기 제3 소스 전극, 상기 제3 드레인 전극 및 상기 보조 전극과 실질적으로 동일한 평면 패턴을 가지는 액정 표시 장치.

청구항 22

제17항에서,

상기 제1 부화소 전극은 상기 제2 부화소 전극보다 면적이 넓은 액정 표시 장치.

청구항 23

제17항에서,

상기 제1 드레인 전극과 상기 제2 드레인 전극은 연결되어 있는 액정 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<43> 본 발명은 액정 표시 장치에 관한 것이다.

<44> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

<45> 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다.

<46> 수직 배향 방식의 액정 표시 장치에서 넓은 기준 시야각을 구현하기 위해서 전기장 생성 전극에 절개부를 형성할 수 있다. 절개부는 액정 분자가 기울어지는 방향(tilt direction)을 결정하므로, 이들을 적절하게 배치하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

<47> 그러나 수직 배향 모드의 액정 표시 장치는 전면 시인성에 비해서 측면 시인성이 떨어진다. 이러한 측면 시인성을 개선하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 부화소에 서로 다른 전압을 인가하는 방법이 제시되었다. 하나의 부화소에는 박막 트랜지스터를 연결하여 높은 전압을 인가하고, 다른 부화소는 박막 트랜지스터와 연결된 부화소와 정전 용량을 형성하도록 배치함으로써 낮은 전압이 인가되도록 한다.

발명이 이루고자 하는 기술적 과제

<48> 그러나 두 부화소를 정전 용량성으로 결합시켜 놓으면 정전 용량성 결합으로 인하여 전하의 방전 속도가 저하됨으로써 잔상을 유발하는 문제점이 있다.

<49> 따라서 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 측면 시인성을 개선하면서, 화소에 충전된 전하의 방전 속도 저하를 방지하여 잔상이 발생하지 않도록 하는 것이다.

발명의 구성 및 작용

<50> 본 발명의 한 실시예에 따른 액정 표시 장치는 기판, 기판 위에 형성되어 있으며 서로 이웃하는 제1 게이트선, 제2 게이트선 및 제3 게이트선, 제1 내지 제3 게이트선과 절연된 상태로 교차하며 서로 이웃하는 제1 데이터선

및 제2 데이터선, 제1 내지 제3 게이트선과 절연된 상태로 교차하는 유지 전극선, 제1 게이트선과 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제1 박막 트랜지스터, 제1 게이트선과 제1 데이터선 제어 단자와 입력 단자가 각각 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터의 출력 단자에 연결되어 있는 제1 부화소 전극, 제2 박막 트랜지스터의 출력 단자에 연결되어 있는 제2 부화소 전극, 제2 게이트선과 제1 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제3 박막 트랜지스터, 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제1 및 제2 부화소 전극과 같은 층에 형성되어 있고, 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제1 축전기용 도전체, 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제2 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제1 보조 전극, 제2 게이트선과 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제4 박막 트랜지스터, 제2 게이트선과 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제5 박막 트랜지스터, 제4 박막 트랜지스터의 출력 단자에 연결되어 있는 제3 부화소 전극, 제5 박막 트랜지스터의 출력 단자에 연결되어 있는 제4 부화소 전극, 제3 게이트선과 제3 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제6 박막 트랜지스터, 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제3 및 제4 부화소 전극과 같은 층에 형성되어 있고, 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제2 축전기용 도전체, 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제4 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제2 보조 전극을 포함하고, 유지 전극선은 제1 데이터선과 제2 데이터선으로부터 등거리에 위치하는 제1 부분, 제3 박막 트랜지스터 주위를 오른쪽으로 돌아 제1 부분과 연결되는 제2 부분 및 제6 박막 트랜지스터 주위를 왼쪽으로 돌아 제1 부분과 연결되는 제3 부분을 포함하고, 제1 게이트선과 제2 게이트선 사이의 간격보다 제1 데이터선과 제2 데이터선 사이의 간격이 더 넓다.

<51> 또는 기판, 기판 위에 형성되어 있으며 서로 이웃하는 제1 게이트선 및 제2 게이트선, 제1 및 제2 게이트선과 절연된 상태로 교차하며 서로 이웃하는 제1 데이터선 및 제2 데이터선, 제1 및 제2 게이트선과 절연된 상태로 교차하는 유지 전극선, 제1 게이트선과 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제1 박막 트랜지스터, 제1 게이트선과 제1 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터의 출력 단자에 연결되어 있는 제1 부화소 전극, 제2 박막 트랜지스터의 출력 단자에 연결되어 있는 제2 부화소 전극, 제2 게이트선과 제1 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제3 박막 트랜지스터, 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제1 축전기용 도전체를 포함한다.

<52> 제1 축전기용 도전체는 제1 및 제2 부화소 전극과 같은 층에 형성되어 있을 수 있다.

<53> 제3 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제2 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제1 보조 전극을 더 포함할 수 있다.

<54> 제1 보조 전극은 제3 박막 트랜지스터의 출력 단자가 연장되어 이루어질 수 있다.

<55> 유지 전극선은 제1 데이터선과 제2 데이터선으로부터 등거리에 위치하는 제1 부분과 제3 박막 트랜지스터 주위를 우회하는 제1 부분과 연결되는 제2 부분을 포함할 수 있다.

<56> 제1 게이트선과 제2 게이트선 사이의 간격은 제1 데이터선과 제2 데이터선 사이의 간격이 더 넓을 수 있다.

<57> 제1 박막 트랜지스터의 출력 전극과 제2 박막 트랜지스터의 출력 전극은 연결되어 있을 수 있다.

<58> 제2 게이트선과 이웃하는 제3 게이트선, 제2 게이트선과 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제4 박막 트랜지스터, 제2 게이트선과 제2 데이터선에 제어 단자와 입력 단자가 각각 연결되어 있는 제5 박막 트랜지스터, 제4 박막 트랜지스터의 출력 단자에 연결되어 있는 제3 부화소 전극, 제5 박막 트랜지스터의 출력 단자에 연결되어 있는 제4 부화소 전극, 제3 게이트선과 제3 부화소 전극에 제어 단자와 입력 단자가 각각 연결되어 있는 제6 박막 트랜지스터, 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제3 및 제4 부화소 전극과 같은 층에 형성되어 있고, 상기 유지 전극선과 적어도 일부가 중첩하여 감압 축전기를 형성하는 제2 축전기용 도전체를 더 포함할 수 있다.

<59> 제6 박막 트랜지스터의 출력 단자에 연결되어 있으며, 제4 부화소 전극과 적어도 일부가 중첩하여 승압 축전기를 형성하는 제2 보조 전극을 더 포함할 수 있다.

<60> 유지 전극선은 제1 데이터선과 제2 데이터선으로부터 등거리에 위치하는 제1 부분, 제3 박막 트랜지스터 주위를 제2 데이터선과 가까운 쪽으로 돌아 제1 부분과 연결되는 제2 부분 및 제6 박막 트랜지스터 주위를 제1 데이

터선과 가까운 쪽으로 돌아 제1 부분과 연결되는 제3 부분을 포함할 수 있다.

<61> 제4 박막 트랜지스터의 출력 전극과 제5 박막 트랜지스터의 출력 전극은 연결되어 있을 수 있다.

<62> 제1 부화소 전극은 제2 부화소 전극을 기준으로 하여 왼쪽, 오른쪽 및 아래에 위치하는 제1 내지 제3 부분 및 제1 부분과 제3 부분 사이 및 제2 부분과 제3 부분 사이를 연결하는 연결부를 포함하고, 제2 부화소 전극은 제1 부화소 전극이 형성하는 중앙 공간에 배치되어 있으며, 제1 부화소 전극의 제1 내지 제3 부분과 제2 부화소 전극 사이의 간극은 제1 게이트선과 빗각을 이루고, 제1 부화소 전극의 연결부와 제2 부화소 전극 사이의 간극은 제1 게이트선과 평행할 수 있다.

<63> 제1 부화소 전극의 제1 부분과 제3 부분은 각각 게이트선에 대하여 빗각을 이루는 절개부를 포함하고, 제2 부화소 전극은 유지 전극선과 중첩하며 데이터선과 나란한 절개부를 포함할 수 있다.

<64> 제1 부화소 전극의 제3 부분은 오목한 부분을 가지며, 제1 축전기용 도전체는 제3 부분의 오목한 부분에 배치되어 있을 수 있다.

<65> 빗각은 45° 일 수 있다.

<66> 상기한 과제를 달성하기 위한 본 발명에 따른 다른 액정 표시 장치는 기판, 기판 위에 형성되어 있으며 제1 및 제2 게이트 전극을 포함하는 제1 게이트선, 기판 위에 형성되어 있으며 제1 게이트선과 이웃하고 제3 게이트 전극을 포함하는 제2 게이트선, 제1 게이트선 및 제2 게이트선 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있으며 제1 내지 제3 게이트 전극 각각의 상부에 위치하는 제1 내지 제3 반도체, 게이트 절연막 위에 형성되어 있으며, 제1 및 제2 게이트선과 교차하고, 제1 반도체 위에 걸쳐 있는 제1 소스 전극 및 제2 반도체 위에 걸쳐 있는 제2 소스 전극을 포함하는 데이터선, 게이트 절연막 위에 형성되어 있으며 제3 반도체 위에 걸쳐 있는 제3 소스 전극, 제1 반도체 위에서 제1 소스 전극과 마주하는 제1 드레인 전극, 제2 반도체 위에서 제2 소스 전극에 마주하는 제2 드레인 전극, 제3 반도체 위에서 제3 소스 전극과 마주하는 제3 드레인 전극, 게이트 절연막 위에 형성되어 있으며 제1 및 제2 게이트선과 교차하는 유지 전극선, 제1 내지 제3 반도체와 제1 내지 제3 소스 전극 사이 및 제1 내지 제3 반도체와 제1 내지 제3 드레인 전극 사이에 형성되어 있는 저항성 접촉 부재, 데이터선, 제3 소스 전극, 제1 내지 제3 드레인 전극 및 유지 전극선 위에 형성되어 있으며 제3 소스 전극과 제1 내지 제3 드레인 전극을 각각 노출하는 제1 내지 제4 접촉 구멍을 가지는 보호막, 보호막 위에 형성되어 있으며 제1 접촉 구멍을 통하여 제3 소스 전극에 연결되어 있고 제 2 접촉 구멍을 통하여 제1 드레인 전극에 연결되어 있는 제1 부화소 전극, 보호막 위에 형성되어 있으며 제3 접촉 구멍을 통하여 제2 드레인 전극에 연결되어 있는 제2 부화소 전극, 보호막 위에 형성되어 있으며 제4 접촉 구멍을 통하여 제3 드레인 전극에 연결되어 있고, 유지 전극선과 적어도 일부가 중첩하는 축전기용 도전체를 포함할 수 있다.

<67> 제3 드레인 전극에서 연장되어 있고, 제2 부화소 전극과 중첩하는 보조 전극을 더 포함할 수 있다.

<68> 저항성 접촉 부재는 데이터선, 제3 소스 전극, 제1 내지 제3 드레인 전극, 유지 전극선 및 보조 전극과 실질적으로 동일한 평면 패턴을 가질 수 있다.

<69> 데이터선 아래에 위치하며 제1 및 제2 반도체와 연결되어 있는 제1 선형 반도체, 유지 전극선 아래에 위치하는 제2 선형 반도체, 제3 소스 전극, 제3 드레인 전극 및 보조 전극 아래에 위치하며 제3 반도체와 연결되어 있는 섬형 반도체를 더 포함할 수 있다.

<70> 제1 선형 반도체, 제2 선형 반도체 및 섬형 반도체는 각각 그 상부에 위치하는 데이터선, 유지 전극선, 제3 소스 전극, 제3 드레인 전극 및 보조 전극과 실질적으로 동일한 평면 패턴을 가질 수 있다.

<71> 제1 부화소 전극은 제2 부화소 전극보다 면적이 넓을 수 있다.

<72> 제1 드레인 전극과 상기 제2 드레인 전극은 연결되어 있을 수 있다.

<73> 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<74> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<75> <실시예 1>

<76> 그러면 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다.

<77> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이며, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소에 대한 등가 회로도이다.

<78> 도 1 및 도 2를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300)와 이에 연결된 한 쌍의 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

<79> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(PX1, PX2, PX3)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때, 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 둘 사이에 들어 있는 액정층(3)을 포함한다.

<80> 신호선(G_1-G_n, D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 복수의 데이터선(D_1-D_m)을 포함한다.

<81> 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

<82> 각 화소(PX1, PX2, PX3)는 행 방향으로 긴 구조를 가지며, 각 화소(PX1, PX2, PX3)는 도 2에서와 같이, 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소는 각각 게이트선, 데이터선 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(도시하지 않음)를 포함한다.

<83> 스위칭 소자는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(Gn)과 연결되어 있고, 입력 단자는 데이터선(Dm)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기와 연결되어 있다.

<84> 액정 축전기(Clca/Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(270) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa, PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다.

<85> 액정 축전기(Clca/Clcb)의 보조적인 역할을 하는 유지 축전기는 하부 표시판(100)에 구비된 유지 전극선과 부화소 전극(PEa/PEb)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다.

<86> 한편, 색 표시를 구현하기 위해서는 각 화소(PX1~PX3)가 기본색(primary color) 중 하나를 고유하게 표시하거나 (공간 분할) 각 화소(PX1~PX3)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX1-PX3)가 부화소 전극(PEa/PEb)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 부화소 전극(PEa/PEb) 위 또는 아래에 형성할 수도 있다. 행 방향으로 인접한 화소(PX1~PX3)의 색필터(230)는 서로 연결되어 행 방향으로 길게 뻗어 있으며, 열 방향으로는 서로 다른 색, 예를 들면 적색, 녹색, 청색을 나타내는 색필터(230)가 번갈아 배치되어 있다.

<87> 이와 같이 삼원색의 화소(PX1~PX3)는 영상 표시의 기본 단위인 하나의 도트(DT)를 이룬다.

<88> 다시 도 1을 참고하면, 게이트 구동부(400)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.

<89> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 게이트 구동부(400) 및 데이터 구동부(500)는 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표

시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수 있다. 그러나 신호선(G_1-G_n, D_1-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다.

<90> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.

<91> 그럼 이러한 액정 표시판 조립체의 한 화소에 대해서 도 3 내지 도 8을 참조하여 상세히 설명한다.

<92> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 4는 도 3의 액정 표시판 조립체용 하부 표시판의 배치도이며, 도 5는 도 3의 액정 표시판 조립체용 상부 표시판의 배치도이고, 도 6은 도 3의 VI-VI선을 따라 잘라 도시한 단면도이고, 도 7은 도 3의 VII-VII선을 따라 잘라 도시한 단면도이고, 도 8은 도 3의 VIII-VIII선을 따라 잘라 도시한 단면도이다.

<93> 도 6 내지 도 8을 참고하면, 본 실시예에 따른 액정 표시판 조립체는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판 사이에 들어 있는 액정층(3)을 포함한다.

<94> 먼저 도 3, 도 4, 도 6 내지 도 8을 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체용 하부 표시판에 대하여 설명한다.

<95> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121)이 형성되어 있다.

<96> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 제1 및 제2 게이트 전극(gate electrode)(124a, 124b), 위로 돌출한 복수의 제3 게이트 전극(124c)을 포함한다. 제1 및 제2 게이트 전극(124a, 124b)은 게이트선(121)으로부터 각각 돌출하여 서로 분리될 수 있으나, 도시한 바와 같이 일체로 형성하여 일부분은 제1 게이트 전극(124a)으로 사용하고 나머지 부분을 제2 게이트 전극(124b)으로 사용할 수 있다.

<97> 게이트선(121)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo) 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다.

<98> 게이트선(121)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.

<99> 게이트선(121) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

<100> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섬형 반도체(154a, 154b, 154c)가 형성되어 있다.

<101> 반도체(154a, 154b, 154c)는 각각 제1 내지 제3 게이트 전극(124a, 124b, 124c) 위에 위치한다. 반도체(154a, 154b)는 제1 및 제2 게이트 전극(124a, 124b)과 같이 일체형으로 형성되어 있으며, 제1 및 제2 게이트 전극(124a, 124b)의 형태에 따라서 분리되어 형성될 수 있다.

<102> 반도체(154a, 154b, 154c) 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact)(163a, 163b, 163c, 165a, 165b, 165c)가 형성되어 있다. 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c)는 쌍(163a, 165a; 163b, 165b; 163c, 165c)을 이루어 각 반도체(154a, 154b, 154c) 위에 한 쌍씩 배치되어 있다.

<103> 반도체(154a, 154b, 154c)와 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.

<104> 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c) 및 게이트 절연막(140) 위에는 복수의 제1 및 제2 소

스 전극(173a, 173b)을 가지는 데이터선(171), 복수 쌍의 제1 내지 제3 드레인 전극(drain electrode)(175a, 175b, 175c), 복수의 제3 소스 전극(173c), 보조 전극(176) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

<105> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차하고, 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 제1 및 제2 소스 전극(source electrode)(173a, 173b)은 데이터선(171)으로부터 각각 제1 및 제2 게이트 전극(124a, 124b)을 향하여 뻗어 있으며, 각각 뒤집어진 U자형이다. 제1 소스 전극(173a)과 제2 소스 전극(173b)은 서로 붙어서 뒤집어진 W자형을 이룬다.

<106> 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

<107> 제1 및 제2 드레인 전극(175a, 175b)은 데이터선(171)과 분리되어 있고, 각각 제1 및 제2 게이트 전극(124a, 124b)을 중심으로 제1 및 제2 소스 전극(173a, 173b)과 마주 본다. 제1 드레인 전극(175a)과 제2 드레인 전극(175a)은 각각 막대형인 한 쪽 끝 부분을 포함하며, 막대형 끝 부분은 각각 제1 소스 전극(173a)과 제2 소스 전극(173b)으로 일부 둘러싸여 있다.

<108> 제1 및 제2 소스 전극(173a, 173b)과 마주하지 않는 제1 및 제2 드레인 전극(175a, 175b)의 다른 쪽 끝부분은 다른 층과의 접속을 위하여 폭이 확장되어 있다.

<109> 제1 드레인 전극(175a)와 제2 드레인 전극(175b)은 도 2에서와 같이 각각 형성할 수 있으나, 연결되어 하나의 도전체로 형성할 수 있다. 즉, 하나의 도전체로부터 제1 소스 전극(173a) 및 제2 소스 전극(173b)로 각각 가지가 뻗어 나가 하나는 제1 드레인 전극(175a)으로 나머지 하나는 제2 드레인 전극(175b)으로 사용한다.

<110> 제3 드레인 전극(175c) 및 제3 소스 전극(173c)은 제3 반도체(154c)와 각각 중첩하고, 제3 게이트 전극(124c)을 중심으로 서로 마주한다. 제3 드레인 전극(175c) 및 제3 소스 전극(173c)은 다른 층과의 접속을 위하여 일부분이 확장되어 있다. 제3 드레인 전극(175c)은 보조 전극(176)과 연결되어 있다.

<111> 제1 내지 제3 게이트 전극(124a, 124b, 124c), 제1 내지 제3 소스 전극(173a, 173b, 173c) 및 제1 내지 제3 드레인 전극(175a, 175b, 175c)은 제1 내지 제3 반도체(154a, 154b, 154c)와 함께 각각 제1 내지 제3 박막 트랜지스터(Q1, Q2, Q3)(thin film transistor, TFT)를 이루며, 제1 내지 제3 박막 트랜지스터(Q1, Q2, Q3)의 채널(channel)은 각각 제1 내지 제3 소스 전극(173a, 173b, 173c)과 제1 내지 제3 드레인 전극(175a, 175b, 175c) 사이의 반도체(154a, 154b, 154c)에 형성된다.

<112> 유지 전극선(131)은 공통 전압 등 소정의 전압을 인가 받으며, 주로 세로 방향으로 뻗어 있고, 이웃하는 두 데이터선(171) 사이의 가운데 부분에 위치한다. 유지 전극선(131)은 가로부(137a), 제1 세로부(137b), 사선부(137c) 및 제2 세로부(137d)를 포함한다.

<113> 가로부(137a)는 게이트선(121)과 인접하여 게이트선(121)과 평행하게 뻗어 있다. 제1 세로부(137b)는 가로부(137a)의 왼쪽 또는 오른쪽 끝부분과 연결되어 있으며, 데이터선(171)과 거의 평행하게 뻗어 있다. 제2 세로부(137d)는 가로부(137a)의 중앙부와 연결되어 있으며 데이터선(171)과 거의 평행하게 뻗어 있고, 이웃하는 두 데이터선(171)까지의 거리가 동일한 위치에 형성되어 있다. 사선부(137c)는 제1 세로부(137b)와 제2 세로부(137d) 사이를 연결하며, 게이트선(121)과 나란한 가로변과 게이트선(121)과 빗각을 이루는 사선변을 포함한다.

<114> 유지 전극선(131)의 가로부(137a), 제1 세로부(137b) 및 사선부(137c)는 제3 박막 트랜지스터(Q3) 주위를 우회하여 아래 위의 두 제2 세로부(137d) 사이를 연결한다. 열 방향으로 인접하는 두 화소를 비교할 때 제1 세로부(137b) 및 사선부(137c)는 제2 세로부(137d)를 기준으로 하여 왼쪽과 오른쪽에 번갈아 배치되어 있다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.

<115> 하나의 화소 내에 배치되어 있는 제1 및 제2 박막 트랜지스터(Q1, Q2)와 제3 박막 트랜지스터(Q3)는 서로 다른 게이트선에 연결되어 있다. 제1 및 제2 박막 트랜지스터(Q1, Q2)는 화소 영역의 위쪽에 배치되어 있는 게이트선(121)에 연결되어 있고, 제3 박막 트랜지스터(Q3)는 화소 영역의 아래쪽에 배치되어 있는 게이트선(121)에 연결되어 있다. 반대로 제1 및 제2 박막 트랜지스터(Q1, Q2)는 화소 영역의 아래쪽에 배치되어 있는 게이트선(121)에 연결하고, 제3 박막 트랜지스터(Q3)는 화소 영역의 위쪽에 배치되어 있는 게이트선(121)에 연결할 수도 있다.

<116> 열 방향으로 인접해 있는 두 화소를 비교할 때, 제1 및 제2 박막 트랜지스터(Q1, Q2)가 화소 영역의 좌측과 우측 데이터선(171)에 번갈아 연결되어 있다. 예를 들어, 홀수 열 화소에서는 제1 및 제2 박막 트랜지스터((Q1, Q2)가 화소 영역 좌측의 데이터선(171)에 연결되어 있고, 짝수 열 화소에서는 제1 및 제2 박막 트랜지스터(Q1, Q2)가 화소 영역 우측의 데이터선(171)에 연결되어 있다. 반대로 짝수 열 화소에서는 제1 및 제2 박막 트랜지스터((Q1, Q2)를 화소 영역 좌측의 데이터선(171)에 연결하고, 홀수 열 화소에서는 제1 및 제2 박막 트랜지스터((Q1, Q2)를 화소 영역 우측의 데이터선(171)에 연결할 수도 있다.

<117> 제1 및 제2 박막 트랜지스터(Q1, Q2)는 화소 영역의 우상과 좌상 모퉁이에 번갈아 배치되어 있고, 제3 박막 트랜지스터(Q3)는 화소 영역의 하부 중앙에 배치되어 있다. 제1 및 제2 박막 트랜지스터(Q1, Q2)는 화소 영역의 우하와 좌하 모퉁이에 번갈아 배치할 수도 있다.

<118> 이와 같이, 제1 및 제2 박막 트랜지스터(Q1, Q2)를 좌우 데이터선(171)에 번갈아 연결함으로써 컬럼(column) 반전 구동을 실시하면 표시상으로는 점 반전 구동으로 나타나도록 할 수 있다.

<119> 본 발명의 실시예에서와 같이 화소의 가로 변을 세로 변보다 3배 정도 길게 형성하는 경우에는 가로 변을 세로 변보다 짧게 형성하는 경우에 비하여 데이터선(171)의 수효는 1/3로 감소하고 게이트선(121)의 수효는 3배로 증가한다. 따라서 각 게이트선(121)에 할당되는 1 수평 주기(1H) 시간이 가로 변을 세로 변보다 짧게 형성하는 경우에 비하여 1/3밖에 되지 않는다. 그러므로 데이터선(171) 신호의 극성이 한 프레임(frame) 동안 동일하게 유지되는 컬럼 반전 구동을 실시할 필요가 크다. 그런데 단순한 컬럼 반전 구동을 할 경우 수직방향 크로스톡(cross-talk)이 증가하는 문제가 있으나, 본 발명의 실시예에서는 제1 및 제2 박막 트랜지스터(Q1, Q2)를 좌우 데이터선(171)에 번갈아 연결함으로써 이러한 문제를 해결하고 있다.

<120> 또 본 발명의 실시예에서는 제3 박막 트랜지스터(Q3)를 화소의 좌우 중앙에 배치하고 유지 전극선(131)이 그 주위를 우회하며 주로 세로 방향으로 뻗도록 배치하여 개구율 감소를 최소화 한다.데이터선(171), 제1 내지 제3 드레인 전극(175a, 175b, 175c), 제3 소스 전극(173c), 보조 전극(176) 및 유지 전극선(131)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 그러나 데이터선(171), 제1 내지 제3 드레인 전극(175a, 175b, 175c), 제3 소스 전극(173c) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

<121> 데이터선(171), 제1 내지 제3 드레인 전극(175a, 175b, 175c), 제3 소스 전극(173c), 보조 전극(176) 및 유지 전극선(131) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

<122> 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c)는 그 아래의 반도체(154a, 154b)와 그 위의 데이터선(171), 드레인 전극(175a, 175b, 175c) 및 제3 소스 전극(173c) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 반도체(154a, 154b, 154c)에는 소스 전극(173a, 173b, 173c)과 드레인 전극(175a, 175b, 175c) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175a, 175b, 175c)으로 가리지 않고 노출된 부분이 있다.

<123> 데이터선(171), 드레인 전극(175a, 175b, 175c), 제3 소스 전극(173c), 유지 전극선(131) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소와 산화규소 따위의 무기 절연물로 만들어진다. 그러나 보호막(180)은 유기 절연물로 만들어질 수 있으며 표면이 평탄할 수 있다. 유기 절연물의 경우 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하일 수 있다. 보호막(180)은 또한 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b, 154c) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.

<124> 보호막(180)에는 데이터선(171)의 끝 부분(179), 제1 내지 제3 드레인 전극(175a, 175b, 175c) 및 제3 소스 전극(175c)을 노출하는 복수의 접촉 구멍(contact hole)(182, 185a, 185b, 185c, 183)이 형성되어 있다.

<125> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 접촉 보조 부재(contact assistant)(82) 및 축전기용 도전체(86)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

<126> 각 화소 전극(191)은 게이트선(121) 또는 데이터선(171)과 거의 평행한 네 개의 주 변을 가지며 모퉁이가 모따기되어 있는(chamfered) 대략 사각형 모양이다. 이 중 게이트선(121)과 평행한 두 개의 가로 변은 데이터선(171)과 평행한 두 개의 세로 변 길이보다 길며, 대략 3배이다.

<127> 따라서 가로 변이 세로 변보다 작은 경우에 비하여 각 행에 위치하는 화소 전극(191)의 수효가 적고 대신 각 열에 위치하는 화소 전극(191)의 수효가 많다. 이처럼 데이터선(171)의 전체 수효가 줄어들므로 데이터 구동부(500)용 집적 회로 칩의 수효를 줄여 재료비를 절감할 수 있다. 물론 게이트선(121)의 수효가 그만큼 늘긴 하지만 게이트 구동부(400)는 게이트선(121), 데이터선(171), 박막 트랜지스터 등과 함께 조립체(300)에 집적할 수 있으므로 게이트선(121) 수의 증가가 별로 문제되지 않는다. 또한 게이트 구동부(400)가 집적 회로 칩의 형태로 장착되더라도, 게이트 구동부(400)용 집적 회로 칩의 가격이 상대적으로 싸기 때문에 데이터 구동부(500)용 집적 회로 칩의 수효를 줄이는 것이 더 유리하다.

<128> 화소 전극(191)은 간극(91)을 사이에 두고 서로 분리되어 있는 제1 및 제2 부화소 전극(191a, 191b)을 포함한다.

<129> 제1 부화소 전극(191a)은 제2 부화소 전극(191b)을 중심으로 왼쪽, 오른쪽 및 아래에 위치하는 제1 내지 제3 부분(191a1, 191a2, 191a3)과 제1 부분(191a1)과 제3 부분(191a3) 사이 및 제2 부분(191a2)과 제3 부분(191a3) 사이를 연결하는 연결부로 이루어진다. 제2 부화소 전극(191b)은 제1 부화소 전극(191a)의 제1 내지 제3 부분(191a1, 191a2, 191a3)이 형성하는 중앙 공간에 배치되어 있어서 게이트선(121)과 인접하는 변을 제외한 나머지 변은 제1 부화소 전극(191a)으로 둘러싸여 있다.

<130> 간극(91) 중 제1 내지 제3 부분(191a1, 191a2, 191a3)과 제2 부화소 전극(191b) 사이의 부분은 게이트선(121)과 빗각을 이루며, 게이트선(121)과 빗각을 이루는 부분이 게이트선(121)과 이루는 각 중 예각은 45° 이다. 간극(91) 중 제1 부화소 전극(191a)의 연결부와 제2 부화소 전극(191b) 사이의 부분은 게이트선(121)과 나란하다.

<131> 제1 부화소 전극(191a)의 제1 및 제2 부분(191a1, 191a2)은 게이트선(121)에 대해서 빗각을 이루며, 간극(91)과 나란한 절개부(92)를 포함한다. 제3 부분(191a3)은 대략 삼각형으로 제2 부화소 전극(191b)의 오목한 부분에 삽입되어 있다.

<132> 제2 부화소 전극(191b)은 유지 전극선(131)의 제2 세로부(137d)와 대응하며 아래쪽에 입구를 가진 세로 절개부(93)를 포함한다. 세로 절개부(93)의 입구는 간극(91)과 연결되어 있다. 제1 부화소 전극(191a)의 제1 및 제2 부분(191a1, 191a2)과 제2 부화소 전극(191b)은 좌우 두 데이터선(171)으로부터 등거리에 있는 가상의 직선을 중심으로 하여 반전 대칭을 이룬다.

<133> 화소 전극(191)의 좌반부 및 우반부는 간극(91)(설명의 편의상 이하에서는 절개부라 함) 및 절개부(92, 93)에 의하여 복수의 영역(partition)으로 나누어진다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.

<134> 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 접촉 구멍(185a, 185b)을 통하여 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있으며, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 제1 및 제2 부화소 전극(191a, 191b)은 공통 전압을 인가 받는 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191a, 191b, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 제1 및 제2 부화소 전극(191a, 191b)과 공통 전극(270)은 액정 축전기(Clca, Clcb)를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

<135> 또한 제1 및 제2 부화소 전극(191a, 191b)은 유지 전극선(131)과 중첩하여 액정 축전기(Clca, Clcb)의 전압 유지율을 향상하기 위한 유지 축전기(Csta, Cstb)를 형성한다.

<136> 제1 부화소 전극(191a)은 접촉 구멍(183)을 통하여 제3 소스 전극(173c)과 연결되어 있다.

<137> 제2 부화소 전극(191b)은 보조 전극(176)과 중첩하여 승압 축전기(Cu)를 형성한다. 여기서 보조 전극(176)은 생략할 수도 있다.

<138> 축전기용 도전체(86)는 간극(94)을 사이에 두고 제3 부분(191a3)의 오목한 부분에 배치되어 있으며, 접촉구(185c)를 통하여 제3 드레인 전극(175c)과 연결되어 있다. 축전기용 도전체(86)는 유지 전극선(131)의 제1 세로부(137b)와 중첩하여 감압 축전기(Cd)를 형성한다.

<139> 접촉 보조 부재(82)는 접촉 구멍(182)을 통하여 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

<140> 이제 도 3, 도 5 내지 도 8을 참고하여 상부 표시판(200)에 대하여 설명한다.

<141> 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.

<142> 기판(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.

<143> 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.

<144> 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어지며 복수의 절개부(71, 72, 73a, 73b, 74a, 74b) 집합이 형성되어 있다.

<145> 하나의 절개부(71, 72, 73a, 73b, 74a, 74b) 집합은 하나의 화소 전극(191)과 마주 보며 제1 중앙 절개부(71), 제2 중앙 절개부(72), 좌측 절개부(73a, 74a) 및 우측 절개부(73b, 74b)를 포함한다. 절개부(71, 72, 73a, 73b, 74a, 74b) 각각은 화소 전극(191)의 절개부(91, 92, 93) 사이에 배치되어 있다.

<146> 제1 중앙 절개부(71)는 절개부(91)와 평행한 한 쌍의 사선부, 데이터선(171)과 평행한 세로부 및 한 쌍의 종단 가로부를 포함한다. 사선부는 유지 전극선(131)을 중심으로 화소 전극(191)의 왼쪽 또는 오른쪽 아래 변으로부터 유지 전극선(131) 방향으로 뻗어 세로부와 만난다.

<147> 제2 중앙 절개부(72)는 한 쌍의 사선부 및 한 쌍의 종단 가로부를 포함한다. 한 쌍의 사선부는 제1 중앙 절개부(71)의 한 쌍의 사선부와 각각 평행하다.

<148> 우측 및 좌측 절개부(73a, 73b, 74a, 74b) 각각은 사선부, 종단 가로부 및 종단 세로부를 포함하며, 사선부는 제1 및 제2 중앙 절개부(71, 72)의 사선부와 평행하다. 종단 가로부 및 종단 세로부는 화소 전극의 세로 변 또는 가로변과 중첩한다.

<149> 절개부(71~74b)의 사선부에는 삼각형 모양의 노치(notch)가 형성되어 있다. 이러한 노치는 사각형, 사다리꼴 또는 반원형의 모양을 가질 수도 있으며, 볼록하게 또는 오목하게 이루어질 수 있다. 이러한 노치는 절개부(71~74b)에 대응하는 영역 경계에 위치하는 액정 분자의 배열 방향을 결정해준다.

<150> 절개부(71~74b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있다. 적어도 하나의 절개부(71~74b)는 돌기나 함몰부로 대체할 수 있으며, 절개부(71~74b)의 모양 및 배치는 변형될 수 있다. 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 형성되어 있으며 이들은 수직 배향막일 수 있다.

<151> 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자(12, 22)의 편광축은 직교하며 이중 한 편광축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다.

<152> 액정 표시 장치는 편광자(12, 22), 위상 지연막, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)(도시하지 않음)를 포함할 수 있다.

<153> 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다.

<154> 한편, 전기장 생성 전극(191, 270)의 화소 전극의 절개부(91, 92, 93, 94) 및 공통 전극의 절개부(71~74b)는 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 화소 전극의 절개부(91~94)와 공통 전극의 절개부(71~74b)에 수직이다.

<155> 하나의 공통 전극 절개부 집합(71~74b) 및 화소 전극의 절개부(91~94)는 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주 변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.

<156> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

<157> 이러한 액정 표시 장치는 도 9의 등가 회로로 표현할 수 있다.

<158> 도 9는 본 발명의 실시예에 따른 등가 회로도이다.

<159> 도 9를 참고하면, 액정 표시 장치의 한 화소는 제1 박막 트랜지스터(Q1), 제1 액정 축전기(Clca), 제1 유지 축전기(Csta), 제2 박막 트랜지스터(Q2), 제2 액정 축전기(Clcb), 제2 유지 축전기(Cstb) 그리고 제3 박막 트랜지스터(Q3), 감압 축전기(Cd) 및 승압 축전기(Cu)를 포함한다.

<160> 이하에서는 설명의 편의상 자기 행(n)의 게이트선을 121n이라 하고, 다음 행(n+1)의 게이트선을 121p라 한다.

<161> 제1 박막 트랜지스터(Q1)는 그 제어 단자, 입력 단자 및 출력 단자가 각각 자기 행의 게이트선(121n), 데이터선(171) 및 제1 부화소 전극(191a)에 연결되어 있고, 제2 박막 트랜지스터(Q2)는 그 제어 단자, 입력 단자 및 출력 단자가 각각 자기 행의 게이트선(121n), 데이터선(171) 및 제2 부화소 전극(191b)에 연결되어 있다. 제3 박막 트랜지스터(Q3)는 그 제어 단자, 입력 단자 및 출력 단자가 각각 다음 행의 게이트선(121p), 제1 부화소 전극(191a) 및 축전기용 도전체(86)와 보조 전극(176)에 연결되어 있다.

<162> 제1 액정 축전기(Clca)는 제1 부화소 전극(191a)과 공통 전극(270)을 두 단자로 하고, 두 단자 사이의 액정층(3) 부분을 유전체로 하여 형성된다. 제2 액정 축전기(Clca)는 제2 부화소 전극(191b)과 공통 전극(270)을 두 단자로 하고, 두 단자 사이의 액정층(3) 부분을 유전체로 하여 형성된다.

<163> 제1 유지 축전기(Csta)는 제1 부화소 전극(191a)과 유지 전극선(131)을 두 단자로 하고, 두 단자 사이의 보호막(180) 부분을 유전체로 하여 형성되고, 제2 유지 축전기(Cstb)는 제2 부화소 전극(191b)과 유지 전극선(131)을 두 단자로 하고, 두 단자 사이의 보호막(180) 부분을 유전체로 하여 형성된다.

<164> 감압 축전기(Cd)는 제3 박막 트랜지스터(Q3)의 드레인 전극(175c)과 연결되어 있는 축전기용 도전체(86)와 유지 전극선(131)을 두 단자로 하고, 두 단자 사이의 보호막(180) 부분을 유전체로하여 형성된다. 그리고 승압 축전기(Cu)는 보조 전극(176)과 제2 부화소 전극(191b)을 두 단자로 하고, 두 단자 사이의 보호막(180)을 유전체로 하여 형성된다.

<165> 이하에서는 프레임 반전 구동을 하는 경우에 대하여 설명한다.

<166> 먼저, 제1 및 제2 박막 트랜지스터(Q1, Q2)가 자기 행의 게이트선(121n)을 통해 인가되는 게이트 신호에 의하여 턴온(turn on)되어 데이터선(171)을 통해 인가되는 데이터 전압을 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에 전달하고, 이에 따라 제1 및 제2 액정 축전기(Clca, Clcb)와 제1 및 제2 유지 축전기(Csta, Cstb)가 데이터 전압으로 충전된다.

<167> 이어서 다음 행의 게이트선(121p)에 게이트 신호가 인가되면 제3 박막 트랜지스터(Q3)가 턴온된다. 제3 박막 트랜지스터(Q3)가 턴온되면 제1 액정 축전기(Clca)와 제1 유지 축전기(Csta)에 충전되어 있던 전하의 일부가 제3 박막 트랜지스터(Q3)를 통하여 이동함으로써 감압 축전기(Cd)와 승압 축전기(Cu)가 충전된다.

<168> 이 때, 감압 축전기(Cd)와 승압 축전기(Cu)는 이전 프레임에서 반대 극성으로 충전되어 있었으므로 제3 박막 트랜지스터(Q3)가 턴온되면, 충전 전하의 분산으로 인하여 제1 액정 축전기(Clca)와 제1 유지 축전기(Csta)의 충전 전압은 강하한다.

<169> 한편, 승압 축전기(Cu)의 한쪽 단자인 제2 부화소 전극(191b)은 제3 박막 트랜지스터(Q3)가 턴온될 때 부유 상태에 있다. 따라서 승압 축전기(Cu)의 다른 쪽 단자인 보조 전극(176)에 제2 부화소 전극(191b)에 충전되어 있는 것과 같은 극성의 전하가 유입되어 보조 전극(176)의 전위가 상승함에 따라 제2 부화소 전극(191b)의 전위도 따라서 상승한다. 따라서 제2 액정 축전기(Clcb)와 제2 유지 축전기(Cstb)의 충전 전압은 상승한다.

<170> 보조 전극(176)을 생략하는 경우에는 승압 축전기(Cu)가 형성되지 않는데, 이렇게 되면 2 액정 축전기(Clcb)와 제2 유지 축전기(Cstb)의 충전 전압 상승은 일어나지 않는다.

<171> 따라서, 제1 액정 축전기(Clca)에 충전된 전압(Va)과 제2 액정 축전기(Clcb)에 충전된 전압(Vb)은 동일한 전압이 충전되었다가 제3 박막 트랜지스터(Q3)가 턴온되면서 서로 달라지게 된다.

<172> 이러한 동작에 의해서 제1 액정 축전기(Clca)와 제2 액정 축전기(Clcb)에 전압이 충전되면 전기장이 액정층(3)에 형성된다. 그러면 액정층(3)의 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사된 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자(12, 22)에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표

시한다.

<173> 이 때, 액정 분자가 기울어지는 각도는 전기장의 세기에 따라 달라지는데, 본 발명의 실시예에서와 같이 제1 액정 축전기(Clca)의 전압(Va)과 제2 액정 축전기(Clcb)의 전압(Vb)이 서로 다르므로 제1 부화소와 제2 부화소에서 액정 분자들이 기울어진 각도가 다르게 되고 이에 따라 두 부화소의 휘도가 달라진다. 따라서 제1 액정 축전기(Clca)의 전압(Va)과 제2 액정 축전기(Clcb)의 전압(Vb)을 적절하게 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있으며 이렇게 함으로써 측면 시인성을 향상할 수 있다.

<174> 또한, 해당 프레임에서 표시 동작 후 화소 전극(191)에 축적된 전하가 충분히 방출되지 않고 잔류하게 되면 화면 상에서 잔상으로 시인된다. 제1 부화소 전극(191a)은 제1 박막 트랜지스터(Q1)을 통하여 잔류하는 전하를 방출할 수 있어 문제가 되지 않지만, 보통 제2 부화소 전극(191b)은 잔류 전하의 방출 경로가 액정을 통하는 방법밖에 없으므로 잔상의 문제가 발생하기 쉽다. 그러나 본 발명과 같이 제2 부화소 전극(191b)과 연결되어 있는 제2 박막 트랜지스터(Q2)를 마련하면, 이를 통하여 잔류하는 전하를 배출할 수 있으므로 잔상 문제를 해결할 수 있다.

<175> <실시예 2>

<176> 도 10은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 11은 도 10의 XI-XI선을 따라 잘라 도시한 단면도이고, 도 12는 도 10의 XII-XII선을 따라 잘라 도시한 단면도이고, 도 13은 도 10의 XIII-XIII선을 따라 잘라 도시한 단면도이다.

<177> 본 실시예에 따른 박막 트랜지스터 표시판의 구조는 도 3 내지 도 8에 도시한 것과 대부분 동일하므로, 동일한 부분에 대해서는 설명을 생략하고 차이점만을 설명한다.

<178> 도 10 내지 도 13의 실시예에서는 데이터선(171), 드레인 전극(175a, 175b, 175c), 소스 전극(173a, 173b, 173c), 유지 전극선(131) 및 보조 전극(176)의 아래에 반도체(154a, 154b, 154c, 156, 157) 및 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c, 166, 167)가 항상 존재한다는 점이 도 3 내지 도 8의 실시예와 다르다. 여기서 저항성 접촉 부재(163a, 163b, 163c, 165a, 165b, 165c, 166, 167)는 데이터선(171), 드레인 전극(175a, 175b, 175c), 소스 전극(173a, 173b, 173c), 유지 전극선(131) 및 보조 전극(176)과 실질적으로 동일한 평면 패턴을 가지며, 반도체(154a, 154b, 154c, 156, 157)는 박막 트랜지스터(Q1, Q2, Q3)의 채널을 형성하는 부분을 더 포함한다.

<179> 이러한 구조는 반도체, 저항성 접촉 부재 및 데이터선을 두께가 다른 하나의 감광막 패턴을 이용하여 한 번의 사진 식각 공정으로 형성하기 때문에 나온 것이다. 두께가 다른 감광막 패턴은 슬릿 패턴 또는 반투명막을 가지는 노광 마스크를 사용하거나 리플로우 공정을 이용하여 형성할 수 있다.

<180> 따라서, 유지 전극선(131) 및 보조 전극(176)의 아래에도 반도체(157, 156) 및 저항성 접촉 부재(167, 166)가 형성되어 있으며, 이들의 평면 패턴은 동일하다.

<181> 본 발명의 실시예에서와 같이, 데이터(171)선과 동일한 층에 유지 전극선(131)을 형성하면, 게이트선(121)과 동일한 층에 유지 전극선(131)을 형성할 때 발생할 수 있는 반도체에 의한 전하 트랩핑(trapping)과 그로 인하여 정전 용량이 변화하는 문제를 제거할 수 있다. 즉, 유지 전극선(131)과 화소 전극(191) 사이에 반도체가 존재하지 않으므로 DC(direct current) 전압을 인가하더라도 전하 트랩핑(trapping)이 발생하지 않는다.

<182> 한편, 백라이트광으로 인한 반도체의 광누설 전류를 감소시키기 위해서 반도체가 형성되어 있는 부분에 차광 부재(도시하지 않음)를 더 형성할 수 있다. 이때 차광 부재는 게이트선(121)과 동일한 층에 동일한 물질로 형성할 수 있다.

발명의 효과

<183> 이상 설명한 바와 같이, 본 발명의 실시예에서는 두 부화소 전극에 각각 박막 트랜지스터를 형성하여 부화소의 전하가 빠르게 빠져나가도록 함으로써 잔상 등이 발생하지 않는다. 그리고 전압이 다른 복수의 부화소를 형성함으로써 액정 표시 장치의 시인성을 개선할 수 있다.

<184> 또한, 본 발명의 실시예에서는 가로로 긴 화소를 형성하면 액정 표시 장치에 설치되는 데이터 구동 회로 칩의 수효를 줄일 수 있다.

<185> 또한, 본 발명의 실시예에서는 박막 트랜지스터를 좌우 데이터선에 번갈아 연결함으로써 컬럼 반전 구동을 하면

서도 수직방향 크로스톡을 방지할 수 있다.

<186> 또한, 본 발명의 실시예에서는 화소의 좌우 중앙에 박막 트랜지스터를 배치하고 유지 전극선이 그 주위를 우회하며 주로 세로 방향으로 뻗도록 배치하여 개구율 감소를 최소화 한다.

<187> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

<2> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소에 대한 등가 회로도이다.

<3> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이다.

<4> 도 4는 도 3의 액정 표시판 조립체용 하부 표시판의 배치도이다.

<5> 도 5는 도 3의 액정 표시판 조립체용 상부 표시판의 배치도이다.

<6> 도 6은 도 3의 VI-VI선을 따라 잘라 도시한 단면도이다.

<7> 도 7은 도 3의 VII-VII선을 따라 잘라 도시한 단면도이다.

<8> 도 8은 도 3의 VIII-VIII선을 따라 잘라 도시한 단면도이다.

<9> 도 9는 본 발명의 실시예에 따른 등가 회로도이다.

<10> 도 10은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

<11> 도 11은 도 10의 XI-XI선을 따라 잘라 도시한 단면도이다.

<12> 도 12는 도 10의 XII-XII선을 따라 잘라 도시한 단면도이다.

<13> 도 13은 도 10의 XIII-XIII선을 따라 잘라 도시한 단면도이다.

<14> <도면 주요 부호의 설명>

<15> 3: 액정층 11, 21: 배향막

<16> 12, 22: 편광판

<17> 71, 72, 73a, 73b, 74a, 74b: 상부 표시판 절개부

<18> 82: 접촉 보조 부재 86: 축전기용 도전체

<19> 91, 92, 93, 94: 하부 표시판 절개부

<20> 100: 하부 표시판 110, 210: 기판

<21> 121: 게이트선 121n: 자기 게이트선

<22> 121p: 다음 게이트선

<23> 124a, 124b, 124c: 제1, 제2, 제3 게이트 전극

<24> 131, 137a, 137b, 137c, 137d: 유지 전극선

<25> 140: 게이트 절연막

<26> 154a, 154b, 154c, 156, 157: 반도체

<27> 163a, 163b, 163c, 165a, 165b, 165c, 166, 167: 저항성 접촉 부재 171: 데이터선

<28> 171, 179: 데이터선

<29> 173a, 173b, 173c: 제1, 제2, 제3 소스 전극

<30> 175a, 175b, 175c: 제1, 제2, 제3 드레인 전극

<31> 176: 보조 전극 180: 보호막

<32> 181, 182, 183, 185a, 185b, 185c: 접촉 구멍

<33> 191: 화소 전극

<34> 191a1, 191a2, 191a3, 191a: 제1 부화소 전극

<35> 191b: 제2 부화소 전극 200: 상부 표시판

<36> 220: 차광 부재 230: 색필터

<37> 250: 덮개막 270: 공통 전극

<38> 300: 액정 표시판 조립체 400: 게이트 구동부

<39> 500: 데이터 구동부

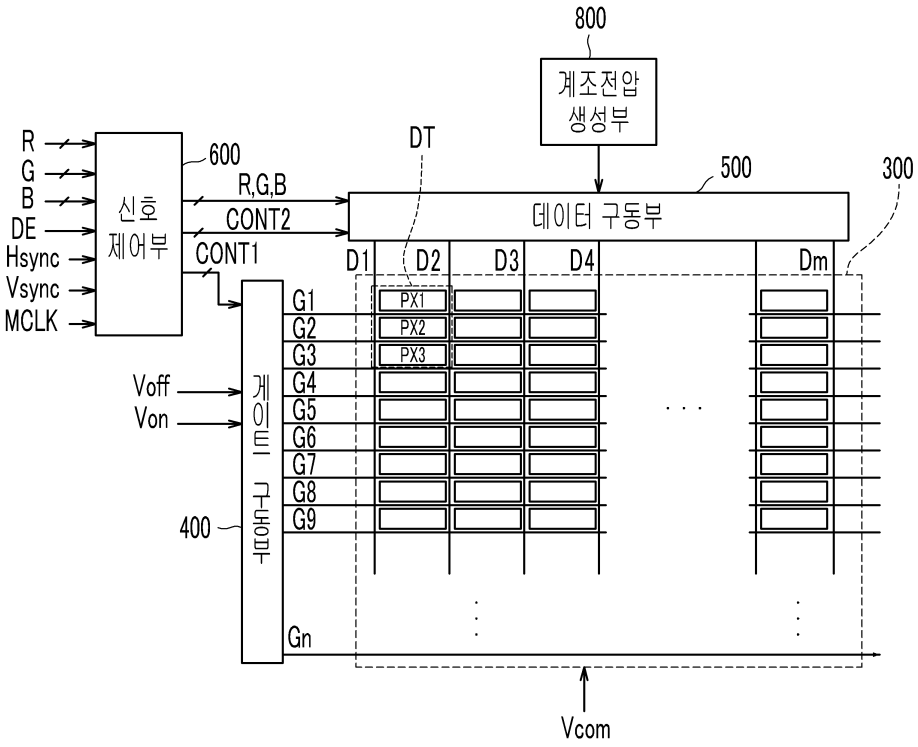
<40> 600: 신호 제어부

<41> 800: 계조 전압 생성부

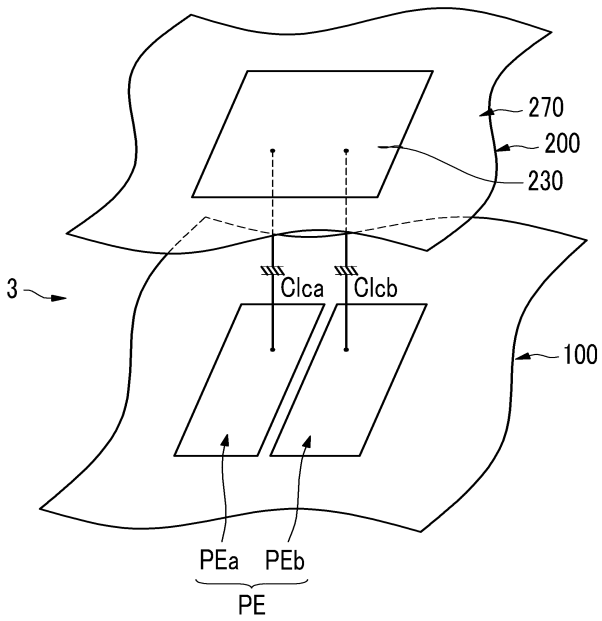
<42> Q1, Q2, Q3: 제1, 제2, 제3 박막 트랜지스터

도면

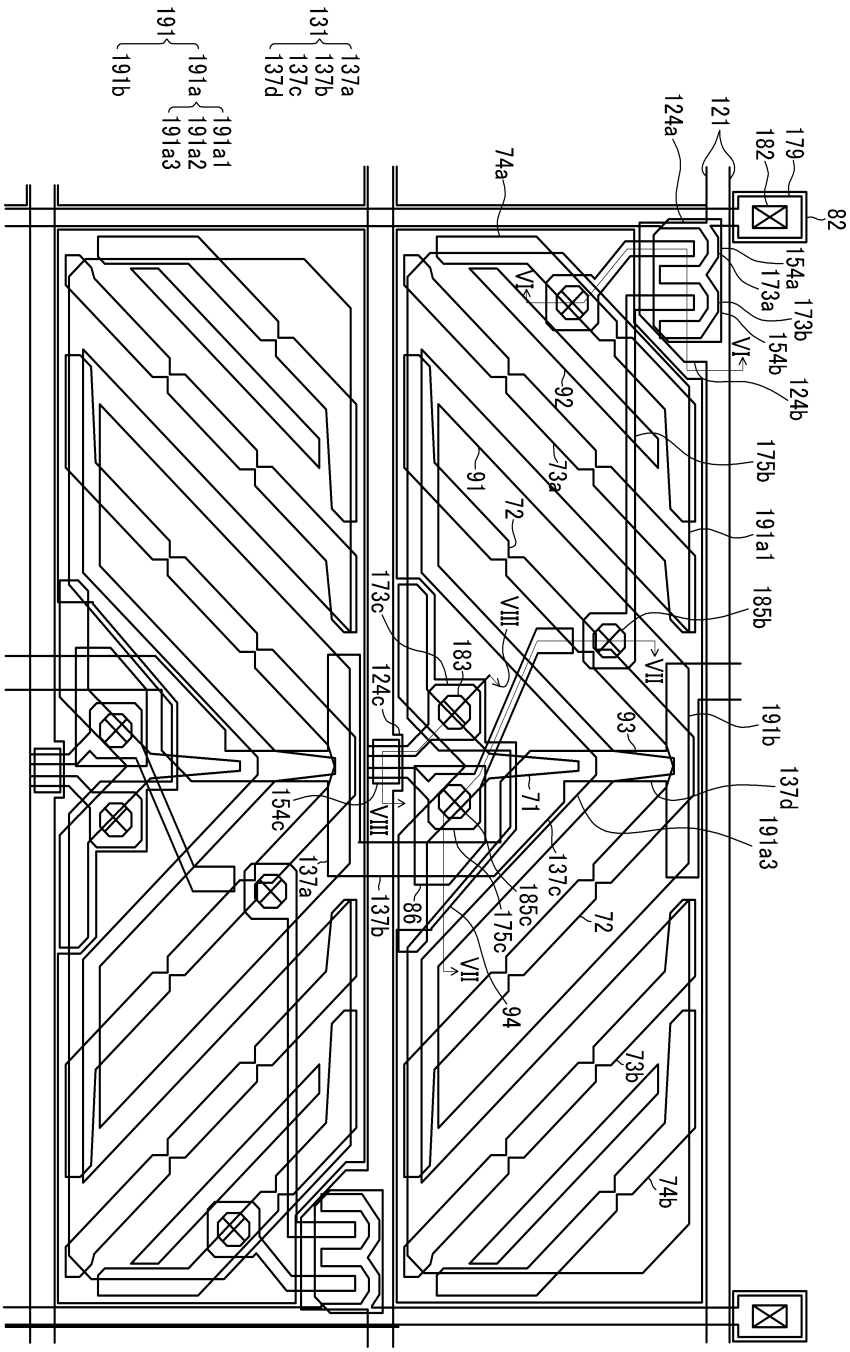
도면1



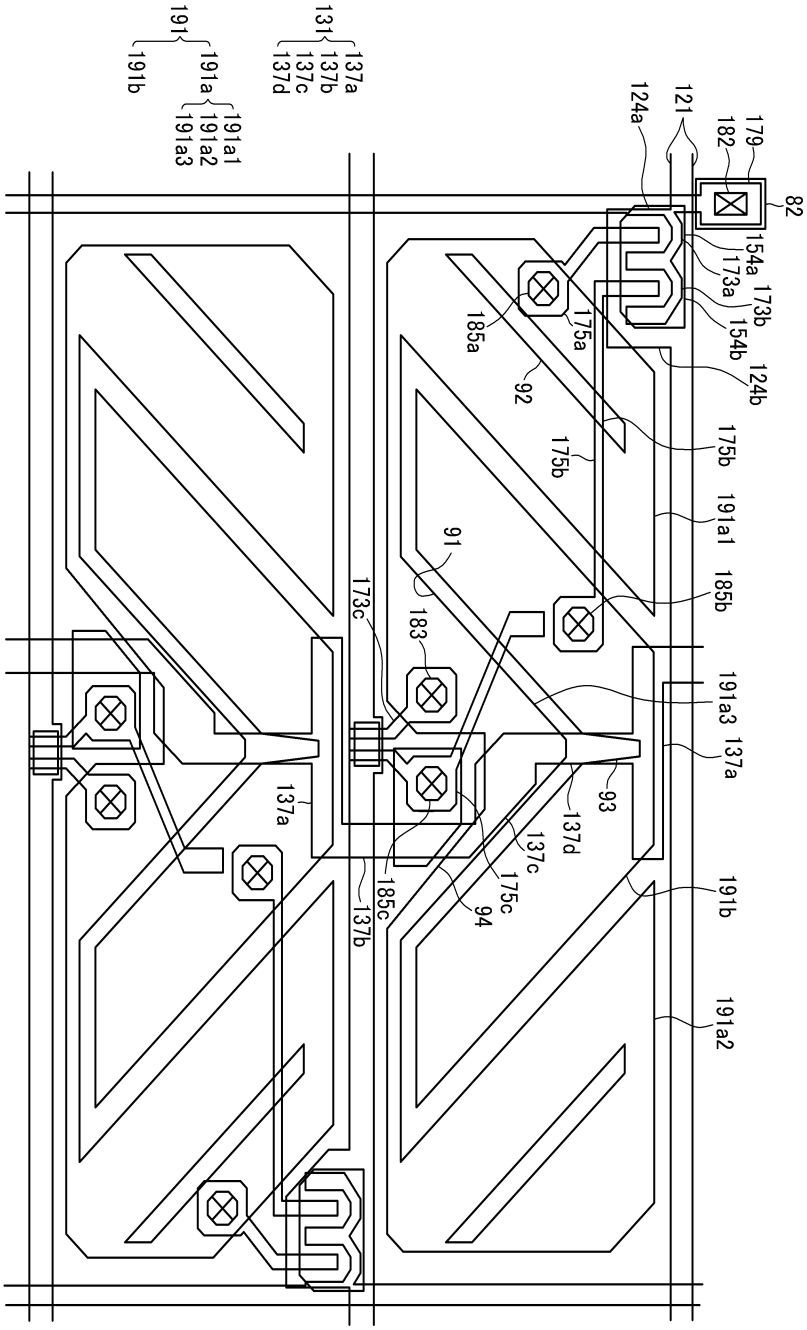
도면2



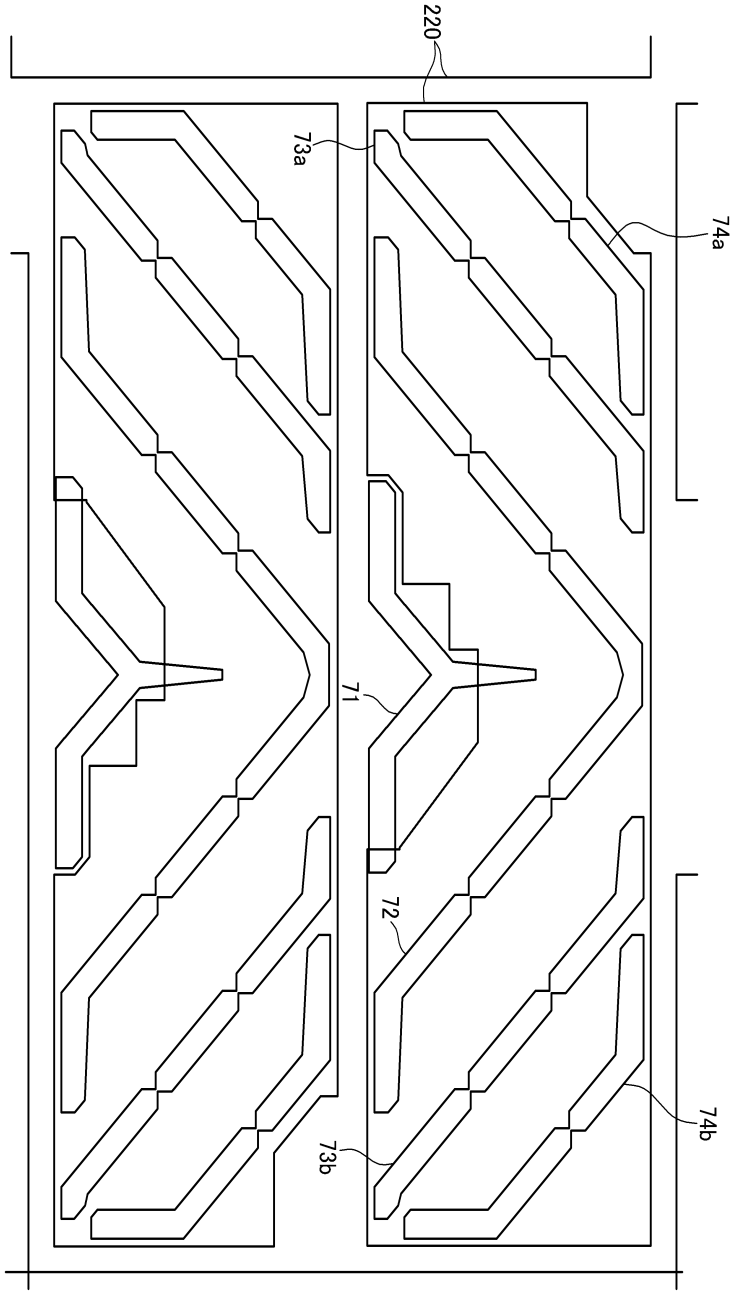
도면3


131
137a
137b
137c
137d
191
191a
191a1
191a2
191a3
191b
124a
121
179
182
82
74a
154a
173a
173b
154b
124b
VI
92
175b
91
73a
72
191a1
185b
173c
183
VIII
VII
124c
93
191b
137d
191a3
71
154c
137c
185c
175c
137a
86
137b
94
73b
74b

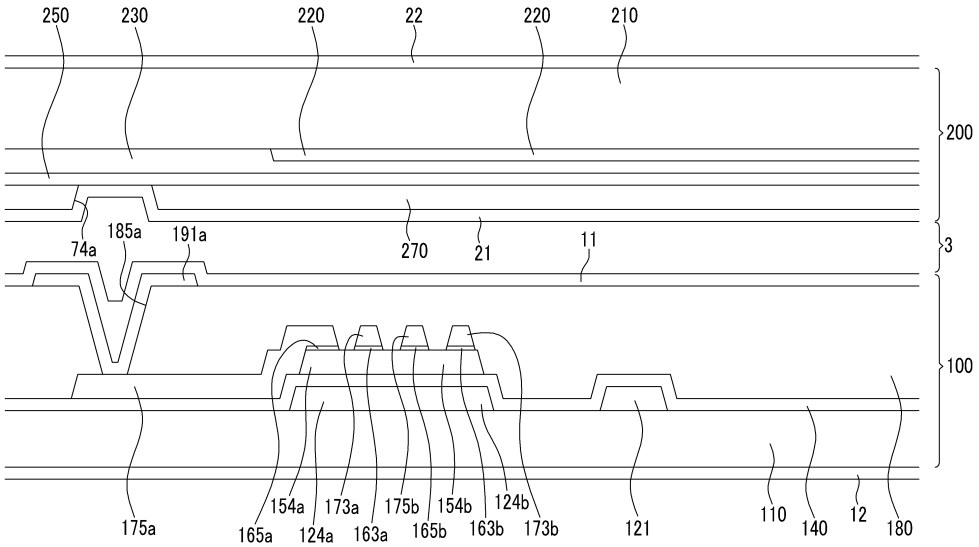
도면4


191
191b
191a
191a1
191a2
191a3
131
137a
137b
137c
137d
124a
121
179
182
82
154a
173a
173b
154b
124b
185a
175a
92
175b
175b
191a1
91
185b
173c
183
191a3
137a
93
137d
137c
175c
94
191b
137a
185c
137b
191a2

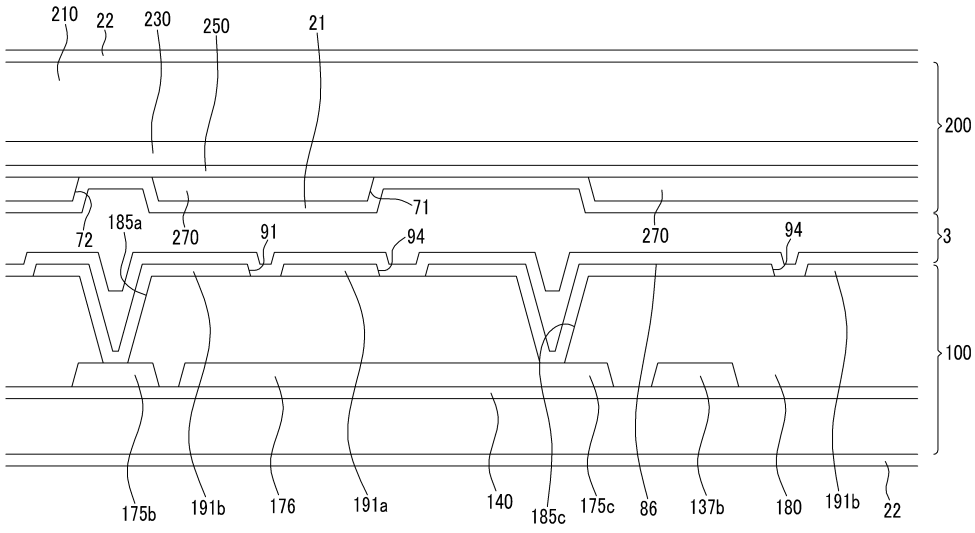
도면5



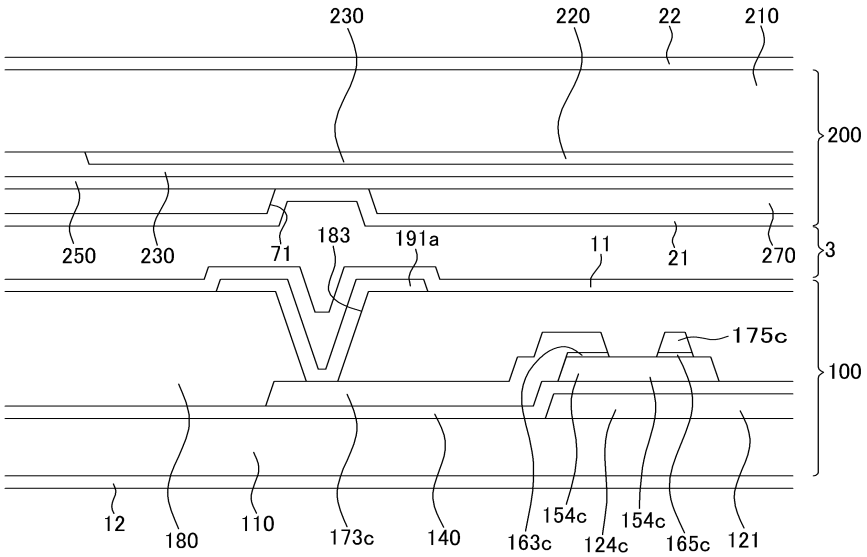
도면6


250
230
220
22
220
210
200
74a
185a
191a
270
21
11
3
100
175a
154a
173a
175b
154b
124b
165a
124a
163a
165b
163b
173b
121
110
140
12
180

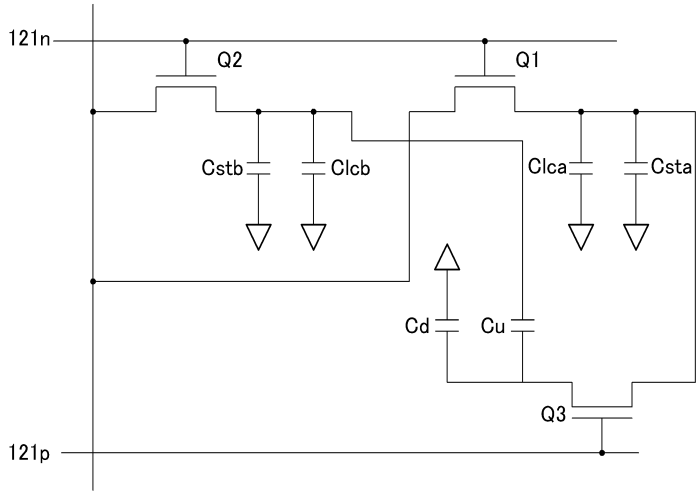
도면7


210
22
230
250
21
200
71
72
185a
270
91
94
270
94
3
100
175b
191b
176
191a
140
185c
175c
86
137b
180
191b
22

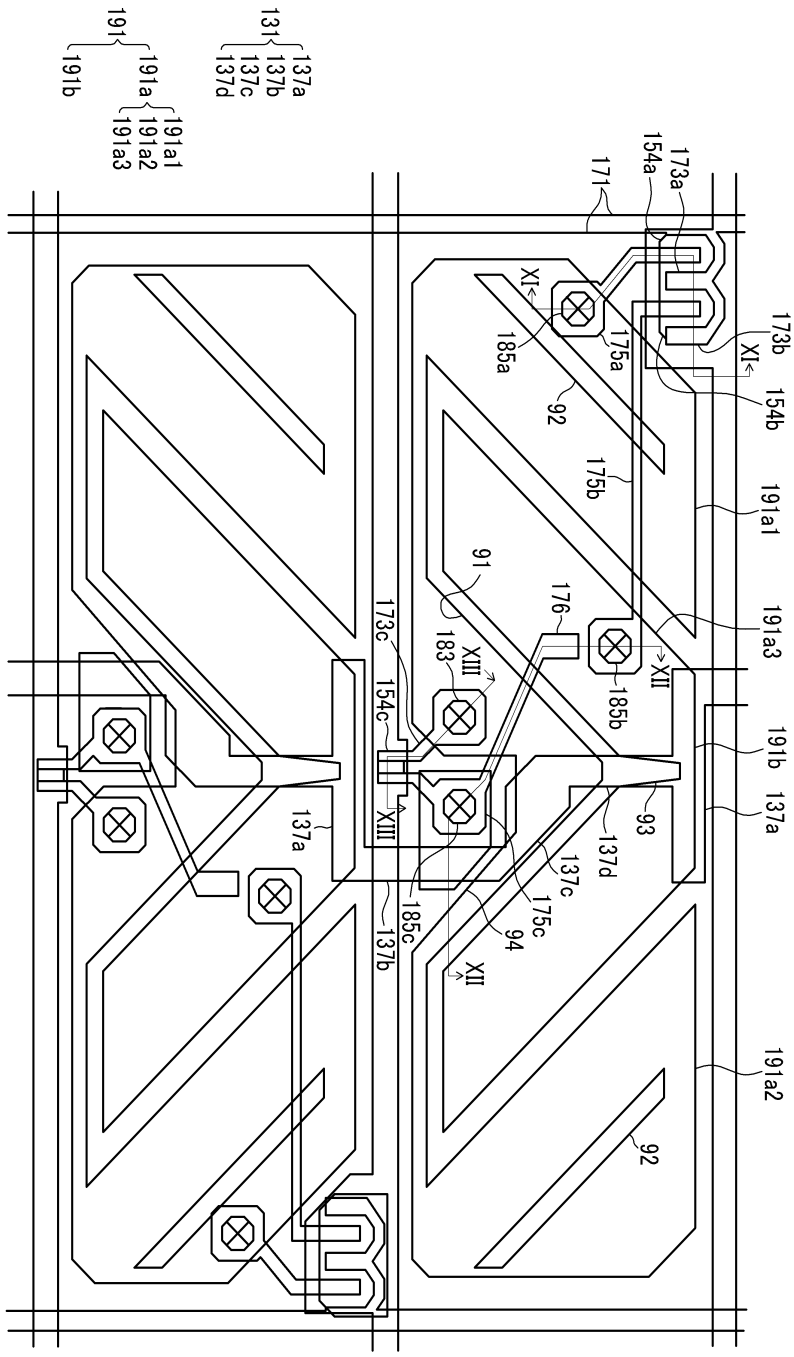
도면8


230
220
22
210
200
250
230
71
183
191a
11
21
270
3
175c
100
12
180
110
173c
140
163c
154c
124c
154c
165c
121

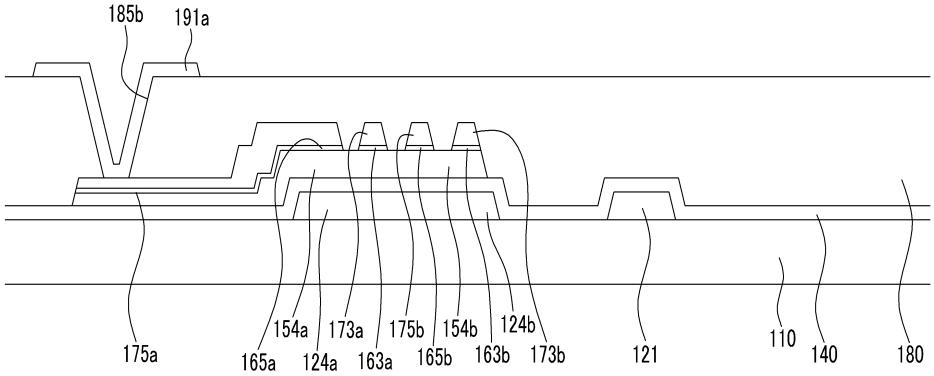
도면9


121n
Q2
Q1
Cstb
Clcb
Clca
Csta
Cd
Cu
Q3
121p

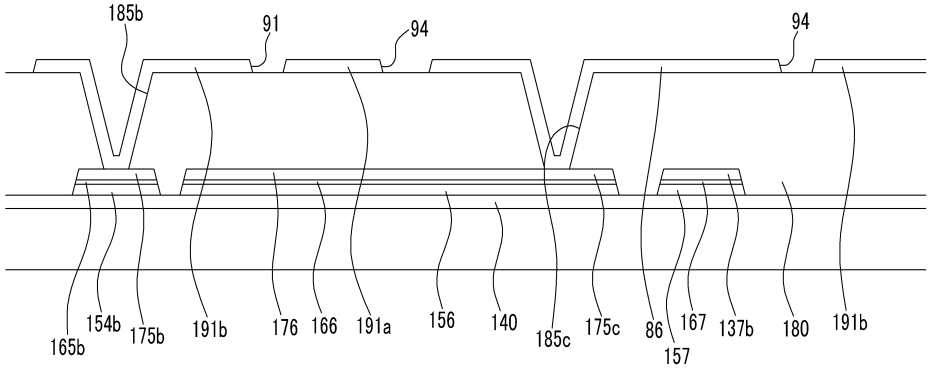
도면10


131
137a
137b
137c
137d
191
191a
191a1
191a2
191a3
191b
171
173a
154a
XI
185a
92
175a
173b
154b
175b
191a1
91
176
173c
183
XIII
191a3
XII
185b
154c
191b
137a
93
137d
137c
175c
185c
94
137b
191a2
92

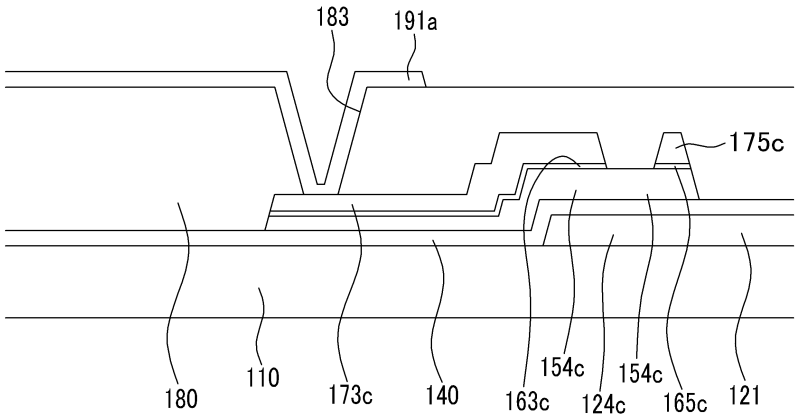
도면11



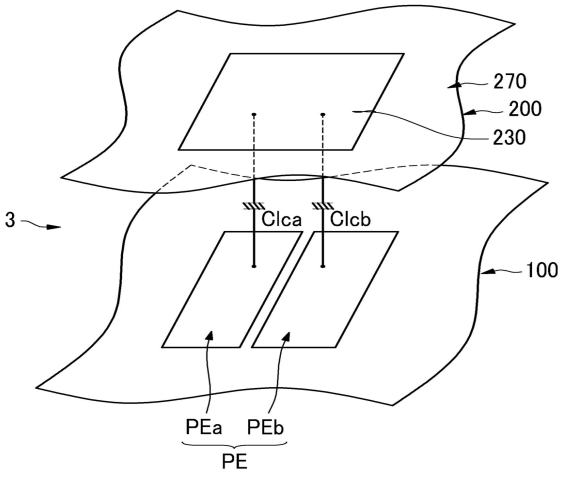
도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080097793A	公开(公告)日	2008-11-06
申请号	KR1020070043101	申请日	2007-05-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU		
发明人	KIM, DONG GYU		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F2001/133742 G02F1/136213 G02F1/13624		
其他公开文献	KR101348754B1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示器包括基板和第一栅极线，第一栅极线彼此相邻，同时形成在基板和第二子像素电极上，连接到维持电极线，与绝缘状态交叉第一数据线和第二数据线彼此相邻，同时与第二栅极线绝缘的状态，第一和第二栅极线，以及第一和第二栅极线，第一和第二栅极线，其中第一和第二栅极线控制端子和输入端子的控制端子和输入端子连接到第一栅极线和第一数据线到相应连接的薄膜晶体管，并且第一栅极线和第一数据线连接到相应连接的第二薄膜晶体管薄膜晶体管的输出端子，第二薄膜晶体管的输出端子和第二栅极线的控制端子第一子像素电极和输入端子是相应连接的第三薄膜晶体管，并且用于第一轴电导体形成电容器的维持电极线和至少一部分重叠它连接到第三轴的输出端子薄膜晶体管。宽度像素，MB7，视角，。