



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0037132  
(43) 공개일자 2008년04월30일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0103758

(22) 출원일자 2006년10월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최일만

대구광역시 북구 산격1동 993-14 15/3

김호준

경북 포항시 남구 해도2동 93-8(16/6) 대동장미타운 나동 101호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 9 항

(54) 회전계 방식 액정표시장치용 어레이기판과 그 제조방법

(57) 요약

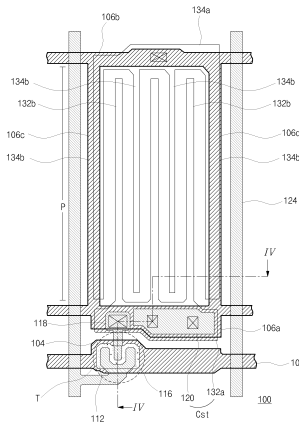
본 발명은 액정표시장치에 관한 것으로 특히, 고개구율 및 고해상도를 구현할 수 있는 회전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명의 특징은, 회전계형 어레이기판의 단일 화소마다 스토리지 캐패시터를 구성할 때, 게이트 절연막과 보호막을 사이에 두고 하부 공통 전극과 상부 화소 전극이 위치하는 구조에서, 상기 게이트 절연막과 보호막 사이에 상기 공통전극과 접촉하는 섬형상의 금속층을 구성하는 것을 특징으로 한다.

이와 같이 하면, 상기 공통 전극과 접촉하는 섬형상의 금속층이 스토리지 캐패시터의 제 1 전극이 되고 상부 화소 전극이 제 2 전극이 되고, 상기 보호막만이 유전체로서 기능을 하게 된다.

따라서, 상기 얇아진 두께의 유전체로 인해 종래보다 많은 양의 보조용량을 확보할 수 있기 때문에, 스토리지 캐패시터의 면적을 줄이는 것이 가능하여 그 만큼 개구영역을 확보할 수 있는 장점이 있다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

기관과;

상기 기관 상에 일 방향으로 연장된 게이트 배선과, 이와 교차하여 화소 영역을 정의하는 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차부에 위치하고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극으로 구성된 스위칭 소자와;

상기 화소 영역의 하부와 상부에 위치하는 제 1 및 제 2 수평부를 포함하는 보조 공통 전극과;

상기 보조 공통 전극의 제 1 수평부 상부에 제 1 절연막을 사이에 두고 위치하고 상기 제 1 수평부와 접촉하도록 구성된 섬형상의 금속층과;

상기 보조 공통 전극의 제 2 수평부 상부에 위치하는 수평부와, 상기 수평부에서 연장된 다수의 수직부로 구성된 투명한 공통 전극과;

상기 섬형상의 금속층의 상부에 보호막을 사이에 두고 위치하는 수평부와, 상기 수평부에서 연장된 다수의 수직부로 구성된 화소 전극

을 포함하는 횡전계 방식 액정표시장치용 어레이 기관.

### 청구항 2

제 1 항에 있어서,

상기 보조 공통 전극은 상기 제 1 수평부와 제 2 수평부를 상기 화소 영역의 일 측과 타 측에서 연결하는 제 1 수직부와 제 2 수직부를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기관.

### 청구항 3

제 2 항에 있어서,

상기 화소 전극은 상기 드레인 전극과 접촉하도록 구성된 횡전계 방식 액정표시장치용 어레이기관.

### 청구항 4

제 1 항에 있어서,

상기 섬형상의 금속층을 제 1 전극으로 하고, 상기 보호막을 유전체로 하고, 상기 화소전극의 수평부를 제 2 전극으로 하는 스토리지 캐패시터를 포함하는 횡전계 방식 액정표시장치용 어레이 기관.

### 청구항 5

기관 상에 화소 영역을 정의하는 단계와;

상기 화소 영역 마다 일 측에 게이트 배선과, 상기 화소 영역의 하부와 상부에 각각 제 1 수평부와 제 2 수평부를 포함하는 공통 전극을 형성하는 단계와;

상기 게이트 배선과 교차하는 화소 영역의 타 측에 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 게이트 전극과 액티브층과 소스 전극과 드레인 전극으로 구성된 박막트랜지스터를 형성하는 단계와;

상기 보조 공통 전극의 제 1 수평부와 제 1 절연막을 사이에 두고 위치하며, 상기 제 1 수평부와 접촉하는 섬형상의 금속층을 형성하는 단계와;

상기 화소 영역에 수평부와 이에 연장된 다수의 수직부로 구성된 공통 전극과, 상기 섬형상의 금속층의 상부에 제 2 절연막을 사이에 두고 위치하는 수평부와, 상기 수평부에서 화소 영역으로 연장된 복수의 수평부로 구성된 화소 전극을 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

**청구항 6**

제 5 항에 있어서,

상기 보조 공통 전극의 제 1 수평부와 제 2 수평부를 상기 화소 영역의 일 측과 타 측에서 연결하는 제 1 수직부와 제 2 수직부를 형성하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

**청구항 7**

제 5 항에 있어서,

상기 화소 전극의 수평부는 상기 드레인 전극과 접촉 하도록 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

**청구항 8**

제 5 항에 있어서,

상기 섬형상의 금속층을 제 1 전극으로 하고, 상기 제 2 절연막을 유전체로 하고, 상기 화소전극의 수평부를 제 2 전극으로 하는 스토리지 캐패시터를 포함하는 횡전계 방식 액정표시장치용 어레이 기판 제조방법.

**청구항 9**

제 5 항에 있어서,

상기 화소 전극과 공통 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질그룹 중 선택된 하나로 형성되는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <16> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 고 개구율 및 고휘도 특성을 가지는 횡전계 방식 액정표시장치용 어레이 기판과 그 제조방법에 관한 것이다.
- <17> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <18> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <19> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <20> 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판(상부기판)과 화소 전극이 형성된 어레이기판(하부기판)과, 상부 및 하부기판 사이에 위치한 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- <21> 그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정구동방법으로 시야각 특성이 우수한 장점을 갖고 있다.
- <22> 이하, 도 1을 참조하여 일반적인 횡전계 방식 액정표시장치에 관해 상세히 설명한다.
- <23> 도 1은 종래의 제 1 예에 따른 횡전계 방식 액정표시장치의 단면을 도시한 확대 단면도이다.

- <24> 도시한 바와 같이, 종래에 따른 횡전계 방식 액정표시장치(B)는 컬러필터기관(B1)과 어레이기관(B2)이 대향하여 구성되며, 컬러필터기관 및 어레이기관 (B1,B2)사이에는 액정층(LC)이 개재되어 있다.
- <25> 상기 컬러필터 기관(B1)은 화소 영역(P)마다 컬러필터(44a, 44b)가 구성되고, 컬러필터(44a, 44b)사이의 이격된 영역에는 빛 차단수단인 블랙매트릭스(42)가 구성된다.
- <26> 상기 어레이기관(B2)은 투명한 절연 기관(10)에 정의된 복수의 화소(P)마다 박막트랜지스터(T)와 공통 전극(18)과 화소 전극(32)이 구성된다.
- <27> 상기 박막트랜지스터(T)는 게이트 전극(12)과, 게이트 전극(12) 상부에 절연막(20)을 사이에 두고 구성된 반도체층(22)과, 반도체층(22)의 상부에 서로 이격하여 구성된 소스 및 드레인 전극(24, 26)을 포함한다.
- <28> 그런데 일반적으로, 상기 공통 전극(18)은 상기 게이트 전극(12)과 동일층 동일물질로 구성되고, 상기 화소 전극(32)은 상기 소스 및 드레인 전극(24, 26)과 동일층 동일물질로 구성되나, 개구율을 높이기 위해 상기 화소 전극(32)을 투명한 재질로 형성한다.
- <29> 그러나, 상기 화소 전극을 투명한 재질로 형성하였다 하여도, 화소 전극에 대응하는 영역을 모두 개구영역으로 사용할 수 없다.
- <30> 왜냐하면, 일반적인 횡전계형 어레이기관은 설계상 전극과 전극 사이에 발생하는 전계가 전극의 중심까지 그 영향을 미치지 못하기 때문에, 전극의 양측 일부영역만이 개구영역으로 사용될 수 있을 뿐이다.
- <31> 따라서, 좀 더 고휘도를 구현하기 위해서 상기 공통 전극 또한 투명한 재질로 형성하는 구조가 제안되었다.
- <32> 이에 대해, 이하 도 2와 도 3을 참조하여 설명한다.
- <33> 도 2는 종래의 제 2 예에 따른 횡전계 방식 액정표시장치용 어레이기관의 일부를 확대한 확대 평면도이고, 도 3은 도 2의 II-II를 따라 절단한 단면도이다.
- <34> 도시한 바와 같이, 종래의 제 2 예에 따른 횡전계형 어레이기관(50)은 서로 교차하여 화소 영역(P)을 정의하는 게이트 배선(52)과 데이터 배선(68)과, 상기 게이트 배선(52)과 데이터 배선(68)의 교차지점에 위치하고, 게이트 전극(54)과 액티브층(60)과 소스 전극(64)과 드레인 전극(66)으로 구성된 박막트랜지스터(T)와, 상기 화소 영역(P)에 투명한 도전성 재질로 동일층에 구성된 공통 전극(74a, 74b)과 화소 전극(72a, 72b)을 포함한다.
- <35> 이때, 상기 공통 전극(74a, 74b)과 화소 전극(72a, 72b)은 모두 수평부(74a, 72a)와 상기 수평부에서 막대형상으로 연장된 복수의 수직부(74b, 72b)로 구성된다.
- <36> 상기 화소 영역(P)에는 보조 공통전극이 구성되며 구체적으로, 화소 영역(P)의 하부와 상부에 각각 위치한 제 1 수평부(56a)와 제 2 수평부(56b)와, 상기 제 1 및 제 2 수평부(56a, 56b)를 일 측과 타 측에서 연결하는 제 1 수직부(56c)와 제 2 수직부(56d)로 구성된 사각테 형상이다.
- <37> 상기 공통 전극(74a, 74b)은 상기 보조 공통 전극(106a, 106b, 106c, 106d)과 접촉하여 공통신호를 받고, 상기 화소 전극(72a, 72b)은 상기 드레인 전극(66)과 접촉하여 데이터 신호를 인가받아 구동하게 된다.
- <38> 이때, 상기 보조 공통 전극의 제 1 수평부(56a)를 제 1 전극으로 하고, 상기 제 1 수평부(56a)의 상부에 위치하고 상기 드레인 전극(66)과 접촉하는 화소 전극의 수평부(72a)를 제 2 전극으로 하는 스토리지 캐패시터(Cst)가 형성된다.
- <39> 따라서, 상기 스토리지 캐패시터(Cst)의 제 1 전극(56a)과 제 2 전극(72a) 사이에는 게이트 절연막(GI)과 보호막(PAS)이 존재하게 된다.
- <40> 일반적으로, 상기 게이트 절연막(GI)은 상기 교차하는 데이터 배선(68)과 게이트 배선(52)사이에서 위치하여 상기 두 배선(52, 68)의 쇼트(shot) 및 신호 간섭을 방지하기 위한 구성으로 약 4000Å의 두께로 형성되고, 상기 보호막(PAS)은 상기 소스 및 드레인 전극(64, 66)사이에서 노출된 액티브층(60)의 표면을 보호하는 기능을 하며 약 2000Å의 두께로 형성된다.
- <41> 결과적으로, 상기 스토리지 캐패시터(Cst)는 상기 제 1 및 제 2 전극(56a, 72a)사이에서 유전체로서 약 6000Å의 두께를 가지는 절연막을 사용하게 되는 것이다.
- <42> 한편, 스토리지 캐패시터(Cst)의 용량은 상기 유전체의 두께에 반비례하고 면적에 비례하기 때문에, 유전체의 두께가 두껍게 되면 더 많은 용량을 얻기 위해 면적을 크게 설계할 수 밖에 없다.

<43> 그러나, 스토리지 캐패시터(Cst)의 면적이 크면 클수록 도시한 바와 같이, 화소 영역이 잠식되는 구조이기 때문에 개구율이 떨어져 휘도저하를 유발하는 문제가 있다.

<44> 또한, 이러한 구조는 패널을 고정세(高精細)화 하기 어려워 고해상도를 구현하기 어려운 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

<45> 본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 보조 용량의 크기를 그대로 유지하면서 스토리지 캐패시터의 크기를 줄여 고개구율 및 고해상도를 구현할 수 있는 횡전계 방식 액정표시장치용 어레이기판을 제작하는 것을 목적으로 한다.

**발명의 구성 및 작용**

<46> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은 기판과; 상기 기판 상에 일 방향으로 연장된 게이트 배선과, 이와 교차하여 화소 영역을 정의하는 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차부에 위치하고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극으로 구성된 스위칭 소자와; 상기 화소 영역의 하부와 상부에 위치하는 제 1 및 제 2 수평부를 포함하는 보조 공통 전극과; 상기 보조 공통 전극의 제 1 수평부 상부에 제 1 절연막을 사이에 두고 위치하고 상기 제 1 수평부와 접촉하도록 구성된 섬형상의 금속층과; 상기 보조 공통 전극의 제 2 수평부 상부에 위치하는 수평부와, 상기 수평부에서 연장된 다수의 수직부로 구성된 투명한 공통 전극과; 상기 섬형상의 금속층의 상부에 보호막을 사이에 두고 위치하는 수평부와, 상기 수평부에서 연장된 다수의 수직부로 구성된 화소 전극을 포함한다.

<47> 상기 보조 공통 전극은 상기 제 1 수평부와 제 2 수평부를 상기 화소 영역의 일 측과 타 측에서 연결하는 제 1 수직부와 제 2 수직부를 더욱 포함하고, 상기 화소 전극은 상기 드레인 전극과 접촉하도록 구성된 것을 특징으로 한다.

<48> 상기 섬형상의 금속층을 제 1 전극으로 하고, 상기 보호막을 유전체로 하고, 상기 화소전극의 수평부를 제 2 전극으로 하는 스토리지 캐패시터를 형성된다.

<49> 본 발명의 특징에 따른 횡전계 방식 액정표시장치용 어레이기판 제조방법은 기판 상에 화소 영역을 정의하는 단계와; 상기 화소 영역 마다 일 측에 게이트 배선과, 상기 화소 영역의 하부와 상부에 각각 제 1 수평부와 제 2 수평부를 포함하는 공통 전극을 형성하는 단계와; 상기 게이트 배선과 교차하는 화소 영역의 타 측에 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 게이트 전극과 액티브층과 소스 전극과 드레인 전극으로 구성된 박막트랜지스터를 형성하는 단계와; 상기 보조 공통 전극의 제 1 수평부와 제 1 절연막을 사이에 두고 위치하며, 상기 제 1 수평부와 접촉하는 섬형상의 금속층을 형성하는 단계와; 상기 화소 영역에 수평부와 이에 연장된 다수의 수직부로 구성된 공통 전극과, 상기 섬형상의 금속층의 상부에 제 2 절연막을 사이에 두고 위치하는 수평부와, 상기 수평부에서 화소 영역으로 연장된 복수의 수평부로 구성된 화소 전극을 형성하는 단계를 포함한다.

<50> 상기 보조 공통 전극의 제 1 수평부와 제 2 수평부를 상기 화소 영역의 일 측과 타 측에서 연결하는 제 1 수직부와 제 2 수직부를 형성하는 단계를 더욱 포함한다.

<51> 상기 화소 전극의 수평부는 상기 드레인 전극과 접촉 하도록 형성된 것을 특징으로 하고, 상기 섬형상의 금속층을 제 1 전극으로 하고, 상기 제 2 절연막을 유전체로 하고, 상기 화소전극의 수평부를 제 2 전극으로 하는 스토리지 캐패시터를 포함한다.

<52> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

<53> -- 실시예 --

<54> 이하, 도면을 참조하여 본 발명에 따른 어레이 기판의 구성을 설명한다.

<55> 도 4는 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 한 화소를 확대한 확대 평면도 이다.

<56> 도시한 바와 같이, 기판(100)상에 일 방향으로 연장된 게이트 배선(102)과, 상기 게이트 배선(102)과 교차하여 화소 영역(P)을 정의하는 데이터 배선(124)을 구성한다.

<57> 상기 게이트 배선(102)과 데이터 배선(124)의 교차지점에는 스위칭 소자인 박막트랜지스터(T)를 구성한다.

<58> 상기 박막트랜지스터(T)는 상기 게이트 배선(102)과 접촉하는 게이트 전극(104)과, 게이트 전극(104)상부의 액

티브층(112)과, 액티브층(112)상부에 위치하고 상기 데이터 배선(124)과 연결되는 소스 전극(116)과 이와 이격된 드레인 전극(118)을 포함한다.

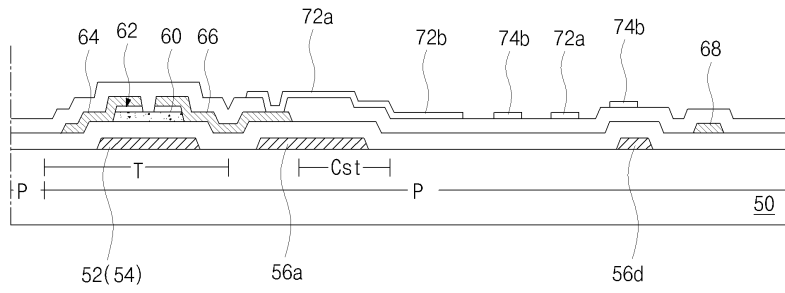
- <59> 상기 화소영역(P)에는 아래위로 이격된 제 1 및 제 2 수평부(106a)(106b)와, 상기 제 1 및 제 2 수평부(106a, 106b)를 일 측과 타 측에서 연결하는 제 1 및 제 2 수직부(106c)(106d)로 구성된 사각테 형상의 보조 공통전극을 형성한다.
- <60> 또한, 상기 화소 영역(P)에는 상기 보조 공통 전극(106a, 106b, 106c, 106d)과 접촉하는 투명한 공통 전극(134a, 134b)과, 상기 공통 전극(134a, 134b)과 이격하여 구성된 투명한 화소 전극(132a, 132b)을 구성한다.
- <61> 이때, 상기 공통 전극(134a, 134b)은 수평부(134a)와 상기 수평부(134a)에서 막대형상으로 연장된 복수의 수직부(134b)로 구성하며, 상기 보조 공통 전극(106a, 106b, 106c, 106d)과 접촉하도록 구성한다.
- <62> 상기 화소 전극(132a, 132b)은 상기 보조 공통 전극의 제 1 수평부(106a) 상부에 위치한 수평부(132a)와 이에 연장된 다수의 수직부(132b)로 구성하며, 상기 드레인 전극(118)을 통해 영상신호를 인가받도록 구성한다.
- <63> 이때, 특징적인 것은 상기 보조 공통 전극의 제 1 수평부(106a)와 상기 화소 전극의 수평부(132a) 사이에 상기 제 1 수평부(106a)와 연결되는 섬형상의 금속층(120)을 더욱 구성함으로써, 상기 섬형상의 금속층(120)을 제 1 전극으로 하고 상부의 보호막(미도시)을 유전체로 하고, 상기 보호막(미도시)상부에 위치한 화소 전극의 수평부(134a)를 제 2 전극으로 하는 스토리지 캐패시터(Cst)를 형성하는 것이다.
- <64> 이에 대해 이하, 도 5를 참조하여 설명한다.
- <65> 도 5는 도 4의 IV-IV를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.
- <66> 도시한 바와 같이, 어레이기판에 복수의 화소 영역 및 각 화소 영역(P)마다 스위칭 영역(S)과 스토리지 영역(C)을 정의한다.
- <67> 상기 스위칭 영역(S)에는 게이트 전극(104)과 게이트 절연막(110)과 액티브층(112)과 오믹 콘택층(114)과 이격된 소스 및 드레인 전극(116, 118)이 적층된 박막트랜지스터(T)를 구성하고, 상기 화소 영역(P)에는 보조 공통전극(106a, 106b, 106c, 106d)과 게이트 절연막(110)과 ,상기 보조 공통 전극과 접촉하는 투명한 공통 전극(134a, 134b)과, 상기 드레인 전극(118)과 접촉하는 투명한 화소 전극(132a, 132b)을 적층하여 구성 한다.
- <68> 이때, 상기 보조 공통 전극(106a, 106c, 106d)은 사각테 형상이며, 하부와 상부로 이격된 제 1 및 제 2 수평부(106a, 미도시)와, 상기 제 1 및 제 2 수평부(106a, 미도시)를 일 측과 타 측에서 연결하는 제 1 수직부(미도시)와 제 2 수직부(106d)로 구성한다.
- <69> 상기 공통 전극(134a, 134b)은 상기 제 2 수평부(106b)의 상부에 구성된 수평부(134a)와, 상기 수평부(134a)에서 화소 영역(P)으로 연장된 복수의 수직부(134b)로 구성한다.
- <70> 또한, 상기 화소 전극(132a, 132b)은 상기 보조 공통전극의 제 1 수평부(106a)의 상부에 위치한 수평부(132a)와, 상기 수평부(132a)에서 화소 영역(P)으로 수직하게 막대 형상으로 연장된 복수의 수직부(132b)로 구성한다.
- <71> 상기 스토리지 영역(C)에는, 상기 보조 공통 전극의 제 1 수평부(106a)와, 상기 제 1 수평부(106a)의 상부에 게이트 절연막(110)을 사이에 두고 이와 접촉하는 섬형상의 금속층(120)과, 상기 섬형상의 금속층(120)의 상부에 보호막(128)을 사이에 두고 구성된 화소 전극의 수평부(132a)가 위치하게 된다.
- <72> 따라서, 상기 섬형상의 금속층(120)을 제 1 전극으로 하고 상기 보호막(128)을 유전체로 하고, 상기 보호막(128) 상부에 위치한 상기 화소 전극의 제 1 수평부(132a)를 제 2 전극으로 하는 스토리지 캐패시터(Cst)가 형성된다.
- <73> 이때, 상기 유전체로 사용되는 보호막(128)의 두께가 약 2000Å 정도 되므로 종래와 비교하여 유전체의 두께가 줄어드는 효과를 얻을 수 있으므로 동일 면적대비 보조용량을 더욱 확보할 수 있다.
- <74> 따라서, 상기 동일수준의 보조 용량을 유지하면서도 스토리지 캐패시터(Cst)를 작은 면적으로 설계하는 것이 가능하며, 화소영역(P)에서 스토리지 캐패시터(Cst)가 차지하는 면적을 줄일 수 있기 때문에 개구율을 확대 할 수 있다.
- <75> 이하, 공정 단면도를 참조하여, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조공정을 설명한다.

- <76> 도 6a 내지 도 6e는 도 4의 IV-IV를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.
- <77> 도 6a에 도시한 바와 같이, 기판(100)상에 화소 영역(P)과, 상기 화소 영역(P) 내에 스위칭 영역(S)과 스토리지 영역(C)을 정의한다.
- <78> 상기 복수의 영역(P,S,C)이 정의된 기판(100)의 전면에, 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 티타늄(Ti)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 물질을 적층한 후 패터하여, 상기 기판의 일 방향으로 연장된 게이트 배선(102)과, 상기 게이트 배선과 연결된 게이트 전극(104)을 형성한다.
- <79> 상기 게이트 전극(104)은 상기 게이트 배선(102)에서 돌출된 형태로 구성할 수 있고, 상기 게이트 배선(102)의 일부 영역을 상기 게이트 전극(104)으로 이용할 수 있다.
- <80> 동시에, 상기 화소 영역(P)의 하부와 상부에 각각 제 1 수평부(106a)와 제 2 수평부(106b)가 위치하고, 상기 제 1 및 제 2 수평부(106a,106b)를 일 측과 타 측에서 연결하는 제 1 수직부(106c)와 제 2 수직부(106d)로 구성된 보조 공통 전극을 형성한다.
- <81> 이때, 상기 보조 공통 전극의 제 1 수평부(106a)는 상기 스토리지 영역(C)에 위치하게 된다.
- <82> 도 6b에 도시한 바와 같이, 상기 게이트 배선 및 게이트 전극(102,104)과, 보조 공통전극(106a,106b,106c,106d)이 형성된 기판(100)의 전면에, 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(110)을 형성한다.
- <83> 상기 게이트 절연막(110)이 형성된 기판(100)의 전면에 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(N+a-Si:H)을 순차 증착하여, 비정질 실리콘층(미도시)과 불순물 비정질 실리콘층(미도시)을 형성하고 패터하여, 게이트 전극(104)에 대응하는 게이트 절연막(110)의 상부에 액티브층(112)과 오믹 콘택층(114)을 형성한다.
- <84> 이때, 상기 보조 공통 전극의 제 1 수평부(106a)를 일부 노출하는 제 1 콘택홀(CH1)을 형성하게 되는데, 상기 게이트 절연막(110)을 형성한 후 바로 상기 제 1 콘택홀(CH1)을 형성하는 공정을 진행하거나, 상기 액티브층 및 오믹 콘택층(112,114)을 형성한 후 상기 제 1 콘택홀(CH1)을 형성할 수 있다.
- <85> 도 6c에 도시한 바와 같이, 상기 오믹 콘택층(114)이 형성된 기판(100)의 전면에 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하고 패터하여, 상기 오믹 콘택층(114)의 상부에 이격된 소스 전극(116)과 드레인 전극(118)을 형성하고 동시에, 상기 보조 공통 전극의 제 1 수평부(106a)의 상부에 섬형상의 금속층(120)을 형성한다.
- <86> 또한, 상기 소스 전극(116)과 연결되면서 상기 게이트 배선(102)과는 교차하는 데이터 배선(124)을 형성한다.
- <87> 이때, 상기 섬형상의 금속층(120)은 제 1 콘택홀(도 6b의 CH1)을 통해 노출된 하부의 제 1 수평부(106a)와 접촉하도록 구성한다.
- <88> 다음으로, 상기 이격된 소스 및 드레인 전극(116,118) 사이로 노출된 오믹 콘택층(114)을 제거하여, 하부의 액티브층(112)을 노출하는 공정을 진행한다.
- <89> 도 6d에 도시한 바와 같이, 상기 소스 및 드레인 전극(116,118)과, 상기 섬형상의 금속층(120)이 형성된 기판(100)의 전면에 앞서 언급한 절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착 또는 도포하여 보호막(128)을 형성한다.
- <90> 다음으로, 상기 보호막(128)을 식각하여, 상기 드레인 전극(118)을 노출하는 제 2 콘택홀(CH2)과, 상기 보조 공통 전극(106a,106b,106c,106d)의 일부를 노출하는 제 3 콘택홀(미도시)을 형성한다.
- <91> 도 6e에 도시한 바와 같이, 상기 보호막(128)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터하여, 상기 화소 영역(P)에 화소 전극(132a,132b)과 이와 이격하여 공통 전극(134a,134b)을 형성 한다.
- <92> 이때, 상기 화소 전극(132a,132b)은 상기 제 2 콘택홀을 통해 상기 드레인 전극(118)과 접촉하는 수평부(132a)와, 상기 수평부(132a)에서 화소 영역(P)으로 연장된 막대형상의 다수의 수직부(132b)를 구성한다.
- <93> 상기 화소 전극과 공통 전극의 수직부(132b,134b)는 화소 영역(P)에서 일정간격 이격되도록 구성한다.

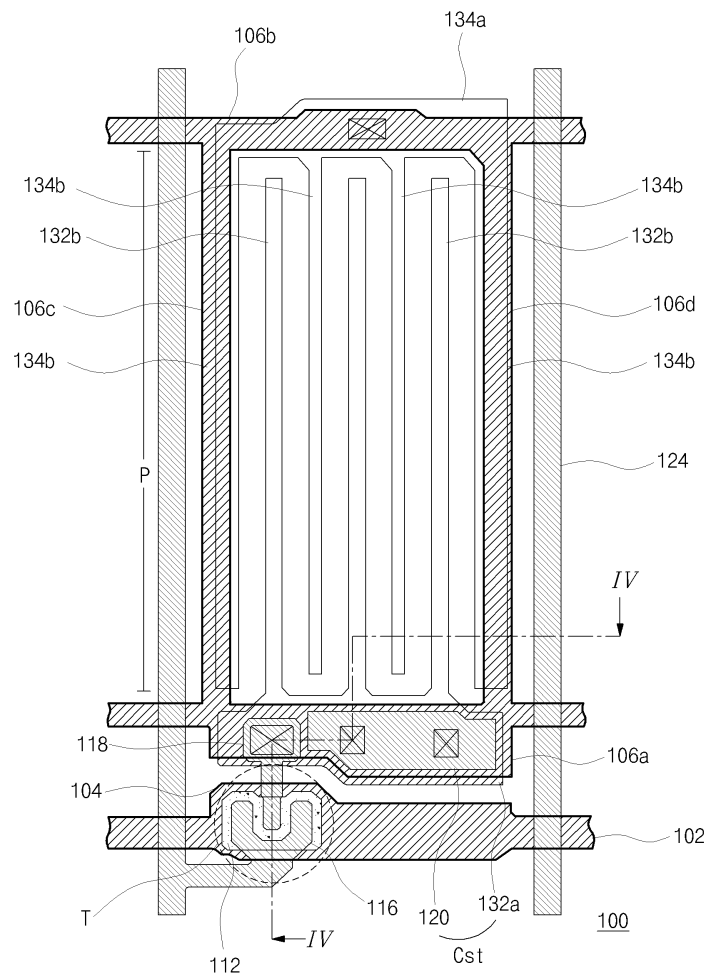




도면3

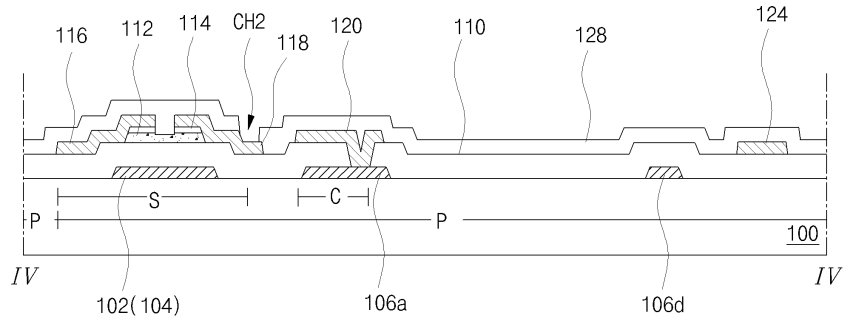


도면4





도면6d



도면6e

