



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0027131
(43) 공개일자 2008년03월26일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0087343

(22) 출원일자 2007년08월30일

심사청구일자 2008년01월22일

(30) 우선권주장

JP-P-2006-00255321 2006년09월21일 일본(JP)

JP-P-2007-00122731 2007년05월07일 일본(JP)

(71) 출원인

가부시끼가이샤 퓨처 비전

일본 도쿄도 미나토구 아카사카 2쥬메 4반 1고 백
아 빌딩 3F

(72) 발명자

요시모토 요시카즈

일본 도쿄도 미나토구 아카사카 2쥬메 4반 1고 백
아 빌딩 3F 가부시끼가이샤 퓨처 비전 내

(74) 대리인

장수길, 성재동

전체 청구항 수 : 총 16 항

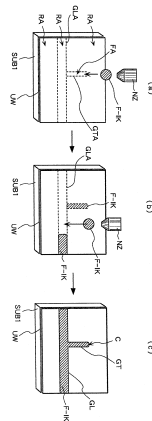
(54) 액정 표시 패널의 제조 방법 및 액정 표시 패널

(57) 요약

본 발명의 과제는 상이한 폭을 연결한 도전막의 극세 패턴을 적은 공정수로 고정밀도로 형성하여 고해상도의 액정 표시 패널을 얻는 것이다.

광폭의 도전막과 협폭의 도전막과 같이, 박막 트랜지스터 기관(SUB1)의 하지막(UW)의 표면의 대부분을 발액성(RA)으로 하고, 협폭의 게이트 전극 형성부(GTA)만을 친액성(FA)으로 한다. 친액성(FA)의 게이트 전극 형성부(GTA)에 도전성 잉크를 적하하고, 적하한 잉크막이 게이트 전극 형성부(GTA)에 균일하게 퍼진 후 발액성(RA)의 게이트 배선 형성부(GLA)에 광폭의 게이트 배선을 IJ 직묘로 형성한다. 게이트 전극 형성부(GTA)와 게이트 배선 형성부(GLA)의 잉크막의 막 두께는, 각각의 부분에 있어서의 잉크의 적하량으로 제어하여, 소성 후 액정 표시 패널에 얻어지는 양자의 막 두께를 동등하게 한다.

대표도 - 도6



특허청구의 범위

청구항 1

제1 기관과 제2 기관 사이에 액정을 끼움 지지하고, 상기 제1 절연 기관측에는 박막 트랜지스터를 갖는 화소가 매트릭스 형상으로 배치된 액정 표시 패널의 제조 방법이며,

상기 박막 트랜지스터가 형성되는 상기 제1 기관의 표면을, 도전성 잉크의 직묘로 형성할 수 있는 광폭 도전막의 형성 부분을 포함하는 대부분은 발액성으로, 도전성 잉크의 직묘로 형성할 수 없는 협폭 도전막의 형성 부분은 친액성으로 하는 발친액성(撥親液性) 처리 공정과,

상기 협폭 도전막의 형성 부분에 도전성 잉크를 적하하고, 상기 협폭 도전막의 형성 부분에 상기 친액성에 의한 도전성 잉크의 유입을 행하여 소요 막 두께의 협폭 도전막을 형성하기 위한 잉크막을 얻는 협폭 도전부 잉크막 형성 공정과,

상기 광폭 도전막의 형성 부분에 도전성 잉크를 직접 묘화에 의해 도포하고, 소요 막 두께의 광폭 도전막을 형성하기 위한 잉크막을 얻는 광폭 도전부 잉크막 형성 공정과,

상기 협폭 도전부 잉크막과 상기 광폭 도전부 잉크막을 소성하여 상기 협폭 도전막과 상기 광폭 도전막으로 하는 잉크막 소성 공정을 이 순서로 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 2

제1항에 있어서, 상기 도전성 잉크의 직접 묘화에 의한 상기 광폭 도전부 잉크막 형성 공정에서는, 상기 도전성 잉크의 일부를 상기 협폭 도전부 잉크막의 일부 상에 중첩시킴으로써, 상기 잉크막 소성 공정에서 상기 협폭 도전막과 상기 광폭 도전막을 일체의 도전성 막으로 하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 3

제1항에 있어서, 상기 도전성 잉크의 직접 묘화에 의한 상기 광폭 도전부 잉크막 형성 공정에서는, 상기 도전성 잉크의 도포량을 제어함으로써, 상기 잉크막 소성 공정에서 얻어지는 상기 협폭 도전막의 막 두께와 동등한 도전성 막으로 하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 4

제1항에 있어서, 상기 발친액성 처리 공정에서는, 상기 제1 기관의 표면층에, 발액성을 갖고 빛의 조사에 의해 친액성이 되는 모재를 이용하여, 상기 협폭 도전막의 형성 부분에 빛을 조사하여 친액성으로 하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 5

제2항에 있어서, 상기 광폭 도전막은 상기 박막 트랜지스터의 게이트 배선이고, 상기 협폭 도전막은 게이트 전극인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 6

제1 기관과 제2 기관 사이에 액정을 끼움 지지하고, 상기 제1 절연 기관측에는 박막 트랜지스터를 갖는 화소가 매트릭스 형상으로 배치된 액정 표시 패널의 제조 방법이며,

상기 박막 트랜지스터가 형성되는 상기 제1 기관의 표면을, 도전성 잉크의 직묘로 형성할 수 있는 광폭 도전막의 형성 부분을 포함하는 대부분은 발액성으로, 도전성 잉크의 직묘로 형성할 수 없는 협폭 도전막의 형성 부분은 친액성으로 하는 발친액성 처리 공정과,

상기 광폭 도전막의 형성 부분에 도전성 잉크를 직접 묘화에 의해 도포하고, 소요 막 두께의 광폭 도전막을 형성하기 위한 잉크막을 얻는 광폭 도전부 잉크막 형성 공정과,

상기 협폭 도전막의 형성 부분에 도전성 잉크를 적하하고, 상기 협폭 도전막의 형성 부분에 상기 친액성에 의한 도전성 잉크의 유입을 행하여 소요 막 두께의 협폭 도전막을 형성하기 위한 잉크막을 얻는 협폭 도전부 잉크막 형성 공정과,

상기 협폭 도전부 잉크막과 상기 광폭 도전부 잉크막을 소성하여 상기 협폭 도전막과 상기 광폭 도전막으로 하는 잉크막 소성 공정을 이 순서로 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 7

제6항에 있어서, 상기 도전성 잉크의 직접 묘화에 의한 상기 협폭 도전부 잉크막 형성 공정에서는, 상기 도전성 잉크의 일부를 상기 광폭 도전부 잉크막의 일부 상에 중첩시킴으로써, 상기 잉크막 소성 공정에서 상기 광폭 도전막과 상기 협폭 도전막을 일체의 도전성 막으로 하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 8

제6항에 있어서, 상기 도전성 잉크의 직접 묘화에 의한 상기 협폭 도전부 잉크막 형성 공정에서는, 상기 도전성 잉크의 적하량을 제어함으로써, 상기 잉크막 소성 공정에서 얻어지는 상기 광폭 도전막의 막 두께와 동등한 도전성 막으로 하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 9

제6항에 있어서, 상기 발착액성 처리 공정에서는, 상기 제1 기관의 표면층에, 발착성을 갖고 빛의 조사에 의해 착색성이 되는 모재를 이용하여, 상기 협폭 도전막의 형성 부분에 빛을 조사하여 착색성으로 하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 10

제7항에 있어서, 상기 광폭 도전막은 상기 박막 트랜지스터의 게이트 배선이고, 상기 협폭 도전막은 게이트 전극인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 11

복수의 게이트 배선으로부터 능동층의 영역으로 연장되는 게이트 전극을 갖는 박막 트랜지스터가 형성된 제1 기관과, 컬러 필터층과 대향 전극이 형성된 제2 기관과, 상기 제1 기관의 내면의 최상층에 성막된 제1 배향막과 상기 제2 기관의 최상층에 성막된 제2 배향막 사이에 봉입된 액정층을 갖는 액정 표시 패널이며,

상기 게이트 배선은 상기 제1 기관의 내면에 부여된 발착성부에 도전성 잉크의 직접 묘화로 패터닝된 것이고,

상기 게이트 전극은 상기 제1 기관의 내면에 상기 게이트 배선과 일단부를 연결하여 상기 능동층의 영역으로 연장되는 단책형 패턴으로 부여된 착색성부에 도전성 잉크의 적하로 패터닝된 것이고,

상기 게이트 전극의 전극 폭은 상기 게이트 배선의 배선 폭과 상이하고, 양자의 막 두께가 대략 동등한 것을 특징으로 하는 액정 표시 패널.

청구항 12

제11항에 있어서, 상기 게이트 전극과 상기 게이트 배선의 연결부에서는, 상기 게이트 전극의 단부의 일부가 상기 게이트 배선의 단부의 하측에 있는 것을 특징으로 하는 액정 표시 패널.

청구항 13

제11항에 있어서, 상기 게이트 전극과 상기 게이트 배선의 연결부에서는, 상기 게이트 배선의 단부의 일부가 상기 게이트 전극의 단부의 하측에 있는 것을 특징으로 하는 액정 표시 패널.

청구항 14

제11항에 있어서, 상기 제1 기관의 내면이, 상기 게이트 배선부의 영역이고, 상기 발착성부가 상기 게이트 전극보다도 넓은 영역으로 형성된 발착 영역으로 둘러싸여 있는 것을 특징으로 하는 액정 표시 패널.

청구항 15

제14항에 있어서, 상기 게이트 전극과 상기 게이트 배선의 연결부에서는, 상기 게이트 전극의 단부의 일부가 상기 게이트 배선의 단부의 하측에 있는 것을 특징으로 하는 액정 표시 패널.

청구항 16

제14항에 있어서, 상기 게이트 전극과 상기 게이트 배선의 연결부에서는, 상기 게이트 배선의 단부의 일부가 상기 게이트 전극의 단부의 하측에 있는 것을 특징으로 하는 액정 표시 패널.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정 표시 장치 등의 반도체 장치에 관한 것으로, 특히 액티브·매트릭스형의 액정 표시 패널의 제조 방법과 이 방법으로 제조한 액정 표시 패널에 관한 것이다.

배경 기술

- <2> 이러한 종류의 액정 표시 장치는, 액정 표시 패널과 구동 회로 및 백 라이트 등의 주변 장치를 조합하여 구성된다. 도13은 전형적인 세로 전계형(소위 TN형)의 액정 표시 장치의 개략 구성예를 설명하는 단면 도식도이다. 통상, 액티브·매트릭스형의 액정 표시 장치를 구성하는 액정 표시 패널은, 제1 기판(액티브·매트릭스 기판 혹은 박막 트랜지스터 기판 : TFT 기판)으로 구성되는 제1 패널(PNL1)과, 제2 기판(대향 기판 혹은 컬러 필터 기판 : CF 기판)으로 구성되는 제2 패널(PNL2) 사이에 액정(LC)을 봉입하여 형성된다.
- <3> 제1 패널(PNL1)을 구성하는 제1 기판(SUB1)의 내면에는, 박막 트랜지스터(TFT)와, 이 박막 트랜지스터(TFT)로 구동되는 화소 전극(PX)을 갖고, 최상층에는 제1 배향막(ORI1)이 성막되어, 액정 배향 제어능이 부여되어 있다. 또한, 외면(배면)에는 제1 편광판(POL1)이 부착되어 있다. 한편, 제2 패널(PNL2)을 구성하는 제2 기판(SUB2)의 내면에는, 컬러 필터(CF), 인접 화소의 컬러 필터 사이를 구획하는 차광층(블랙 매트릭스)(BM) 및 대향 전극(CT)을 갖고, 최상층에는 제2 배향막(ORI2)이 성막되어, 액정 배향 제어능이 부여되어 있다. 또한, 외면(표면)에는, 편광축을 제1 편광판(POL1)의 편광축과는 크로스 니콜 배치한 제2 편광판(POL2)이 부착되어 있다. 또한, 상세한 구성은 도시를 생략하였다.
- <4> 제1 기판(SUB1)에 박막 트랜지스터(TFT)를 조립하는 제조 공정에서는, 상기 기판 상에, 우선 크롬 등의 금속막으로 이루어지는 평행 배치된 복수의 게이트 배선 및 이 각 게이트 배선으로부터 화소마다 연장되는 게이트 전극이 형성된다. 일반적으로, 게이트 전극의 폭은 게이트 배선의 폭보다도 좁다. 그 후, 절연층, 능동층(실리콘 반도체층), 데이터 배선, 데이터 전극(소스·드레인 전극), 화소 전극, 보호막, 배향막 등을 형성하고, 배향막에 액정 배향 제어능을 부여하여 제1 기판이 형성된다. 제1 기판(SUB1)의 배면에는 백 라이트(BLK)가 설치되어 있다. 또한, 이 액정 표시 패널을 구동하기 위한 회로는 도시되어 있지 않다.
- <5> 도14는, 도13에서 설명한 액정 표시 패널의 1화소의 구성과 이 화소를 구성하는 박막 트랜지스터의 구성을 설명하는 도면이다. 즉, 도14의 (a)는 화소의 평면도, 도14의 (b)는 도14의 (a)의 A-A' 선을 따른 단면도이다. 도14의 (a)에 도시한 바와 같이, 박막 트랜지스터(TFT)가 게이트 배선(GL)과 데이터 배선(DL)의 교차부에 배치되어 있다. 또한, 화소를 구성하는 화소 전극(PX)이 콘택트 홀(TH)을 통해 박막 트랜지스터(TFT)의 소스 전극(또는 드레인 전극)(SD1)에 접속되고, 또한 보조 용량 배선(CL)과의 사이에서 보조 용량을 형성하고 있다.
- <6> 도14의 (b)에 있어서, 박막 트랜지스터(TFT)는 제1 기판(SUB1)의 표면에 형성된 하지막(UW) 상에, 게이트 배선(GL)으로부터 연장되는 게이트 전극(GT)과, 이 게이트 전극(GT)을 덮도록 게이트 절연막(GI)이 형성되어 있다. 이 게이트 절연막(GI) 상에 능동층으로서의 실리콘(Si) 반도체층(SI)과 오믹 콘택트층[(⁺nSi)NS], 소스 전극(SD1) 및 드레인 전극(SD2)이 순차 적층된다. 하지막(UW)은 질화 실리콘과 산화 실리콘의 적층막으로 형성된다.
- <7> 이 게이트 배선(GL) 및 게이트 전극(GT)을 덮어 질화 실리콘(실리콘·나이트라이드 : SiNx)을 적층하게 하는 게이트 절연막(GI)이 성막되고, 그 위에 게이트 배선(GL)과 교차하는 복수의 데이터 배선(DL)이 형성된다. 또한, 이 데이터 배선(DL)과 동시에 소스 전극(또는 드레인 전극)(SD1)과 드레인 전극(또는 소스 전극)(SD2)이 같은 층으로 형성된다.
- <8> 이 화소는 풀 컬러 표시인 경우에는 각 단색(적색, 녹색, 청색)의 부화소(副畫素)가 되지만, 여기서는 단순히 화소라 칭한다. 화소를 구성하는 박막 트랜지스터(TFT)는, 상기한 바와 같이 게이트 전극(GT)과, 이 게이트 전

극 상에 패터닝된 실리콘 반도체막(SI)과, 실리콘 반도체막의 상층에 분리하여 형성된 오믹 콘택트층[(⁺n실리콘)NSJ]과, 분리한 오믹 콘택트층의 각각에 접속된 소스 전극(드레인 전극)과 드레인 전극(소스 전극)에 의해 구성된다.

- <9> 이 박막 트랜지스터의 상층에는 보호막(PAS)이 성막되고, 그 위에 ITO를 적합하게 하는 화소 전극(PX)이 패터닝되어, 보호막(PAS)에 개방된 콘택트 홀(TH)에 의해 소스 전극(또는 드레인 전극)(SD1)에 접속하고 있다. 또한, 화소 전극(PX)을 덮어 제1 배향막(도13 참조)이 성막된다.
- <10> 한편, 도시하지 않은 다른 쪽의 기판에는, 풀 컬러인 경우에는 3색의 컬러 필터와 평활층(오버코트층, 도13에는 도시되어 있지 않음)을 통한 대향 전극(도13 참조)이 형성된다. 그리고, 대향 전극을 덮어 제2 배향막(도13 참조)이 성막되고, 상기한 한쪽의 기판인 액티브·매트릭스 기판과 겹쳐져 그 간극에 액정이 봉입된다.
- <11> 상기한 액티브·매트릭스 기판의 배선 등을 잉크젯법으로 형성하는 것이 특허 문헌 1에 개시되어 있다. 특허 문헌 1에서는, 박막 트랜지스터(TFT)의 게이트 전극을 도전 재료를 함유하는 액체 재료를 이용하여 잉크젯법에 의해 형성하고, 또한 박막 트랜지스터(TFT)의 소스 전극 및 드레인 전극을, 반도체 재료를 함유하는 액체 재료를 이용하여 잉크젯법에 의해 형성하는 것이 기재되어 있다. 또한, 특허 문헌 3은 후술하는 마스크리스 노광을 개시하는 문헌에이다.
- <12> [특허 문헌 1] 일본 특허 출원 공개 제2003-318193호 공보
- <13> [특허 문헌 2] 일본 특허 출원 공개 제2000-249821호 공보
- <14> [특허 문헌 3] 일본 특허 출원 공표 제2002-520840호 공보

발명의 내용

해결 하고자하는 과제

- <15> 액정 표시 패널에 있어서의 박막 트랜지스터의 게이트 배선이나 게이트 전극, 소스·드레인 전극 등을 금속막 스퍼터와 포토리소그래피 공정의 조합으로 형성하는 종래부터의 방법 대신에, 잉크젯법(IJ 방식)을 이용한 도전성 잉크의 직접 묘화 방법(이하, IJ 직묘라고도 함)을 이용함으로써 설비 투자와 제조 비용의 저감 및 생산 효율의 대폭 향상을 기대할 수 있을 것이라 생각된다. 또한, 표시의 고해상화에 수반하여, 박막 트랜지스터의 고해상 구조화가 필요해지고 있다. 그러나, IJ 직묘로 금속 배선을 형성한 경우, 현행에서는 30 μm 폭 이하의 미세 배선 패턴을 형성하는 것은 곤란하다. 특히, 고해상화에 수반되는 박막 트랜지스터에서는 게이트 전극은 10 μm 폭 이하가 요구된다. 이러한 협폭의 게이트 전극의 형성에는 IJ 직묘를 사용할 수 없다.
- <16> 또한, 액정 표시 패널에 있어서의 박막 트랜지스터의 게이트 전극에 한정되지 않고, 다른 배선이나 전극, 혹은 각 구성층 패턴, 실리콘 기판 등에 형성하는 각종 반도체 장치의 배선이나 전극의 가일층의 협폭화에 대해서도 마찬가지로, IJ 직묘를 사용하는 것이 곤란해지고 있다.
- <17> 이로 인해, 잉크젯 방식을 이용한 협폭의 배선이나 전극 등, 전형적으로는 박막 트랜지스터의 게이트 배선이나 게이트 전극의 형성에는, IJ 직묘 대신에, 소위 발친액(撥親液) 콘트라스트 패턴법이 주목받고 있다. 이 발친액 콘트라스트 패턴법은, 예를 들어 기판 상의 게이트 배선 형성부와 게이트 전극 형성부를 친액성의 패턴으로 하고, 그 이외의 부분은 발액성으로 해 두어, 친액성의 게이트 배선 형성부와 게이트 전극 형성부에 도전성 잉크를 IJ법으로 적하하여 유입시킨다고 하는 수법이다. 또한, 뱅크를 이용하여 친액성의 게이트 배선 형성부와 게이트 전극 형성부를 형성하고, IJ법으로 적하하여 유입시킨다고 하는 수법도 알려져 있다(특허 문헌 2).
- <18> 그러나, 발친액 콘트라스트 패턴법에서는 친액성 패턴 중에 폭이 상이한 패턴이 있으면, 협폭의 패턴의 선단부에 도전성 잉크가 유입되지 않는 부분이 발생하거나, 혹은 협폭의 패턴측의 막 두께가 얇아진다고 하는 현상이 발생한다. 또한, 뱅크를 이용하는 방법에서는, 뱅크 형성을 위한 포토리소그래피 공정과 발친액성 패턴의 제작을 위한 공정이 필요해져, 공정수의 삭감이 어렵다.
- <19> 본 발명의 목적은, 게이트 배선이나 게이트 전극과 같이 배선이나 전극의 폭(패턴 폭)이 상이한 극세(極細) 배선 혹은 극세 전극을 적은 공정수로 고정밀도로 형성하는 것을 가능하게 한 액정 표시 패널의 제조 방법과 이 방법으로 제조한 액정 표시 패널을 제공하는 데 있다.

과제 해결수단

- <20> 상기 목적을 달성하기 위해, 본 발명의 제조 방법은 제1 기판과 제2 기판 사이에 액정을 끼움 지지하고, 상기 제1 절연 기판측에는 박막 트랜지스터를 갖는 화소가 매트릭스 형상으로 배치된 액정 표시 패널의 제조 방법이며,
- <21> 상기 박막 트랜지스터가 형성되는 상기 제1 기판의 표면을, 도전성 잉크의 직묘로 형성할 수 있는 광폭 도전막의 형성 부분을 포함하는 대부분은 발액성으로, 도전성 잉크의 직묘로 형성할 수 없는 협폭 도전막의 형성 부분은 친액성으로 하는 발친액성 처리 공정과,
- <22> 상기 협폭 도전막의 형성 부분에 도전성 잉크를 적하하고, 상기 협폭 도전막의 형성 부분에 상기 친액성에 의한 도전성 잉크의 유입을 행하여 소요 막 두께의 협폭 도전막을 형성하기 위한 잉크막을 얻는 협폭 도전부 잉크막 형성 공정과,
- <23> 상기 광폭 도전막의 형성 부분에 도전성 잉크를 직접 묘화에 의해 도포하고, 소요 막 두께의 광폭 도전막을 형성하기 위한 잉크막을 얻는 광폭 도전부 잉크막 형성 공정과,
- <24> 상기 협폭 도전부 잉크막과 상기 광폭 도전부 잉크막을 소성하여 상기 협폭 도전막과 상기 광폭 도전막으로 하는 잉크막 소성 공정을 이 순서로 포함하는 것을 특징으로 한다.
- <25> 또한, 본 발명의 제조 방법은, 상기의 협폭 도전부 잉크막 형성 공정과 광폭 도전부 잉크막 형성 공정의 순서를 바꿀 수 있다.
- <26> 그리고, 상기 도전성 잉크의 직접 묘화에 의한 상기 광폭 도전부 잉크막 형성 공정을 상기 협폭 도전부 잉크막 형성 공정 전에 행하는 경우에는, 상기 도전성 잉크의 일부를 상기 협폭 도전부 잉크막의 일부 상에 중첩시킴으로써, 또한 상기 광폭 도전부 잉크막 형성 공정을 상기 협폭 도전부 잉크막 형성 공정 후에 행하는 경우에는, 상기 도전성 잉크의 일부를 상기 광폭 도전부 잉크막의 일부 상에 중첩시킴으로써, 상기 잉크막 소성 공정에서 상기 협폭 도전막과 상기 광폭 도전막을 일체의 도전성 막으로 하는 것을 특징으로 한다.
- <27> 또한, 본 발명의 제조 방법은, 상기 도전성 잉크의 직접 묘화에 의한 상기 광폭 도전부 잉크막 형성 공정, 혹은 상기 협폭 도전부 잉크막 형성 공정에서는, 상기 도전성 잉크의 도포량 혹은 적하량을 제어함으로써 상기 잉크막 소성 공정에서 얻어지는 광폭 도전막과 상기 협폭 도전막의 막 두께를 동등하게 하는 것을 특징으로 한다.
- <28> 또한, 본 발명의 액정 표시 패널은, 그 게이트 배선이 상기 제1 기판의 내면에 부여된 발액성부에 도전성 잉크의 직접 묘화로 패터닝된 것이고,
- <29> 게이트 전극이, 제1 기판의 내면에 게이트 배선과 일단부를 연결하여 능동층의 영역으로 연장되는 단책형 패턴으로 부여된 친액성부에 도전성 잉크의 적하로 패터닝된 것이고,
- <30> 게이트 전극의 전극 폭은 게이트 배선의 배선 폭과 상이하고, 양자의 막 두께가 대략 동일한 것을 특징으로 한다.

효 과

- <31> 본 발명에 따르면, 배선이나 전극의 폭(패턴 폭)이 상이한 극세 배선 혹은 극세 전극을 적은 공정수로 고정밀도로 형성하는 것이 가능해지고, 액정 표시 패널에의 적용에 의해, 이 제조 방법과 이 방법으로 제조한 액정 표시 패널에서는, 그 박막 트랜지스터의 게이트 배선으로부터 연장되는 미세한 폭의 게이트 전극을 적은 공정수로 고정밀도로 형성하는 것을 가능하게 하여 고해상 표시의 액정 표시 패널을 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

- <32> 이하, 본 발명의 실시 형태에 대해 설명한다. 이하에서는, 액정 표시 패널의 박막 트랜지스터에 본 발명을 적용한 예를 설명한다. 우선, 본 발명에 이른 경위를 발친액 콘트라스트 패턴과 잉크젯법의 조합을 이용한 잉크의 도포 특성의 검증을 참조하여 설명한다.
- <33> 도1은 발친액 콘트라스트 패턴과 잉크젯을 이용한 게이트 배선 및 게이트 전극의 형성을 설명하는 모식도이다. 제1 기판(SUB1)은 액정 표시 패널을 구성하는 글래스판으로 이루어지는 박막 트랜지스터 기판이다. 이 제1 기판(SUB1)의 내면에는, 글래스로부터의 이온 용출을 저지하고, 표면 평활화하기 위한 하지막(혹은 하지층)(UW)이 성막되어 있다. 통상, 하지막(UW)은 질화 실리콘과 산화 실리콘으로 구성된다.
- <34> 도1의 (a)와 같이, 하지막(UW)의 표면의 대부분은 발액성(撥液性)(RA)으로 하고, 게이트 배선 형성 부분(GLA)

및 게이트 전극 형성 부분(GTA)은 친액성(親液性)(FA)으로 하고 있다. 게이트 전극 형성 부분(GTA)의 배선 폭(Wgt)은 게이트 배선 형성 부분(GLA)의 배선 폭(Wgl)보다 좁다($Wgt < Wgl$). 이 친액성(FA) 부분에 잉크젯 노즐(NZ)로부터 도전성 잉크 방울(F-INK)을 적하하여 도포한다[도1의 (b)]. 이것을 소성하여 게이트 배선(GL) 및 게이트 배선(GL)으로부터 연장되는 게이트 전극(GT)으로 형성된 게이트 배선/게이트 전극 패턴이 형성된다.

<35> 도2는 발친액 콘트라스트 패턴과 잉크젯을 이용하여 회로 패턴의 형성에 있어서의 과정을 설명하는 모식도이다. 도2의 (a) 및 도2의 (b)의 좌측에는 평면을, 우측에는 Y-Y'선을 따른 단면을 도시한다. 친액성으로 한 영역의 액체의 쌓임량은, 원리적으로는 발액부에서 액체가 접촉할 때의 접촉각으로 정해진다. 그로 인해, 폭이 좁은 부분(세선부 : 협폭부)일수록 막 두께가 얇아지고, 도2의 (a)에 도시한 바와 같이 화살표 A로 나타낸 게이트 전극(GT)의 선단 부분에까지 액이 흐르지 않게 되고, 또한 면적이 넓은 화살표 B로 나타낸 게이트 배선(GL)과의 접속부의 코너부에서 폭이 넓은 게이트 배선부로 액이 끌어 당겨져 액체의 쌓임에 의한 넘침이 발생한다.

<36> 또한, 도2의 (b)에 도시한 바와 같이, 발친액 콘트라스트의 전역에 액체가 유입되어도, 게이트 전극(GT) 부분의 막 두께는 얇고, 도2의 (b)의 우측에 도시한 게이트 배선(GL)과 게이트 전극(GT)의 접속 부분에서 막 두께가 게이트 배선(GL) 부분보다도 두꺼워진다.

<37> 도3은 발친액 콘트라스트 패턴과 잉크젯을 이용한 회로 패턴의 형성에 있어서의 게이트 전극 형성부를 단독의 친액성으로 한 경우의 액체의 유입 상태를 설명하는 도면이다. 여기에서는, 도3의 (a)에 도시한 바와 같이, 전역을 발액성(RA)으로 한 박막 트랜지스터 기관(SUB1)의 하지막(UW)의 게이트 전극 형성부(GTA)에만 단독으로 친액성을 부여하였다. 친액성으로 한 게이트 전극 형성부(GTA)에 잉크젯의 노즐(NZ)로 적량의 도전성 잉크(F-INK)를 적하한 바, 도3의 (b)에 도시한 바와 같이 친액 잉크(F-INK)는 폭이 좁아도 게이트 전극 형성부(GTA)의 영역의 전부에 확실하게 유입되었다.

<38> 도4는 발친액 콘트라스트 패턴과 잉크젯을 이용한 회로 패턴의 형성에 있어서의 게이트 배선 형성부를 단독의 친액성으로 한 경우의 액체의 유입 상태를 설명하는 도면이다. 여기서는, 도4의 (a)에 도시한 바와 같이, 전역을 발액성(RA)으로 한 박막 트랜지스터 기관(SUB1)의 하지막(UW)의 게이트 배선 형성부(GLA)에만 단독으로 친액성을 부여하였다. 친액성으로 한 게이트 배선 형성부(GLA)에 잉크젯의 노즐(NZ)로 적량의 도전성 잉크(F-INK)를 적하한 바, 도4의 (b)에 도시한 바와 같이 게이트 배선 형성부(GLA)의 영역의 전부에 확실하게 유입되었다.

<39> 도5는 발친액 콘트라스트 패턴과 잉크젯을 이용한 회로 패턴의 형성에 있어서의 게이트 배선 형성부와 게이트 전극 형성부를 연결하여 게이트 배선/게이트 전극을 친액성으로 한 경우의 액체의 유입 상태를 설명하는 도면이다. 여기서는, 도5의 (a)에 도시한 바와 같이, 전역을 발액성(RA)으로 한 박막 트랜지스터 기관(SUB1)의 하지막(UW)의 게이트 배선 형성부(GLA)와 게이트 전극 형성부(GTA)에 친액성(FA)을 부여하였다. 양자의 폭은 $Wgt < Wgl$ 이다.

<40> 친액성으로 한 게이트 전극 형성부(GTA)에만 잉크젯의 노즐(NZ)로 도전성 잉크(F-INK)를 적하하였다. 도전성 잉크(F-INK)의 적하 위치를 등근 점선(TP)으로 나타내었다. 그 결과, 도전성 잉크(F-INK)의 대부분은 폭이 넓은 게이트 배선 형성부(GLA)측으로 유입되어, 도5의 (b)의 화살표 A로 나타낸 바와 같이 폭이 좁은 게이트 전극 형성부(GTA)에 잉크가 도포되지 않는 부분이 생겼다. 또한, 도전성 잉크(F-INK)를 게이트 전극 형성부(GTA)에 적하하고, 이어서 게이트 배선 형성부(GLA)에 적하한 경우도 도2에서 설명한 바와 같은 도포 불균일이나 막 두께의 변화가 발생하였다.

<41> 이상의 검증에 의해, 액체(잉크)의 유입은 동일한 선 폭의 한정된 면적 영역에서는, 확실하게 예상대로의 평형 안정화를 실현한다. 그러나, 게이트 배선과 이것에 접속하는 게이트 전극과 같이 선 폭이 상이하거나, 혹은 단위 길이당의 면적이 상이한 패턴 상에서는, 우선 보다 넓은 친액부 면적이 얻어지는 부위에서 액체가 일체화됨으로써, 계면 에너지와 표면 자유 에너지의 쌍방을 크게 저하시켜 안정화시키는 경향이 있다고 생각된다.

<42> 다음에, 더욱 가해진 액적의 거동에 대해, (a) 표면 에너지의 증가를 수반하지만, 게이트 전극부를 포함하는 친액부 방향으로 퍼짐으로써, 발생하는 계면 에너지의 저하의 쪽이 에너지적으로 안정되거나, 혹은 (b) 친액부에 액 흐름의 진행에 수반되는 계면 에너지의 저하보다도, 현재 상태의 계면 부근에 머물러 표면적만을 가능한 작게 하여 표면 자유 에너지를 낮춘 쪽이 에너지적으로 안정된다고 하는 추진 원리가 고려된다.

<43> 또한, 기관의 표면에 발액성을 갖게 하기 위해서는, 상기 표면의 형성재가 질화 실리콘인 경우에는, 질화 실리콘 자체의 발액성을 그대로 이용한다. 기관 표면이 유기 수지인 경우에는, 불소를 함유하는 관능기, 혹은 실리콘을 포함하는 첨가제를 상기 수지에 포함시킨다. 혹은, 수지를 도포 후, 4불화탄소로 대표되는 불소계 가스를 이용한 플라즈마 처리를 행한다. 이와 같이 하여 발액성으로 한 표면에 광 조사, 혹은 전자빔의 조사로 원하는

폭과 패턴으로 친액화 처리를 행한다. 이 처리를 발친액화 처리라 칭한다.

- <44> 광폭부와 협폭부가 접속하는 패턴, 예를 들어 도1의 (b)에 도시한 바와 같은 원하는 게이트 배선/게이트 전극 패턴의 확실한 형성을 위해서는, 상기 (a)의 추진력에 의한 기여가 크다. 이것에는, 보다 큰 발친액 콘트라스트 및 액체의 점성 저항과 같은 다이내믹스도 관여한다. 현재 상태에서는, 발친액 콘트라스트는 한계 레벨에 도달하고 있다. 또한, 점성 저항도, 메탈 함유율의 관점으로부터, 이 이상 낮출 수 없는 한계에 도달하고 있다. 이러한 한계 상태에 있어서, 조금이라도 상기 (b)의 작용이 부가된 경우에는, 도3에서 설명한 현상이 발현되기 쉬울 것이라 추측된다.
- <45> <제1 실시예>
- <46> 도6은 본 발명에 따른 액정 표시 패널의 제조법의 제1 실시예를 설명하는 모식도이다. 제1 실시예에서는, 도6의 (a)에 도시한 바와 같이 박막 트랜지스터 기관(SUB1)의 하지막(UW)의 표면의 대부분을 발액성(RA)으로 하고, 게이트 전극 형성부(GTA)만을 친액성(FA)으로 한다[게이트 배선 형성부(GLA)도 발액성(RA)]. 이 발친액화 처리는 상기의 방법으로 행해지지만, 여기서는 특히 후술하는 디지털·마이크로 미러·디바이스(DMD)를 이용하는 광주사로 친액성을 부여한다. 광 주사를 이용함으로써 잉크젯의 직묘로는 불가능하게 되는 협폭의 친액성 패턴을 형성할 수 있다.
- <47> 친액성(FA)의 게이트 전극 형성부(GTA)에 도전성 잉크[예를 들어, 용매에 은 입자를 혼입한 메탈 잉크(F-INK)]를 적하하고, 적하한 잉크막이 게이트 전극 형성부(GTA)에 균일하게 확대된 후, 발액성(RA)의 게이트 배선 형성부(GLA)에 게이트 배선을 IJ 직묘로 형성한다[도6의 (b)]. 또한, 이때 미시적으로 보면, IJ 직묘로 적하한 게이트 배선부의 잉크의 단부의 일부는 게이트 전극 형성부(GTA)의 단부의 일부의 상층에 겹치게 된다. 게이트 전극 형성부(GTA)와 게이트 배선 형성부(GLA)의 잉크막의 막 두께는, 각각의 부분에 있어서의 잉크의 적하량으로 제어할 수 있어, 소성 후 액정 표시 패널에 얻어지는 양자의 막 두께를 동등한 것으로 할 수 있다.
- <48> 제1 실시예에 따르면, 게이트 전극 형성부(GTA)와 게이트 배선 형성부(GLA)의 각각의 부위에서의 잉크 적하량에 따른 원하는 게이트 배선/게이트 전극 패턴을 확실하게 얻을 수 있다[도6의 (c)]. 따라서, 게이트 배선(GL)과 게이트 전극(GT)은 전기적으로 일체인 것으로서 형성되고, 종래와 같은 포토리소그래피 공정도 불필요해져, 전체적으로 저비용이며 고해상인 액정 표시 패널이 얻어진다.
- <49> <제2 실시예>
- <50> 도7은 본 발명에 따른 액정 표시 패널의 제조법의 제2 실시예를 설명하는 모식도이다. 제2 실시예에서는, 도7의 (a)에 도시한 바와 같이 박막 트랜지스터 기관(SUB1)의 하지막(UW)의 표면의 대부분을 발액성(RA)으로 하고, 게이트 전극 형성부(GTA)만을 친액성(FA)으로 한다[게이트 배선 형성부(GLA)도 발액성(RA)]. 발친액성 처리는 상기 실시예와 동일하다. 우선, 발액성(RA)의 게이트 배선 형성부(GLA)에 게이트 배선을 IJ 직묘로 형성한다. 그 후, 친액성(FA)의 게이트 전극 형성부(GTA)에 제1 실시예와 동일한 도전성 잉크를 적하하고, 적하한 잉크막이 게이트 전극 형성부(GTA)에 균일하게 도포된다[도7의 (b)].
- <51> 이때, 미시적으로 보면, IJ의 적하로 도포된 잉크의 일부는, IJ 직묘로 적하한 게이트 배선부의 잉크의 단부의 일부에 겹치게 된다. 또한, 제2 실시예에서도, 게이트 전극 형성부(GTA)와 게이트 배선 형성부(GLA)의 잉크막의 막 두께는, 각각의 부분에 있어서의 잉크의 적하량으로 제어할 수 있어, 소성 후에 얻어지는 양자의 막 두께를 동등한 것으로 할 수 있다. 그 결과, 게이트 전극 형성부(GTA)와 게이트 배선 형성부(GLA)의 각각의 부위에서의 잉크 적하량에 따른 원하는 게이트 배선/게이트 전극 패턴을 확실하게 얻을 수 있다[도7의 (c)].
- <52> 상기한 본 발명의 제1 실시예 및 제2 실시예에 있어서, 패턴 폭이 넓은 대면적의 발액성부(게이트 배선 형성부) 상의 잉크와 패턴 폭이 좁은 소면적의 친액성부(게이트 전극 형성부) 상의 잉크가 일체화되는 경우, 게이트 배선부의 발액성부에서는 이미 큰 계면 에너지가 있으므로, 이 계면 에너지의 부위에 친액성부의 게이트 전극측의 잉크를 인입하는 것은 에너지적으로 불리하다고 생각된다. 따라서, 이러한 패턴 형성법에서는, 잉크액이 일체화되어도 각각의 잉크액이 서로 상대측으로 이동하는 일은 없다.
- <53> 제1 실시예 및 제2 실시예에서 설명한 본 발명에 있어서의 친액성의 부여에는, 소정의 개구 패턴을 갖는 노광 마스크, 여기서는 게이트 전극 형성부에 대응하는 개구 패턴을 갖는 노광 마스크를 이용하여 전체면 발액성으로 한 하지막 상에 광 조사하는 방법이 일반적이다. 그러나, 이러한 노광 마스크는 그 자체가 고가이므로, 비용 삭감의 한 방법으로서, 광 촉매를 도포한 기관에 대해 디지털·마이크로 미러·디바이스(DMD)를 이용하는 광 주사에 의해 친액성을 부여하는 마스크리스 노광이 특허 문헌 3에 개시되어 있다.

- <54> 그러나, 텔레비전 수상기용 등에 이용되는 대형의 액정 표시 패널에 있어서, 그 게이트 배선과 게이트 전극의 전부를 DMD를 이용한 주사에 의해 친액성화하기 위해서는 많은 시간을 필요로 하므로, 실용화에 이르고 있지 않다. 이에 대해, 본 발명에서는 기관 상에서 친액성화할 면적이 게이트 전극 형성부뿐이므로 노광할 면적이 압도적으로 좁다.
- <55> <제3 실시예>
- <56> 도8과 도9는, 본 발명에 따른 액정 표시 패널의 제조법의 제3 실시예를 설명하는 모식도이다. 제3 실시예에서는, 도8에 도시한 바와 같이 광 촉매를 전체면에 도포한 박막 트랜지스터 기관(SUB1)에 디지털·마이크로 미러·디바이스(DMD)를 이용한 광 주사에 의해 게이트 전극 형성부(GTA)에 친액성부(FA)를 부여한다. GLA는 게이트 배선 형성부이며, 이 게이트 배선 형성부를 포함해, 게이트 전극 형성부(GTA) 이외를 발액성(RA) 상태로 한다.
- <57> 그 후, 도9에 도시한 바와 같이, 게이트 전극 형성부(GTA)에 IJ에 의해 도전성 잉크를 적하하여, 친액성부(FA)에 게이트 전극(GT)의 도전성 잉크를 유입시키고, 이어서 게이트 배선 형성부(GLA)에 IJ 직묘로 도전성 잉크를 도포하고, 소성하여, 게이트 전극(GT)과 접속한 게이트 배선(GL)을 형성한다. 도9는 게이트 배선(GL)의 잉크막을 도9의 우측으로부터 좌측으로 직묘하여 유입시키고 있는 과정을 도시하고 있다. 이 순서로 형성한 경우, 게이트 배선(GL)의 일부는 게이트 전극(GT)의 일부 상에 겹쳐진 것이 된다. 또한, 먼저 게이트 배선 형성부(GLA)에 IJ 직묘로 도전성 잉크를 도포하고, 그 후에 게이트 전극 형성부(GTA)에 IJ에 의해 도전성 잉크를 적하하여, 친액성부(FA)에 게이트 전극(GT)의 도전성 잉크를 유입시킬 수도 있다. 이 경우에는, 게이트 전극(GT)의 일부가 게이트 배선(GL)의 일부 상에 겹쳐진 것이 된다.
- <58> 이와 같이, 박막 트랜지스터 기관의 게이트 전극 형성부(GTA)만을 DMD를 이용한 주사에 의해 선택적으로 노광함으로써, 대형의 액정 표시 패널에서도 단시간에 필요 부분의 친액성화가 가능해져, 액정 표시 패널의 대폭적인 비용 저감을 실현할 수 있다.
- <59> <제4 실시예>
- <60> 도10과 도11은 본 발명에 따른 액정 표시 패널의 제조법의 제4 실시예를 설명하는 모식도이다. 제4 실시예에서는, 도10에 도시한 바와 같이 우선 박막 트랜지스터 기관(SUB1)의 게이트 전극 형성부(GTA)의 주위와 게이트 배선 형성부(GLA)에 IJ로 광 촉매를 도포한다. 그리고, 디지털·마이크로 미러·디바이스(DMD)를 이용한 광 주사에 의해 게이트 전극 형성부(GTA)에 친액성부(FA)를 부여한다. 게이트 배선 형성부를 포함해, 게이트 전극 형성부(GTA) 이외를 발액성(RA) 상태로 한다.
- <61> 그 후, 도11에 도시한 바와 같이, 게이트 전극 형성부(GTA)에 IJ에 의해 도전성 잉크를 적하하여, 친액성부(FA)에 게이트 전극(GT)의 도전성 잉크를 유입시킨다. 이어서, 게이트 배선 형성부(GLA)에 IJ 직묘로 도전성 잉크를 도포하고, 소성하여, 게이트 전극(GT)과 접속한 게이트 배선(GL)을 형성한다. 또한, 게이트 배선 형성부(GLA)에 IJ 직묘로 도전성 잉크를 도포하였을 때에, 도포된 도전성 잉크는 그 추진력으로 게이트 전극(GT)과 접속한다. 도11은 게이트 배선(GL)의 잉크막을 도11의 우측으로부터 좌측으로 직묘로 유입시키고 있는 과정을 도시하고 있다.
- <62> 이 순서로 형성한 경우도, 게이트 배선(GL)의 일부는 게이트 전극(GT)의 일부 상에 겹쳐진 것이 된다. 또한, 먼저 게이트 배선 형성부(GLA)에 IJ 직묘로 도전성 잉크를 도포하고, 그 후에 게이트 전극 형성부(GTA)에 IJ에 의해 도전성 잉크를 적하하여, 친액성부(FA)에 게이트 전극(GT)의 도전성 잉크를 유입시킬 수도 있다. 이 경우에는 게이트 전극(GT)의 일부가 게이트 배선(GL)의 일부 상에 겹쳐진 것이 된다.
- <63> 이와 같이, 본 실시예에서도 박막 트랜지스터 기관의 게이트 전극 형성부(GTA) 근방에만 광 촉매를 IJ로 도포하여 게이트 전극 형성부(GTA)를 DMD를 이용한 주사에 의해 선택적으로 노광하는 것이므로, 광 촉매의 도포 작업 시간과 그 도포량이 적어도 되며, 또한 대형의 액정 표시 패널에서도 보다 단시간에 필요 부분의 친액성화가 가능해져, 액정 표시 패널의 대폭적인 비용 저감을 실현할 수 있다.
- <64> 또한, 상기한 제3 및 제4 실시예에서는, 광 촉매의 도포에 IJ를 이용하는 것으로서 설명하였지만, 본 발명은 이에 한정되는 것은 아니며, 스핀 도포나 스크린 인쇄 등의 방법을 이용할 수도 있다.
- <65> 도12는 액티브·매트릭스형 액정 표시 장치의 등가 회로를 설명하는 도면이다. 도12의 (a)는 액정 표시 패널 전체의 회로도, 도12의 (b)는 도12의 (a)에 있어서의 화소부(PXL)의 확대도이다. 도12의 (a)에 있어서, 표시 패널(PNL)에는 다수의 화소부(PXL)가 매트릭스 배열되어 있고, 각 화소부(PXL)는 게이트 배선 구동 회로(GDR)에서 선택되고, 데이터 배선(소스 배선이라고도 함) 구동 회로(DDR)로부터의 표시 데이터 신호에 따라서

점등된다.

- <66> 즉, 게이트 배선 구동 회로(GDR)에 의해 선택된 게이트 배선(GL)에 대응하여, 데이터 배선 구동 회로(DDR)로부터 데이터 배선(DL)을 통해 액정 표시 패널(PNL)의 화소부(PXL)에 있어서의 박막 트랜지스터(TFT)에 표시 데이터(전압)가 공급된다.
- <67> 도12의 (b)에 도시한 바와 같이, 화소부(PXL)를 구성하는 박막 트랜지스터(TFT)는 게이트 배선(GL)과 데이터 배선(DL)의 교차부에 설치된다. 박막 트랜지스터(TFT)의 게이트 전극(GT)은 게이트 배선(GL)에 접속하고, 박막 트랜지스터(TFT)의 드레인 전극 또는 소스 전극(이 시점에서는 드레인 전극)(SD2)에는 데이터 배선(DL)이 접속되어 있다.
- <68> 박막 트랜지스터(TFT)의 드레인 전극 또는 소스 전극(이 시점에서는 소스 전극)(SD1)은 액정(소자)(LC)의 화소 전극(PX)에 접속된다. 액정(LC)은 화소 전극(PX)과 공통 전극(CT) 사이에 있고, 화소 전극(PX)에 공급되는 데이터(전압)에 의해 구동된다. 또한, 데이터를 일시 보유하기 위한 보조 용량(Ca)이 드레인 전극(SD2)과 보조 용량 배선(CL) 사이에 접속되어 있다.
- <69> 제3 실시예 및 제4 실시예에 있어서, 게이트 전극(GT)의 전극 폭은 게이트 배선(GL)의 배선 폭과 다르게 하여, 양자의 막 두께를 대략 동등하게 하는 것이 바람직하다. 구체적으로는, 게이트 전극(GT)의 전극 폭은 게이트 배선(GL)의 배선 폭보다 좁게 한다.
- <70> 본 발명에 따른 액정 표시 패널은, 상기 도13에 있어서의 게이트 배선(GL)과 게이트 전극(GT)은, 상기한 본 발명의 실시예 중 어느 하나에 의해 형성된 것이 된다.
- <71> 본 발명은 액정 표시 패널에 있어서의 박막 트랜지스터의 게이트 전극에 한정되지 않고, 다른 배선이나 전극, 혹은 각 구성층 패턴, 실리콘 기판 등에 형성하는 각종 반도체 장치의 배선이나 전극의 가일층의 협폭화에 대해서도 동일하게 적용할 수 있다.

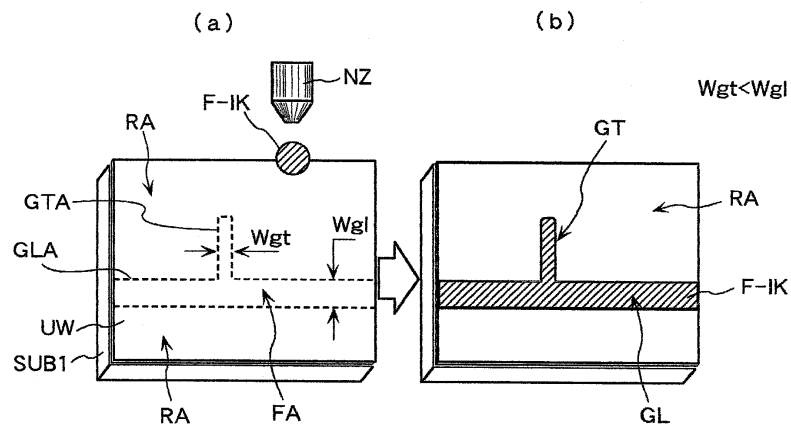
도면의 간단한 설명

- <72> 도1은 발친액 콘트라스트 패턴과 잉크젯을 이용한 게이트 배선 및 게이트 전극의 형성을 설명하는 모식도.
- <73> 도2는 발친액 콘트라스트 패턴과 잉크젯을 이용하여 회로 패턴의 형성에 있어서의 과정을 설명하는 모식도.
- <74> 도3은 발친액 콘트라스트 패턴과 잉크젯을 이용한 회로 패턴의 형성에 있어서의 게이트 전극 형성부를 단독의 친액성으로 한 경우의 액체의 유입 상태를 설명하는 도면.
- <75> 도4는 발친액 콘트라스트 패턴과 잉크젯을 이용한 회로 패턴의 형성에 있어서의 게이트 배선 형성부를 단독의 친액성으로 한 경우의 액체의 유입 상태를 설명하는 도면.
- <76> 도5는 발친액 콘트라스트 패턴과 잉크젯을 이용한 회로 패턴의 형성에 있어서의 게이트 배선 형성부와 게이트 전극 형성부를 연결하여 게이트 배선/게이트 전극을 친액성으로 한 경우의 액체의 유입 상태를 설명하는 도면.
- <77> 도6은 본 발명에 따른 액정 표시 패널의 제조법의 제1 실시예를 설명하는 모식도.
- <78> 도7은 본 발명에 따른 액정 표시 패널의 제조법의 제2 실시예를 설명하는 모식도.
- <79> 도8은 본 발명에 따른 액정 표시 패널의 제조법의 제3 실시예를 설명하는 모식도.
- <80> 도9는 본 발명에 따른 액정 표시 패널의 제조법의 제3 실시예를 설명하는 도8에 이어지는 모식도.
- <81> 도10은 본 발명에 따른 액정 표시 패널의 제조법의 제4 실시예를 설명하는 모식도.
- <82> 도11은 본 발명에 따른 액정 표시 패널의 제조법의 제4 실시예를 설명하는 도10에 이어지는 모식도.
- <83> 도12는 액티브·매트릭스형 액정 표시 장치의 등가 회로를 설명하는 도면.
- <84> 도13은 전형적인 세로 전계형(소위 TN형)의 액정 표시 장치의 개략 구성예를 설명하는 단면 모식도.
- <85> 도14는 도13에서 설명한 액정 표시 패널의 1화소의 구성과 이 화소를 구성하는 박막 트랜지스터의 구성을 설명하는 도면.
- <86> <도면의 주요 부분에 대한 부호의 설명>

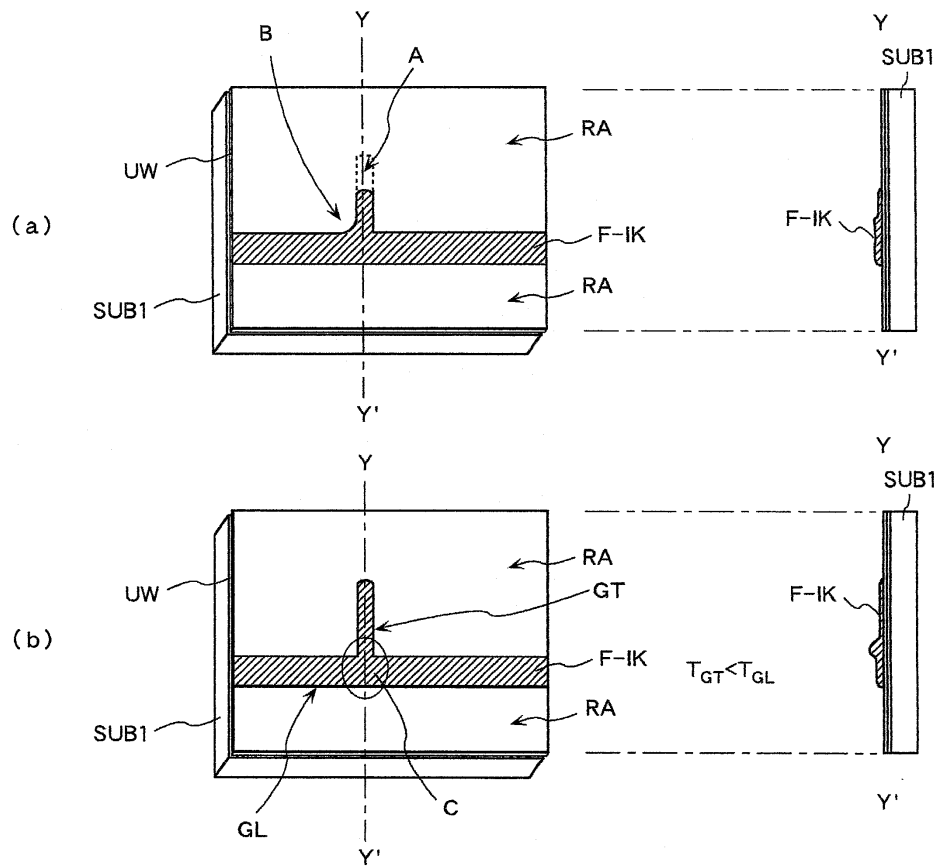
- <87> SUB1 : 제1 기판(박막 트랜지스터 기판)
- <88> SUB2 : 제2 기판(컬러 필터 기판)
- <89> GL : 게이트 배선
- <90> GT : 게이트 전극
- <91> GI : 게이트 절연막
- <92> UW : 하지막
- <93> RA : 발액성부
- <94> FA : 친액성부
- <95> GLA : 게이트 배선 형성부
- <96> GTA : 게이트 전극 형성부
- <97> NZ : 노즐
- <98> F-IK : 도전성 잉크

도면

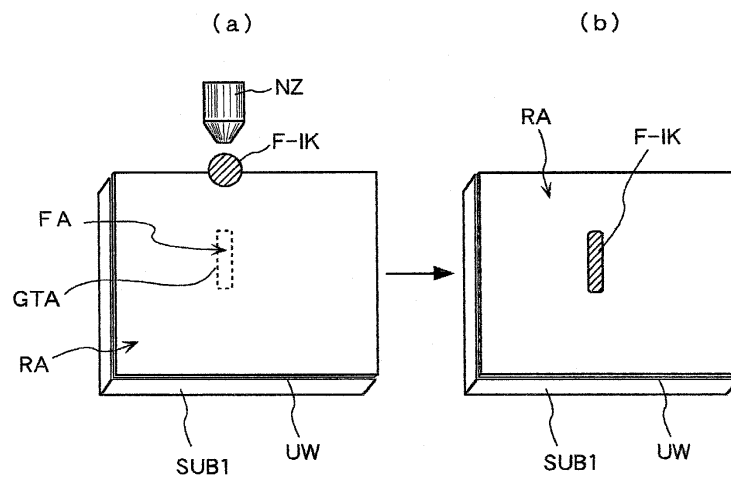
도면1



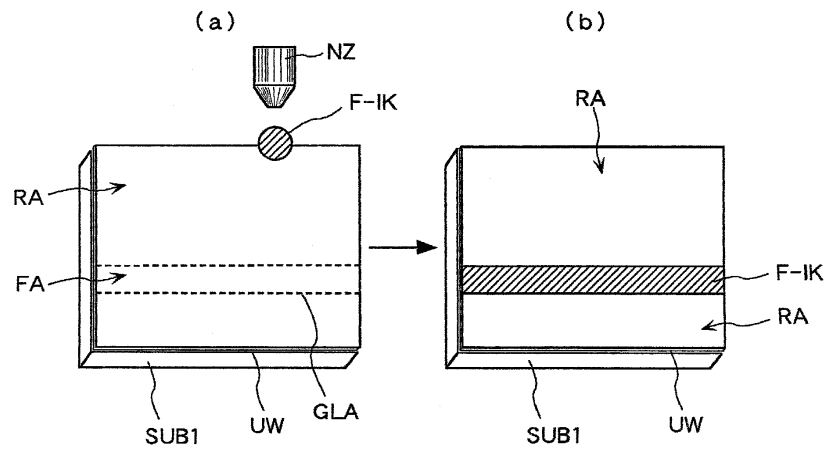
도면2



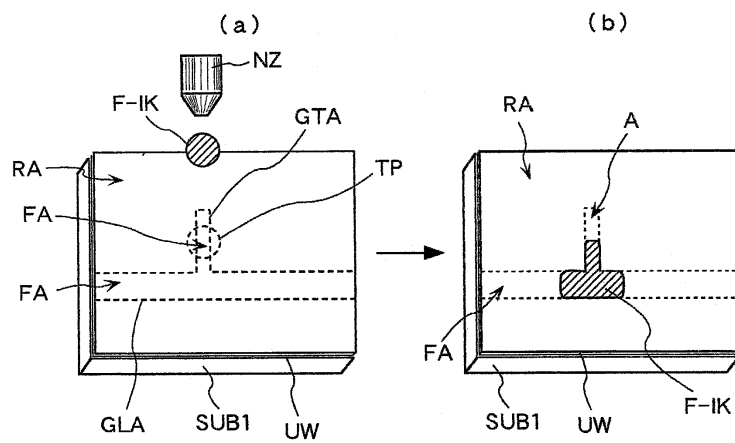
도면3



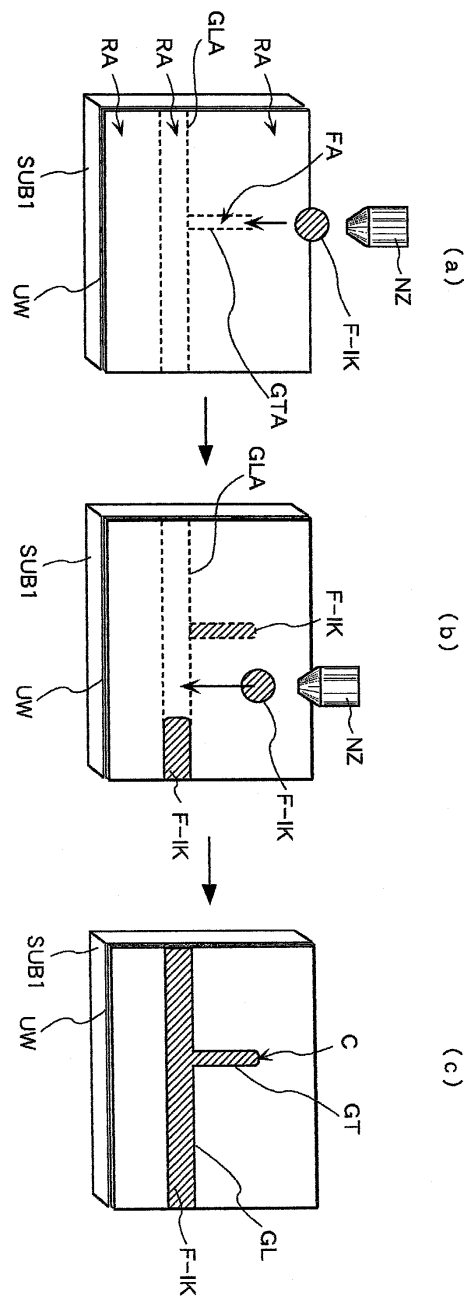
도면4



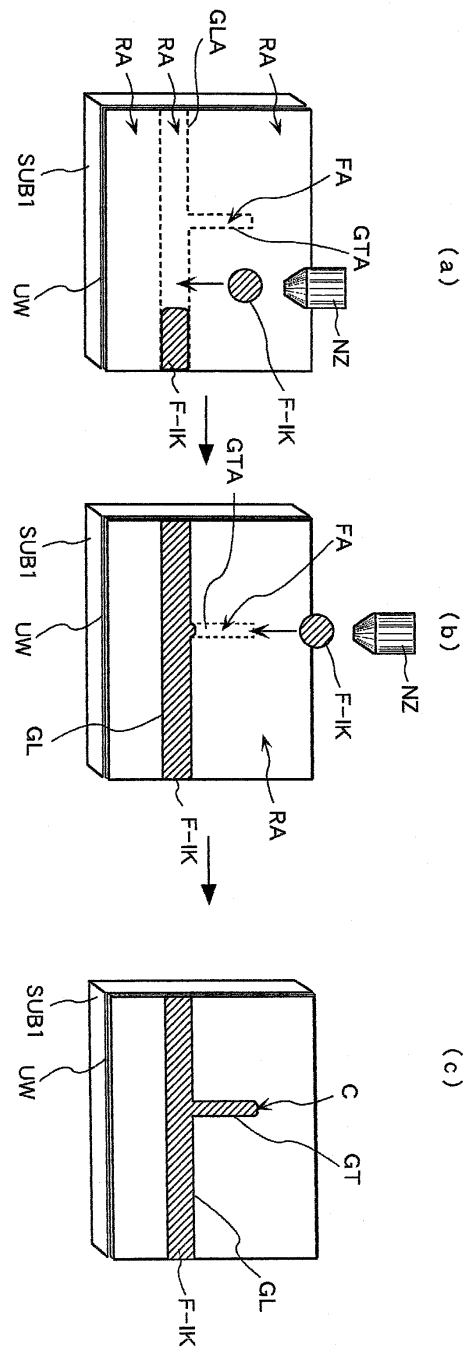
도면5



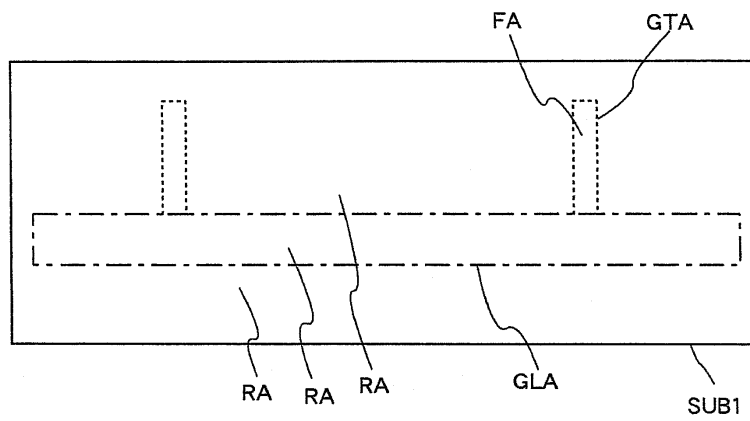
도면6



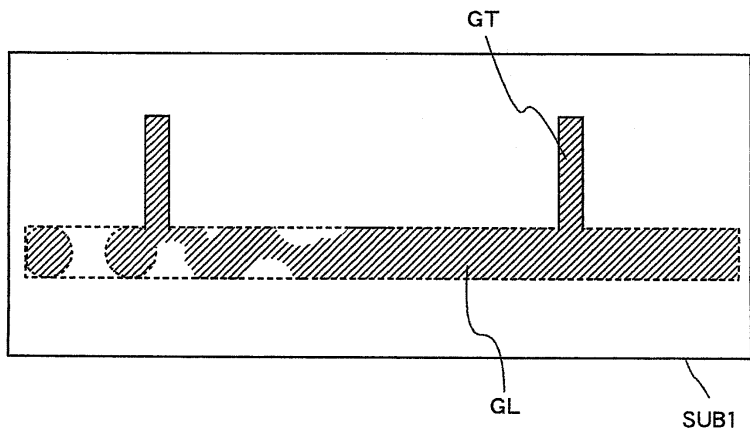
도면7



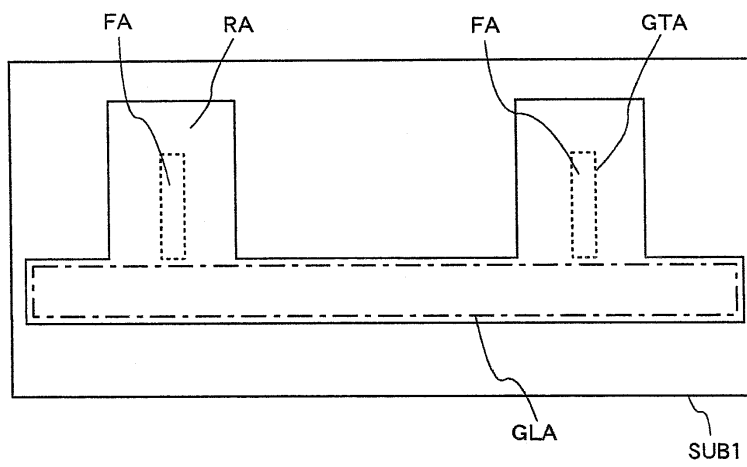
도면8



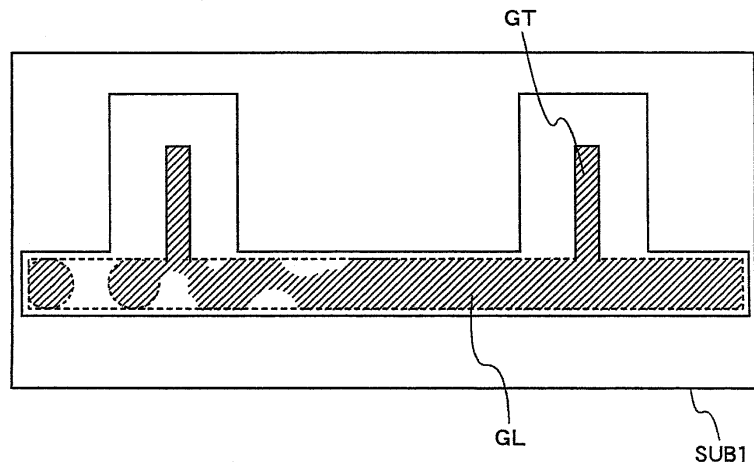
도면9



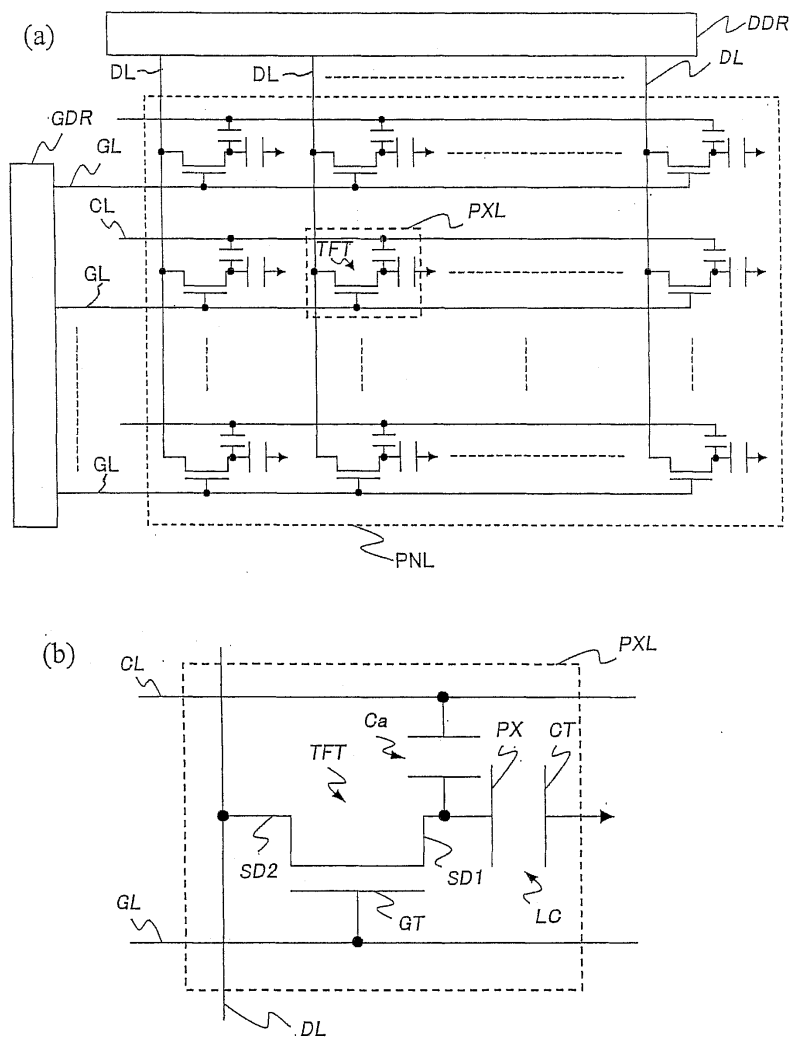
도면10



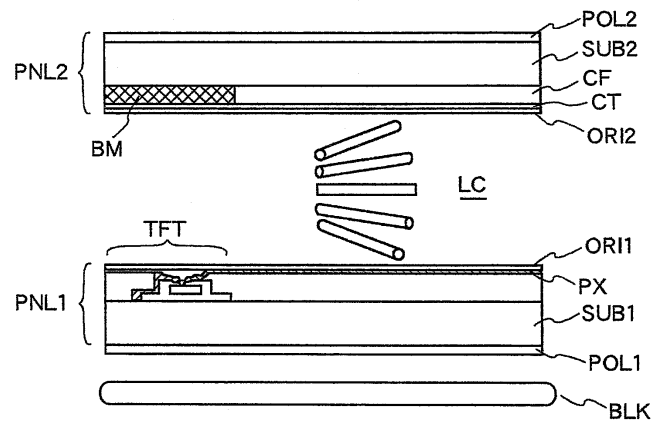
도면11



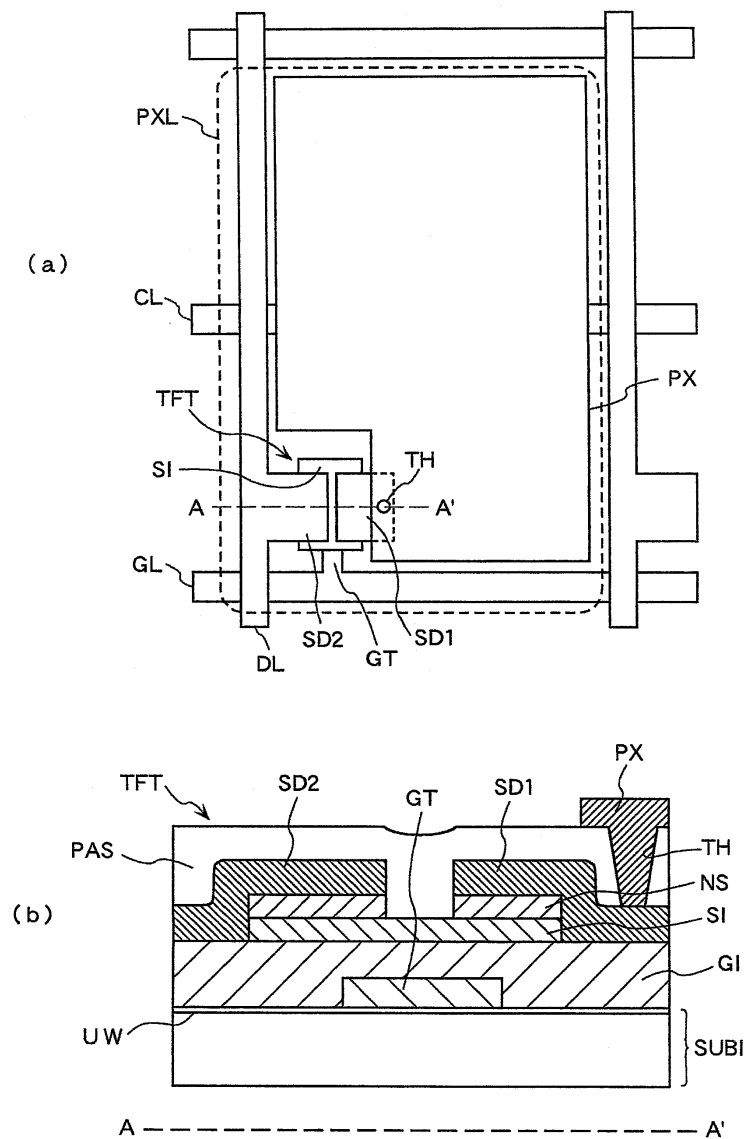
도면12



도면13



도면14



专利名称(译)	液晶显示面板的制造方法和液晶显示面板		
公开(公告)号	KR1020080027131A	公开(公告)日	2008-03-26
申请号	KR1020070087343	申请日	2007-08-30
[标]申请(专利权)人(译)	未来视野股份有限公司		
申请(专利权)人(译)	可否怎么这一未来愿景		
[标]发明人	YOSHIMOTO YOSHIKAZU 요시모토요시카즈		
发明人	요시모토요시카즈		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	G02F1/136286 G02F2001/136295 H01L27/124 H01L27/1292		
代理人(译)	Jangsugil Seongjaedong		
优先权	2007122731 2007-05-07 JP 2006255321 2006-09-21 JP		
其他公开文献	KR100933396B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种高分辨率的液晶显示板，其通过少量工艺步骤以高精度形成具有不同宽度的导电膜的超细图案。薄膜晶体管基板SUB1的底层膜UW的表面仅在亲液状态下具有液体排斥性RA和窄栅极电极形成部分GTA。和FA)。将导电墨水滴入亲液(FA)栅电极形成部分GTA中，并使滴下的墨膜均匀地散布在栅电极形成部分GTA中，然后转移到具有疏液性(RA)的栅极布线形成部分GLA中。通过IJ直接印刷形成宽栅极布线。栅电极形成部分GTA和栅极布线形成部分GLA中的墨膜的膜厚度由每个部分中的墨水的下落量控制，使得在烘焙后在液晶显示板中获得的两个膜的厚度相等。的。

