



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0002193
(43) 공개일자 2008년01월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0060862

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김효욱

경북 구미시 구평동 454 구평3차 부영APT 601동 301호

안병철

서울 서초구 방배본동 725번지 신삼호A 라동 404

임병호

경북 구미시 봉곡동 528번지 영남네오빌시티 201-1402호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 28 항

(54) 액정표시장치용 어레이 기판과 그 제조방법

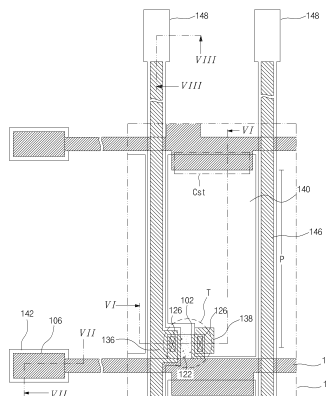
(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판을 새로운 4마스크 공정으로 제작하는 것을 특징으로 한다.

본 발명에 따른 액정표시장치용 어레이기판의 제조방법은, 게이트 전극과 게이트 배선 및 게이트 패드를 형성하는 제 1 마스크 공정 단계와, 게이트 전극의 상부에 제 1 절연막과 액티브층과 오믹 콘택층과 버퍼 금속을 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와; 투명 금속층과 불투명 금속층이 적층된 소스 전극과 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터배선 및 데이터 패드를 형성하고, 상기 오믹 콘택층과 상기 버퍼 금속이 이격되도록 형성하는 제 3 마스크 공정 단계와; 상기 화소 전극과 게이트 패드 전극과, 상기 데이터 패드를 구성하는 상부의 불투명한 금속층을 제거하는 제 4 마스크 공정 단계를 포함하는 것을 특징으로 한다.

저술한 방법으로 어레이기판을 제작하면, 상기 액티브층이 상기 게이트 전극의 상부에만 섬형상으로 존재할 뿐 배선의 하부에 존재하지 않게 되어, 상기 데이터 배선의 외부로 연장된 형상이 아니므로 그만큼 개구영역을 확보할 수 있고, 또한 빛에 의해 노출되지 않기 때문에 빛에 노출되었을 때 발생하였던 웨이비 노이즈(wavy noise)를 방지할 수 있다.

대표도 - 도7



특허청구의 범위

청구항 1

화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과;

상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와;

상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하고 투명 금속층과 불투명한 금속층이 적층되어 구성되고, 상기 하부의 투명한 금속층이 외부로 돌출된 형태인 데이터 배선과;

상기 게이트 영역에 위치하고, 일 끝단에는 투명 금속층으로 구성된 게이트 패드를 포함하는 게이트 배선과;

상기 화소 영역에 위치하고, 상기 드레인 전극과 접촉하는 투명한 화소 전극

을 포함하는 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 소스 전극과 드레인 전극은 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 3

제 1 항에 있어서,

상기 액티브층은 상기 게이트 전극의 상부에 섬형상으로 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 4

제 1 항에 있어서,

상기 게이트 배선의 일부 상부로 상기 화소 전극을 연장 구성하여, 게이트 배선을 제 1 전극으로 하고 상기 화소 전극의 연장된 부분을 제 2 전극으로 하여 형성된 스토리지 캐패시터를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 5

기판에 화소영역과 스위칭 영역과 게이트 영역과 데이터 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극의 상부에 제 1 절연막과, 액티브층과 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와;

투명 금속층과 불투명 금속층이 적층된 소스 전극과 드레인 전극과, 상기 화소 영역에 위치하고 투명한 화소 전극과, 상기 데이터 영역에 위치하고 투명 금속층과 이보다 작은 폭의 불투명 금속층이 적층되어 구성되고 일 끝단에 투명한 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하며 투명 금속층과 이보다 작은 폭의 불투명 금속층이 적층된 게이트 패드 전극을 포함하는 게이트 배선을 형성하는 제 3 마스크 공정 단계와;

상기 기판의 전면에 제 2 절연막을 형성하고 패터하여, 상기 화소 전극과 게이트 패드 전극과 데이터 패드를 노출하는 제 4 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 6

제 5 항에 있어서,

제 2 마스크 공정 단계는,

상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과, 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에 투과부와 차단부와 반과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역을 제외한 영역은 낮은 높이로 패터닝된 감광패턴을 형성하는 단계와;

상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와;

상기 스위칭 영역을 제외한 그 외의 낮은 높이로 형성된 감광패턴을 제거하여, 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패터닝된 도전성 금속층)을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 7

제 6 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 8

제 6 항에 있어서,

상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 9

제 5 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명금속층과 불투명한 금속층을 적층 형성하는 단계와;

상기 불투명한 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역과 게이트 패드에 대응하여 낮은 높이로 형성된 제 2 및 제 3 감광패턴과, 상기 데이터 영역에 대응하여 일 끝단이 낮은 높이로 형성된 단차진 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴 사이로 노출된 하부의 불투명 금속층과 투명한 금속층을 식각하여, 상기 스위칭 영역에 이격된 소스전극과 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 영역에 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 제 2 및 제 3 감광패턴과, 상기 제 4 감광패턴의 낮은 부분을 에칭공정으로 완전히 제거하여, 화소 전극과, 게이트 패드와, 데이터 패드를 노출하는 단계와;

상기 노출된 화소 전극과 게이트 패드와 데이터 패드의 불투명한 금속층을 완전히 제거하여, 하부의 투명한 금속층만을 남기는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 9 항에 있어서,

상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 11

제 5 항에 있어서,

상기 제 4 마스크 공정 단계는

상기 소스 및 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터 배선 및 데이터 패드가 형성된 기판의 전면 에 제 2 절연막을 형성하는 단계와;

상기 제 2 절연막의 상부에 감광층을 형성하고 제 4 마스크를 이용하여 노광한 후 현상하여, 상기 게이트 패드와 데이터 패드와 상기 화소 전극에 대응하는 제 2 절연막을 노출하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 12

화소 영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과;

상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와;

상기 데이터 영역에 구성되고, 투명 금속층과 불투명한 금속층이 적층되고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 영역에 구성되고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 접촉하고 투명 금속층과 불투명 금속층이 적층된 게이트 패드 전극과;

상기 화소 영역에 수직바 형태로 구성된 다수의 화소 전극과 이와 이격된 다수의 공통전극

상기 기판의 전면을 덮고, 상기 게이트 패드 전극과 상기 데이터 패드 전극을 노출하는 보호막

을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 13

제 12 항에 있어서,

상기 액티브층은 상기 게이트 전극 보다 작은 면적으로 구성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 14

제 12 항에 있어서,

상기 공통 전극과 상기 화소 전극은 투명 금속층과 불투명 금속층이 적층된 구성인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 15

제 12 항에 있어서,

상기 게이트 배선과 평행하게 이격된 공통배선을 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 16

제 15 항에 있어서,

상기 공통 전극은 상기 공통배선과 접촉하여 구성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이

기관.

청구항 17

기관에 스위칭 영역과 화소 영역과 게이트 영역과 데이터 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극의 상부에 절연막과, 액티브층과 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와;

상기 버퍼 금속과 접촉하는 소스전극과 드레인 전극과, 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 연장된 수직바 형태의 다수의 화소전극과.

상기 화소 전극과 이격되어 수직바 형태로 구성된 다수의 공통전극과,

상기 데이터 영역에 위치하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 버퍼금속과 하부의 오믹 콘택층이 이격되도록 하는 제 3 마스크 공정 단계와;

상기 기관의 전면을 덮고, 상기 게이트 패드 전극과 데이터 패드를 노출하는 보호막을 형성하는 제 4 마스크 공정 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 18

제 17 항에 있어서,

상기 소스 전극과 드레인 전극과 게이트 패드 전극과 데이터 패드 및 데이터 배선과 공통 전극과 화소 전극은 투명 금속층과 불투명 금속층이 적층된 구조로 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 19

제 17 항에 있어서,

상기 제 2 마스크 공정 단계는,

상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기관의 전면에 제 1 절연막과, 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에 투과부와 차단부와 반과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역을 제외한 영역은 낮은 높이로 패터닝된 감광패턴을 형성하는 단계와;

상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와;

상기 스위칭 영역을 제외한 그 외의 낮은 높이로 형성된 감광패턴을 제거하여, 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패터닝된 도전성 금속층)을 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 20

제 19 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 21

제 19 항에 있어서,

상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 22

제 17 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 스위칭 영역에 액티브층과 오믹 콘택층과 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에서 투명 금속층과 불투명 금속층과 감광층을 적층하는 단계와;

상기 감광층의 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 수직바 형태로 이격된 다수의 제 2 감광패턴과, 상기 게이트 패드에 대응하여 제 3 감광패턴과, 상기 데이터 영역에 대응하여 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 외부로 노출된 불투명 금속층과 그 하부의 투명 금속층을 제거하여, 상기 이격된 제 1 감광패턴의 하부에 이격된 소스 전극과 드레인 전극과, 상기 다수의 제 2 감광패턴의 하부에 수직바 형태로 이격된 다수의 화소 전극과 공통 전극과, 상기 제 3 감광패턴의 하부에 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 제 4 감광패턴의 하부에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 이격된 제 1 감광패턴 사이로 노출된 상기 버퍼금속과 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하며 이격되도록 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 23

제 22 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하여 투과부를 중심으로 양측에 차단부가 위치하도록 구성하고, 상기 화소 영역에 대응하여 다수개의 투과부와 차단부가 교대로 위치하도록 구성하고, 상기 게이트 패드와 상기 데이터 영역에 대응하여 차단부가 위치하도록 구성한 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 24

제 22 항에 있어서,

상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 25

제 17 항에 있어서,

제 4 마스크 공정 단계는

상기 소스 및 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터 배선 및 데이터 패드가 형성된 기판의 전면

에 제 2 절연막을 형성하는 단계와;

상기 제 2 절연막의 상부에 감광층을 형성하고 제 4 마스크를 이용하여 노광한 후 현상하여, 상기 게이트 패드와 데이터 패드와 상기 화소 전극에 대응하는 제 2 절연막을 노출하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 26

제 17 항에 있어서,

상기 제 1 마스크 공정에서, 게이트 배선과 평행하게 이격된 위치에 공통 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 27

제 26 항에 있어서,

상기 공통 전극은 상기 공통 배선과 접촉하면서 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 28

제 17 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 스위칭 영역에 액티브층과 오믹 콘택층과 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명 금속층과 불투명 금속층과 감광층을 적층하는 단계와;

상기 감광층의 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 수직바 형태로 구성되고 낮은 높이로 패턴된 다수의 제 2 감광패턴과, 상기 게이트 패드에 대응하여 낮은 높이로 패턴된 제 3 감광패턴과, 상기 데이터 영역에 대응하여 일 끝단이 낮은 높이로 패턴된 단차진 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 외부로 노출된 불투명 금속층과 그 하부의 투명 금속층을 제거하여, 상기 이격된 제 1 감광패턴의 하부에 이격된 소스 전극과 드레인 전극과, 상기 다수의 제 2 감광패턴의 하부에 수직바 형태로 이격된 다수의 화소 전극과 공통 전극과, 상기 제 3 감광패턴의 하부에 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 제 4 감광패턴의 하부에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 제 2 및 제 3 감광패턴과 상기 제 4 감광패턴의 낮은 부분을 애싱공정으로 완전히 제거하여, 화소전극 및 공통전극과 게이트 패드 전극과 데이터 패드를 노출하는 단계와;

상기 노출된 화소 전극과 공통 전극과 상기 게이트 패드 전극과 데이터 패드의 불투명한 금속층을 제거하여, 하부의 투명 금속층만을 남기는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이 기판 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<19> 본 발명은 액정표시장치(LCD)에 관한 것으로 특히, 웨이비 노이즈(wavy noise)가 발생하지 않고 개구영역을 개선했을 수 있는 액정표시장치용 어레이기판을 새로운 4마스크 공정으로 제작하는 것을 특징으로 한다.

- <20> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <21> 상기 액정은 가늘고 긴 형상을 가지며, 분자의 배열에 방향성을 가지고 있는 동시에, 인위적으로 액정에 전기장을 인가하면 상기 분자배열의 방향을 제어할 수 있다.
- <22> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.
- <23> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이기판(하부기판)과, 상부 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- <24> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <25> 이하, 도 1을 참조하여 전술한 액정표시장치의 구성을 설명한다.
- <26> 도 1은 액정표시장치를 확대하여 개략적으로 도시한 사시도이다.
- <27> 도시한 바와 같이, 액정패널(51)은 액정층(미도시)을 사이에 두고 서로 이격하여 구성된 제 1 기판(5)과 제 2 기판(10)으로 구성되며, 상기 제 2 기판(10)과 마주보는 제 1 기판(5)의 일면에는 블랙매트릭스(6)와 컬러필터(적, 녹, 청)(7a, 7b, 7c)와, 컬러필터 상에 투명한 공통전극(9)이 구성된다.
- <28> 상기 제 1 기판(5)과 마주보는 제 2 기판(10)에는 다수의 화소영역(P)이 정의되며, 상기 화소영역(P)의 일 측을 지나 연장 형성된 게이트 배선(14)과, 게이트 배선(14)이 지나는 화소영역(P)의 일 측과 평행하지 않은 타 측을 지나 연장 형성된 데이터 배선(26)이 구성된다.
- <29> 이러한 구성으로 인해, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(26)이 교차하여 정의되는 영역이 되며, 두 배선의 교차지점에는 박막트랜지스터(T)가 구성된다.
- <30> 상기 화소영역(P)에는 상기 박막트랜지스터(T)와 접촉하는 투명한 화소전극(32)이 구성되고, 이는 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 형성한다.
- <31> 전술한 바와 같이 구성된 액정표시장치용 어레이기판은, 대략 5~6 마스크 공정을 거쳐 제작되며 이를 간략히 소개하면 아래와 같다.
- <32> 아래 공정은 5 마스크 공정을 예를 들어 설명한 것이며, 마스크 공정만을 나열한 것이다.
- <33> 제 1 마스크 공정 : 게이트 전극과 게이트 배선(및 게이트 패드) 형성공정.
- <34> 제 2 마스크 공정 : 게이트 전극 상부의 액티브층 및 오믹 콘택층 형성공정.
- <35> 제 3 마스크 공정 : 데이터 배선(및 데이터 패드)과 소스 전극과 드레인 전극 형성공정.
- <36> 제 4 마스크 공정 : 기판의 전면에 보호막을 형성하고, 상기 드레인 전극을 노출하는 콘택홀을 형성하는 공정.
- <37> 제 5 마스크 공정 : 상기 콘택홀을 통해 접촉하는 화소 전극을 형성하는 공정.
- <38> 이상과 같은 5 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- <39> 이와 같이 다수의 공정을 통해 어레이 기판이 제작되기 때문에, 공정이 많을수록 불량률이 발생할 확률이 커지게 되어 생산수율이 저하되는 문제가 있고, 공정시간 증가와 공정비용 상승으로 제품의 경쟁력이 약화되는 문제가 있다.
- <40> 이러한 문제를 해결하기 위한 방법으로 4 마스크 공정이 제안되었다.
- <41> 도 2는 종래의 4 마스크 공정으로 제작한 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- <42> 도시한 바와 같이, 어레이 기판은 절연 기판(60)상에 일 방향으로 연장된 게이트 배선(62)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(98)을 포함한다.
- <43> 상기 게이트 배선(62)의 일 끝단에 게이트 패드(64)가 구성되고, 상기 데이터 배선(98)의 일 끝단에는 데이터 패드(99)가 구성된다.

- <44> 상기 게이트 패드(64)와 데이터 패드(99)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(GP)과, 데이터 패드 전극(DP)이 구성된다.
- <45> 상기 게이트 배선(62)과 데이터 배선(98)의 교차지점에는 상기 게이트 배선(62)과 접촉하는 게이트 전극(64)과, 게이트 전극(64)의 상부에 위치한 제 1 반도체층(90a)과, 제 1 반도체층(90a)의 상부에 이격되어 위치하고 상기 데이터 배선(82)과 연결된 소스 전극(94)과, 이와는 이격된 드레인 전극(96)을 포함하는 박막트랜지스터(T)가 구성된다.
- <46> 상기 화소 영역(P)에는 상기 드레인 전극(96)과 접촉하는 투명한 화소 전극(PXL)이 구성된다.
- <47> 이때, 상기 게이트 배선(62)의 일부 상부에 상기 화소 전극(PXL)과 접촉하게 되는 섬형상의 금속층(86)을 형성함으로써, 상기 게이트 배선(62)의 일부를 제 1 전극으로 하고 상기 섬형상의 금속층(86)을 제 2 전극으로 하고, 상기 두 전극 사이에 위치한 게이트 절연막(미도시)을 유전체로 한 스토리지 캐패시터(Cst)가 형성된다.
- <48> 상기 데이터 배선(98)의 하부에는 상기 제 1 반도체층(90a)에서 연장된 제 2 반도체층(90b)이 구성되고, 상기 섬형상의 금속층(86)하부에는 제 3 반도체층(90c)이 형성된다.
- <49> 이때, 종래에 따른 범용적인 4 마스크 공정으로 제작된 어레이기판은, 상기소스 및 드레인 전극(94,96)및 데이터 배선(98)의 주변으로 하부의 액티브층(비정질 실리콘층, 92a,70)이 연장된 형태로 구성된다.
- <50> 상기 순수 비정질 실리콘층(70)은 빛에 노출되어 광전류가 발생하게 되며, 이와 같이 발생한 광 누설전류(photo-leakage current)로 인해 인접한 화소전극(PXL)과 커플링(coupling)현상이 발생하여, 액정패널의 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있다.
- <51> 이하, 도 3을 참조하여 이에 대해 상세히 설명한다.
- <52> 도 3은 도 2의 II-II와 V-V를 따라 절단한 단면도이다.
- <53> 도시한 바와 같이, 종래의 4마스크 공정으로 박막트랜지스터 어레이기판(60)을 제작하게 되면, 소스 및 드레인 전극(94,96)과 데이터 배선(98)의 하부에 제 1 반도체층(90a)과 제 2 반도체층(90b)이 구성된다.
- <54> 상기 제 1 및 제 2 반도체층(90a,90b)은 순수 비정질 실리콘층(a-Si:H layer)과 불순물이 포함된 비정질 실리콘층(n+a-Si:H)으로 적층되어 구성되며 특히, 상기 제 1 반도체층(90a)을 구성하는 순수 비정질 실리콘층은 액티브층(active layer, 92a)이라 하고 상부의 불순물 비정질 실리콘층은 옴릭 콘택층(ohmic contact layer, 92b)이라 한다.
- <55> 상기 데이터 배선(98)의 하부에 위치하면서 상기 데이터 배선(98)의 양측으로 돌출된 제 2 반도체층(90b)의 순수 비정질 실리콘층(70)은 하부의 광원(미도시)에 노출되어 광전류가 발생하게 된다.
- <56> 이때, 하부의 광원에 의한 미세한 깜빡임으로 인해, 상기 순수 비정질 실리콘층(70)은 미세하게 반응하여 활성화와 비활성화 상태가 반복되며, 이로 인한 광전류의 변화가 발생하게 된다.
- <57> 이와 같은 전류 성분은 이웃하는 화소 전극(PXL)을 흐르는 신호와 함께 커플링(coupling)되어 화소전극(PXL)에 위치한 액정(미도시)의 움직임에 왜곡하게 된다.
- <58> 이로 인해, 액정패널의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.
- <59> 특히, 상기 박막트랜지스터(T)의 액티브층(92a)에서 발생하는 광전류는 누설전류로 작용하여 박막트랜지스터의 동작불량을 유발하는 문제가 있다.
- <60> 한편, 상기 데이터 배선(98)하부의 순수비정질 실리콘층(70)은 데이터 배선(98)의 양측으로 각각 약 1.7 μ m정도 돌출된 상태이다.
- <61> 일반적으로 상기 데이터 배선(98)과 화소 전극(PXL)은 얼라인 오차를 감안하여 4.75 μ m정도의 이격거리를 두고 패턴하는데 이때, 상기 돌출부분을 감안하여 상기 데이터 배선(98)과 화소 전극(PXL)의 이격거리(D)는 6.45 μ m가 된다.
- <62> 즉, 데이터 배선(98)의 일 측으로 돌출된 부분의 길이만큼 화소전극(PXL)이 멀게 패턴되었고 이와 동시에, 이 부분의 빛샘을 가려주는 블랙매트릭스(BM)의 폭(W1) 또한 넓어지게 되어 개구영역이 잠식되는 문제가 있다.
- <63> 전술한 바와 같이, 웨이비 노이즈(wavy noise)가 발생하는 데이터 배선(98)그 하부의 제 2 반도체층(90b)의 형

태는 종래의 범용적인 4마스크 공정에 의해 필연적으로 발생하게 되는 것이며 이하, 이해를 돕기 위해 종래에 따른 4 마스크 공정을 설명한다.

- <64> 이하, 공정도면을 참조하여 종래에 따른 4 마스크 공정으로 어레이기판을 제작하는 방법을 설명한다.
- <65> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 II-II, III-III, IV-IV를 따라 절단하여, 종래의 4마스크 공정순서에 따라 도시한 공정 단면도이다.
- <66> 도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.
- <67> 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(60)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.
- <68> 이때, 상기 스토리지 영역(C)은 게이트 영역(G)의 일부에 정의된다.
- <69> 상기 다수의 영역(S,P,G,D,C)이 정의된 기판(60)상에 일방향으로 연장되고, 일 끝단에 게이트 패드(66)를 포함하는 게이트 배선(62)과, 상기 게이트 배선(62)과 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(64)을 형성한다.
- <70> 이때, 상기 게이트 패드 및 게이트 배선(66,62)과 게이트 전극(64)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.
- <71> 다음으로, 도 4b 내지 도 4e와 도 5b 내지 도 5e와 도 6b 내지 도 6e는 제 2 마스크 공정을 나타낸 도면이다.
- <72> 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 전극(64)과 게이트 패드(66)를 포함하는 게이트 배선(62)이 형성된 기판(60)의 전면에 게이트 절연막(68)과, 순수 비정질 실리콘층(a-Si:H, 70)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 72)과 도전성 금속층(74)을 형성한다.
- <73> 상기 게이트 절연막(68)은 질화 실리콘(Si_3N_4)과 산화 실리콘(SiO_2)등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착하여 형성하고, 상기 금속층(74)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.
- <74> 다음으로, 상기 도전성 금속층(74)이 형성된 기판(60)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(76)을 형성한다.
- <75> 다음으로, 상기 감광층(76)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <76> 이때, 상기 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여, 빛의 강도를 낮추거나 빛의 투과량을 낮추어 상기 감광층을 불완전 노광할 수 있도록 하는 기능을 한다.
- <77> 또한, 상기 차단부(B2)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(B1)는 빛을 투과시켜 빛에 의해 감광층(76)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.
- <78> 한편, 상기 스위칭 영역(S)에는 반투과부(B3)와, 반투과부(B3)의 양측에 차단부(B2)가 위치하도록 하고, 상기 스토리지 영역(C)에는 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(G)과 교차하는 방향인 상기 데이터 영역(D)에는 차단부(B2)가 위치하도록 한다.
- <79> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(76)을 노광하고 현상하는 공정을 진행한다.
- <80> 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)과 스토리지 영역(C)의 상부에 패터닝된 제 1 내지 제 3 감광층(78a,78b,78c)을 형성한다.
- <81> 다음으로, 상기 제 1 내지 제 3 감광층(78a,78b,78c)의 주변으로 노출된 상기 금속층(74)과 그 하부의 불순물 비정질 실리콘층(72)과, 순수 비정질 실리콘층(70)을 제거하는 공정을 진행한다.
- <82> 이때, 상기 금속층(74)의 종류에 따라 금속층과 그 하부층(72,70)이 동시에 제거될 수도 있고, 상기 금속층을 먼저 식각한 후 건식식각 공정을 통해 하부의 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)을 제거하는 공정을 진행한다.

- <83> 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 내지 제 3 감광층(78a,78b,78c)의 하부에 제 1 금속패턴(80)과, 제 1 금속패턴(80)에서 화소영역(P)의 일 측을 따라 연장된 제 2 금속패턴(82)과, 상기 스토리지 영역(C)에 대응하여 아일랜드 형상의 제 3 금속패턴(86)이 형성된다.
- <84> 이때, 제 1 내지 제 3 금속패턴(80,82,86)의 하부에 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)이 존재하며, 편의상 상기 제 1 금속패턴(80)의 하부에 구성된 것은 제 1 반도체 패턴(90a), 상기 제 2 금속패턴(82)의 하부에 구성된 것은 제 2 반도체 패턴(90b), 상기 제 3 금속패턴(86)의 하부에 구성된 것은 제 3 반도체 패턴(90c)이라 칭한다.
- <85> 다음으로, 상기 제 1 감광층(78a)중, 상기 게이트 전극(64)의 중심에 대응하여 높이가 낮은 부분을 제거하여 하부의 금속패턴(80)을 노출하기 위한 애싱 공정(ashing process)을 진행한다.
- <86> 결과적으로 도시한 바와 같이, 상기 게이트 전극(64)의 중심에 대응하는 제 1 금속패턴(80)의 일부가 노출되며 이때, 상기 제 1 내지 제 3 감광패턴(78a,78b,78c)의 주변으로 제 1 내지 제 3 금속패턴(80,84,86)의 일부가 동시에 노출된다.
- <87> 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(80)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(72)을 제거하는 공정을 진행한다.
- <88> 도 4e와 도 5e와 도 6e에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(64)의 상부에 위치한 제 1 반도체 패턴(90a)중 하부층(순수 비정질 실리콘층)은 액티브층(92a)으로서 기능하게 되고, 상기 액티브층(92a)의 상부에서 일부가 제거되어 이격된 상부층은 오믹 콘택층(92b)의 기능을 하게 된다.
- <89> 이때, 상기 액티브층(92a) 상부의 오믹 콘택층(92b)을 제거하면서, 하부의 액티브층(92a)을 과식각하여 액티브층의 표면(액티브채널, active channel)에 불순물이 남아 있지 않도록 한다.
- <90> 한편, 상기 오믹 콘택층(92b)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(94)와 드레인 전극(96)이라 칭한다.
- <91> 이때, 상기 소스 전극(94)과 접촉하는 제 2 금속패턴(도 5c의 82)은 데이터 배선(98)이라 하고, 상기 데이터 배선(98)의 일 끝단은 데이터 패드(99)라 칭한다.
- <92> 또한, 상기 스토리지 영역(C)에 대응하여 형성된 아일랜드 형상의 제 3 금속패턴(86)은 그 하부의 게이트 배선(62)과 함께 스토리지 전극(storage electrode)의 기능을 하게 된다.
- <93> 즉, 게이트 배선(62)은 스토리지 제 1 전극의 기능을 하게 되고, 상부의 제 3 금속패턴(86)은 스토리지 제 2 전극의 기능을 하게 된다. 따라서, 상기 스토리지 제 1 전극과 그 상부의 게이트 절연막(68)과 제 3 반도체 패턴(90c)과 그 상부의 스토리지 제 2 전극(86)은 보조 용량부인 스토리지 캐패시터(Cst)를 구성한다.
- <94> 다음으로, 상기 잔류한 감광층(78a,78b,78c)을 제거하는 공정을 진행함으로써, 제 2 마스크 공정을 완료할 수 있다.
- <95> 도 4f와 도 5f와 도 6f는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(94,96)과 데이터 패드(99)를 포함하는 데이터 배선(98)과, 스토리지 캐패시터(Cst)가 구성된 기판(60)의 전면에 질화 실리콘(Si_3N_4) 또는 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(PAS)을 형성한다.
- <96> 연속하여, 상기 보호막(PAS)을 패터닝하여 드레인 전극(96)의 일부를 노출하는 드레인 콘택홀(CH1)과, 상기 섬형상의 제 3 금속패턴(86)을 노출하는 스토리지 콘택홀(CH2)과, 상기 게이트 패드(66)의 일부를 노출하는 게이트 패드 콘택홀(CH3)과 상기 데이터 패드(DP)의 일부를 노출하는 데이터 패드 콘택홀(CH4)을 형성한다.
- <97> 도 4g와 도 5g와 도 6g는 제 4 마스크 공정을 나타낸 도면으로, 상기 보호막(PAS)이 형성된 기판(60)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(96)과 섬형상의 제 3 금속패턴(86)과 동시에 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(PXL)을 형성한다. 동시에, 상기 게이트 패드(66)와 접촉하는 게이트 패드 전극(GP)과 상기 데이터 패드(99)와 접촉하는 데이터 패드 전극(DP)을 형성한다.
- <98> 전술한 공정을 통해 종래에 따른 4마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.

- <99> 종래의 4 마스크 공정은 기존의 5 마스크 공정에 비해 획기적이라 할 만큼 생산비용을 낮추는 효과 및 공정시간을 단축하는 효과가 있었고, 공정이 단축됨으로써 그 만큼 불량발생 확률 또한 감소하는 결과를 얻고 있다.
- <100> 그러나, 앞서 언급한 바와 같이, 종래의 4 마스크 공정으로 제작된 박막트랜지스터 어레이기판의 구조를 보면, 데이터 배선의 양측에 반도체층이 확장된 형태이기 때문에 이로 인해 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있고 상기 확장된 반도체층으로 인해 개구율이 저하되는 문제가 있다.
- <101> 또한, 박막트랜지스터의 액티브층에는 광 누설전류가 발생할 수 있기 때문에 박막트랜지스터 동작불량을 유발할 수 있는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <102> 본 발명은 전술한 문제를 해결하기 위한 것으로, 웨이비 노이즈(wavy noise)가 발생하지 않아 고화질을 구현하는 액정패널을 제작하는 것을 제 1 목적으로 하고, 개구영역 확대를 통한 고휘도 구현을 제 2 목적으로 하고, 박막트랜지스터에 광 누설전류가 발생하지 않도록 하는 것을 제 3 목적으로 한다.

발명의 구성 및 작용

- <103> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과; 상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와; 상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하고 투명 금속층과 불투명한 금속층이 적층되어 구성되고, 상기 하부의 금속층이 외부로 돌출된 형태인 데이터 배선과; 상기 게이트 영역에 위치하고, 일 끝단에는 투명 금속층으로 구성된 게이트 패드를 포함하는 게이트 배선과; 상기 화소 영역에 위치하고, 상기 드레인 전극과 접촉하는 투명한 화소 전극을 포함한다.
- <104> 상기 소스 전극과 드레인 전극은 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 한다.
- <105> 상기 액티브층은 상기 게이트 전극의 상부에 섬형상으로 구성된 것을 특징으로 한다.
- <106> 상기 게이트 배선의 일부 상부로 상기 화소 전극을 연장 구성하여, 게이트 배선을 제 1 전극으로 하고 상기 화소 전극의 연장된 부분을 제 2 전극으로 하여 형성된 스토리지 캐패시터를 더욱 포함하는 것을 특징으로 한다.
- <107> 본 발명의 제 1 특징에 따른 액정표시장치용 어레이 기판 제조방법은 기판에 화소영역과 스위치 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 전극의 상부에 제 1 절연막과, 액티브층과 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와; 투명 금속층과 불투명 금속층이 적층된 소스 전극과 드레인 전극과, 상기 화소 영역에 위치하고 투명한 화소 전극과, 상기 데이터 영역에 위치하고 투명 금속층과 이보다 작은 폭의 불투명 금속층이 적층되어 구성되고 일 끝단에 투명한 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하며 투명 금속층과 이보다 작은 폭의 불투명 금속층이 적층된 게이트 패드 전극을 포함하는 게이트 배선을 형성하는 제 3 마스크 공정 단계와; 상기 기판의 전면에 제 2 절연막을 형성하고 패터닝하여, 상기 화소 전극과 게이트 패드 전극과 데이터 패드를 노출하는 제 4 마스크 공정 단계를 포함한다.
- <108> 상기 제 2 마스크 공정 단계는, 상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과, 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와; 상기 감광층의 이격된 상부에 투과부와 차단부와 반과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역을 제외한 영역은 낮은 높이로 패터닝된 감광패턴을 형성하는 단계와; 상기 노출된 제 2 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와; 상기 스위칭 영역을 제외한 그 외의 낮은 높이로 형성된 감광패턴을 제거하여, 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패터닝된 도전성 금속층)을 형성하는 단계를 포함한다.
- <109> 상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 한다.

- <110> 상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 한다.
- <111> 상기 제 3 마스크 공정 단계는 상기 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명금속층과 불투명한 금속층을 적층 형성하는 단계와; 상기 불투명한 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역과 게이트 패드에 대응하여 낮은 높이로 형성된 제 2 및 제 3 감광패턴과, 상기 데이터 영역에 대응하여 일 끝단이 낮은 높이로 형성된 단차진 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴 사이로 노출된 하부의 불투명 금속층과 투명한 금속층을 식각하여, 상기 스위칭 영역에 이격된 소스전극과 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 영역에 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 제 2 및 제 3 감광패턴과, 상기 제 4 감광패턴의 낮은 부분을 애싱공정으로 완전히 제거하여, 화소 전극과, 게이트 패드와, 데이터 패드를 노출하는 단계와; 상기 노출된 화소 전극과 게이트 패드와 데이터 패드의 불투명한 금속층을 완전히 제거하여, 하부의 투명한 금속층만을 남기는 단계를 포함한다.
- <112> 상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- <113> 상기 제 4 마스크 공정 단계는 상기 소스 및 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터 배선 및 데이터 패드가 형성된 기판의 전면에서 제 2 절연막을 형성하는 단계와; 상기 제 2 절연막의 상부에 감광층을 형성하고 제 4 마스크를 이용하여 노광한 후 현상하여, 상기 게이트 패드와 데이터 패드와 상기 화소 전극에 대응하는 제 2 절연막을 노출하는 단계를 포함한다.
- <114> 본 발명의 제 2 특징에 따른 횡전계 방식 액정표시장치용 어레이기판은 화소 영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과; 상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와; 상기 데이터 영역에 구성되고, 투명 금속층과 불투명한 금속층이 적층되고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 영역에 구성되고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 접촉하고 투명 금속층과 불투명 금속층이 적층된 게이트 패드 전극과; 상기 화소 영역에 수직바 형태로 구성된 다수의 화소 전극과 이와 이격된 다수의 공통전극과, 상기 기판의 전면을 덮고, 상기 게이트 패드 전극과 상기 데이터 패드 전극을 노출하는 보호막을 포함한다.
- <115> 상기 게이트 배선과 평행하게 이격된 공통배선을 더욱 포함
- <116> 상기 공통 전극은 상기 공통배선과 접촉하여 구성되는 것을 특징으로 한다.
- <117> 본 발명의 제 2 특징에 따른 횡전계 방식 액정표시장치용 어레이 기판 제조방법은 기판에 스위칭 영역과 화소 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 전극의 상부에 절연막과, 액티브층과 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와; 상기 버퍼 금속과 접촉하는 소스전극과 드레인 전극과, 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 연장된 수직바 형태의 다수의 화소전극과, 상기 화소 전극과 이격되어 수직바 형태로 구성된 다수의 공통전극과, 상기 데이터 영역에 위치하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 버퍼금속과 하부의 오믹 콘택층이 이격되도록 하는 제 3 마스크 공정 단계와; 상기 기판의 전면을 덮고, 상기 게이트 패드 전극과 데이터 패드를 노출하는 보호막을 형성하는 제 4 마스크 공정 단계를 포함한다.
- <118> 상기 소스 전극과 드레인 전극과 게이트 패드 전극과 데이터 패드 및 데이터 배선과 공통 전극과 화소 전극은 투명 금속층과 불투명 금속층이 적층된 구조로 형성된 것을 특징으로 하고, 상기 제 2 마스크 공정 단계는, 상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에서 제 1 절연막과, 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와; 상기 감광층의 이격된 상부에 투과부와 차단부와 반과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역을 제외한 영역은 낮은 높이로 패터닝된 감광패턴을 형성하는 단계와; 상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단

계와; 상기 스위칭 영역을 제외한 그 외의 낮은 높이로 형성된 감광패턴을 제거하여, 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패턴된 도전성 금속층)을 형성하는 단계를 포함한다.

<119> 상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 한다.

<120> 상기 제 3 마스크 공정 단계는 상기 스위칭 영역에 액티브층과 오믹 콘택층과 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명 금속층과 불투명 금속층과 감광층을 적층하는 단계와; 상기 감광층의 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 수직바 형태로 이격된 다수의 제 2 감광패턴과, 상기 게이트 패드에 대응하여 제 3 감광패턴과, 상기 데이터 영역에 대응하여 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 외부로 노출된 불투명 금속층과 그 하부의 투명 금속층을 제거하여, 상기 이격된 제 1 감광패턴의 하부에 이격된 소스 전극과 드레인 전극과, 상기 다수의 제 2 감광패턴의 하부에 수직바 형태로 이격된 다수의 화소 전극과 공통 전극과, 상기 제 3 감광패턴의 하부에 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 제 4 감광패턴의 하부에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 이격된 제 1 감광패턴 사이로 노출된 상기 버퍼금속과 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하며 이격되도록 형성하는 단계를 포함한다.

<121> 상기 마스크는, 상기 스위칭 영역에 대응하여 투과부를 중심으로 양측에 차단부가 위치하도록 구성하고, 상기 화소 영역에 대응하여 다수개의 투과부와 차단부가 교대로 위치하도록 구성하고, 상기 게이트 패드와 상기 데이터 영역에 대응하여 차단부가 위치하도록 구성한 것을 특징으로 한다.

<122> 상기 제 4 마스크 공정 단계는 상기 소스 및 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터 배선 및 데이터 패드가 형성된 기판의 전면에 제 2 절연막을 형성하는 단계와; 상기 제 2 절연막의 상부에 감광층을 형성하고 제 4 마스크를 이용하여 노광한 후 현상하여, 상기 게이트 패드와 데이터 패드와 상기 화소 전극에 대응하는 제 2 절연막을 노출하는 단계를 포함한다.

<123> 본 발명의 또 다른 특징으로, 상기 제 3 마스크 공정 단계는 상기 스위칭 영역에 액티브층과 오믹 콘택층과 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명 금속층과 불투명 금속층과 감광층을 적층하는 단계와; 상기 감광층의 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 수직바 형태로 구성되고 낮은 높이로 패턴된 다수의 제 2 감광패턴과, 상기 게이트 패드에 대응하여 낮은 높이로 패턴된 제 3 감광패턴과, 상기 데이터 영역에 대응하여 일 끝단이 낮은 높이로 패턴된 단차진 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 외부로 노출된 불투명 금속층과 그 하부의 투명 금속층을 제거하여, 상기 이격된 제 1 감광패턴의 하부에 이격된 소스 전극과 드레인 전극과, 상기 다수의 제 2 감광패턴의 하부에 수직바 형태로 이격된 다수의 화소 전극과 공통 전극과, 상기 제 3 감광패턴의 하부에 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 제 4 감광패턴의 하부에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 제 2 및 제 3 감광패턴과 상기 제 4 감광패턴의 낮은 부분을 애싱공정으로 완전히 제거하여, 화소전극 및 공통전극과 게이트 패드 전극과 데이터 패드를 노출하는 단계와; 상기 노출된 화소 전극과 공통 전극과 상기 게이트 패드 전극과 데이터 패드의 불투명한 금속층을 제거하여, 하부의 투명 금속층만을 남기는 단계를 포함한다.

<124> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 설명한다.

<125> -- 제 1 실시예 --

<126> 본 발명은 액티브층(비정질 실리콘층)이 게이트 전극의 상부에만 섬형상으로 구성되고, 소스 및 드레인 전극이 투명전극만으로 구성된 구조의 어레이기판을 새로운 4마스크 공정으로 제작하는 것을 특징으로 한다.

<127> 도 7은 본 발명에 따른 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.

<128> 도시한 바와 같이, 절연 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)가 구성된 게이트 배선(104)과, 게이트 배선(104)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)을 구성한다.

- <129> 이때, 상기 게이트 패드(106)의 상부에는 이와 접촉하는 투명한 게이트 패드 전극(142)을 구성한다.
- <130> 상기 게이트 배선(104)과 데이터 배선(146)의 교차지점에 게이트 전극(102)과 액티브층(122) 및 오믹 콘택층(미도시)과, 상기 오믹 콘택층과 접촉하는 버퍼 금속(126)과, 상기 버퍼금속(126)과 접촉하는 소스 전극(136)과 드레인 전극(138)을 포함하는 박막트랜지스터(T)를 구성한다.
- <131> 상기 화소 영역(P)에는 상기 드레인 전극(138)과 연결된 투명한 화소 전극(140)을 구성한다.
- <132> 한편, 상기 화소영역(P)을 정의하는 부분의 게이트 배선(104)의 상부에는 이를 스토리지 제 1 전극으로 하고, 상기 게이트 배선(104)의 상부로 연장된 화소 전극(140)의 일부를 제 2 스토리지 전극으로 하는 스토리지 캐패시터(Cst)를 구성한다.
- <133> 전술한 구성은, 새로운 4마스크 공정으로 제작된 것이며 특히, 상기 액티브층(비정질 실리콘층)이 게이트 전극(102)의 상부에 섬형상으로 구성될 뿐, 상기 데이터 배선(146)의 하부에 존재하지 않는 것을 특징으로 한다.
- <134> 이하, 도 8a와 도 8b와 도 8c를 참조하여, 본 발명에 따른 박막트랜지스터 어레이기판의 단면 구성을 살펴본다.
- <135> 도 8a와 도 8b와 도 8c는 각각 도 7의 VI-VI, VII-VII, VIII-VIII를 따라 절단한 단면도이며, 각각은 스위칭 영역 및 화소 영역을 절단한 단면도와 게이트 배선 및 패드를 절단한 단면도와 데이터 배선 및 패드를 절단한 단면도이다.
- <136> 도시한 바와 같이, 기판(100)을 다수의 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)으로 정의하고 동시에, 상기 게이트 영역(G)의 일부에 스토리지 영역(C)을 정의하고, 상기 화소 영역(P)마다 이에 근접하여 스위칭 영역(S)을 정의한다.
- <137> 상기 스위칭 영역(S)에는 게이트 전극(102)과, 게이트 전극(102)의 상부에 제 1 절연막(108)과 액티브층(122)과 이격된 오믹 콘택층(124)과, 오믹 콘택층(124)과 각각 접촉하는 버퍼금속(126)과, 상기 버퍼 금속(126)과 접촉하는 소스 및 드레인 전극(136, 138)으로 구성된 박막트랜지스터(T)를 구성한다.
- <138> 이때, 상기 소스 및 드레인 전극(136, 138)은 투명 금속층(128)과 불투명 금속층(130)이 적층된 상태로 구성되며, 상기 투명 금속층(128)과 하부의 오믹 콘택층(124)의 접촉면에서 저항이 매우 높기 때문에, 이를 낮추기 위해 상기 버퍼금속(126)을 더욱 구성하는 것이다.
- <139> 또한, 상기 소스 전극(138)과 연결된 데이터 배선(146)을 화소 영역(P)의 일 측에 구성하며, 상기 데이터 배선(146) 또한 투명·불투명 금속층(128, 130)의 적층구조로 구성하나, 상기 데이터 배선(146)의 끝단인 데이터 패드(148)는 투명한 금속층(128)으로 구성하는 것을 특징으로 한다.
- <140> 또한, 상기 게이트 패드(106)의 상부에는 투명한 금속층으로 구성된 게이트 패드 전극(142)을 구성한다.
- <141> 전술한 구성에서 가장 특징적인 구성은, 상기 액티브층(122, 순수 비정질 실리콘층)과 오믹 콘택층(124, 불순물 비정질 실리콘층)이 게이트 전극(102)의 상부에 섬형상으로 구성될 뿐, 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)이 상기 게이트 배선 및 데이터 배선(104, 146)의 하부에 존재하지 않는 것이며, 이러한 구성으로 인해 종래 4마스크 구조의 대표적인 문제점으로 작용했던 웨이비 노이즈(wavy noise) 및 개구율 문제가 해결될 수 있는 장점이 있다.
- <142> 전술한 특징적인 구성들은, 본 발명에서 제안한 4마스크공정으로 인한 것이며 이하, 도면을 참조하여, 본 발명에 따른 새로운 4마스크 공정으로 액정표시장치용 어레이 기판을 제작하는 방법을 상세히 설명한다.
- <143> 도 9a 내지 도 9k와 도 10a 내지 도 10k와 도 11a 내지 도 11k는 도 7의 VI-VI, VII-VII, VIII-VIII를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(이때, 도 7의 VI-VI는 박막트랜지스터 및 화소 영역의 절단선이고, VII-VII는 게이트 패드 및 배선의 절단선이고, VIII-VIII는 데이터 패드 및 배선의 절단선이다.)
- <144> 도 9a 와 도 10a와 도 11a는 제 1 마스크 공정을 나타낸 공정 단면도이다.
- <145> 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다. 이때, 상기 스토리지 영역(C)을 게이트 영역(G)의 일부에 정의 한다.
- <146> 상기 다수의 영역(S, P, G, D, C)을 정의한 기판(100)상에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 1 도전성 금속층(미도시)을 형성하고, 상기 제 1 도전성 금속층(미도시)을 상기 제 1 마스크 공정으로 패터하여, 상기 스위칭 영역(S)에 게이트 전극(102)을 형성하고, 상기 게이트 영역(G)에 대

응하여 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(104)을 형성한다.

- <147> 이하, 도 9b 내지 도 9e와 도 10b 내지 도 10e와 도 11b 내지 도 11e는 제 2 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.
- <148> 도 9b와 도 10b와 도 11b에 도시한 바와 같이, 상기 게이트 전극(102)과 게이트 패드 및 게이트 배선(106, 104)이 형성된 기판(100)의 전면에 제 1 절연막(108)과, 순수 비정질 실리콘층(a-Si:H layer, 110)과 불순물 비정질 실리콘층(n+ a-Si:H layer, 112)과 제 2 도전성 금속층(114)을 적층하고, 상기 제 2 도전성 금속층(114)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(116)을 형성한다.
- <149> 이때, 상기 제 1 절연막(108)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성하고, 상기 제 2 도전성 금속층(114)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성할 수 있으나, 바람직하게는 건식식각이 가능한 금속이면 좋으며 이러한 금속층에는 몰리브덴(Mo)이 있다.
- <150> 한편, 상기 감광층(116)을 형성한 후, 상기 감광층(116)이 형성된 기판(100)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <151> 이때, 상기 스위칭 영역(S)에 대응하여 차단부(B2)가 위치하도록 하고, 상기 게이트 패드(106)에 대응하여 투과부(B1)가 위치하도록 하고, 그 외의 영역에는 반투과부(B3)가 위치하도록 한다.
- <152> 이때, 상기 스위칭 영역(S)에 대응하는 차단부(B2)의 면적은 상기 게이트 전극(102)의 면적을 넘지 않는 범위내로 한정된다.
- <153> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(116)을 노광하는 공정과, 연속한 현상공정을 진행한다.
- <154> 이와 같이 하면, 도 9c와 도 10c와 도 11c에 도시한 바와 같이, 상기 스위칭 영역(S)에 원래의 높이대로 패터닝되고, 상기 게이트 패드(106)에 대응하여 완전히 제거되어 하부의 제 2 도전성 금속층(112)을 노출하고, 나머지 영역은 낮은 높이로 패터닝된 감광패턴(118)이 남게 된다.
- <155> 다음으로, 상기 게이트 패드(106)에 대응하여 노출된 제 2 도전성 금속층(114)과 그 하부의 불순물 비정질 실리콘층(112)과 순수 비정질 실리콘층(110)과 제 1 절연막(108)을 제거하고, 상기 감광패턴(118)중 상기 스위칭 영역(S)을 제외한 영역에 대응하여 높이가 낮은 상태로 현상된 부분을 애싱하여 완전히 제거하는 공정을 진행한다.
- <156> 이와 같이 하면, 도 9d와 도 10d와 도 11d에 도시한 바와 같이, 상기 게이트 패드(106)를 노출하는 게이트 패드 콘택홀(CH)이 형성된 상태가 되고, 상기 스위칭 영역(S)에는 높이가 낮게 패터닝된 감광패턴(120)이 남게 되고, 그 외의 영역은 상기 제 2 도전성 금속층(114)이 노출된 상태가 된다.
- <157> 다음으로, 상기 남겨진 감광패턴(120)의 주변으로 노출된 상기 제 2 도전성 금속층(114)과 그 하부의 불순물 비정질 실리콘층(112)과 순수 비정질 실리콘층(110)을 제거하는 공정을 진행한다.
- <158> 이와 같이 하면, 도 9e와 도 10e와 도 11e에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 게이트 전극(102)과 제 1 절연막(110)과 액티브층(패터닝된 순수 비정질 실리콘층, 122)과 오믹 콘택층(패터닝된 불순물 비정질 실리콘층, 124)과 버퍼금속(126)이 적층된 형태가 되고, 이외의 영역은 상기 게이트 패드 콘택홀(CH)을 통해 게이트 패드(106)를 노출하는 제 1 절연막(108)이 남겨진 상태가 된다.
- <159> 이하, 도 9f 내지 도 9j와 도 10f 내지 도 10j와 도 11f 내지 도 11j는 제 3 마스크 공정단계를 공정순서에 따라 도시한 공정 단면도이다.
- <160> 도 9f와 도 10f와 도 11f에 도시한 바와 같이, 상기 기판(100)의 전면에 투명 도전성 금속층(128)과 불투명한 도전성 금속층(130)을 적층하고, 상기 불투명한 도전성 금속층(130)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(132)을 형성하는 공정을 진행한다.
- <161> 다음으로, 상기 감광층(132)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <162> 상기 스위칭 영역(S)은 투과부(B1)를 중심으로 양측에 차단부(B2)가 위치하도록 하고, 상기 게이트 패드(106)에 대응하여 반투과부(B3)가 위치하도록 하고, 상기 데이터 영역(D)은 끝단에 반투과부(B3)가 위치하도록 하고 나

머지 영역은 차단부(B2)가 위치하도록 하고, 상기 화소 영역(P)과 그 외의 영역에는 투과부(B1)가 위치하도록 한다.

- <163> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(132)을 노광한 후, 현상하는 공정을 진행한다.
- <164> 이와 같이 하면, 도 9g와 도 10g와 도 11g에 도시한 바와 같이, 상기 스위칭 영역(P)에 이격된 감광패턴(134a)과, 상기 화소 영역(P)과 상기 게이트 패드(106)에 각각 대응하여 낮은 높이로 현상된 제 2 및 제 3 감광패턴(134b, 134c)과, 상기 데이터 영역(D)은 끝단에 대응한 부분이 낮은 높이로 현상된 단차진 제 4 감광패턴(134d)이 형성된다.
- <165> 다음으로, 상기 제 1 내지 제 4 감광패턴(134a, 134b, 134c, 134d)사이로 노출된 불투명한 금속층(130)과 하부의 투명 금속층(128)을 제거하는 공정을 진행한다.
- <166> 이와 같이 하면, 도 9h와 도 10h와 도 11h에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 이격된 제 1 감광패턴(134a)의 하부에 소스 전극(136)과 드레인 전극(138)이 형성되고, 상기 화소 영역(P)에는 상기 제 2 감광패턴(134b)의 하부에 상기 드레인 전극(138)에서 연장된 화소 전극(140)이 형성되고, 상기 제 3 감광패턴(134c)의 하부에는 상기 게이트 패드(106)와 접촉 게이트 패드 전극(142)이 형성되고, 상기 제 4 감광패턴(134d)에 대응하여 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)이 형성된다.
- <167> 이때, 상기 소스 전극(136)과 드레인 전극(138)과 화소 전극(140)과 게이트 패드 전극(142)과 데이터 배선 및 데이터 패드(146, 148)는 모두 투명 금속층(128)과 불투명한 금속층(130)이 적층된 상태로 패턴 된다.
- <168> 다음으로, 상기 소스 및 드레인 전극(136, 138)의 이격된 사이로 노출된 하부의 버퍼 금속(126)과 그 하부의 오믹 콘택층(124)을 제거하는 공정을 진행한다.
- <169> 다음으로, 상기 제 2 감광패턴(134b)과 제 3 감광패턴(134c)과 상기 제 4 감광패턴(134d)의 낮은 부분을 완전히 제거하는 애싱공정을 진행한다.
- <170> 이와 같이 하면, 도 9i와 도 10i와 도 11i에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 상기 소스 및 드레인 전극(136, 138)의 하부에 버퍼금속(126)과 오믹 콘택층(124)이 이격되어 하부의 액티브층(122)이 노출된 상태가 된다.
- <171> 또한, 상기 화소 전극(140)과 게이트 패드 전극(142)과 데이터 패드(148)가 노출된 상태가 된다.
- <172> 다음으로, 화소 전극(140)과 게이트 패드 전극(142)과 데이터 패드(148)을 구성하는 상부 불투명한 금속층(130)을 제거하는 공정을 진행하여, 하부의 투명한 금속층(128)만 남기는 공정을 진행한다.
- <173> 상기 투명한 금속층(128)과 불투명한 금속층(130)은 식각액의 차이 또는 식각 방식에 따라 앞서 공정에서와 같이 동시에 식각될 수 도 있고, 위의 예와 같이 별도로 식각될 수 도 있다.
- <174> 다음으로, 상기 남겨진 제 1 감광 패턴 및 제 4 감광패턴(134a, 134d)을 제거(strip)하는 공정을 진행한다.
- <175> 이와 같이 하면, 도 9j와 도 10j와 도 11j에 도시한 바와 같이, 상기 스위칭 영역(S)에는 앞서 언급한 바와 같이 투명 금속층 및 불투명 금속층(128, 130)이 적층된 소스 전극(136)과 드레인 전극(138)이 형성되고, 상기 화소 영역(140)에는 투명한 화소 전극(140)이 형성되고, 상기 게이트 영역(G)에는 상기 게이트 패드(106)와 접촉하는 투명한 게이트 패드 전극(142)이 구성되고, 상기 데이터 영역(D)에는 투명, 불투명의 이중 금속층(128, 130)형태의 데이터 배선(146)과 일 끝단에 투명한 데이터 패드(148)가 형성된다.
- <176> 이때, 전술한 바와 같은 애싱공정과 연속된 불투명 금속층 제거공정을 통해, 결과적으로 상기 데이터 배선(146)과 소스 및 드레인 전극(136, 138)과 게이트 패드 전극(142)은 상부의 불투명 금속층이 하부의 투명 금속층(128)보다 작은 폭으로 형성된다.
- <177> 도 9k와 도 10k와 도 11k에 도시한 바와 같이, 기판(100)의 전면에 질화 실리콘(SiN₂)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 제 2 절연막(150, 보호막)을 형성한다.
- <178> 다음으로, 상기 제 2 절연막(150)을 제 4 마스크 공정으로 패턴하여, 상기 화소 전극(140)과 상기 게이트 패드 전극(142)과 데이터 패드 전극(146)을 노출하는 공정을 진행한다.

- <179> 전술한 공정을 통해 본 발명에 따른 새로운 4마스크 공정으로, 배선의 하부에 액티브층이 존재하지 않는 형상의 액정표시장치용 어레이기판을 제작할 수 있다.
- <180> 이하, 본 발명에 따른 공정을 간략히 설명하면 아래와 같다.
- <181> 제 1 마스크 공정 : 게이트 전극과 게이트 배선 및 게이트 패드를 형성한다.
- <182> 제 2 마스크 공정 : 절연막의 하부로 상기 게이트 패드를 노출하고, 게이트 전극과, 게이트 전극의 상부에 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성한다.
- <183> 제 3 마스크 공정 : 소스 및 드레인 전극과 화소 전극과 상기 게이트 패드와 접촉하는 게이트 패드 전극과 데이터 배선 및 데이터 패드를 형성한다.
- <184> 이때, 상기 화소 전극과 상기 게이트 패드 전극과 상기 데이터 패드는 투명한금속층만으로 형성된다.
- <185> 제 4 마스크 공정 : 기판에 제 2 절연막을 형성하고, 상기 제 2 절연막 사이로 화소 전극과 게이트 패드 전극과 데이터 패드를 노출한다.
- <186> 이상의 공정을 통해 본 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- <187> 전술한 공정은 새로운 4 마스크 공정으로, 어레이기판에 화소전극만을 구성하는 수직전계형 액정표시장치용 어레이기판을 제작한 예를 설명하였으나 이하, 실시예 2를 통해, 어레이 기판에 공통 전극과 화소 전극을 동시에 구성하는 수평 전계형 액정표시장치용 어레이기판을 제작하는 방법을 설명한다.
- <188> -- 제 2 실시예 --
- <189> 도 12는 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 평면도이다.
- <190> 도시한 바와 같이, 절연 기판(200)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(206)가 구성된 게이트 배선(204)과, 게이트 배선(204)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(248)를 포함하는 데이터 배선(246)을 구성한다.
- <191> 동시에, 상기 게이트 배선(204)과 이격된 공통 배선(208)을 구성한다.
- <192> 이때, 상기 게이트 패드(206)는 상부에는 투명 금속층과 불투명한 금속층이 적층된 형상의 게이트 패드 전극(244)을 구성한다.
- <193> 상기 게이트 배선(204)과 데이터 배선(246)의 교차지점에 게이트 전극(202)과 액티브층(222) 및 오믹 콘택층(미도시)과, 상기 오믹 콘택층과 접촉하는 버퍼 금속(226)과, 상기 버퍼금속(226)과 접촉하는 소스 전극(236)과 드레인 전극(238)을 포함하는 박막트랜지스터(T)를 구성한다.
- <194> 상기 화소 영역(P)에는 상기 드레인 전극(238)과 접촉하면서 상기 화소 영역으로 수직하게 연장된 다수의 수직부로 구성된 화소 전극(240)과, 상기 공통 배선(208)과 접촉하면서 상기 화소 영역(P)으로 수직하게 연장되어 상기 화소 전극(240)과 이격된 형태의 공통전극(242)을 구성 한다.
- <195> 전술한 구성은, 새로운 4마스크 공정으로 제작된 것이며 특히, 상기 액티브층(222)(비정질 실리콘층)이 데이터 배선(246)의 하부에 존재하지 않고 게이트 전극의 상부에만 이보다 작은 면적으로 구성되기 때문에, 상기 액티브층(222)이 하부광으로부터 차폐될 수 있는 특징이 있다.
- <196> 이하, 도 13a와 도 13b와 도 13c를 참조하여, 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 단면 구성을 살펴본다.
- <197> 도시한 바와 같이, 기판(100)에 다수의 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스위칭 영역(S)과 공통신호영역(CS)을 정의한다.
- <198> 상기 스위칭 영역(S)에는 게이트 전극(202)과, 게이트 전극(202)의 상부에 제 1 절연막(210)과 액티브층(222)과 이격된 오믹 콘택층(224)과, 오믹 콘택층(224)과 각각 접촉하는 버퍼금속(226)과, 상기 버퍼 금속(226)과 접촉하는 소스 및 드레인 전극(236,238)을 포함하는 박막트랜지스터(T)를 구성한다.
- <199> 이때, 상기 소스 및 드레인 전극(236,238)은 투명 금속층(228)과 불투명 금속층(230)이 적층된 상태로 구성되며, 상기 투명 금속층(228)과 하부의 오믹 콘택층(224)의 접촉면에서 저항이 매우 높기 때문에, 이를 낮

추가 위해 버퍼금속(226)을 더욱 구성하는 것이다.

- <200> 또한, 상기 소스 전극(236)과 연결된 데이터 배선(246)을 화소 영역(P)의 일 측에 구성하며, 상기 데이터 배선(246) 또한 투명·불투명 금속층(228,230)의 적층구조로 구성하는 것을 특징으로 한다.
- <201> 또한, 상기 게이트 패드(106)의 상부에는 이와 접촉하는 게이트 패드 전극(248)을 구성하는데, 상기 게이트 패드 전극(248) 또한 투명 금속층(228)과 불투명한 금속층(230)이 적층된 구조인 것을 특징으로 한다.
- <202> 상기 화소 영역(P)에는 상기 드레인 전극(238)과 접촉하면서 상기 화소 영역으로 연장하여 다수의 수직바 형태로 화소 전극(240)과, 상기 공통 배선(208)과 접촉하면서 상기 화소 영역(P)으로 연장하여 다수의 수직바 형태로 공통 전극(242)을 구성한다.
- <203> 상기 화소 전극(240)과 공통 전극(242)은 상기 화소 영역(P)에서 서로 이격하여 위치하도록 구성하며 이때, 두 전극(240,242)은 모두 투명 금속층(228)과 불투명 금속층(230)이 적층된 상태로 구성된다.
- <204> 또한, 상기 게이트 패드전극(244)과 데이터 패드(248)를 제외한 영역은 제 2 절연막(보호막)이 덮는 형태로 구성한다.
- <205> 전술한 구성에서 제일 특징적인 구성은, 상기 액티브층(222)과 오믹 콘택층(224)과 동일한 물질인 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)이 상기 게이트 배선 및 데이터 배선(204,246)의 하부에 존재하지 않는 것이며, 이러한 구성으로 인해 종래 4마스크 구조의 대표적인 문제점으로 작용했던 웨이비 노이즈(wavy noise) 및 개구율 문제가 해결될 수 있는 장점이 있다.
- <206> 또한 전술한 특징적인 구성들은 본 발명에서 제안한 4마스크 공정으로 인한 것이며 이하, 도면을 참조하여 본 발명에 따른 새로운 4마스크 공정으로 횡전계 방식 액정표시장치용 어레이 기판의 제조방법을 설명한다.
- <207> 이하, 도 14a 내지 도 14k와 도 15a 내지 도 15k와 도 16a 내지 도 16k와 도 17b 내지 도 17k는 도 12의 IX-IX, X-X, X I-X I, X II-X II을 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.
- <208> 도 14a와 도 15a와 도 16a와 도 17a는 제 1 마스크 공정을 나타낸 공정 단면도이다.
- <209> 도시한 바와 같이, 기판(200)상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 공통 신호 영역(CS)을 정의한다.
- <210> 상기 다수의 영역(S,P,G,D,SC)을 정의한 기판(200)상에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 1 도전성 금속층을 형성하고, 상기 제 1 도전성 금속층을 제 1 마스크 공정으로 패터닝하여, 상기 스위칭 영역(S)에 게이트 전극(202)을 형성하고, 상기 게이트 영역(G)에 대응하여 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(도 12의 204)을 형성한다.
- <211> 동시에, 상기 게이트 배선(도 12의 204)과 평행하게 이격된 공통배선(208)을 형성한다.
- <212> 이하, 도 14b 내지 도 14f와 도 15b 내지 도 15f와 도 16b 내지 도 16f는 도 17a 내지 도 17f는 제 2 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.
- <213> 도 14b와 도 15b와 도 16b와 도 17b에 도시한 바와 같이, 상기 게이트 전극(202)과 게이트 패드 및 게이트 배선(206,도 12의 204)과 공통 배선(208)이 형성된 기판(200)의 전면에 제 1 절연막(210)과, 비정질 실리콘층(a-Si:H layer,212)과 불순물 비정질 실리콘층(n+ a-Si:H layer,214)과 제 2 도전성 금속층(216)을 적층하고, 상기 제 2 도전성 금속층(216)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(218)을 형성한다.
- <214> 이때, 상기 제 1 절연막(210)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성하고, 상기 제 2 도전성 금속층(216)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성할 수 있으나, 바람직하게는 건식식각이 가능한 금속이면 좋으며 이러한 금속층에는 몰리브덴(Mo)이 있다.
- <215> 한편, 상기 감광층(218)을 형성한 후, 상기 감광층(218)이 형성된 기판(200)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <216> 이때, 상기 스위칭 영역(S)에 대응하여 차단부(B2)와, 차단부(B2)의 양측으로 반투과부(B3)가 위치하고, 상기 공통신호영역(CS)에 부분적으로 투과부(B1)가 위치하고, 상기 게이트 패드(206)에 대응하여 투과부(B1)가 위치

하도록 하고, 그 외의 영역에는 반투과(B3)가 위치하도록 한다.

- <217> 이때, 상기 스위칭 영역(S)에 위치하는 차단부(B2)의 면적은 상기 게이트 전극(202)의 면적을 넘지 않는 범위내로 한정된다.
- <218> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(218)을 노광하는 공정과, 연속한 현상공정을 진행한다.
- <219> 이와 같이 하면, 도 14c와 도 15c와 도 16c와 17c에 도시한 바와 같이, 상기 스위칭 영역(S)에 원래의 높이로 패터닝되고, 상기 게이트 패드(206)에 대응하여 완전히 제거되어 하부의 제 2 금속층(216)을 노출하고, 나머지 영역은 낮은 높이로 패터닝된 감광패턴(220)이 남게 된다.
- <220> 다음으로, 상기 게이패드(206)에 대응하여 상부의 노출된 제 2 도전성 금속층(216)과 그 하부의 불순물 비정질 실리콘층(214)과 순수 비정질 실리콘층(212)과 제 1 절연막(210)을 제거한다.
- <221> 이와 같이 하면, 도 14d와 도 15d와 도 16d와 도 17d에 도시한 바와 같이, 상기 공통 배선(208)을 노출하는 공통 배선 콘택홀(CH1)과 상기 게이트 패드(206)를 노출하는 게이트 패드 콘택홀(CH2)을 형성한다.
- <222> 다음으로, 상기 감광패턴(220)중 스위칭 영역(S)의 이외의 영역에서 낮게 패터닝된 부분을 애싱공정으로 완전히 제거하는 공정을 진행한다.
- <223> 이와 같이 하면, 도 14e와 도 15e와 도 16e와 도 17e에 도시한 바와 같이, 상기 스위칭 영역(S)에는 상기 애싱공정을 통해 높이가 낮아진 감광패턴(120)이 남게 되고, 그 외의 영역에는 상기 제 2 도전성 금속층(216)이 노출된 상태가 된다.
- <224> 다음으로, 상기 남겨진 감광패턴(220)의 주변으로 노출된 상기 제 2 도전성 금속층(216)과 그 하부의 불순물 비정질 실리콘층(214)과 순수 비정질 실리콘층(212)을 제거하는 공정을 진행한다.
- <225> 이와 같이 하면, 도 14f와 도 15f와 도 16f와 도 17f에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 게이트 전극(202)과 제 1 절연막(210)과 패터닝된 순수 비정질 실리콘층(222, 이하 '액티브층'이라함)과, 패터닝된 불순물 비정질 실리콘층(224, 이하 '오믹 콘택층'이라함)과, 패터닝된 제 2 금속층(226, 이하 '버퍼금속'이라함)이 적층된 상태가 되고, 상기 공통배선(208)의 일부와 상기 게이트 패드(206)는 상기 제 1 절연막(210)에 형성한 상기 제 1 콘택홀(CH1)과 제 2 콘택홀(CH2)을 통해 외부로 노출된 상태가 된다.
- <226> 이하, 도 14g 내지 도 14k와 도 15g 내지 도 15k와 도 16a 내지 도 16k와 도 17a 내지 도 17k는, 본 발명의 제 3 마스크 공정 단계를 공정순서에 따라 도시한 공정 단면도이다.
- <227> 도 14g와 도 150g와 도 16g와 도 17g에 도시한 바와 같이, 상기 기판(200)의 전면투명 금속층(228)과 불투명 금속층(230)을 적층하고, 상기 불투명한 금속층(230)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(232)을 형성하는 공정을 진행한다.
- <228> 다음으로, 상기 투명 금속층(228)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성하고, 상기 불투명한 금속층(230)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- <229> 상기 감광층(232)의 이격된 상부에 투과부(B3)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.
- <230> 상기 스위칭 영역(S)은 투과부(B1)를 중심으로 양측에 차단부(B2)가 위치하도록 하고, 상기 화소 영역(P)은 투과부(B1)와 차단부(B2(o), B2(e))가 교대로 구성되고, 상기 게이트 패드(206)와 데이터 영역(D)에 차단부(B2)가 위치하도록 하고, 그 외의 영역은 투과부(B1)가 위치하도록 하는 것을 특징으로 한다.
- <231> 상기 공통신호영역(CS)의 일부에는 차단부(B2)가 위치하도록 한다.
- <232> 이때, 도면에 나타나지는 않지만, 상기 화소 영역(P)에 대응하는 차단부(B2(o), B2(e))는 수직바 형태로 위치하고, 상기 차단부(B2(o), B2(e))중 홀수번째 차단부(B2(o))는 상기 공통신호영역(CS)의 차단부(B2)와 일체로 구성되고, 상기 짝수 번째 차단부(B2(e))는 상기 스위칭 영역(S)의 차단부(B2)와 일체로 구성된다.
- <233> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(232)을 노광한 후, 현상하는 공정을 진행한다.
- <234> 이와 같이 하면, 도 14h와 도 15h와 도 16h와 도 17h에 도시한 바와 같이, 상기 스위칭 영역(S)에 이격된 감광

패턴(234a)과, 상기 화소 영역(P)에 이격된 다수의 제 2 감광패턴(234b)과 상기 공통신호영역(CS)에 위치하고 상기 제 2 감광패턴(234b) 중 홀수번째와 일체와 되는 제 3 감광패턴(234c)과, 게이트 패드(206)에 대응한 제 4 감광패턴(234d)과 상기 데이터 영역(D)에 대응하여 제 5 감광패턴(234e)이 형성된다.

- <235> 다음으로, 상기 제 1 내지 제 5 감광패턴(234a, 234b, 234c, 234d)사이로 노출된 불투명한 금속층(230)과 하부의 투명 금속층(228)을 제거하는 공정을 진행한다.
- <236> 이와 같이 하면, 도 9i와 도 10i와 도 11i와 도 12i에 도시한 바와 같이, 상기 이격된 제 1 감광패턴(234a)의 하부에는 이격된 소스 전극(236)과 드레인 전극(238)과, 상기 제 2 감광패턴(234b)과 상기 제 3 감광패턴(234c)의 하부에는, 상기 드레인 전극(238)에서 연장되고 화소 영역(P)으로 수직바 형태로 연장된 다수의 화소 전극(240)과, 상기 공통 배선(208)과 접촉하면서 상기 화소 영역(P)으로 수직바 형태로 연장된 다수의 공통 전극(210)이 형성 된다.
- <237> 또한, 상기 제 4 감광 패턴(234d)의 하부에는 상기 게이트 패드(206)와 접촉하는 게이트 패드 전극(244)이 구성되고, 상기 제 5 감광패턴(234e)의 하부에는 일 끝단에 데이터 패드(248)를 포함하는 데이터 배선(246)이 구성된다.
- <238> 이때, 상기 소스 및 드레인 전극(236, 238)과 상기 화소 전극 및 공통 전극(240, 242)과 상기 게이트 패드(244)와 상기 데이터 패드 및 데이터 배선(244, 226)은 모두 투명 금속층(228)과 불투명한 금속층(230)이 적층된 형태로 구성된다.
- <239> 다음으로, 상기 이격된 제 1 감광패턴(234a)의 사이로 노출된 하부의 버퍼 금속(226)과 오믹 콘택층(224)을 제거하는 공정을 진행한다.
- <240> 이와 같이 하면, 도 14j와 도 15j와 도 16j와 도 17j에 도시한 바와 같이, 상기 이격된 제 1 감광패턴(234a)의 하부로 액티브층(222)이 노출되는 형태가 된다.
- <241> 다음으로, 상기 제 1 내지 제 5 감광패턴(134a, 134b, 134c, 134d, 134e)을 제거하는 공정을 진행한다.
- <242> 다음으로, 상기 기관(200)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 제 2 절연막(보호막, 250)을 형성한다.
- <243> 다음으로, 이와 같이 하면, 도 14k와 도 15k와 도 16k와 도 17k에 도시한 바와 같이, 제 4 마스크 공정으로 상기 제 2 절연막(250)을 패턴하여 상기 게이트 패드 전극(244)과 상기 데이터 패드(248)를 노출하는 공정을 진행한다.
- <244> 전술한 공정을 통해 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.
- <245> 이하, 본 발명의 제 2 실시예에 따른 공정을 간략히 설명하면 아래와 같다.
- <246> 제 1 마스크 공정 : 게이트 전극과 게이트 배선 및 게이트 패드와 공통배선을 형성한다.
- <247> 제 2 마스크 공정 : 제 2 절연막의 하부로 상기 게이트 패드를 노출하고, 게이트 전극과, 게이트 전극의 상부에 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성한다.
- <248> 제 3 마스크 공정 : 투명 금속층과 불투명한 금속층으로 적층된 드레인 전극과 화소 전극과 상기 게이트 패드와 접촉하는 게이트 패드 전극과 상기 데이터 배선 및 데이터 패드와 상기 화소 영역에는 화소 전극과 공통 전극을 형성하고, 상기 기관의 전면에 제 2 절연막을 형성한다.
- <249> 제 4 마스크 공정 : 상기 제 2 절연막을 패턴하여, 상기 게이트 패드 전극과 데이터 패드를 노출하는 공정을 진행한다.
- <250> 전술한 공정을 통해, 제작된 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은, 비정질 실리콘층이 배선의 하부에 존재하지 않고 상기 게이트 전극의 상부에만 섬형상으로 구성되어 하부의 광으로부터 차단될 있는 특징이 있다.
- <251> 이하, 전술한 제 2 실시예의 변형예를 이하, 제 3 실시예를 통해 설명한다.
- <252> - - 제 3 실시예 - -
- <253> 본 발명의 제 3 실시예의 특징은, 전술한 제 2 실시예의 구성에서, 상기 게이트 패드 전극과 데이터 패드와 상기 공통 전극과 화소 전극을 투명한 금속층 만으로 구성하는 것을 특징으로 한다.

- <254> 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기판의 제조방법은, 앞서 제 2 실시예의 2 마스크 공정까지는 동일한 공정이므로 이를 생략하고, 제 3 마스크 공정부터 설명하기로 한다.
- <255> 이하, 도 18a 내지 18e와 도 19a 내지 도 19e와 도 20a 내지 도 20e와 도 21a 내지 도 21e는 도 12의 IX-IX, X-X, X I-X I, X II-X II를 절단하여, 본 발명의 제 3 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다. (이때, 번호는 제 2 실시예에와 동일하게 표기한다.)
- <256> 앞서, 제 2 마스크 공정으로 기판(200)의 스위칭 영역(S)에는 게이트 전극(202)과 제 1 절연막(210)과 액티브층(222)과 오믹 콘택층(224)과 버퍼금속(246)이 적층된 형태이고, 그 외의 영역은 제 1 절연막(210)으로 덮힌 채로 상기 게이트 패드(206) 만이 노출된 형태로 구성된다.
- <257> 이하, 도 18a 내지 도 18d와 도 19a 내지 도 19d와 도 20a 내지 도 20d와 도 21a 내지 도 21f는 제 3 마스크 공정단계를 공정순서에 따라 도시한 공정 단면도이다.
- <258> 상기 제 2 마스크 공정을 완료한 후, 도 18a와 도 19a와 도 20a와 도 21a에 도시한 바와 같이, 상기 기판(200)의 전면에 투명 금속층(228)과 불투명 금속층(230)을 적층하고, 상기 불투명한 금속층(230)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(232)을 형성하는 공정을 진행한다.
- <259> 다음으로, 상기 투명 금속층(228)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성하고, 상기 불투명한 금속층(230)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- <260> 상기 감광층(232)의 이격된 상부에 투과부(B3)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <261> 상기 스위칭 영역(S)은 투과부(B1)를 중심으로 양측에 차단부(B2)가 위치하도록 하고, 상기 화소 영역(P)은 투과부(B1)와 반투과부(B3(o), B3(e))가 교대로 구성되고, 상기 게이트 패드(206)에는 반투과부가 위치하도록 하고, 데이터 영역(D)에는 차단부(B2)와 반투과부(B3)가 위치하도록 하고, 그 외의 영역은 투과부(B1)가 위치하도록 하는 것을 특징으로 한다.
- <262> 상기 공통신호영역(CS)의 일부에는 반투과(B3)가 위치하도록 한다.
- <263> 이때, 도면에 나타나지는 않지만, 상기 화소 영역(P)에 대응하는 반투과부(B3(o), B3(e))는 수직바 형태로 위치하고, 상기 반투과부(B3(o), B3(e))중 홀수번째 차단부(B3(o))는 상기 공통신호영역(CS)의 반투과부(B3)와 일체로 형성되고, 상기 짝수번째 반투과부(B3(e))는 상기 스위칭 영역(S)의 차단부(B2)와 일체로 연결된다.
- <264> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(232)을 노광한 후, 현상하는 공정을 진행한다.
- <265> 이와 같이 하면, 도 18b와 도 19b와 도 20b와 도 21b에 도시한 바와 같이, 상기 스위칭 영역(S)에 이격된 감광패턴(234a)과, 상기 화소 영역(P)에 높이가 낮게 패턴된 다수의 이격된 제 2 감광패턴(234b)과 상기 공통신호영역(CS)에 위치하여 높이가 낮게 패턴되고 상기 제 2 감광패턴(234b)중 홀수번째와 연결되는 제 3 감광패턴(234c)과, 게이트 패드(206)에 대응한 제 4 감광패턴(234d)과 상기 데이터 영역(D)에 대응하여 끝단의 부분은 낮은 높이로 패턴된 단차진 제 5 감광패턴(234e)이 형성된다.
- <266> 다음으로, 상기 제 1 내지 제 5 감광패턴(234a, 234b, 234c, 234d, 234e)사이로 노출된 불투명한 금속층(230)과 하부의 투명 금속층(228)을 제거하는 공정을 진행한다.
- <267> 이와 같이 하면, 도 18c와 도 19c와 도 20c와 도 21c에 도시한 바와 같이, 상기 이격된 제 1 감광패턴(234a)의 하부에는 이격된 소스 전극(236)과 드레인 전극(238)과, 상기 제 2 감광패턴(234b)과 상기 제 3 감광패턴(234c)의 하부에는, 상기 드레인 전극(238)에서 연장되고 화소 영역(P)으로 수직하게 연장되고 다수의 수직바 형태로 구성된 화소 전극(240)과, 상기 공통 배선(208)과 접촉하면서 상기 화소 영역(P)으로 연장되고 다수의 수직바 형태로 구성된 공통 전극(242)이 형성 된다.
- <268> 또한, 상기 제 4 감광 패턴(234d)의 하부에는 상기 게이트 패드(206)와 접촉하는 게이트 패드 전극(244)이 구성되고, 상기 제 5 감광패턴(234e)의 하부에는 일 끝단에 데이터 패드(248)를 포함하는 데이터 배선(246)이 구성된다.
- <269> 이때, 상기 소스 및 드레인 전극(236, 238)과 상기 화소 전극 및 공통 전극(240, 242)과 상기 게이트 패드(244)와 상기 데이터 패드 및 데이터 배선(244, 246)은 모두 투명 금속층(228)과 불투명한 금속층(230)이 적층된 형태로

구성된다.

- <270> 다음으로, 상기 이격된 제 1 감광패턴(234a)의 사이로 노출된 하부의 버퍼 금속(226)과 오믹 콘택층(224)을 제거하는 공정을 진행한다.
- <271> 다음으로, 낮은 높이로 현상된 상기 2 감광패턴(234b)과 제 3 감광패턴(234c)과 제 4 감광패턴(234d)과, 상기 제 5 감광패턴(234e)중 낮은 높이로 패턴된 부분을 애싱공정을 이용하여 완전히 제거하고, 그 하부의 불투명한 금속층을 제거하는 공정을 진행한다.
- <272> 이와 같이 하면, 도 18d와 도 19d와 도 20d과 도 21d에 도시한 바와 같이, 상기 화소 영역(P)의 화소 전극(240)은 공통 전극(242)과, 상기 게이트 패드전극(244)과 상기 데이터 패드(248)는 투명한 금속층만으로 구성될 수 있다.
- <273> 다음으로, 도 18e와 도 19e와 도 20e과 도 21e에 도시한 바와 같이, 상기 기관의 전면에서 언급한 무기절연 물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하고, 제 4 마스크 공정으로 패턴하여, 상기 투명한 게이트 패드 전극(244)과 데이터 패드(248)를 노출하는 제 2 절연막(보호막, 150)을 형성한다.
- <274> 이상으로, 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기관을 형성할 수 있다.
- <275> 전술한 구성에서, 상기 화소 전극과 공통 전극을 투명하게 구성하면, 종래의 제 2 실시예와 비교하여 고휘도를 구현할 수 있는 효과가 있다.
- <276> 이하, 본 발명에 따른 공정을 간략히 설명하면 아래와 같다.
- <277> 제 1 마스크 공정 : 게이트 전극과 게이트 배선 및 게이트 패드와 공통배선을 형성한다.
- <278> 제 2 마스크 공정 : 제 2 절연막의 하부로 상기 게이트 패드를 노출하고, 게이트 전극과, 게이트 전극의 상부에 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성한다.
- <279> 제 3 마스크 공정 : 투명 금속층과 불투명한 금속층으로 적층된 소스 및 드레인 전극과, 상기 게이트 패드와 접촉하는 투명한 게이트 패드 전극과, 상기 데이터 배선 및 데이터 패드와, 상기 화소 영역에는 투명한 화소 전극과 공통 전극을 형성하고, 상기 기관의 전면에서 제 2 절연막을 형성한다.
- <280> 제 4 마스크 공정 : 상기 제 2 절연막을 패턴하여, 상기 게이트 패드 전극과 데이터 패드를 노출하는 공정을 진행한다.
- <281> 전술한 공정을 통해, 제작된 본 발명의 제 3 실시예에 따른 횡전계 방식 액정표시장치용 어레이기관 또한, 비정질 실리콘층이 배선의 하부에 존재하지 않고 상기 게이트 전극의 상부에만 섬형상으로 구성되어 하부의 광으로부터 차단될 있는 특징이 있다.

발명의 효과

- <282> 본 발명에 따른 액정표시장치용 어레이기관의 구성은, 배선의 하부에 액티브층(순수 비정질 실리콘층)이 존재하지 않는 즉, 게이트 전극의 상부에 섬형상의 액티브층만이 존재하는 구조임으로, 광전류에 의한 박막트랜지스터에 누설전류가 발생하지 않고 웨이비 노이즈(wavy noise)가 발생하지 않아 고화질의 액정패널을 제작할 수 있는 효과가 있다.
- <283> 또한, 배선의 외부로 상기 액티브층이 연장된 구성이 아니므로 개구율을 더욱 확보할 수 있어 휘도를 개선할 수 있는 효과가 있다.

도면의 간단한 설명

- <1> 도 1은 일반적인 액정패널의 구성을 개략적으로 도시한 사시도이고,
- <2> 도 2는 종래에 따른 액정표시장치용 어레이기관의 일부를 확대한 평면도이고,
- <3> 도 3은 도 2의 II-II와 V-V를 따라 절단한 단면도이고,
- <4> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 II-II, III-III, IV-IV를 절단하여, 종래에 따른 공정순서에 따라 도시한 공정 단면도이고,
- <5> 도 7은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기관의 일부를 확대한 평면도이고,

- <6> 도 8a와 도 8b와 도 8c는 각각 도 7의 VI-VI과 VII-VII, VIII-VIII을 따라 절단한 단면도이고,

<7> 도 9a 내지 도 9k과 도 10a 내지 도 10k과 도 11a 내지 도 11k은 도 7의 VI-VI과 VII-VII과 VIII-VIII을 따라 절단하여, 제 1 실시예에 따른 공정순서에 따라 도시한 공정 단면도이고,

<8> 도 12은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,

<9> 도 13a와 도 13b와 도 13c와 도 13d는 각각 도 12의 IX-IX, X-X, X I-X I, X II-X II를 따라 절단한 단면도이고,

<10> 도 14a 내지 도 14k와 도 15a 내지 도 15k와 도 16a 내지 도 16k와 도 17a 내지 도 17k는 도 12의 IX-IX, X-X, X I-X I, X II-X II를 따라 절단하여, 제 2 실시예에 따른 공정순서에 따라 도시한 공정 단면도이고,

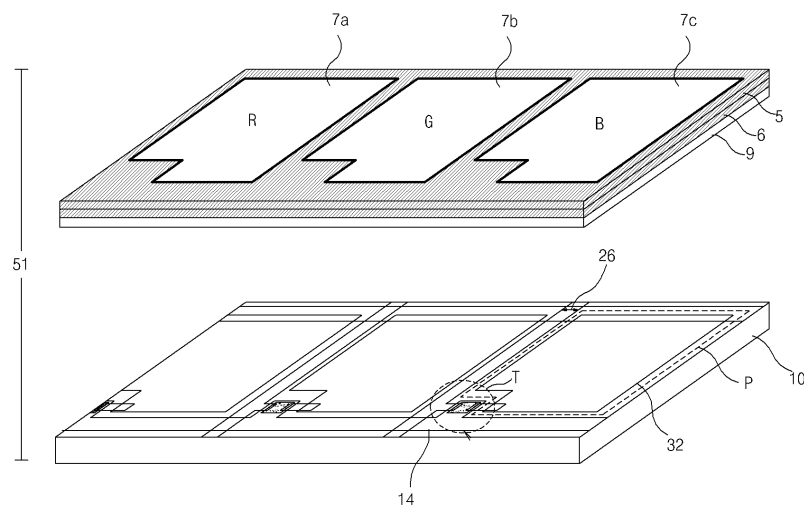
<11> 도 18a 내지 도 18e와 도 19a 내지 도 19e와 도 20a 내지 도 20e와 도 21a 내지 도 21e는 도 12의 IX-IX, X-X, X I-X I, X II-X II를 따라 절단하여, 제 3 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.

<12> <도면의 주요부분에 대한 간단한 설명>

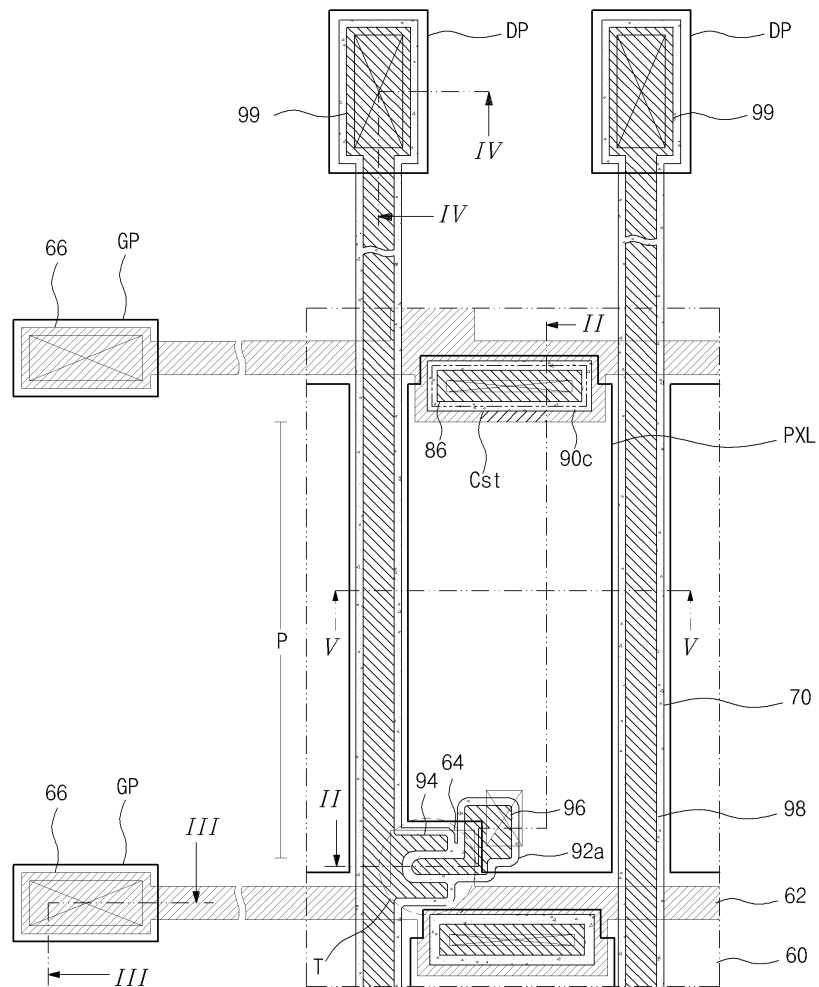
<13> 100 : 기판	102 : 게이트 전극
<14> 104 : 게이트 배선	106 : 게이트 패드
<15> 122 : 액티브층	126 : 버퍼금속
<16> 136 : 소스 전극	138 : 드레인 전극
<17> 140 : 화소 전극	142 : 게이트 패드 전극
<18> 146 : 데이터 배선	148 : 데이터 패드

도면

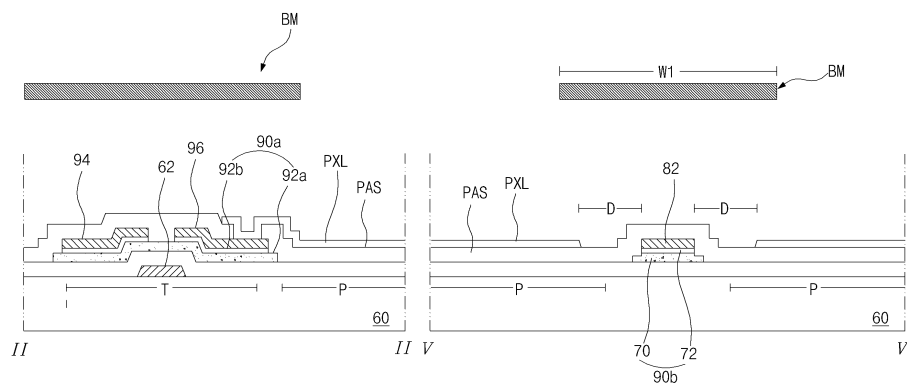
도면1



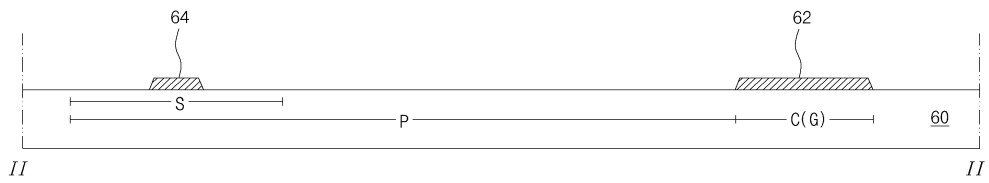
도면2



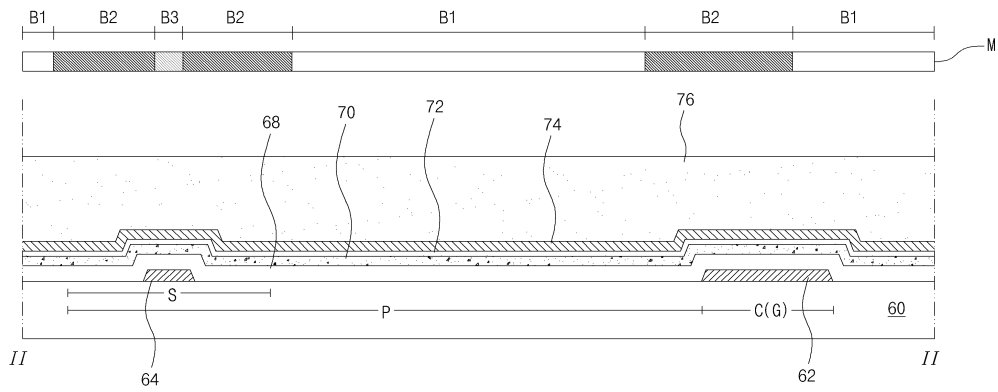
도면3



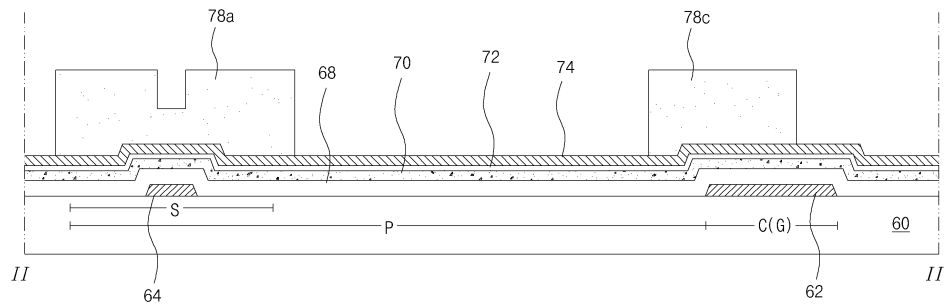
도면4a



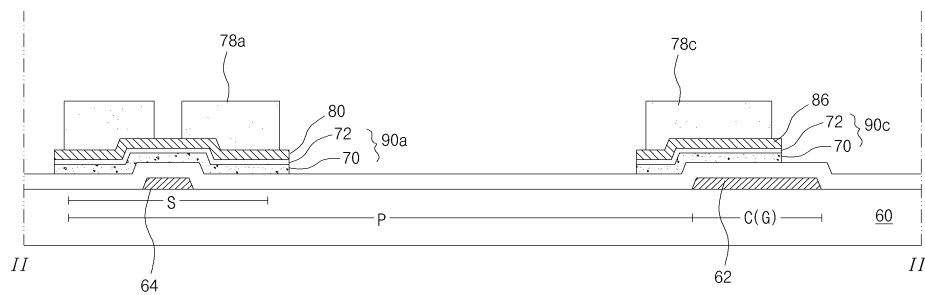
도면4b



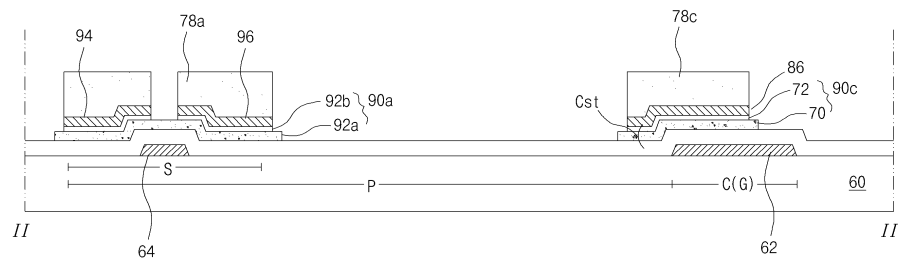
도면4c



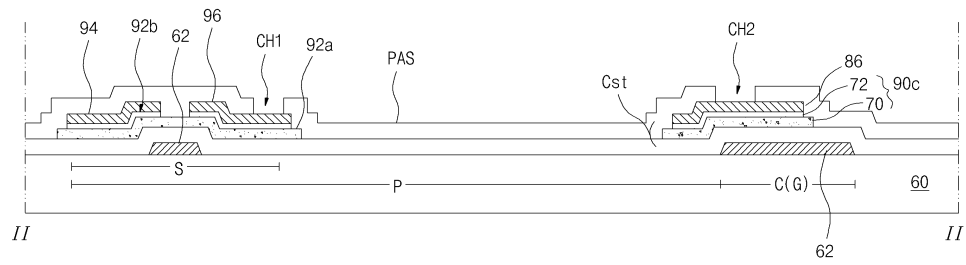
도면4d



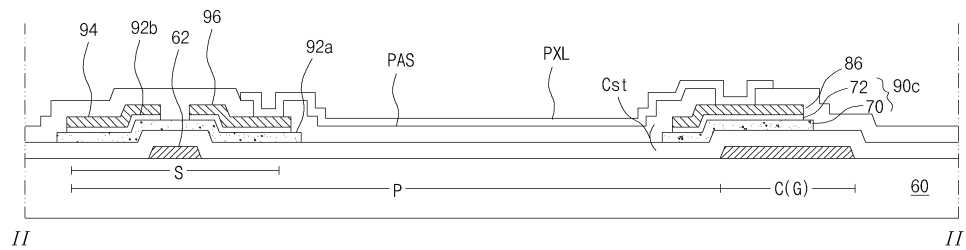
도면4e



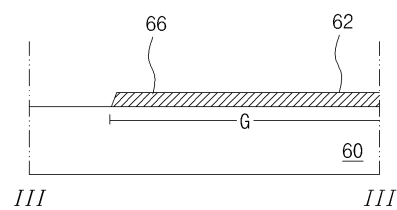
도면4f



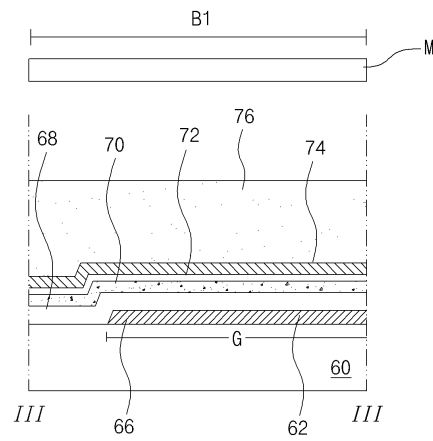
도면4g



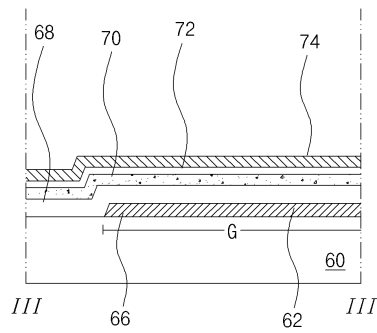
도면5a



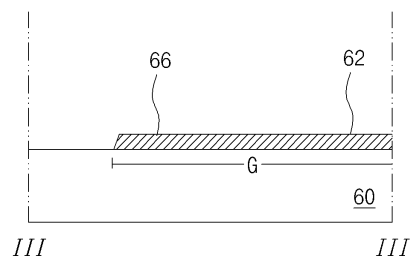
도면5b



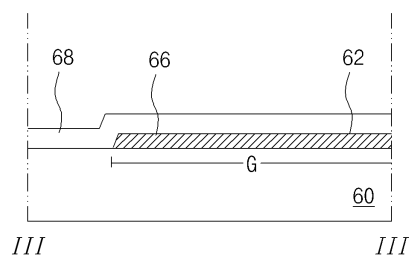
도면5c



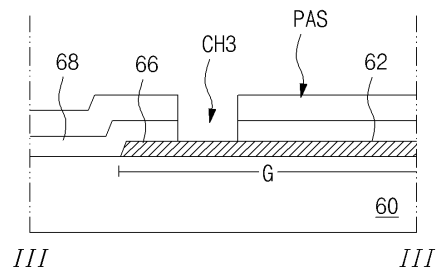
도면5d



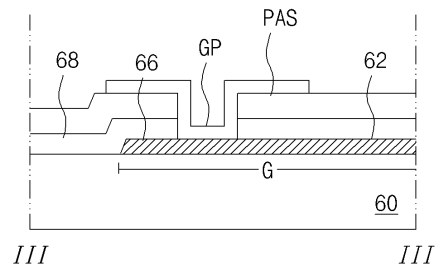
도면5e



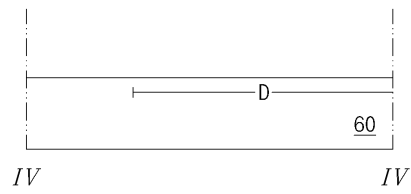
도면5f



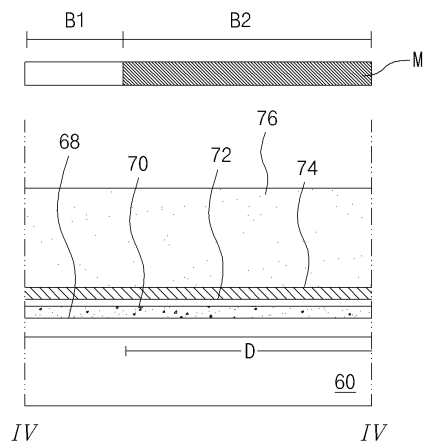
도면5g



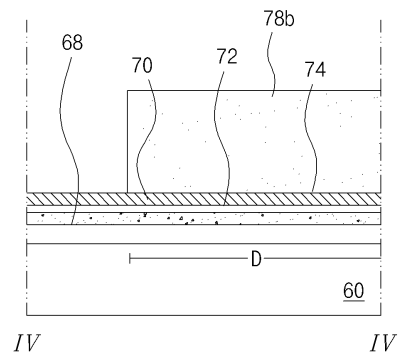
도면6a



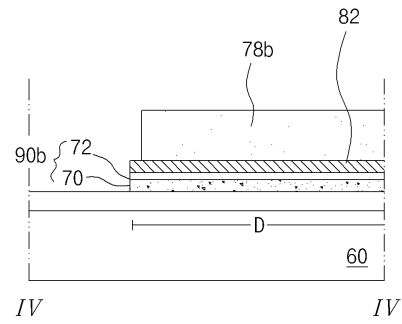
도면6b



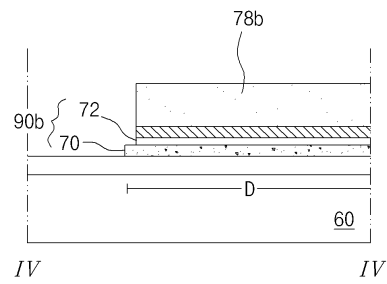
도면6c



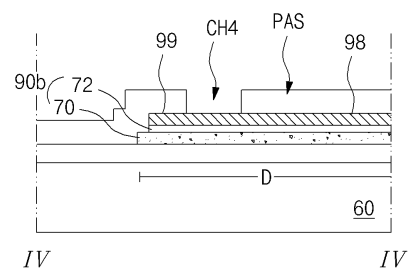
도면6d



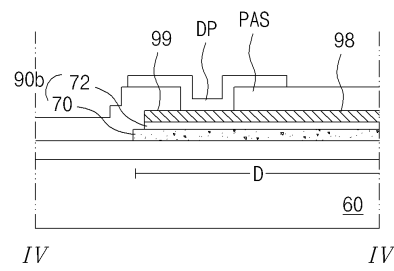
도면6e



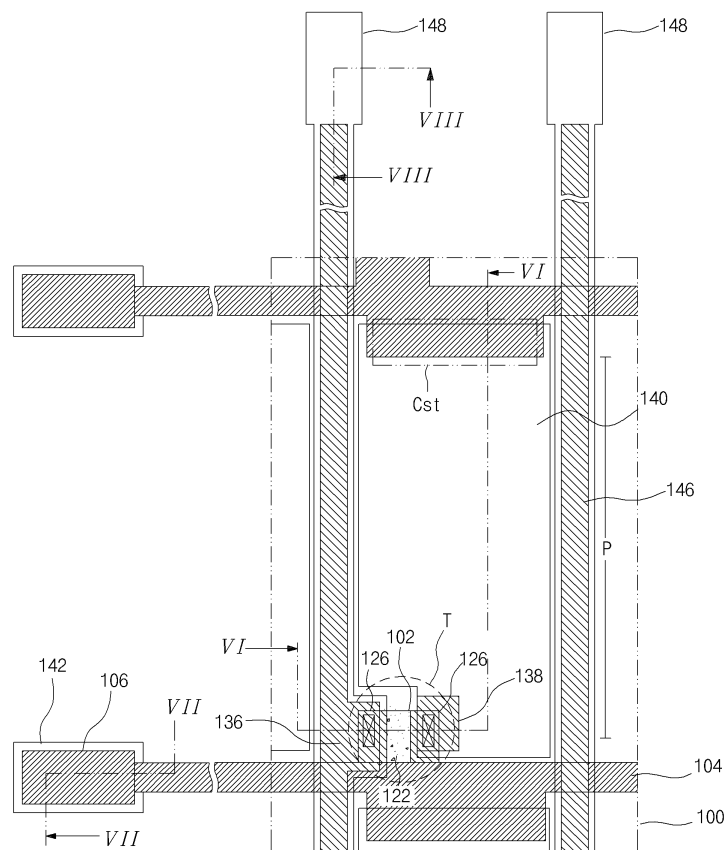
도면6f



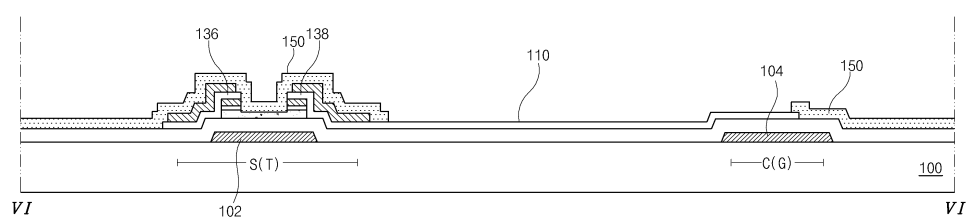
도면 6g



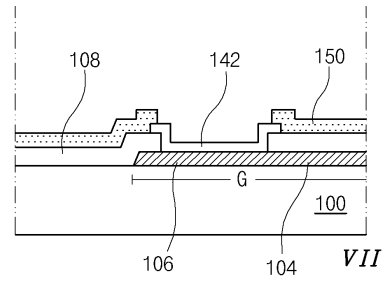
도면7



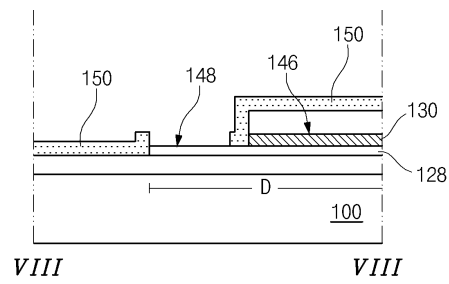
도면 8a



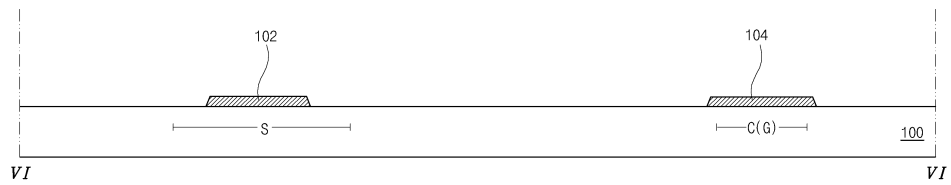
도면8b



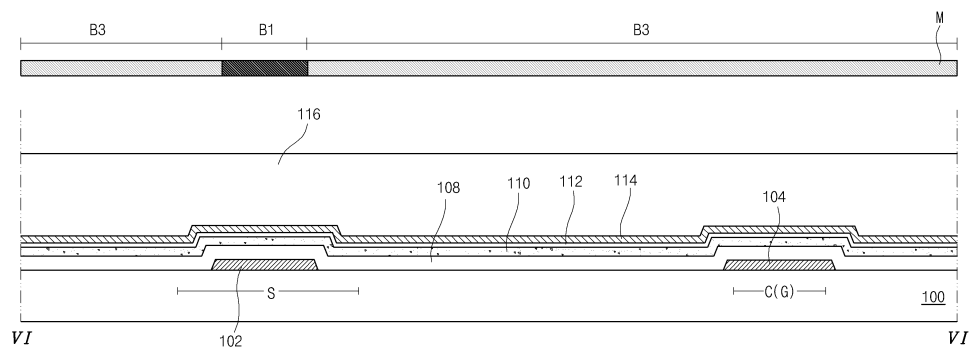
도면8c



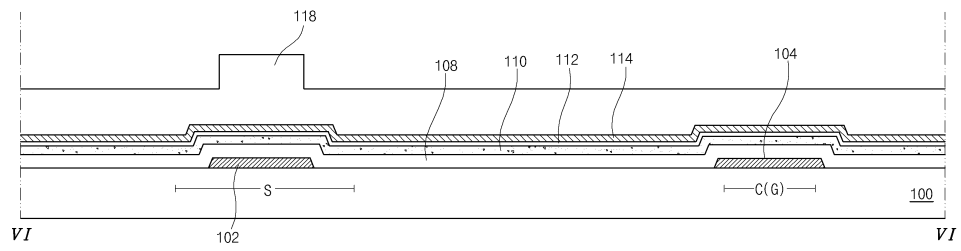
도면9a



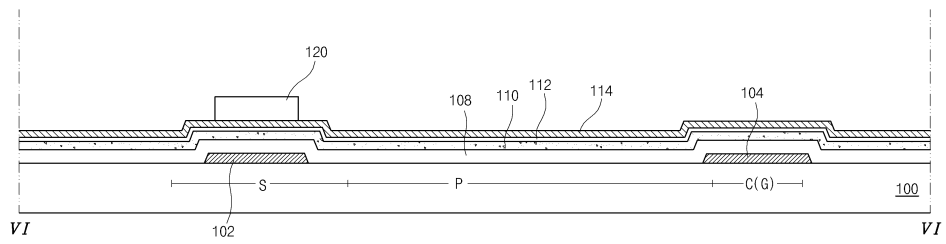
도면9b



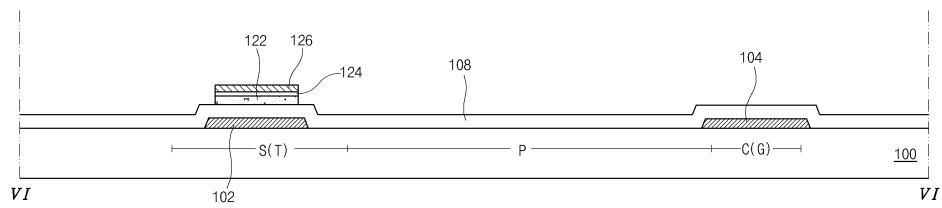
도면9c



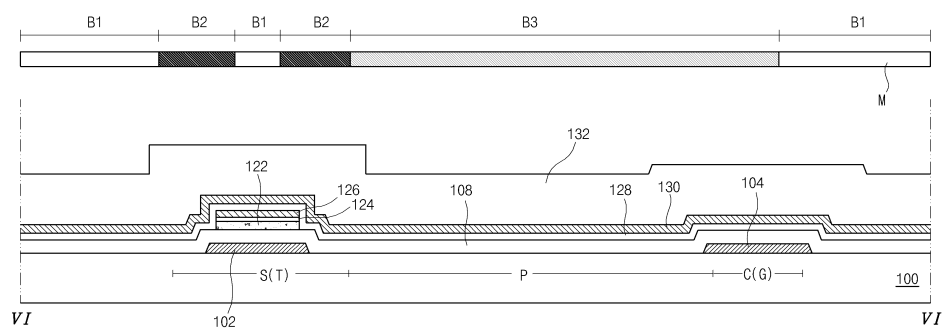
도면9d



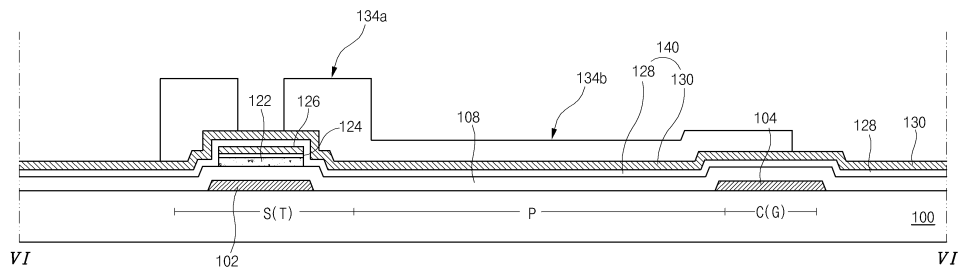
도면9e



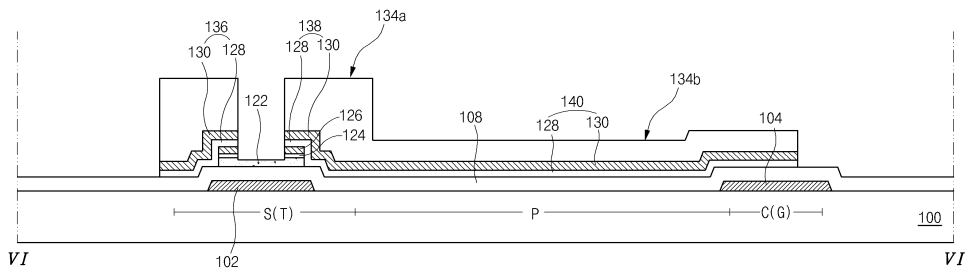
도면9f



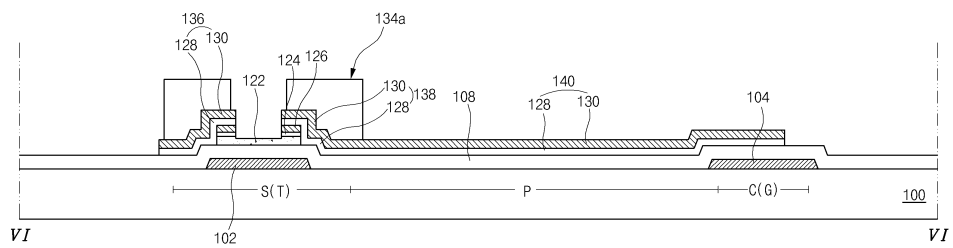
도면9g



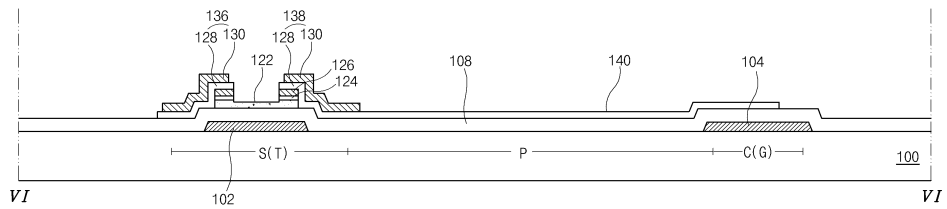
도면9h



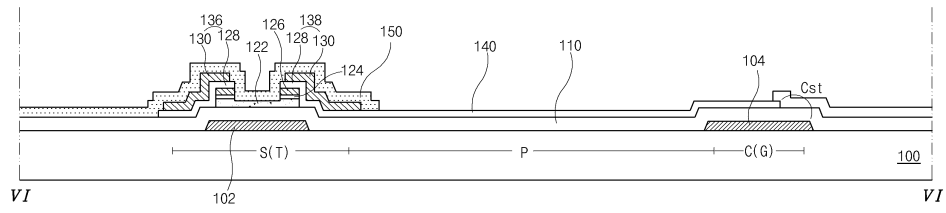
도면9i



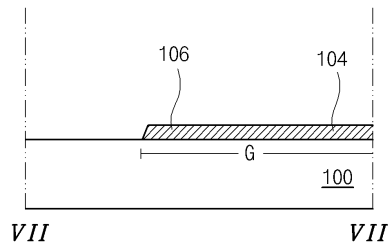
도면9j



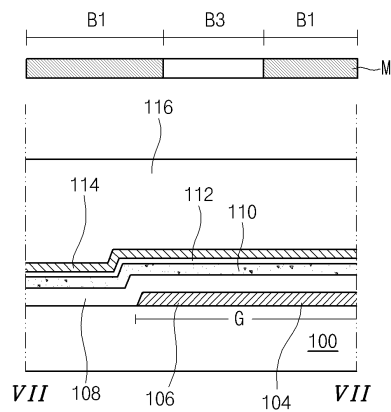
도면9k



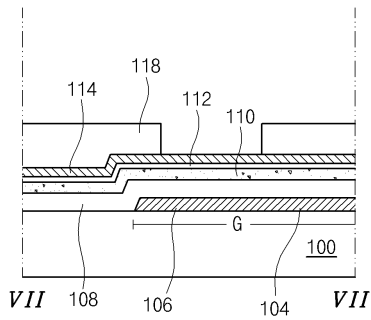
도면10a



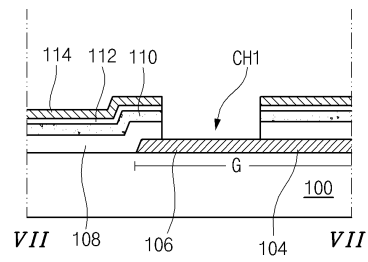
도면10b



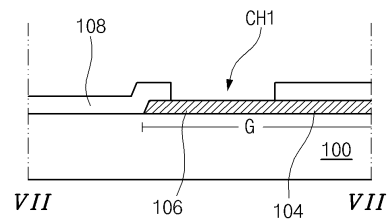
도면10c



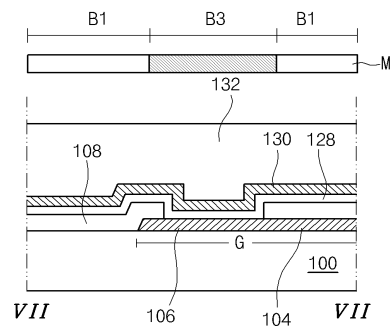
도면 10d



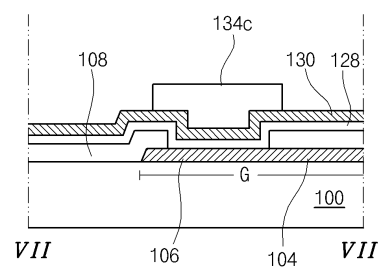
도면 10e



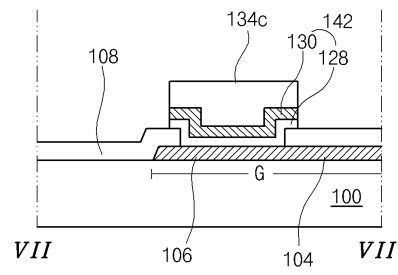
도면 10f



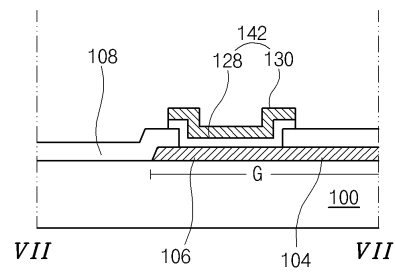
도면 10g



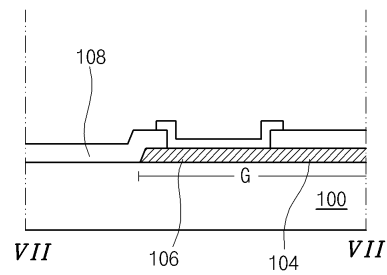
도면10h



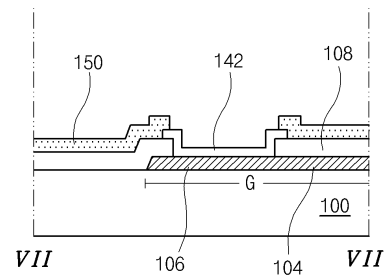
도면10i



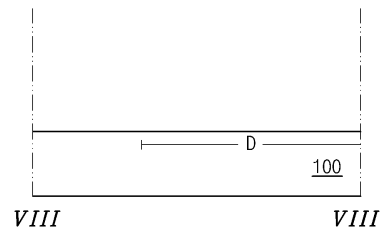
도면10j



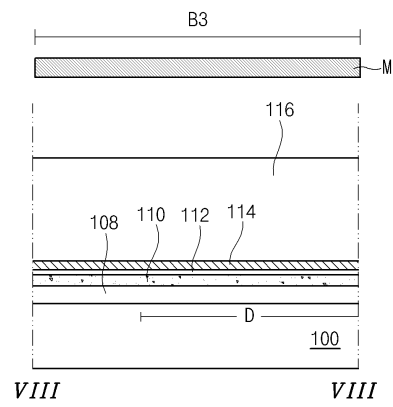
도면10k



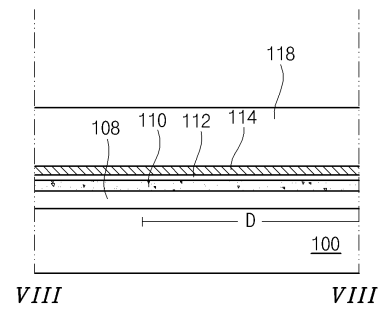
도면11a



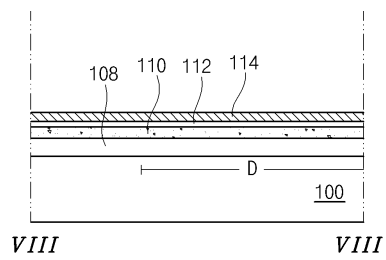
도면11b



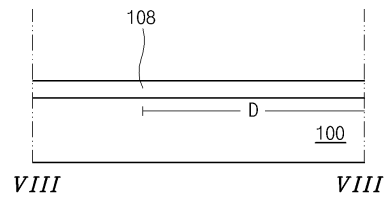
도면11c



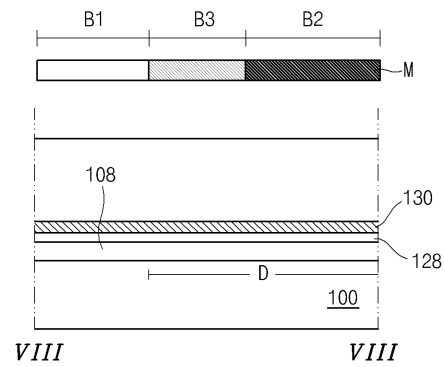
도면11d



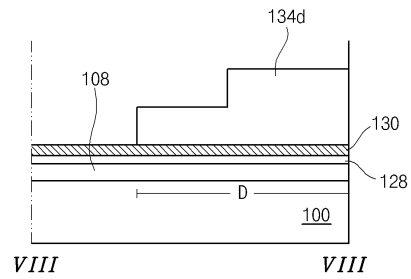
도면11e



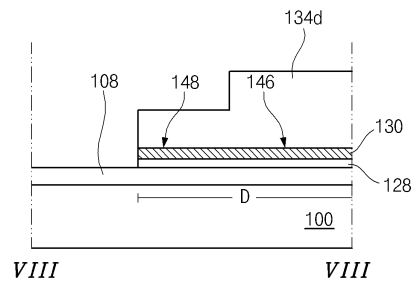
도면11f



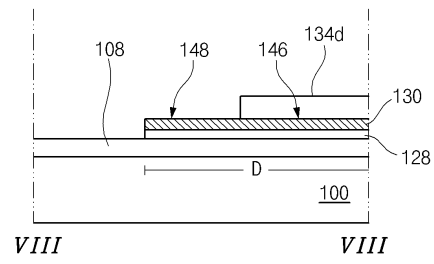
도면11g



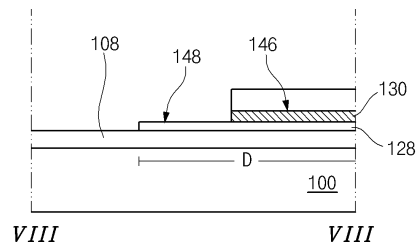
도면11h



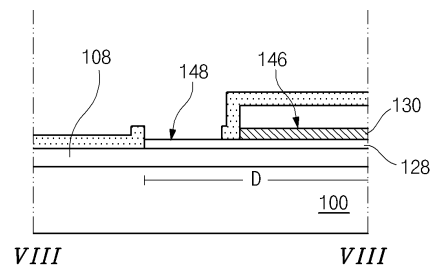
도면11i



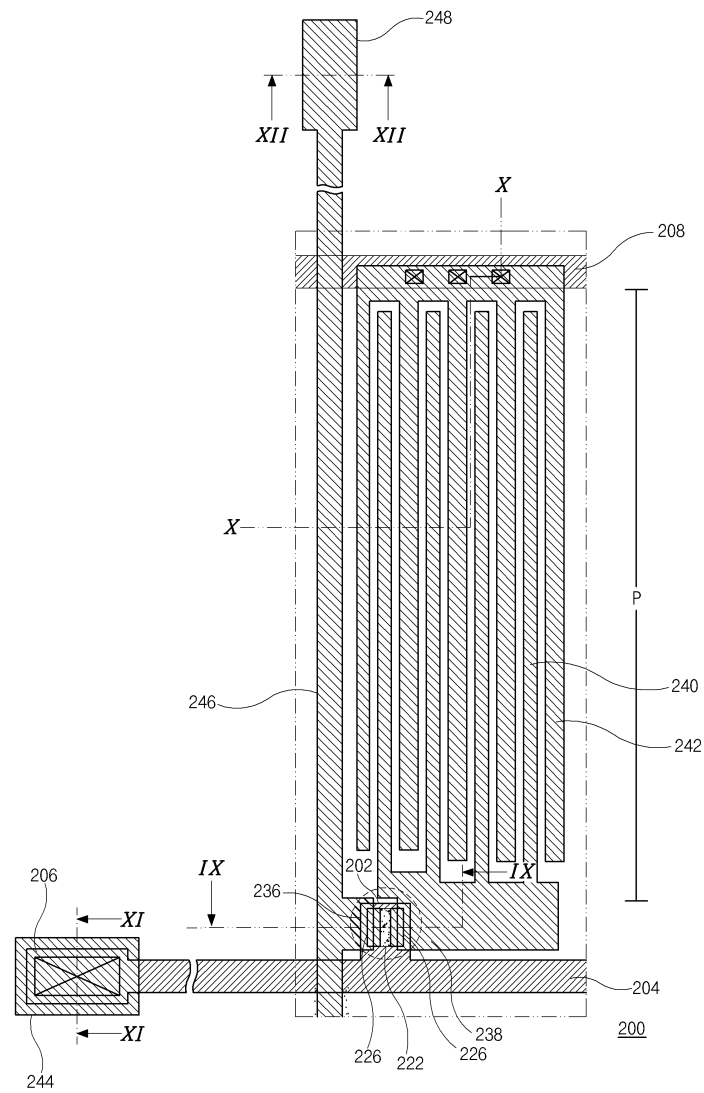
도면11j



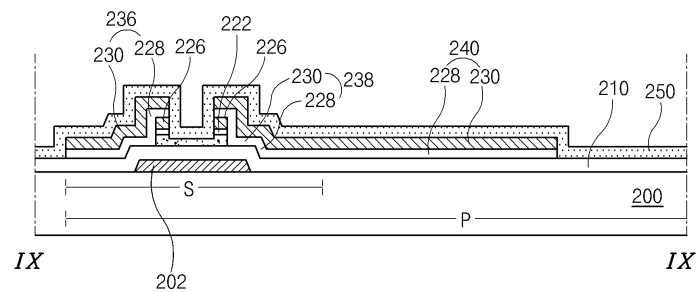
도면11k



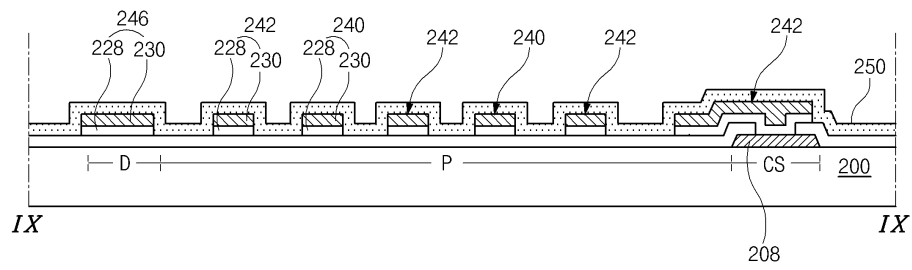
도면12



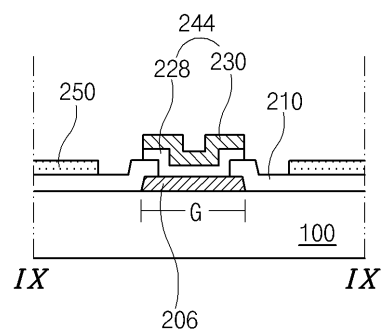
도면13a



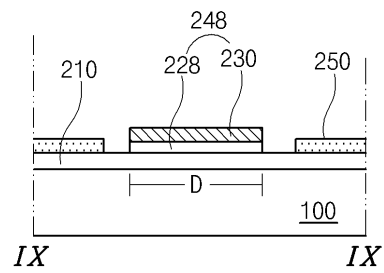
도면13b



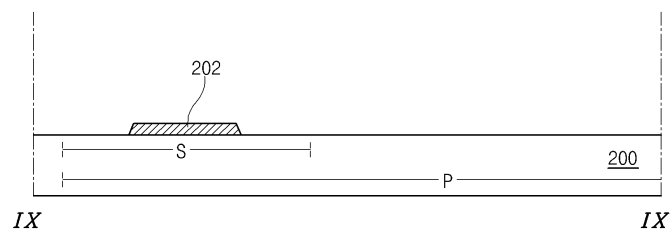
도면13c



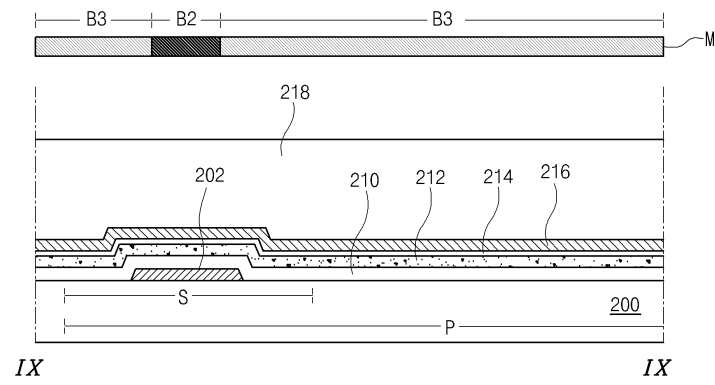
도면13d



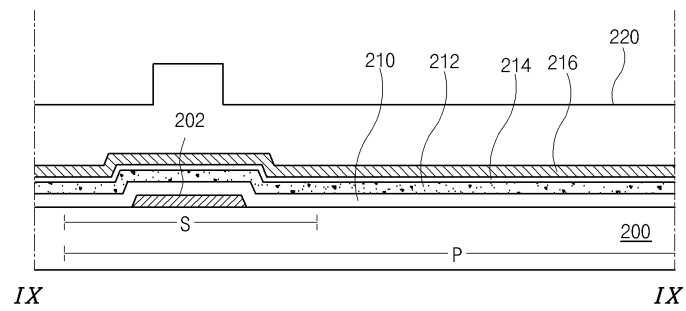
도면14a



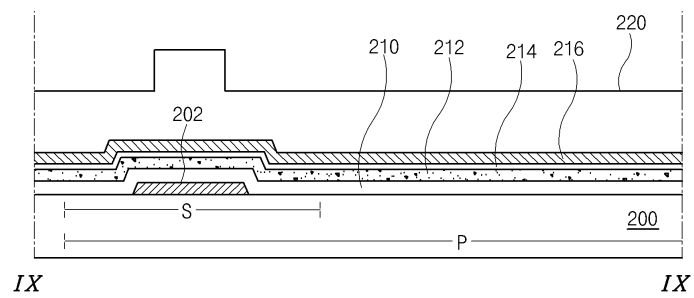
도면14b



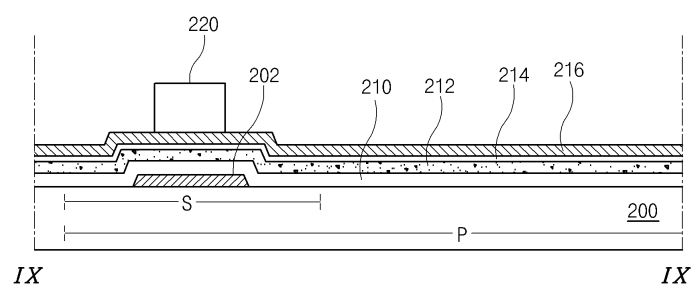
도면14c



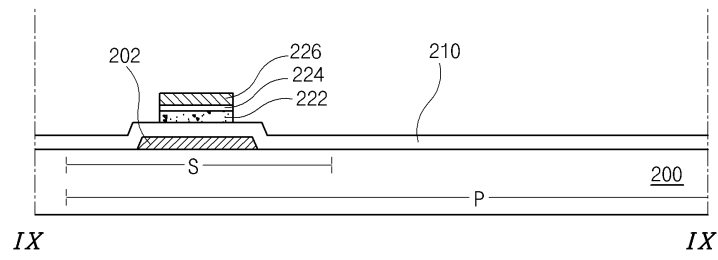
도면14d



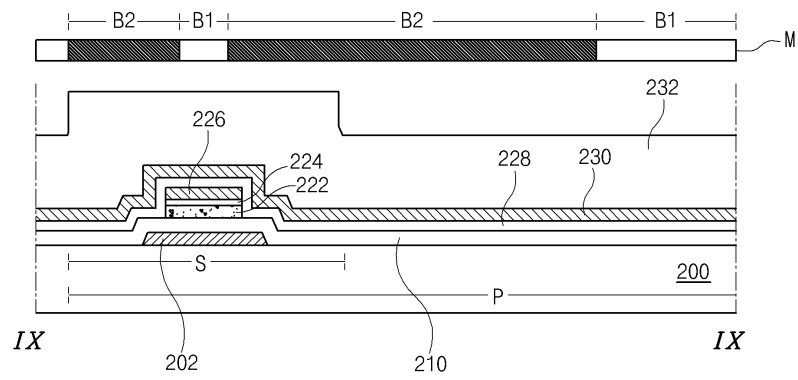
도면14e



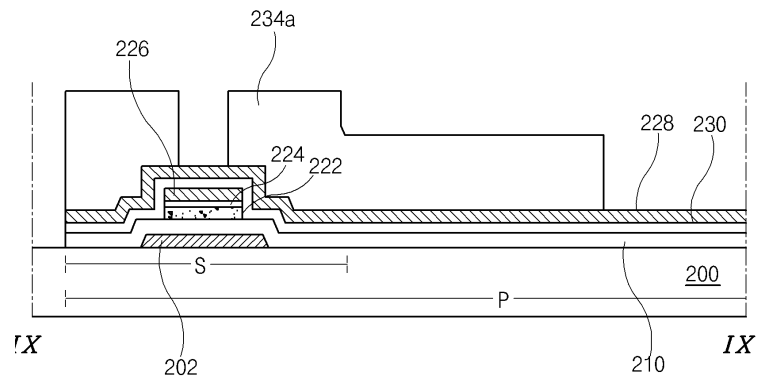
도면14f



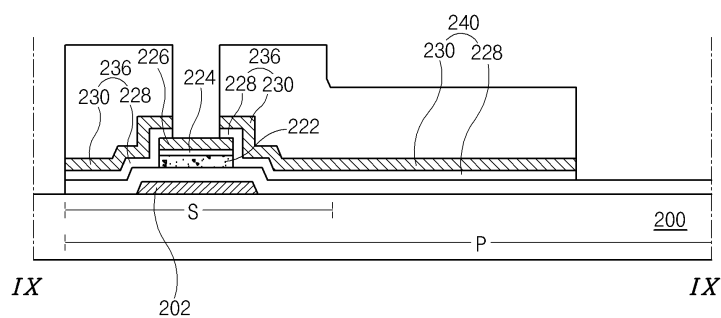
도면14g



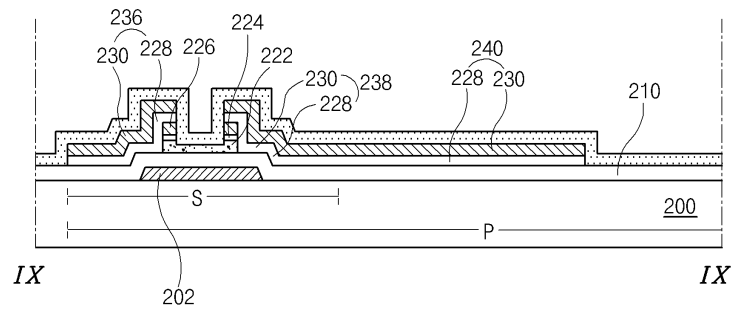
도면14h



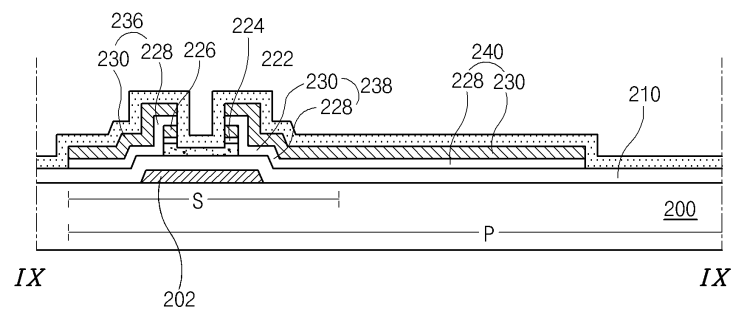
도면14i



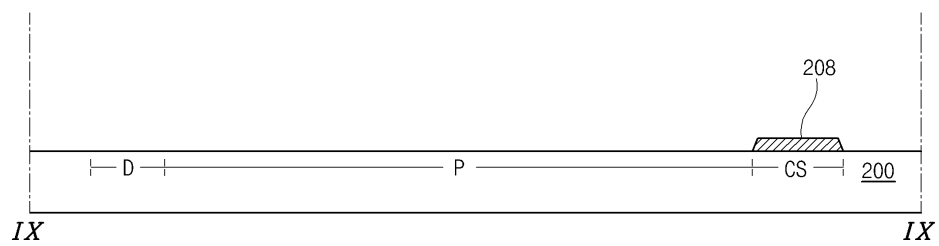
도면14j



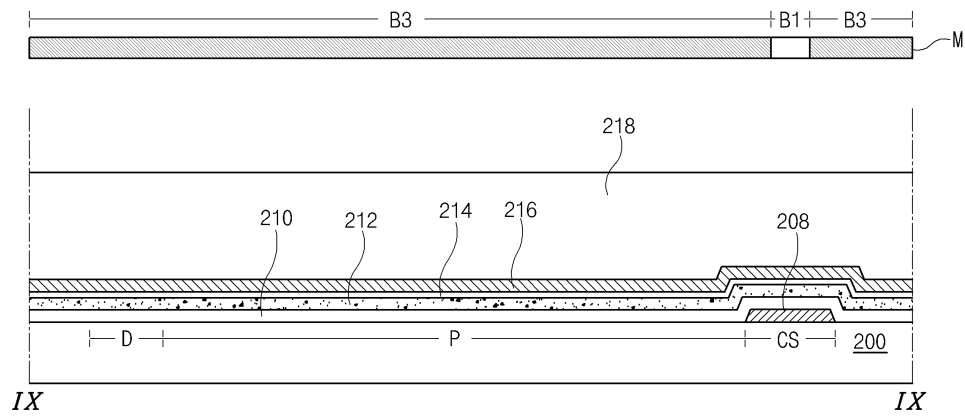
도면 14k



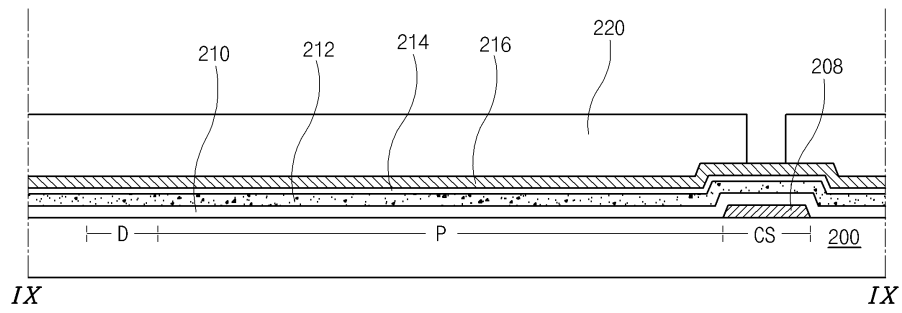
도면 15a



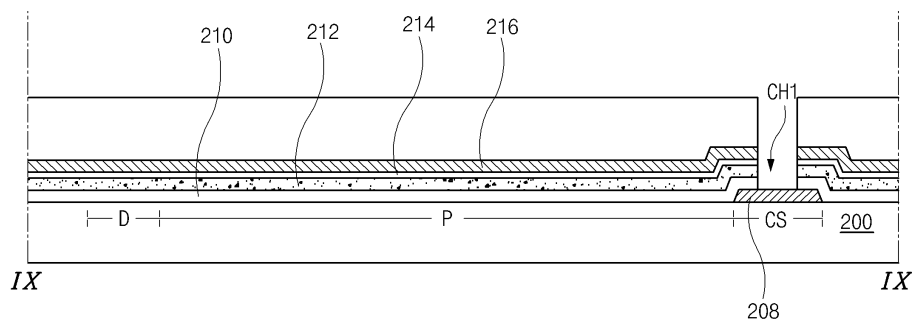
도면15b



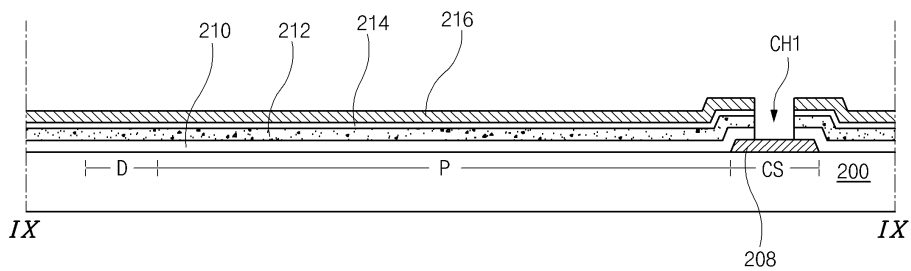
도면15c



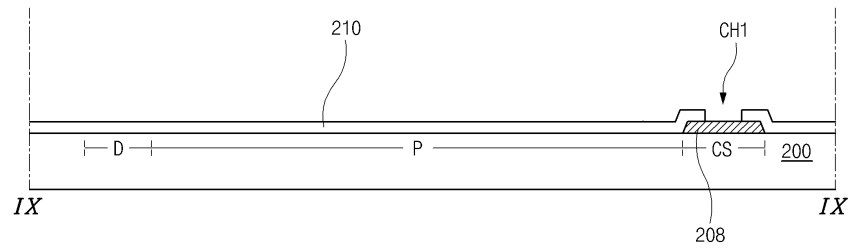
도면15d



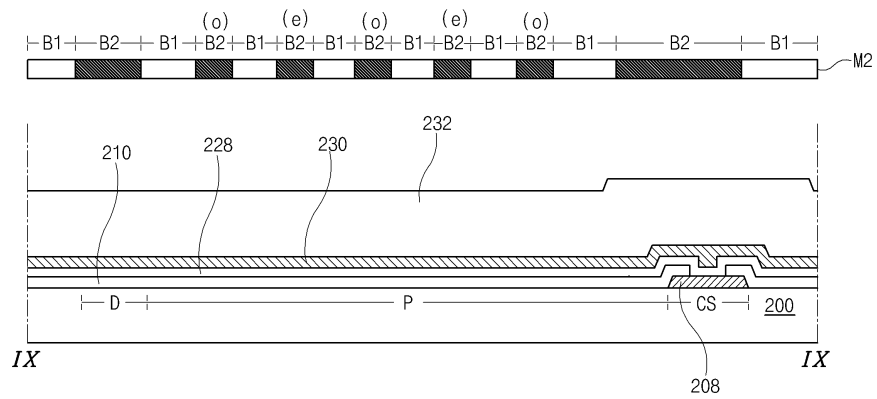
도면15e



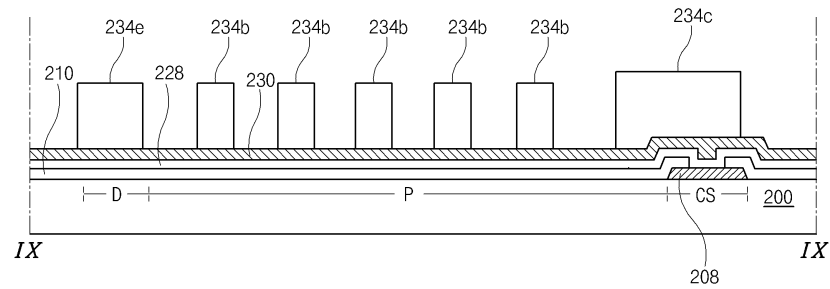
도면15f



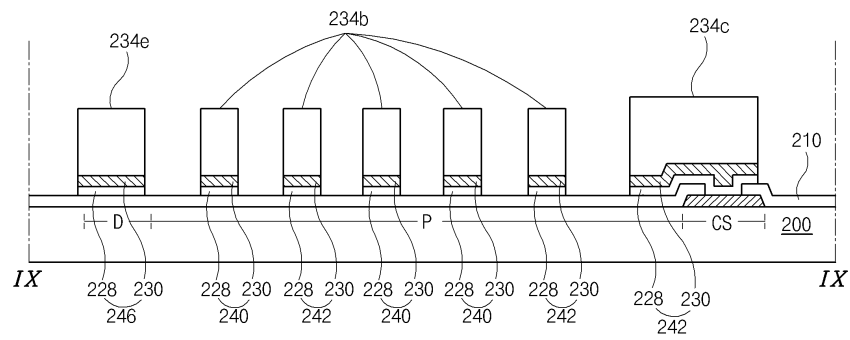
도면15g



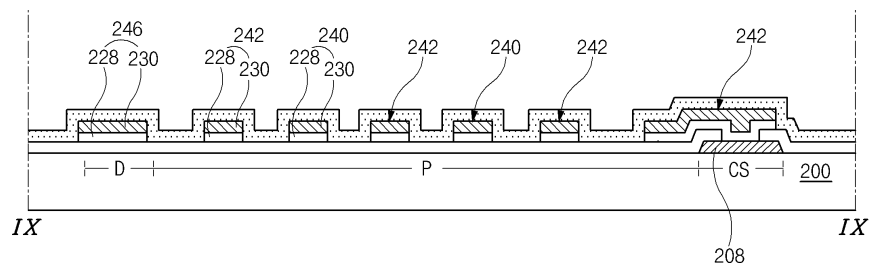
도면15h



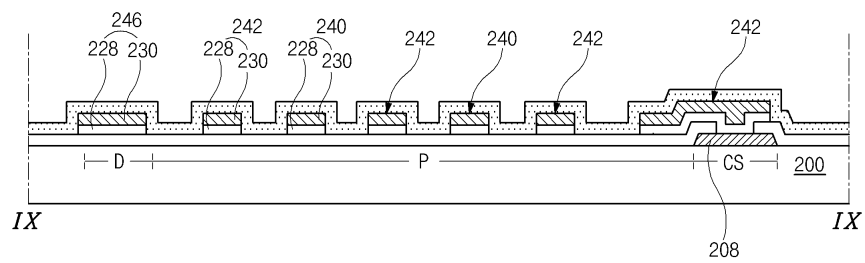
도면15i



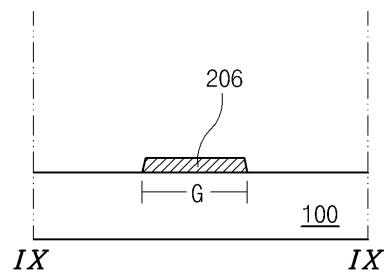
도면 15j



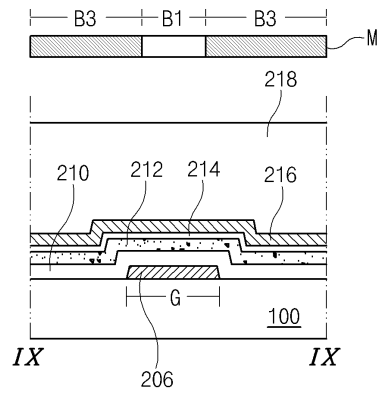
도면 15k



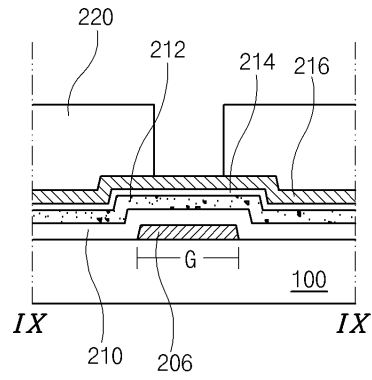
도면 16a



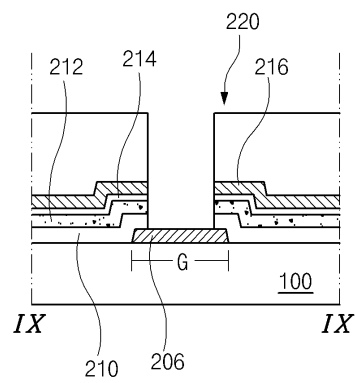
도면16b



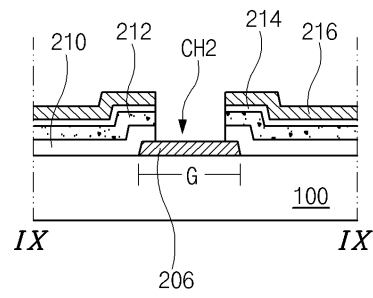
도면16c



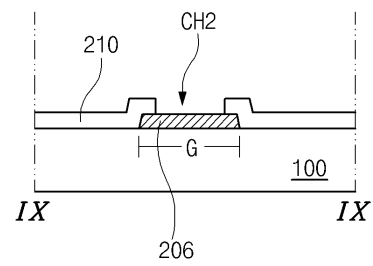
도면16d



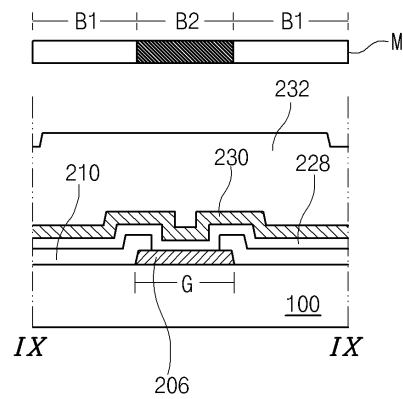
도면16e



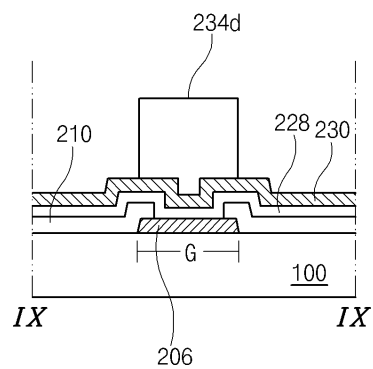
도면16f



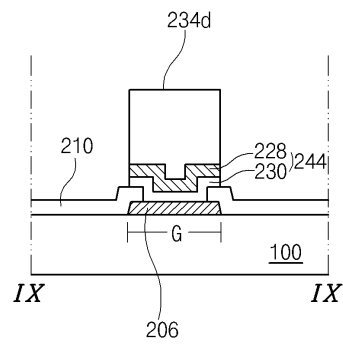
도면16g



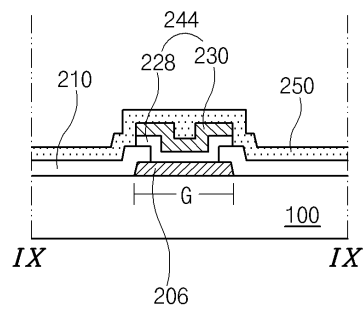
도면16h



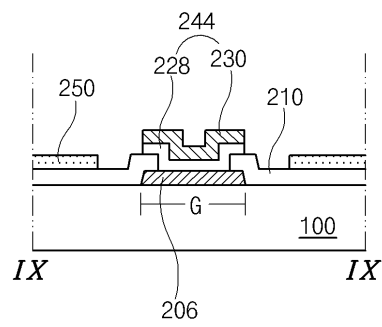
도면16i



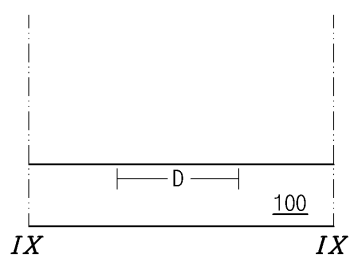
도면16j



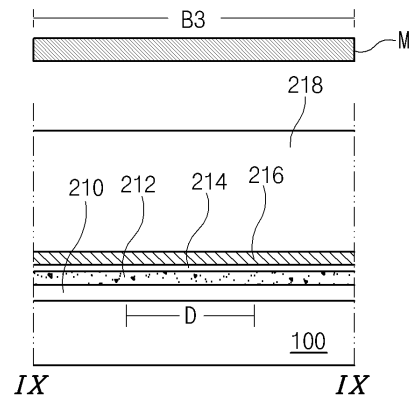
도면16k



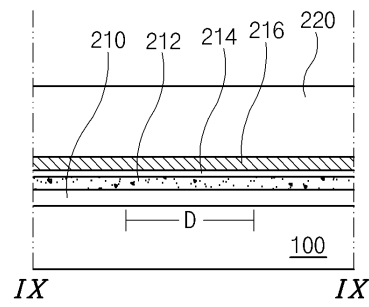
도면17a



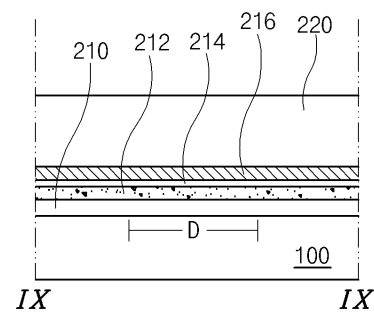
도면17b



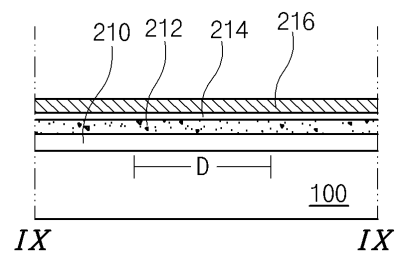
도면17c



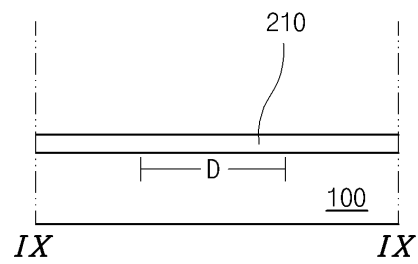
도면17d



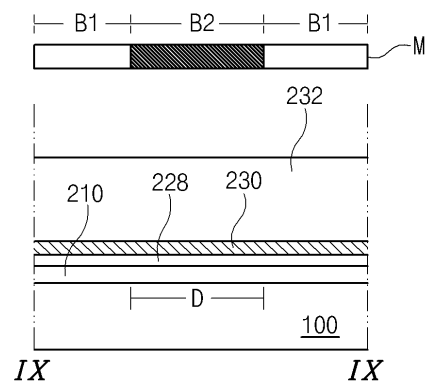
도면17e



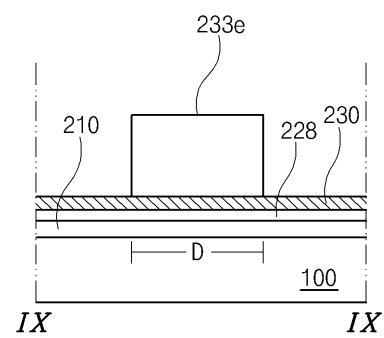
도면17f



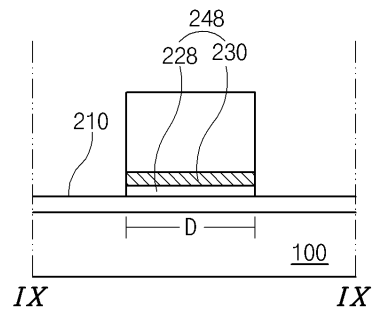
도면17g



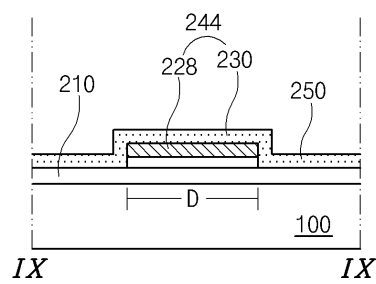
도면17h



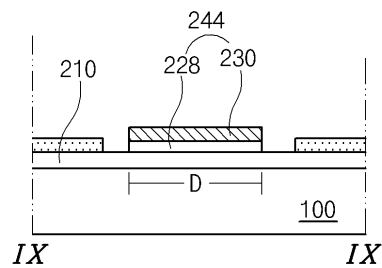
도면17i



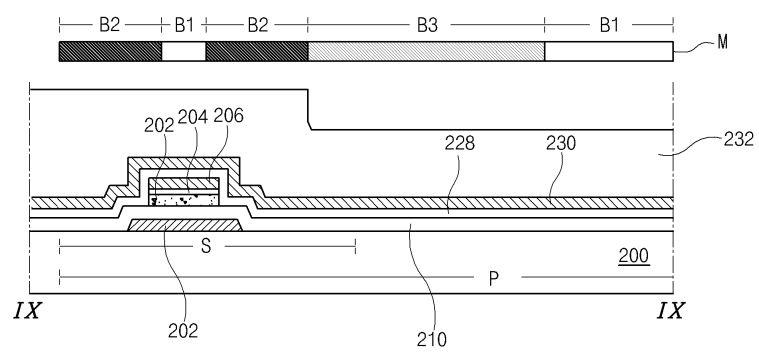
도면17j



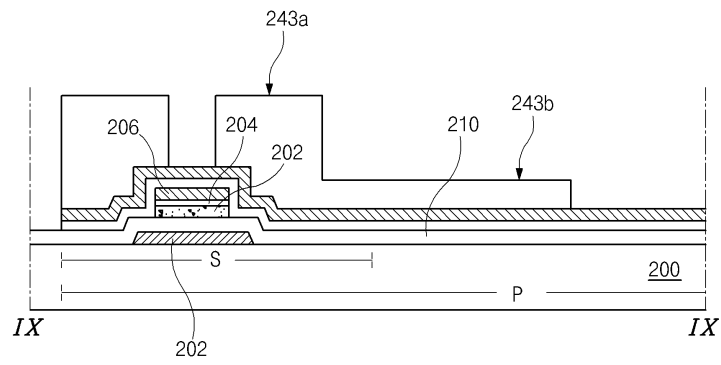
도면17k



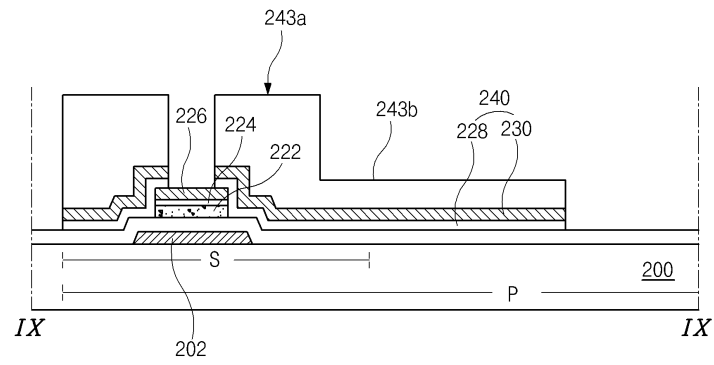
도면18a



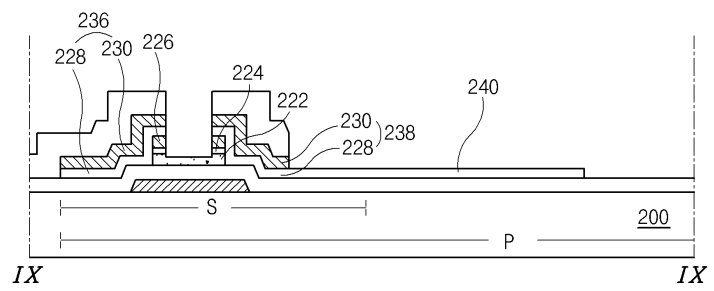
도면18b



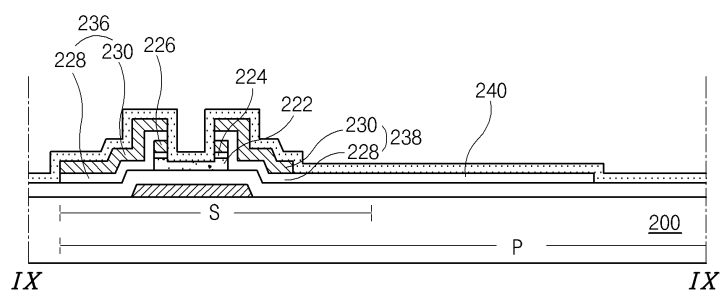
도면18c



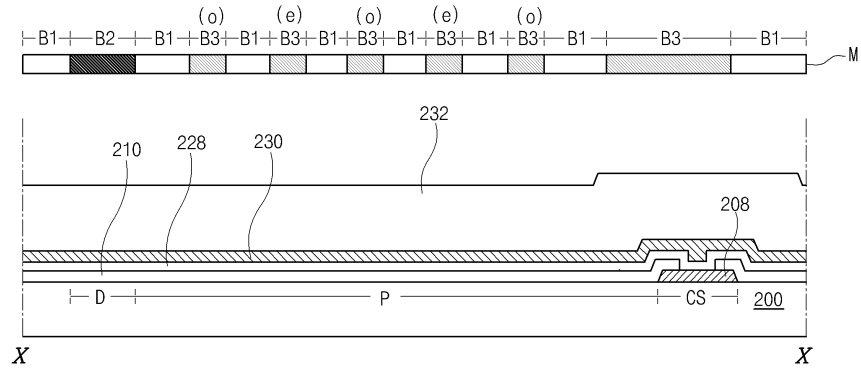
도면18d



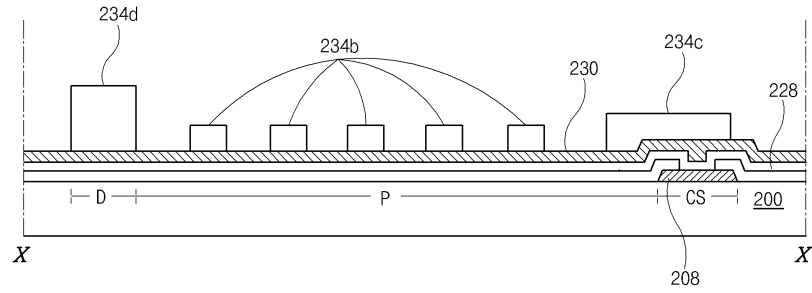
도면18e



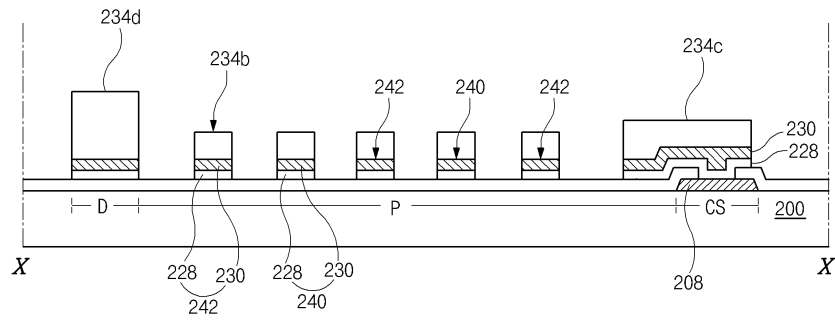
도면19a



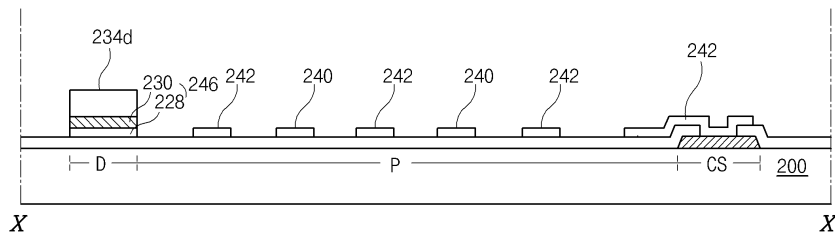
도면19b



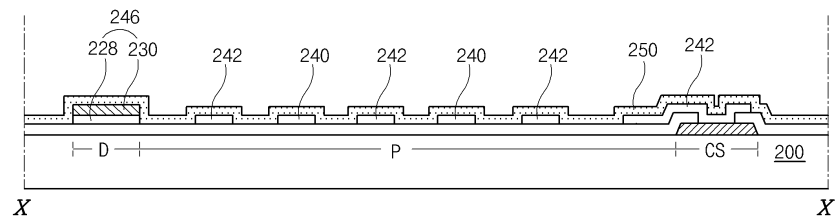
도면19c



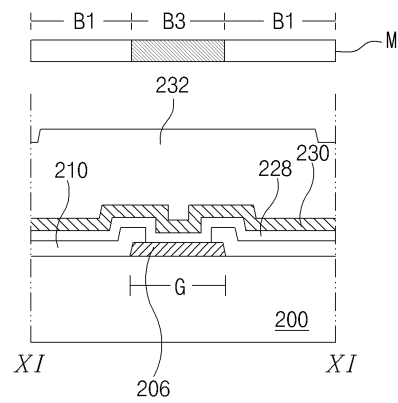
도면19d



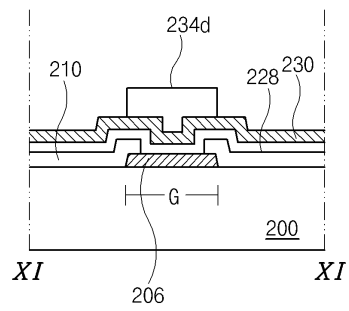
도면19e



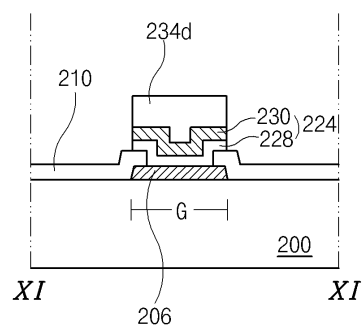
도면20a



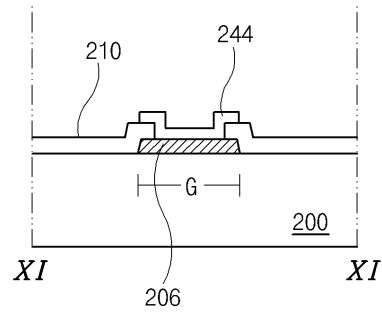
도면20b



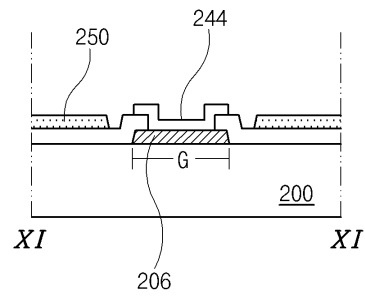
도면20c



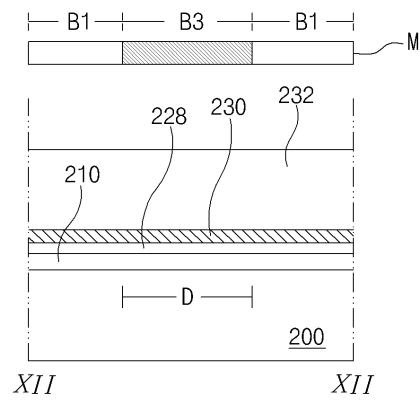
도면20d



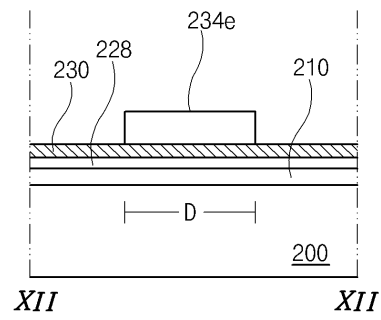
도면20e



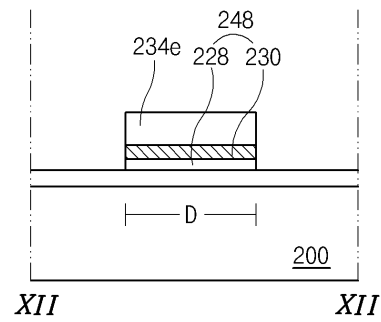
도면21a



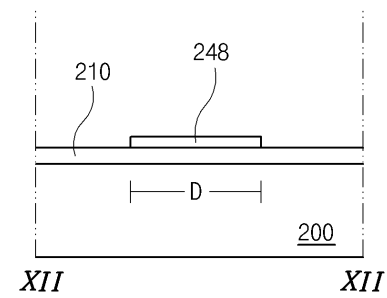
도면21b



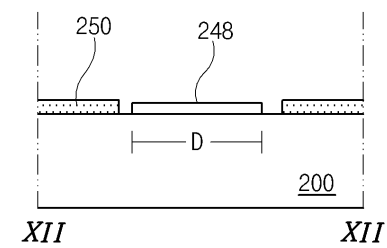
도면21c



도면21d



도면21e



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020080002193A	公开(公告)日	2008-01-04
申请号	KR1020060060862	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYO UK 김효욱 AHN BYUNG CHUL 안병철 LIM BYOUNG HO 임병호		
发明人	김효욱 안병철 임병호		
IPC分类号	G02F1/136		
CPC分类号	H01L29/78633 H01L27/1288 H01L29/42384 H01L27/1214 H01L27/124		
其他公开文献	KR101297358B1		
外部链接	Espacenet		

摘要(译)

液晶显示器阵列基板的发明涉及一种液晶显示器，更具体地说，涉及一种用新型四掩模工艺制造的液晶显示器阵列基板。一种阵列基板制造用于根据本发明，栅电极和栅极布线和所述第一掩模工艺的液晶显示装置，形成一个栅极焊盘，所述第一绝缘膜的上部和所述有源层和所述栅电极和缓冲器的欧姆接触层的方法形成金属并暴露栅极焊盘的第二掩模处理步骤;形成透明金属层和不透明金属层被层叠在源极电极和漏极电极和像素电极和栅极焊盘电极和所述数据线，所述数据焊盘和所述第三掩模工艺，以形成这样间隔开，所述欧姆接触层和所述缓冲金属;以及去除像素电极，栅极焊盘电极和数据焊盘上方的不透明金属层的第四掩模工艺步骤。当在写入方法，其中所述有源层是不存在于阱布线存在于栅电极的仅岛状上部，在未的形状所以开口区域延伸到所述数据线的外侧的下部制造阵列基板并且不暴露在光线下，因此可以防止在光线照射时发生的波浪噪声。

