



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0001181
(43) 공개일자 2008년01월03일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0059346

(22) 출원일자 2006년06월29일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김동영

경북 의성군 봉양면 풍리1리 932번지(5/1)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 12 항

(54) 액정표시장치용 어레이 기판과 그 제조방법

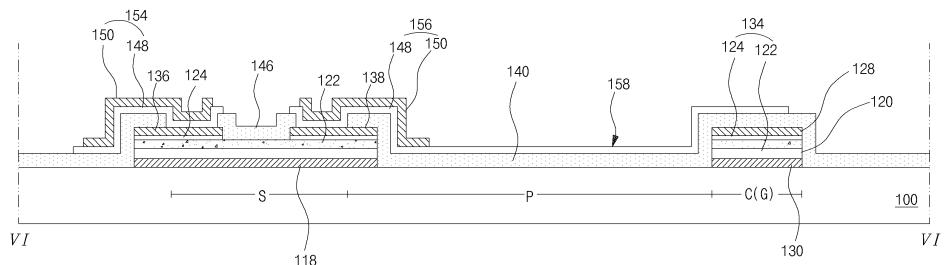
(57) 요 약

본 발명은 액정표시장치에 관한 것으로 특히, 식각 방지막을 포함하는 박막트랜지스터가 구성된 액정표시장치용 어레이기판을 제작함에 있어, 3마스크 공정으로 제작하는 것을 특징으로 한다.

본 발명에 따른 액정표시장치용 어레이기판의 제조방법은 게이트 배선 및 게이트 패드와 게이트 전극과 게이트 전극 상부에 액티브층과 오미 콘택층과 이격된 제 1 소스 및 드레인 전극을 형성하는 제 1 마스크 공정 단계와, 상기 액티브층 노출된 부분을 덮는 식각 방지막을 형성하는 제 2 마스크 공정 단계와, 상기 제 1 소스 및 드레인 전극과 접촉하는 제 2 소스 및 드레인 전극과 데이터 패드와 데이터 배선과 화소 전극과 게이트 패드 전극을 형성하는 제 3 마스크 공정 단계를 포함한다.

이때, 전술한 방법으로 어레이기판을 제작하게 되면, 상기 액티브층이 빛에 노출되는 형상이 아니므로, 액티브층이 빛에 노출되었을 때 액정패널에 발생하는 웨이비 노이즈(wavy noise)를 방지할 수 있고 또한, 3 마스크 공정으로 공정이 단순화 되었으므로, 공정비용을 절감하고 공정 시간을 단축할 수 있는 장점이 있다.

대표도 - 도8a



특허청구의 범위

청구항 1

화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과;

상기 스위칭 영역에 위치하고, 게이트 전극과 제 1 절연막과 액티브층과 이격된 오믹 콘택층과, 상기 오믹 콘택층과 각각 접촉하는 제 1 소스 전극과 제 1 드레인 전극과, 상기 제 1 소스 및 드레인 전극의 이격영역 사이에 구성된 식각 방지막과, 상기 제 1 소스 및 드레인 전극과 각각 접촉하는 제 2 소스전극과 제 2 드레인 전극으로 구성된 박막트랜지스터와;

상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하고 투명 전극층과 불투명한 전극층이 적층되어 구성된 데이터 배선과;

상기 게이트 영역에 위치하고, 일 끝단은 상부에 투명한 게이트 패드 전극이 구성된 게이트 패드를 포함하고 상기 게이트 전극과 연결된 게이트 배선과;

상기 화소 영역에 위치하고, 상기 제 2 드레인 전극과 접촉하는 투명한 화소 전극을 포함하는 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 제 2 소스 전극과 제 2 드레인 전극은 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 3

제 1 항에 있어서,

상기 게이트 배선의 상부에는 제 1 절연막과, 적층된 순수 비정질 실리콘과 불순물 비정질 실리콘으로 구성된 반도체층과, 금속패턴과, 투명한 금속층과 불투명한 금속층이 적층된 구조인 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 4

제 3 항에 있어서,

상기 반도체층은 상기 게이트 배선과 동일한 패턴으로 형성되어, 상기 게이트 배선의 외부로 돌출되지 않은 형태로 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 5

제 3 항에 있어서,

상기 게이트 배선의 일부 상부로 상기 화소 전극을 연장하여 구성하여, 게이트 배선을 제 1 전극으로 하고 상기 화소 전극의 연장된 부분을 제 2 전극으로 하여 형성된 스토리지 캐페시터를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 6

기판을 준비하는 단계와;

상기 기판의 일면에 화소영역과 스위치 영역과 게이트 영역과 데이터 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 절연막과, 액티브층과, 이격된 오믹 콘택층과, 이격된 제 1 소스 전극과 제 2 드레인 전극과, 상기 게이트 영역에 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 오믹 콘택층의 이격영역에, 하부의 액티브층을 덮는 식각 방지막을 형성하는 제 2 마스크 공정 단계와;

상기 제 1 소스 및 드레인 전극과 각각 접촉하는 제 2 소스 전극과 제 2 드레인 전극과, 상기 데이터 영역에 일 끝단에 투명한 데이터 패드를 포함하는 데이터 배선과, 상기 화소 영역에 화소 전극과 상기 게이트 패드와 접촉하는 투명한 게이트 패드 전극을 형성하는 제 3 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 7

제 6 항에 있어서,

상기 제 1 마스크 공정 단계는

상기 기판 상에 제 1 금속층과 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 제 2 금속층을 적층하는 단계와;

상기 제 2 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계;

상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광한 후 현상하여, 상기 스위칭 영역에 대응하여, 중심이 낮은 높이로 현상된 단차진 제 1 감광패턴과, 상기 게이트 영역에 제 2 감광패턴을 형성하는 단계와;

상기 제 1 및 제 2 감광층의 주변으로 노출된 제 2 금속층과 하부의 불순물 비정질 실리콘층과, 순수 비정질 실리콘층과, 제 1 절연막과 제 1 금속층을 제거하여, 상기 제 1 감광패턴의 하부에 게이트 전극과 제 1 절연막과 순수 비정질 실리콘층인 액티브층과 불순물 비정질 실리콘층인 오믹 콘택층과 금속패턴이 적층되고, 상기 게이트 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 게이트 배선과 상기 게이트 패드 및 게이트 배선의 상부에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속패턴이 적층 형성되는 단계와;

상기 제 1 감광패턴의 낮은 부분을 완전히 제거하여 하부의 금속 패턴의 일부를 노출하는 단계와;

상기 노출된 금속패턴과 그 하부의 불순물 비정질 실리콘층을 제거하여, 상기 패턴된 액티브층의 상부에서 이격된 오믹 콘택층과 제 1 소스 전극과 제 2 드레인 전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 8

제 7 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하여 반투과부와, 반투과부의 양측에 차단부가 위치하도록 하고, 상기 게이트 영역에 대응하여 반투과부가 위치하도록 구성한 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 9

제 6 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 게이트 전극과 게이트 패드 및 게이트 배선과, 액티브층과 오믹 콘택층과 제 1 소스 전극과 제 1 드레인 전극이 형성된 기판의 전면에 제 2 절연막을 형성하는 단계와;

상기 제 2 절연막의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하고, 현상하는 공정을 진행하여 상기 게이트 패드에 대응하는 상기 제 2 절연막을 노출하고, 상기 스위칭 영역에 대응하여 상기 제 1 소스 전극과 드레인 전극에 각각 대응한 부분이 낮은 높이로 패턴된 감광층을 형성하는 단계와;

상기 게이트 패드에 대응하여 노출된 제 2 절연막과 그 하부의 오믹 콘택층과 액티브층과 제 1 절연막을 제거하여, 상기 게이트 패드를 노출하는 단계와;

상기 스위칭 영역에 대응하여 낮은 높이로 형성된 감광층을 완전히 제거하여, 상기 제 1 소스 및 드레인 전극에

대응하는 제 2 절연막을 각각 노출하는 단계와;

상기 노출된 제 2 절연막을 제거함으로써, 상기 제 1 소스 및 드레인 전극의 이격된 영역에 식각 방지막을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 9 항에 있어서,

상기 마스크는 스위칭 영역에 대응하여 차단부와, 차단부의 양측에 반투과부가 위치하도록 하고, 상기 게이트 영역의 상기 게이트 패드에 대응하여 차단부가 위치하도록 구성한 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 11

제 6 항에 있어서,

제 3 마스크 공정단계는

상기 식각 방지막이 형성된 기판의 전면에 투명전극층과 불투명 전극층을 적층과 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에 투과부와 반투과부와 차단부가 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 상기 식각 방지막에 대응한 부분의 불투명한 금속층을 노출하도록 패턴된 제 1 감광패턴과, 상기 화소 영역에 대응하여 낮은 높이로 패턴된 제 2 감광패턴과, 상기 데이터 영역에 대응하여 원래의 높이로 패턴된 제 3 감광패턴과, 상기 게이트 영역에 대응하여 상기 게이트 패드에 대응한 부분만 낮은 높이로 패턴된 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 불투명한 금속층과 그 하부의 투명한 금속층을 제거하여, 투명·불투명 금속층의 적층구조로 상기 제 1 감광패턴의 하부에 이격된 제 2 소스 전극과 제 2 드레인 전극과, 상기 제 2 감광패턴의 하부에 화소 전극과, 상기 제 3 감광패턴의 하부에 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 제 4 감광패턴의 게이트 패드 전극을 형성하는 단계와;

상기 제 2 감광패턴을 제거하여, 상기 화소 영역에 위치한 투명·불투명 적층구조의 화소 전극과, 상기 게이트 영역에 대응하여 상기 투명·불투명 전층구조의 게이트 패드 전극을 노출하는 단계와;

상기 화소 전극과 게이트 패드전극을 구성하는 상부의 불투명한 금속층을 제거하여 하부의 투명한 금속층을 남기는 단계

를 포함하는 액정표시장치용 어레이 기판 제조방법.

청구항 12

제 11 항에 있어서,

상기 마스크는 상기 스위칭 영역에 투과부와 투과부의 양측에 차단부가 위치하고, 상기 화소 영역에 투과부가 위치하고, 상기 게이트 영역에 상기 게이트 패드에 대응한 부분만 반투과부가 위치하고, 상기 데이터 영역에 차단부와 반투과부가 위치하도록 구성된 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 액정표시장치(LCD)에 관한 것으로 특히, 액정표시장치용 어레이 기판을 제작함에 있어, 식각 방지막(etch stopper)을 포함하는 박막트랜지스터가 구성된 액정표시장치용 어레이 기판을 3마스크 공정으로 제작하는

것을 특징으로 한다.

- <14> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <15> 상기 액정은 가늘고 긴 형상을 가지며, 문자의 배열에 방향성을 가지고 있는 동시에, 인위적으로 액정에 전기장을 인가하면 상기 문자배열의 방향을 제어할 수 있다.
- <16> 따라서, 상기 액정의 문자배열 방향을 임의로 조절하면, 액정의 문자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 문자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.
- <17> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이기판(하부기판)과, 상부 및 하부기판 사이에 충진된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- <18> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <19> 이하, 도 1을 참조하여 전술한 액정표시장치의 구성을 설명한다.
- <20> 도 1은 액정표시장치를 확대하여 개략적으로 도시한 사시도이다.
- <21> 도시한 바와 같이, 액정패널(51)은 액정층(미도시)을 사이에 두고 서로 이격하여 구성된 제 1 기판(5)과 제 2 기판(10)으로 구성되며, 상기 제 2 기판(10)과 마주보는 제 1 기판(5)의 일면에는 블랙매트릭스(6)와 컬러필터(적, 녹, 청)(7a, 7b, 7c)와, 컬러필터 상에 투명한 공통전극(9)이 구성된다.
- <22> 상기 제 1 기판(5)과 마주보는 제 2 기판(10)에는 다수의 화소영역(P)이 정의되며, 상기 화소영역(P)의 일 측을 지나 연장 형성된 게이트 배선(14)과, 게이트 배선(14)이 지나는 화소영역(P)의 일 측과 평행하지 않은 타 측을 지나 연장 형성된 데이터 배선(26)이 구성된다.
- <23> 이러한 구성으로 인해, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(26)이 교차하여 정의되는 영역이 되며, 두 배선의 교차점에는 박막트랜지스터(T)가 구성된다.
- <24> 상기 화소영역(P)에는 상기 박막트랜지스터(T)와 접촉하는 투명한 화소전극(32)이 구성되고, 이는 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 형성한다.
- <25> 전술한 바와 같이 구성된 액정표시장치용 어레이기판은, 대략 5~6 마스크 공정을 거쳐 제작되며 이를 간략히 소개하면 아래와 같다.
- <26> 아래 공정은 5 마스크 공정을 예를 들어 설명한 것이며, 마스크 공정만을 나열한 것이다.
- <27> 제 1 마스크 공정 : 게이트 전극과 게이트 배선(및 게이트 패드) 형성공정.
- <28> 제 2 마스크 공정 : 게이트 전극 상부의 액티브층 및 오믹 콘택층 형성공정.
- <29> 제 3 마스크 공정 : 데이터 배선(및 데이터 패드)과 소스 전극과 드레인 전극 형성공정.
- <30> 제 4 마스크 공정 : 기판의 전면에 보호막을 형성하고, 상기 드레인 전극을 노출하는 콘택홀을 형성하는 공정.
- <31> 제 5 마스크 공정 : 상기 콘택홀을 통해 접촉하는 화소 전극을 형성하는 공정.
- <32> 이상과 같은 5 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- <33> 이와 같이 다수의 공정을 통해 어레이 기판이 제작되기 때문에, 공정이 많을수록 불량이 발생할 확률이 커지게 되어 생산수율이 저하되는 문제가 있고, 공정시간 증가와 공정비용 상승으로 제품의 경쟁력이 약화되는 문제가 있다.
- <34> 이러한 문제를 해결하기 위한 방법으로 4 마스크 공정이 제안되었다.
- <35> 도 2는 종래의 4 마스크 공정으로 제작한 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- <36> 도시한 바와 같이, 어레이 기판은 절연 기판(60) 상에 일 방향으로 연장된 게이트 배선(62)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(98)을 포함한다.
- <37> 상기 게이트 배선(62)의 일 끝단에 게이트 패드(64)가 구성되고, 상기 데이터 배선(98)의 일 끝단에는 데이터

패드(99)가 구성된다.

- <38> 상기 게이트 패드(64)와 데이터 패드(99)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(GP)과, 데이터 패드 전극(DP)이 구성된다.
- <39> 상기 게이트 배선(62)과 데이터 배선(98)의 교차지점에는 상기 게이트 배선(62)과 접촉하는 게이트 전극(64)과, 게이트 전극(64)의 상부에 위치한 제 1 반도체층(90a)과, 제 1 반도체층(90a)의 상부에 이격되어 위치하고 상기 데이터 배선(82)과 연결된 소스 전극(94)과, 이와는 이격된 드레인 전극(96)을 포함하는 박막트랜지스터(T)가 구성된다.
- <40> 상기 화소 영역(P)에는 상기 드레인 전극(96)과 접촉하는 투명한 화소 전극(PXL)이 구성된다.
- <41> 이때, 상기 게이트 배선(62)의 일부 상부에 상기 화소 전극(PXL)과 접촉하게 되는 섬형상의 금속층(86)을 형성함으로써, 상기 게이트 배선(62)의 일부를 제 1 전극으로 하고 상기 섬형상의 금속층(86)을 제 2 전극으로 하고, 상기 두 전극 사이에 위치한 게이트 절연막(미도시)을 유전체로 한 스토리지 캐패시터(Cst)가 형성된다.
- <42> 상기 데이터 배선(98)의 하부에는 상기 제 1 반도체층(90a)에서 연장된 제 2 반도체층(90b)이 구성되고, 상기 섬형상의 금속층(86)하부에는 제 3 반도체층(90c)이 형성된다.
- <43> 이때, 종래에 따른 범용적인 4 마스크 공정으로 제작된 어레이기판은 상기소스 및 드레인 전극(94,96)의 이격된 사이로 노출된 액티브층(순수 비정질 실리콘층),92a) 표면이 노출되는 형태로 패턴된다.
- <44> 이러한 형태로 인해, 상기 액티브층(92a)이 오염되거나 결함이 발생하게 되고 이는 누설전류가 발생하는 원인이 된다.
- <45> 또한, 도시한 바와 같이, 상기 데이터 배선(98)과 하부의 반도체층(90b)이 동일한 공정에서 패턴 되는데 이때, 상기 반도체층(90b)의 하부층인 순수 비정질 실리콘층(70)이 상기 데이터 배선(98)의 폭보다 넓게 패턴 된다.
- <46> 이러한 이유로, 상기 순수 비정질 실리콘층(70)은 빛에 노출되어 광전류가 발생하게 되며, 이와 같이 발생한 광누설전류(photo-leakage current)로 인해 인접한 화소전극(PXL)과 커플링(coupling)현상이 발생하여, 액정패널의 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있다.
- <47> 이하, 도 3을 참조하여 이에 대해 상세히 설명한다.
- <48> 도 3은 도 2의 II-II 와 V-V를 따라 절단한 단면도이다.
- <49> 도시한 바와 같이, 종래의 4마스크 공정으로 박막트랜지스터 어레이기판(60)을 제작하게 되면, 소스 및 드레인 전극(94,96)과 데이터 배선(98)의 하부에 제 1 반도체층(90a)과 제 2 반도체층(90b)이 구성된다.
- <50> 상기 제 1 및 제 2 반도체층(90a,90b)은 순수 비정질 실리콘층(a-Si:H layer)과 불순물이 포함된 비정질 실리콘층(n+a-Si:H)으로 적층되어 구성되며 특히, 상기 제 1 반도체층(90a)을 구성하는 순수 비정질 실리콘층은 액티브층(active layer, 92a)이라 하고 상부의 불순물 비정질 실리콘층은 오믹 콘택층(ohmic contact layer, 92b)이라 한다.
- <51> 이때, 상기 액티브층(92a)을 노출하기 위해 상부의 오믹 콘택층(92b)을 제거하는 공정이 진행된다. 왜냐하면, 상기 오믹 콘택층(92b)은 불순물이 도핑된 층이기 때문에 제거하지 않으면 박막트랜지스터(T)에 누설전류가 발생하는 원인이 되기 때문이다.
- <52> 그런데, 상기 오믹 콘택층(92b)을 제거하는 공정에서, 불순물을 남기지 않기 위해 하부의 액티브층(92a,액티브 채널층, active channel)을 과식각 하는 공정이 진행된다.
- <53> 이때, 상기 액티브층(92a)은 표면에 결함(defect)이 발생하게 되고, 이는 누설전류가 발생하는 원인이 되며, 상기 누설전류는 박막트랜지스터의 오프 커런트(I_{off})로 작용하여 박막트랜지스터(T)의 동작을 저하하는 원인이 된다.
- <54> 또한, 앞서 언급한 바와 같이, 상기 데이터 배선(98)의 하부에 위치하면서 상기 데이터 배선(98)의 양측으로 돌출된 제 2 반도체층(90b)의 순수 비정질 실리콘층(70)은 하부의 광원(미도시)에 노출되어 광전류가 발생하게 된다.
- <55> 이때, 하부의 광원에 의한 미세한 깜빡임으로 인해, 상기 순수 비정질 실리콘층(70)은 미세하게 반응하여 활성화

와 비활성화 상태가 반복되며, 이로 인한 광전류의 변화가 발생하게 된다.

<56> 이와 같은 전류 성분은 이웃하는 화소 전극(114)을 흐르는 신호와 함께 커플링(coupling)되어 화소전극(114)에 위치한 액정(미도시)의 움직임을 왜곡하게 된다.

<57> 이로 인해, 액정패널의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.

<58> 또한, 상기 데이터 배선(98)하부의 순수비정질 실리콘층(70)은 데이터 배선(98)의 양측으로 각각 약 $1.7\mu\text{m}$ 정도 돌출된 상태이다.

<59> 일반적으로 상기 데이터 배선(98)과 화소 전극(PXL)은 얼라인 오차를 감안하여 $4.75\mu\text{m}$ 정도의 이격거리를 두고 패턴하는데 이때, 상기 돌출부분을 감안하여 상기 데이터 배선(98)과 화소 전극(PXL)의 이격거리(D)는 $6.45\mu\text{m}$ 가 된다.

<60> 즉, 데이터 배선(98)의 일 측으로 돌출된 부분의 길이만큼 화소전극(PXL)이 멀게 패턴되었고 이와 동시에, 이 부분의 빛샘을 가려주는 블랙매트릭스(BM)의 폭(W1) 또한 넓어지게 되어 개구영역이 잠식되는 문제가 있다.

<61> 전술한 바와 같이, 웨이비 노이즈(wavy noise)가 발생하는 데이터 배선(98)과 그 하부의 제 2 반도체층(90b)의 형태 및, 오프 커런트(off current)가 발생할 수 있는 박막트랜지스터(T)의 구조는, 종래의 범용적인 4마스크 공정으로 제작된 형태에 의해 필연적으로 발생하게 되는 것이며 이하, 이해를 돋기 위해 종래에 따른 4 마스크 공정을 설명한다.

<62> 이하, 공정도면을 참조하여 종래에 따른 4 마스크 공정으로 어레이기판을 제작하는 방법을 설명한다.

<63> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 II-II, III-III, IV-IV를 따라 절단하여, 종래의 4마스크 공정순서에 따라 도시한 공정 단면도이다.

<64> 도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.

<65> 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(60)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.

<66> 이때, 상기 스토리지 영역(C)은 게이트 영역(G)의 일부에 정의된다.

<67> 상기 다수의 영역(S,P,G,D,C)이 정의된 기판(60)상에 일방향으로 연장되고, 일 끝단에 게이트 패드(66)를 포함하는 게이트 배선(62)과, 상기 게이트 배선(62)과 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(64)을 형성한다.

<68> 이때, 상기 게이트 패드 및 게이트 배선(66,62)과 게이트 전극(64)은 알루미늄(A1), 알루미늄 합금(A1Nd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(A1)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

<69> 다음으로, 도 4b 내지 도 4e와 도 5b 내지 도 5e와 도 6b 내지 도 6e는 제 2 마스크 공정을 나타낸 도면이다.

<70> 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 전극(64)과 게이트 패드(66)를 포함하는 게이트 배선(62)이 형성된 기판(60)의 전면에 게이트 절연막(68)과, 순수 비정질 실리콘층(a-Si:H, 70)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 72)과 도전성 금속층(74)을 형성한다.

<71> 상기 게이트 절연막(68)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로부텐(PCB)과 아크릴(Acrylic)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착하여 형성하고, 상기 금속층(74)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

<72> 다음으로, 상기 도전성 금속층(74)이 형성된 기판(60)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(76)을 형성한다.

<73> 다음으로, 상기 감광층(76)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

<74> 이때, 상기 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여, 빛의 강도를 낮추거나 빛의 투과량을 낮추어 상기 감광층을 불완전 노광할 수 있도록 하는 기능을 한다.

- <75> 또한, 상기 차단부(B2)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(B1)는 빛을 투과시켜 빛에 의해 감광층(76)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.
- <76> 한편, 상기 스위칭 영역(S)에는 반투과부(B3)와, 반투과부(B3)의 양측에 차단부(B2)가 위치하도록 하고, 상기 스토리지 영역(C)에는 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(G)과 교차하는 방향인 상기 데이터 영역(D)에는 차단부(B2)가 위치하도록 한다.
- <77> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(76)을 노광하고 현상하는 공정을 진행한다.
- <78> 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)과 스토리지 영역(C)의 상부에 패턴된 제 1 내지 제 3 감광층(78a, 78b, 78c)을 형성한다.
- <79> 다음으로, 상기 제 1 내지 제 3 감광층(78a, 78b, 78c)의 주변으로 노출된 상기 금속층(74)과 그 하부의 불순물 비정질 실리콘층(72)과, 순수 비정질 실리콘층(70)을 제거하는 공정을 진행한다.
- <80> 이때, 상기 금속층(74)의 종류에 따라 금속층과 그 하부층(72, 70)이 동시에 제거될 수도 있고, 상기 금속층을 먼저 식각한 후 건식식각 공정을 통해 하부의 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)을 제거하는 공정을 진행한다.
- <81> 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 내지 제 3 감광층(78a, 78b, 78c)의 하부에 제 1 금속패턴(80)과, 제 1 금속층(80)에서 화소영역(P)의 일 측을 따라 연장된 제 2 금속패턴(82)과, 상기 스토리지 영역(C)에 대응하여 아일랜드 형상의 제 3 금속패턴(86)이 형성된다.
- <82> 이때, 제 1 내지 제 3 금속패턴(80, 82, 86)의 하부에 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)이 존재하며, 편의상 상기 제 1 금속패턴(80)의 하부에 구성된 것은 제 1 반도체 패턴(90a), 상기 제 2 금속패턴(82)의 하부에 구성된 것은 제 2 반도체 패턴(90b), 상기 제 3 금속패턴(86)의 하부에 구성된 것은 제 3 반도체 패턴(90c)이라 칭한다.
- <83> 다음으로, 상기 제 1 감광층(78a) 중, 상기 게이트 전극(64)의 중심에 대응하여 높이가 낮은 부분을 제거하여 하부의 금속패턴(80)을 노출하기 위한 애싱 공정(ashing process)을 진행한다.
- <84> 결과적으로 도시한 바와 같이, 상기 게이트 전극(64)의 중심에 대응하는 제 1 금속패턴(80)의 일부가 노출되며 이때, 상기 제 1 내지 제 3 감광패턴(78a, 78b, 78c)의 주변으로 제 1 내지 제 3 금속패턴(80, 82, 86)의 일부가 동시에 노출된다.
- <85> 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(86)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(72)을 제거하는 공정을 진행한다.
- <86> 도 4e와 도 5e와 도 6e에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(64)의 상부에 위치한 제 1 반도체 패턴(90a) 중 하부층(순수 비정질 실리콘층)은 액티브층(92a)으로서 기능하게 되고, 상기 액티브층(92a)의 상부에서 일부가 제거되어 이격된 상부층은 오믹 콘택층(92b)의 기능을 하게 된다.
- <87> 이때, 상기 액티브층(92a) 상부의 오믹 콘택층(92b)을 제거하면서, 하부의 액티브층(92a)을 과식각하여 액티브층의 표면(액티브채널, active channel)에 불순물이 남아 있지 않도록 한다.
- <88> 한편, 상기 오믹 콘택층(92b)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(94)와 드레인 전극(96)이라 칭한다.
- <89> 이때, 상기 소스 전극(94)과 접촉하는 제 2 금속패턴(도 5c의 82)은 데이터 배선(98)이라 하고, 상기 데이터 배선(98)의 일 끝단은 데이터 패드(99)라 칭한다.
- <90> 또한, 상기 스토리지 영역(C)에 대응하여 형성된 아일랜드 형상의 제 3 금속패턴(86)은 그 하부의 게이트 배선(62)과 함께 스토리지 전극(storage electrode)의 기능을 하게 된다.
- <91> 즉, 게이트 배선(62)은 스토리지 제 1 전극의 기능을 하게 되고, 상부의 제 3 금속패턴(86)은 스토리지 제 2 전극의 기능을 하게 된다. 따라서, 상기 스토리지 제 1 전극과 그 상부의 게이트 절연막(68)과 제 3 반도체 패턴(90c)과 그 상부의 스토리지 제 2 전극(86)은 보조 용량부인 스토리지 캐페시터(Cst)를 구성한다.
- <92> 다음으로, 상기 잔류한 감광층(78a, 78b, 78c)을 제거하는 공정을 진행함으로써, 제 2 마스크 공정을 완료할 수 있다.

- <93> 도 4f와 도 5f와 도6f는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(94,96)과 데이터 패드(99)를 포함하는 데이터 배선(98)과, 스토리지 캐패시터(Cst)가 구성된 기판(60)의 전면에 질화 실리콘(Si_xN_y) 또는 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(PCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(PAS)을 형성한다.
- <94> 연속하여, 상기 보호막(PAS)을 패턴하여 드레인 전극(96)의 일부를 노출하는 드레인 콘택홀(CH1)과, 상기 섬형상의 제 3 금속패턴(86)을 노출하는 스토리지 콘택홀(CH2)과, 상기 게이트 패드(66)의 일부를 노출하는 게이트 패드 콘택홀(CH3)과 상기 데이터 패드(DP)의 일부를 노출하는 데이터 패드 콘택홀(CH4)을 형성한다.
- <95> 도 4g와 도 5g와 도 6g는 제 4 마스크 공정을 나타낸 도면으로, 상기 보호막(PAS)이 형성된 기판(60)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 드레인 전극(96)과 섬형상의 제 3 금속패턴(86)과 동시에 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(PXL)을 형성한다. 동시에, 상기 게이트 패드(66)와 접촉하는 게이트 패드 전극(GP)과 상기 데이터 패드(99)와 접촉하는 데이터 패드 전극(DP)을 형성한다.
- <96> 전술한 공정을 통해 종래에 따른 4마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- <97> 종래의 4 마스크 공정은 기존의 5 마스크 공정에 비해 획기적이라 할 만큼 생산비용을 낮추는 효과 및 공정시간을 단축하는 효과가 있었고, 공정이 단축됨으로써 그 만큼 불량발생 확률 또한 감소하는 결과를 얻고 있다.
- <98> 그러나, 앞서 언급한 바와 같이, 종래의 4 마스크 공정으로 제작된 박막트랜지스터 어레이기판의 구조를 보면, 데이터 배선의 양측에 반도체층이 확장된 형태이기 때문에 이로 인해 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있고, 상기 확장된 반도체층으로 인해 개구율이 저하되는 문제가 있다.
- <99> 또한, 과식각 되는 것을 고려하여 액티브층의 두께를 두껍게 형성해야 하기 때문에 공정시간 및 공정 비용면에서, 공정수율이 저하되는 문제가 있고, 상기 오믹 콘택층의 제거공정에서 채널의 표면에 결함이 발생하거나, 채널층에 보호층이 형성되기 전 노출되는 시간이 짧지 않기 때문에 채널의 표면이 오염되어 누설전류가 발생하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <100> 본 발명은 전술한 문제를 해결하기 위한 것으로, 박막트랜지스터에 누설전류가 발생하지 않도록 하여 박막트랜지스터의 동작을 안정화하는 것을 제 1 목적으로 하고, 화면에 웨이비 노이즈(wavy noise)가 발생하지 않아 고화질을 구현할 수 있도록 하는 것을 제 2 목적으로 하고, 개구영역을 확대하여 고효도를 구현하는 하는 것을 제 3 목적으로 한다.
- <101> 또한, 전술한 제 1 내지 제 3 목적을 달성함은 물론 공정을 더욱 단순화하기 위해, 새로운 형태의 3 마스크 공정을 제안하는 것을 제 4 목적으로 한다.

발명의 구성 및 작용

- <102> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과; 상기 스위칭 영역에 위치하고, 게이트 전극과 제 1 절연막과 액티브층과 이격된 오믹 콘택층과, 상기 오믹 콘택층과 각각 접촉하는 제 1 소스 전극과 제 1 드레인 전극과, 상기 제 1 소스 및 드레인 전극의 이격영역 사이에 구성된 식각 방지막과, 상기 제 1 소스 및 드레인 전극과 각각 접촉하는 제 2 소스전극과 제 2 드레인 전극으로 구성된 박막트랜지스터와; 상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하고 투명 전극층과 불투명한 전극층이 적층되어 구성된 데이터 배선과; 상기 게이트 영역에 위치하고, 일 끝단은 상부에 투명한 게이트 패드 전극이 구성된 게이트 패드를 포함하고 상기 게이트 전극과 연결된 게이트 배선과; 상기 화소 영역에 위치하고, 상기 제 2 드레인 전극과 접촉하는 투명한 화소 전극을 포함한다.

- <103> 상기 제 2 소스 전극과 제 2 드레인 전극은 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 한다.

- <104> 상기 게이트 배선의 상부에는 제 1 절연막과, 적층된 순수 비정질 실리콘과 불순물 비정질 실리콘으로 구성된 반도체층과, 금속패턴과, 투명한 금속층과 불투명한 금속층이 적층된 구조인 것을 특징으로 한다.

- <105> 상기 반도체층은 상기 게이트 배선과 동일한 패턴으로 형성되어, 상기 게이트 배선의 외부로 돌출되지 않은 형태로 구성된 것을 특징으로 한다.
- <106> 상기 게이트 배선의 일부 상부로 상기 화소 전극을 연장하여 구성하여, 게이트 배선을 제 1 전극으로 하고 상기 화소 전극의 연장된 부분을 제 2 전극으로 하여 형성된 스토리지 캐패시터를 더욱 포함하는 것을 특징으로 한다.
- <107> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판을 준비하는 단계와; 상기 기판의 일면에 화소영역과 스위치 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 절연막과, 액티브층과, 이격된 오믹 콘택층과, 이격된 제 1 소스 전극과 제 2 드레인 전극과, 상기 게이트 영역에 일 끝단에 게이트 패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 오믹 콘택층의 이격 영역에, 하부의 액티브층을 덮는 식각 방지막을 형성하는 제 2 마스크 공정 단계와; 상기 제 1 소스 및 드레인 전극과 각각 접촉하는 제 2 소스 전극과 제 2 드레인 전극과, 상기 데이터 영역에 일 끝단에 투명한 데이터 패드를 포함하는 데이터 배선과, 상기 화소 영역에 화소 전극과 상기 게이트 패드와 접촉하는 투명한 게이트 패드 전극을 형성하는 제 3 마스크 공정 단계
- <108> 를 포함한다.
- <109> 상기 제 1 마스크 공정 단계는 상기 기판 상에 제 1 금속층과 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 제 2 금속층을 적층하는 단계와; 상기 제 2 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광한 후 현상하여, 상기 스위칭 영역에 대응하여, 중심이 낮은 높이로 현상된 단차진 제 1 감광패턴과, 상기 게이트 영역에 제 2 감광패턴을 형성하는 단계와; 상기 제 1 및 제 2 감광층의 주변으로 노출된 제 2 금속층과 하부의 불순물 비정질 실리콘층과, 순수 비정질 실리콘층과, 제 1 절연막과 제 1 금속층을 제거하여, 상기 제 1 감광패턴의 하부에 게이트 전극과 제 1 절연막과 순수 비정질 실리콘층인 액티브층과 불순물 비정질 실리콘층인 오믹 콘택층과 금속패턴이 적층되고, 상기 게이트 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 게이트 배선과 상기 게이트 패드 및 게이트 배선의 상부에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속패턴이 적층 형성되는 단계와; 상기 제 1 감광패턴의 낮은 부분을 완전히 제거하여 하부의 금속 패턴의 일부를 노출하는 단계와; 상기 노출된 금속패턴과 그 하부의 불순물 비정질 실리콘층을 제거하여, 상기 패턴된 액티브층의 상부에서 이격된 오믹 콘택층과 제 1 소스 전극과 제 2 드레인 전극을 형성하는 단계를 포함한다.
- <110> 상기 마스크는, 상기 스위칭 영역에 대응하여 반투과부와, 반투과부의 양측에 차단부가 위치하도록 하고, 상기 게이트 영역에 대응하여 반투과부가 위치하도록 구성한 것을 특징으로 한다.
- <111> 상기 제 2 마스크 공정 단계는 상기 게이트 전극과 게이트 패드 및 게이트 배선과, 액티브층과 오믹 콘택층과 제 1 소스 전극과 제 1 드레인 전극이 형성된 기판의 전면에 제 2 절연막을 형성하는 단계와; 상기 제 2 절연막의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하고, 현상하는 공정을 진행하여 상기 게이트 패드에 대응하는 상기 제 2 절연막을 노출하고, 상기 스위칭 영역에 대응하여 상기 제 1 소스 전극과 드레인 전극에 각각 대응한 부분이 낮은 높이로 패턴된 감광층을 형성하는 단계와; 상기 게이트 패드에 대응하여 노출된 제 2 절연막과 그 하부의 오믹 콘택층과 액티브층과 제 1 절연막을 제거하여, 상기 게이트 패드를 노출하는 단계와; 상기 스위칭 영역에 대응하여 낮은 높이로 형성된 감광층을 완전히 제거하여, 상기 제 1 소스 및 드레인 전극에 대응하는 제 2 절연막을 각각 노출하는 단계와; 상기 노출된 제 2 절연막을 제거함으로써, 상기 제 1 소스 및 드레인 전극의 이격된 영역에 식각 방지막을 형성하는 단계를 포함한다.
- <112> 제 9 항에 있어서, 상기 마스크는 스위칭 영역에 대응하여 차단부와, 차단부의 양측에 반투과부가 위치하도록 하고, 상기 게이트 영역의 상기 게이트 패드에 대응하여 차단부가 위치하도록 구성한 것을 특징으로 한다.
- <113> 제 3 마스크 공정단계는 상기 식각 방지막이 형성된 기판의 전면에 투명전극층과 불투명 전극층을 적층과 감광층을 적층하는 단계와; 상기 감광층의 이격된 상부에 투과부와 반투과부와 차단부가 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 상기 식각 방지막에 대응한 부분의 불투명한 금속층을 노출하도록 패턴된 제 1 감광패턴과, 상기 화소 영역에 대응하여 낮은 높이로 패턴된 제 2 감광패턴과, 상기 데이터 영역에 대응하여 원래의 높이로 패턴된 제 3 감광패턴과, 상기 게이트 영역에 대응하여 상기 게이트 패드에 대응한 부분만 낮은 높이

로 패턴된 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 불투명한 금속층과 그 하부의 투명한 금속층을 제거하여, 투명·불투명 금속층의 적층구조로 상기 제 1 감광패턴의 하부에 이격된 제 2 소스 전극과 제 2 드레인 전극과, 상기 제 2 감광패턴의 하부에 화소 전극과, 상기 제 3 감광패턴의 하부에 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 제 4 감광패턴의 게이트 패드 전극을 형성하는 단계와; 상기 제 2 감광패턴을 제거하여, 상기 화소 영역에 위치한 투명·불투명 적층구조의 화소 전극과, 상기 게이트 영역에 대응하여 상기 투명·불투명 전층구조의 게이트 패드 전극을 노출하는 단계와; 상기 화소 전극과 게이트 패드전극을 구성하는 상부의 불투명한 금속층을 제거하여 하부의 투명한 금속층을 남기는 단계를 포함한다.

<114> 상기 마스크는 상기 스위칭 영역에 투과부와 투과부의 양측에 차단부가 위치하고, 상기 화소 영역에 투과부가 위치하고, 상기 게이트 영역에 상기 게이트 패드에 대응한 부분만 반투과부가 위치하고, 상기 데이터 영역에 차단부와 반투과부가 위치하도록 구성된 것을 특징으로 한다.

<115> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<116> -- 실시예 --

<117> 본 발명은 차단막을 포함하는 박막트랜지스터가 구성된 액정표시장치용 어레이 기판을 3 마스크공정으로 제작하는 것을 특징으로 한다.

<118> 도 7은 본 발명에 따른 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.

<119> 도시한 바와 같이, 절연 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(132)가 구성된 게이트 배선(130)과, 게이트 배선(130)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(162)를 포함하는 데이터 배선(160)을 구성한다.

<120> 이때, 상기 게이트 패드(132)는 상부에 투명한 전극으로 구성된 게이트 패드 전극(164)이 구성된 형태이고, 상기 데이터 패드(162)는 자체가 투명한 전극으로 구성된다.

<121> 상기 게이트 배선(130)과 데이터 배선(160)의 교차지점에 게이트 전극(118)과 액티층(미도시)및 오믹 콘택층(미도시)과, 상기 오믹 콘택층(미도시)과 직접 맞닿는 이격된 제 1 소스 전극(136)과 제 2 드레인 전극(138)과, 상기 제 1 소스 및 드레인 전극(136, 138)과 접촉하는 제 2 소스 전극(154)과 제 2 드레인 전극(156)을 포함하는 박막트랜지스터(T)를 구성한다.

<122> 상기 박막트랜지스터(T)의 상부에는 상기 소스전극(136, 154)과 드레인 전극(136, 156)의 이격된 사이로 노출된 액티브층(미도시)을 덮는 식각 방지막(146)을 구성한다.

<123> 상기 화소 영역(P)에는 상기 제 2 드레인 전극(156)과 연결된 투명한 화소 전극(158)을 구성한다.

<124> 한편, 상기 화소영역(P)을 정의하는 부분의 게이트 배선(130)의 상부에는 이를 스토리지 제 1 전극으로 하고, 상기 게이트 배선(130)의 상부로 연장된 화소 전극(158)의 일부를 제 2 스토리지 전극으로 하는 스토리지 캐퍼시터(Cst)를 구성한다.

<125> 전술한 구성은, 3 마스크로 제작된 것이며 특히, 상기 액티브층(미도시)이 데이터 배선(130)의 하부에 존재하지 않을 뿐 아니라, 배선의 외측으로 노출된 형상이 아닌 것을 특징으로 한다.

<126> 이하, 도 8a와 도 8b와 도 8c를 참조하여, 본 발명에 따른 박막트랜지스터 어레이기판의 단면 구성을 살펴본다.

<127> 도 8a와 도 8b와 도 8c는 각각 도 7의 VI-VI, VII-VII, VIII-VIII을 따라 절단한 단면도이며, 각각은 스위칭 영역 및 화소 영역을 절단한 단면도와 게이트 패드를 절단한 단면도와 데이터 패드를 절단한 단면도이다.

<128> 도시한 바와 같이, 기판(100)을 다수의 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)으로 정의하고 동시에, 상기 게이트 영역(G)의 일부에 스토리지 영역(C)을 정의하고, 상기 화소 영역(P)마다 이에 근접하여 스위칭 영역(S)을 정의한다.

<129> 상기 스위칭 영역(S)에는 게이트 전극(118)과, 게이트 전극(118)의 상부에 제 1 절연막(120)과 액티브층(122)과 이격된 오믹 콘택층(124)과, 오믹 콘택층(124)과 각각 접촉하는 이격된 제 1 소스 전극(136)과 제 1 드레인 전극(138)과, 상기 제 1 소스 및 드레인 전극(136, 138)의 이격된 사이로 노출된 액티브층(122)을 덮는 식각방지막(146)과, 상기 제 1 소스 및 드레인 전극(136, 138)과 각각 접촉하는 제 2 소스 전극(154)과 제 2 드레인 전극(156)으로 구성된 박막트랜지스터(T)를 구성한다.

<130> 이때, 상기 제 2 소스 및 드레인 전극(154, 156)은 투명 금속층(148)과 불투명금속층(150)이 적층된 상태로 구성

된다.

<131> 상기 제 2 소스 전극(156)과 연결된 데이터 배선(160)을 화소 영역(P)의 일 측에 구성하며, 상기 데이터 배선(160)또한 투명·불투명 금속층(148, 150)의 적층구조로 형성하되 끝단의 데이터 패드(162)는 투명 금속층(148)으로 구성되는 구조상 특징이 있다.

<132> 또한, 게이트 배선(130) 또한 상부에 제 1 절연막(120)과 반도체패턴(134)과 금속패턴(128)과 제 2 절연막(140)과 적층된 투명·불투명 금속층(148, 150)이 구성되지만, 상기 게이트 패드(132)의 상부에는 투명 전극인 게이트 패드 전극(164)만 형성되는 구조상 특징이 있다.

<133> 전술한 구성상의 특징 외에도, 상기 제 1 소스 전극(136)과 제 1 드레인 전극(138)은 상기 제 2 소스 및 드레인 전극(154, 156)의 하부 투명 금속층(148)과 오믹 콘택층(124)과의 오믹 접촉을 위해 형성한 구성인 것을 특징으로 한다.

<134> 또한, 제일 특징적인 구성은 상기 반도체 패턴 및 액티브층(134, 122)이 금속전극 및 배선의 외부로 연장된 형태로 구성되지 않는다는 것이다. 이러한 구성으로 인해 종래 4마스크 구조의 대표적인 문제점으로 작용했던 웨이비 노이즈(wavy noise) 및 개구율 문제가 해결될 수 있는 장점이 있다.

<135> 전술한 특징적인 구성들은, 본 발명에서 제안한 3마스크공정 방법으로 인한 것이며 이하, 도면을 참조하여 본 발명에 따른 3 마스크 공정으로 액정표시장치용 어레이 기판을 제작하는 방법을 상세히 설명한다.

<136> 도 9a 내지 도 9m와 도 10a 내지 도 10m와 도 11a 내지 도 11m는 도 7의 VI-VI, VII-VII, VIII-VIII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(이때, 도 7의 VI-VI는 박막트랜지스터 및 화소 영역의 절단선이고, VII-VII은 게이트 패드의 절단선이고, VIII-VIII은 데이터 패드의 절단선이다.)

<137> 도 9a 내지 도 9c와 도 10a 내지 도 10c와 도 11a 내지 도 11c는 제 1 마스크 공정을 도시한 도면이다.

<138> 도 9a와 도 10a와 도 11a에 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다. 이때, 상기 스토리지 영역(C)을 게이트 영역(G)의 일부에 정의 한다.

<139> 상기 다수의 영역(S,P,G,D,C)을 정의한 기판(100)상에 제 1 금속층(102)과 제 1 절연막(104)과, 비정질 실리콘층(a-Si:H layer, 106)과 불순물 비정질 실리콘층(n+ a-Si:H layer, 108)과 제 2 금속층(110)을 적층하고, 상기 제 2 금속층(110)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(112)을 형성한다.

<140> 이때, 상기 제 1 절연막(104)은 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성하고, 상기 제 1 금속층(102)과 제 2 금속층(110)은 알루미늄(A1)과 알루미늄합금(A1Nd), 크롬(Cr), 몰리브덴(Mo), 텉스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta) 등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 형성한다.

<141> 이때, 바람직하게는 상기 제 1 금속층(102)은 알루미늄(A1)과 같이 저항이 낮은 금속을 선택하여 형성하되, 상기 선택된 금속이 화학적으로 약하거나 물리적으로 약할 경우 이를 보호하기 위한 별도의 금속을 더욱 증착하여 형성할 수 있다.

<142> 특히, 상기 제 2 금속층(110)은 몰리브덴(Mo)과 같은 전식식각이 가능한 물질을 사용하는 것이 바람직하다.

<143> 한편, 상기 감광층(112)을 형성한 후, 상기 감광층(112)이 형성된 기판(100)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

<144> 이때, 상기 스위칭 영역(S)에 대응하여 반투과부(B3)를 중심으로 양측에 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(스토리지 영역 포함(C))(G)에 차단부(B2)가 위치하도록 한다.

<145> 다음으로, 상기 마스크(M)의 상부로부터 빛을 조사하여 하부의 감광층(112)을 노광하는 공정 후, 약액을 이용하여 현상하는 공정을 진행한다.

<146> 이와 같이 하면, 도 9b와 도 10b와 도 11b에 도시한 바와 같이, 상기 스위칭 영역(S)에는 중심부가 낮은 높이로 현상되어 단차진 형상의 제 1 감광패턴(114)이 남게 되고, 상기 게이트 영역(G)에는 원래의 높이대로 패턴된 제 2 감광패턴(116)이 남게 된다.

<147> 따라서, 상기 제 1 및 제 2 감광패턴(114, 116)의 주변으로 제 2 금속층(도 9a의 110)이 노출되는 형상이 되며,

상기 제 1 및 제 2 감광패턴(114, 116)의 주변으로 노출된 상기 제 2 금속층(112)과 그 하부의 불순물 비정질 실리콘층(도 9a의 108)과 비정질 실리콘층(도 9a의 106)과 제 1 절연막(도 9a의 104)과 제 1 금속층(도 9a의 102)을 제거하는 공정을 진행한다.

<148> 이때, 상기 제 2 금속층(도 9a의 110)이 건식식각 공정이 가능한 물질을 사용하였다면, 상기 제 2 금속층(도 9a 110)과 그 하부의 불순물 비정질 실리콘층(도 9a의 108)과, 비정질 실리콘층(도 9a의 106)과 제 1 절연막(도 9a의 104)을 동시에 건식식각 방식으로 제거하면 된다.

<149> 그렇지 않은 경우에는, 별도의 식각 방식을 사용하면 된다.

<150> 다음으로, 상기 제 1 금속층(도 9a의 102)을 제거하는 공정을 진행한다. 상기 제 1 금속층(도 9a의 102) 알루미늄(A1) 또는 알루미늄합금(A1Nd)으로 형성되었다면, 이는 일반적으로 습식식각 공정으로 제거되기 때문에 위와는 별도의 공정을 거치게 된다.

<151> 전술한 바와 같은 공정을 통해, 상기 스위칭 영역(S)에는 게이트 전극(118)과, 게이트 절연막(120)과 비정질 실리콘(액티브층, 122)과 불순물 비정질 실리콘(오믹 콘택층, 124)이 적층된 제 1 반도체 패턴(126)과, 금속패턴(128)이 남게 되고, 상기 게이트 영역(G)에는 일 끝단에 게이트 패드(132)를 포함하는 게이트 배선(130)과, 게이트 절연막(120)과 제 2 반도체패턴(134)과 금속패턴(128)이 남게 된다.

<152> 다음으로, 상기 제 1 감광패턴(114)의 낮은 부분은 완전히 제거하여 하부의 금속패턴(128)을 노출하기 위한 애싱(ashing)공정을 진행하고, 하부의 노출된 금속패턴(128)과 그 하부의 오믹 콘택층(124)을 제거하는 공정을 진행한다.

<153> 이와 같이하면, 도 9c와 도 10c와 도 11c에 도시한 바와 같이, 상기 스위칭 영역(S)에는 상기 액티브층(122)의 상부에 이격된 오믹 콘택층(124)과 이격된 제 1 소스 전극과 드레인 전극(136, 138)이 구성된다.

<154> 이하, 도 9d 내지 도 9h와 도 10a 내지 도 10h와 도 11a 내지 도 11h는 제 2 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.

<155> 도 9d와 도 10d와 도 11d에 도시한 바와 같이, 상기 제 1 소스 전극(136)과 드레인 전극(138)이 형성된 기판(100)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(140)을 형성한다.

<156> 다음으로, 상기 제 2 절연막(140)의 상부에 포토레지스트(photoresist)를 도포하여 감광층(142)을 형성한다.

<157> 다음으로, 상기 감광층(142)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

<158> 이때, 상기 스위칭 영역(S)의 제 1 소스 전극(136)과 제 1 드레인 전극(138)의 상부에 각각 이보다 작은 면적으로 반투과부(B3)가 위치하도록 하고, 상기 게이트 패드(132)에 대응하여 일부에 투과부(B1)가 위치하도록 하고, 그 외의 영역에는 차단부(B2)가 위치하도록 한다.

<159> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(142)을 노광하고 현상하는 공정을 진행한다.

<160> 이와 같이 하면, 도 9e와 도 10e와 도 11e에 도시한 바와 같이, 상기 감광층(142)은 상기 스위칭 영역(S)의 제 1 소스 및 제 1 드레인 전극(136, 138)에 대응한 부분(E1, E2)은 낮은 높이로 현상되고, 상기 게이트 패드(132)에 대응한 일부 영역(E3)은 완전히 제거되어 하부의 제 2 절연막(140)의 일부 노출된 상태가 된다.

<161> 다음으로, 상기 게이트 패드(132)에 대응하는 상부의 노출된 제 2 절연막(140)과 그 하부의 금속패턴(128)과 제 2 반도체층(134)과 그 하부의 제 1 절연막(120)을 완전히 제거하는 공정을 진행하여 한다.

<162> 이와 같이 하면, 도 9f와 도 10f와 도 11f에 도시한 바와 같이, 상기 게이트 영역(G)의 끝단에서 상기 게이트 패드(132)가 노출된 상태가 된다.

<163> 다음으로, 도 9g와 도 10g와 도 11g에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 상기 제 1 소스 및 드레인 전극(136, 138)에 대응하는 낮은 높이의 감광층(142)을 제거하는 애싱공정을 진행하여, 하부의 제 2 절연막(140)을 노출하는 공정을 진행한다.

<164> 다음으로, 상기 노출된 부분의 제 2 절연막(140)을 제거하고 연속하여, 상기 감광층(142)을 제거하는 공정을 진행한다.

<165> 도 9h와 도 10h와 도 11h에 도시한 바와 같이, 스위칭 영역(S)에 대응하여, 상기 제 1 소스 및 드레인 전극

(136, 138)의 이격된 사이에 대응하여 상기 노출된 액티브층(122)을 덮도록 패턴된 아일랜드(island)형상의 식각 방지막(146)이 형성된다.

<166> 상기 식각 방지막(146)은 액티브층(122)의 표면이 오염되거나, 이후 투명도전성 금속층을 증착하는 과정에서 표면에 데미지(damage)가 가해지는 것을 방지하는 기능을 하게 된다.

<167> 한편, 상기 스위칭 영역(S)과 상기 게이트 패드(132) 부분을 제외한 영역에는 상기 제 2 절연막(140)이 적층된 상태로 남아 있다.

<168> 이하, 도 9i 내지 도 9m과 도 10i 내지 도 10m과 도 11i 내지 도 11m은 제 3 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.

<169> 도 9i와 도 10i와 도 11i에 도시한 바와 같이, 상기 스위칭 영역(S)에 식각 방지막(146)이 형성되고, 상기 게이트 패드(132)가 노출된 기판(100)의 전면에 인듐-탄-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하여 투명 도전성 금속층(148)을 형성하고, 상기 투명 도전성 금속층(148)의 상부에 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 3 금속층(150)을 형성한다.

<170> 다음으로 상기 제 3 금속층(150)의 상부에 포토레지스트(photoresist)를 도포하여 감광층(152)을 형성하고, 상기 감광층(152)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

<171> 이때, 상기 스위칭 영역(S)에는 상기 식각 방지막(146)에 대응하여 투과부(B1)가 위치하고, 투과부(B1) 양측에 차단부(B2)가 위치하고, 상기 화소 영역 및 스토리지 영역(P,C)에 대응하여 반투과부(B3)가 위치하도록 하고, 상기 게이트 패드(132)에 대응하여 반투과부(B3)가 위치하도록 하고, 상기 데이터 영역(D)의 끝단에 대응하여 반투과부(B3)가 위치하도록 한다.

<172> 한편, 상기 스토리지 영역(C)과 상기 게이트 패드(132)에 대응한 부분을 제외한 게이트 영역(G)과, 상기 반투과부(B3)가 위치한 영역을 제외한 데이터 영역(D)은 차단부(B2)가 위치하도록 하고, 그 외의 영역은 투과부(B1)가 위치하도록 한다.

<173> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(152)을 노광한 후, 약액을 이용한 현상공정을 진행한다.

<174> 이와 같이 하면, 도 9j와 도 10j와 도 11j에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응한 부분은 상기 식각방지막(146)에 대응한 상부의 제 3 금속층(150)을 노출하도록 현상되고, 상기 화소 영역 및 스토리지 영역(P,C)은 원래의 높이보다 낮아진 상태가 되도록 현상된다.

<175> 또한, 상기 스토리지 영역(C)을 제외한 게이트 영역(G)은 게이트 패드(132)에 대응한 부분이 낮은 높이로 현상되고, 그 외의 영역은 원래의 높이대로 남게 된다.

<176> 또한, 상기 데이터 영역(D)에 대응하는 감광층(152)은 데이터 영역(D)의 끝단에 대응한 부분은 낮은 높이로 현상되고 그 외의 영역은 원래의 높이로 남게 된다.

<177> 전술한 바와 같이 패턴된 감광층의 주변으로, 제 3 금속층(150)이 노출된 상태가 되며, 연속하여 상기 노출된 제 3 금속층(150)과 그 하부의 투명 도전성 금속층(148)을 제거하는 공정을 진행한다.

<178> 이와 같이 하면, 도 9k와 도 10k와 도 11k에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여, 상기 제 1 소스전극(136)과 제 1 드레인 전극(138)과 접촉하는 제 2 소스 전극과 제 2 드레인 전극(154, 156)을 형성한다.

<179> 상기 화소 영역(P)에는 상기 제 2 드레인 전극(156)에서 연장된 화소 전극(158)을 형성한다.

<180> 이때, 상기 제 2 소스 및 드레인 전극(154, 156)과 상기 화소 전극(158)은 모두 투명.불투명 금속층(148, 150)의 적층구조로 형성된다.

<181> 상기 데이터 영역(D)또한 상기 제 2 드레인 전극(156)과 접촉하면서 일 끝단에 데이터 패드(162)를 포함하는 투명.불투명금속층(148, 150)의 적층구조로 데이터 배선(160)이 형성된다.

<182> 상기 게이트 영역(G)은, 상기 노출된 게이트 패드(132)와 접촉하면서 상기 게이트 배선(130)의 상부에 이와 평면적으로 동일한 패턴으로, 투명 금속층(148)과 불투명한 금속층(150)이 적층된 상태로 남게 된다.

<183> 다음으로, 남겨진 감광층(152) 중, 상기 화소 영역(P)과 게이트 패드(132) 그리고 상기 데이터 패드(162)에 대

응하여 낮은 높이로 현상된 부분(E4,E5)을 제거하는 애성공정을 진행한다.

<184> 이와 같이 하면, 도 91와 도 101와 도 111에 도시한 바와 같이, 화소 전극(158)과 데이터 패드(162)의 불투명한 금속층(150)과, 상기 게이트패드(132)상부의 불투명한 금속층(150)이 노출된다.

<185> 다음으로, 상기 노출된 불투명 금속층(150) 만을 제거하는 공정을 진행한다.

<186> 이와 같이 하면, 도 9m과 도 10m과 도 11m에 도시한 바와 같이, 상기 화소 전극(158)과 데이터 패드(162)는 투명전극으로만 형성되고, 상기 게이트 패드(132)의 상부에는 투명 전극층이 게이트 패드 전극(164)으로 남게 된다.

<187> 전술한 공정을 통해 본 발명에 따른 3 마스크 공정으로, 식각 방지막을 포함하는 박막트랜지스터가 구성되고, 순수 비정질 실리콘층이 전극 또는 배선의 외부로 돌출되지 않은 형상의 액정표시장치용 어레이기판을 제작할 수 있다.

<188> 본 발명에 따른 3 마스크 공정을 다시한번 정리하면 아래와 같다.

<189> 제 1 마스크 공정 : 게이트 패드 및 게이트 배선과 게이트 전극, 게이트 전극 상부에 제 1 절연막과 액티브층과 이격된 오믹 콘택층과, 제 1 소스 전극과 제 2 드레인 전극 형성.

<190> 제 2 마스크 공정 : 상기 제 1 소스 및 드레인 전극의 이격된 사이로 노출된 액티브층의 표면을 덮는 식각 방지막 형성.

<191> 제 3 마스크 공정 : 상기 제 1 소스 및 드레인 전극과 접촉하는 제 2 소스 및 드레인 전극과, 데이터 패드를 포함하는 데이터 배선과, 화소 전극형성.

<192> 이상의 공정을 통해, 본 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

<193> 따라서, 본 발명에 따른 박막트랜지스터는 소스 및 드레인 전극 사이로 노출된 액티브층 표면의 오염을 방지할 수 있는 식각 방지막을 구성함으로써, 누설전류에 의한 오프 커런트(off current)특성을 낮출 수 있어 박막트랜지스터의 동작을 안정화 할 수 있는 효과가 있다.

<194> 또한, 박막트랜지스터에 식각 방지막을 더욱 구성함에도 불구하고, 이를 포함하는 어레이기판을 3마스크 공정으로 제작할 수 있으므로, 공정 단순화를 통한 공정시간 단축 및 공정 비용 절감을 통해, 생산수율을 개선할 수 있고 제품의 경쟁력을 높일 수 있는 효과가 있다.

<195> 또한, 비정질 실리콘층이 전극 및 배선의 외부로 돌출된 형상이 아니므로, 빛에 의한 웨이비 노이즈가 발생하지 않아 고화질의 액정패널을 제작 할 수 있는 동시에, 고개구울을 구현할 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 일반적인 액정패널의 구성을 개략적으로 도시한 사시도이고,

<2> 도 2는 종래에 따른 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,

<3> 도 3은 도 2의 II-II와 V-V를 따라 절단한 단면도이고,

<4> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 II-II, III-III, IV-IV를 절단하여, 종래에 따른 공정순서에 따라 도시한 공정 단면도이고,

<5> 도 7은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,

<6> 도 8a와 도 8b와 도 8c는 각각 도 7의 VI-VI과 VII-VII, VIII-VIII을 따라 절단한 단면도이고,

<7> 도 9a 내지 도 9m과 도 10a 내지 도 10m과 도 11a 내지 도 11m은 도 7의 VI-VI과 VII-VII, VIII-VIII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

<8> <도면의 주요부분에 대한 간단한 설명>

<9> 100 : 기판 118 : 게이트 전극

<10> 120 : 제 1 절연막 122 : 액티브층

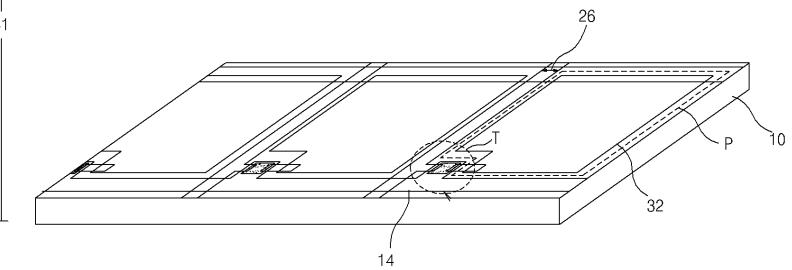
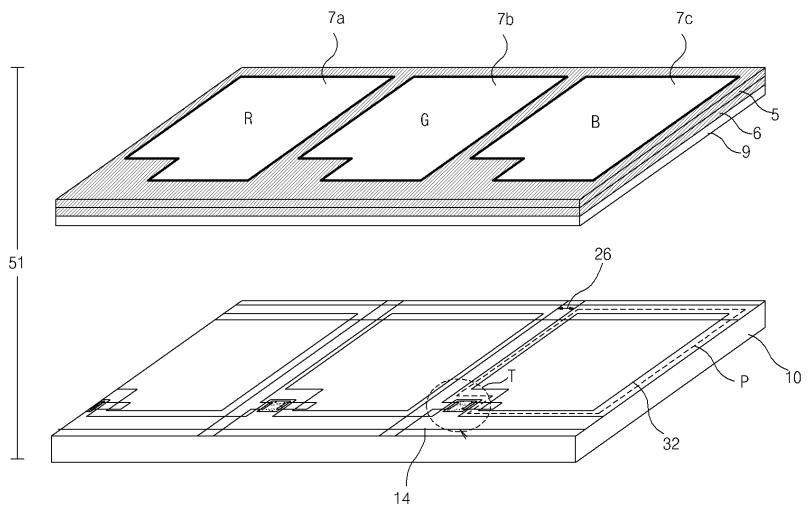
<11> 124 : 오믹 콘택층

128 : 금속패턴

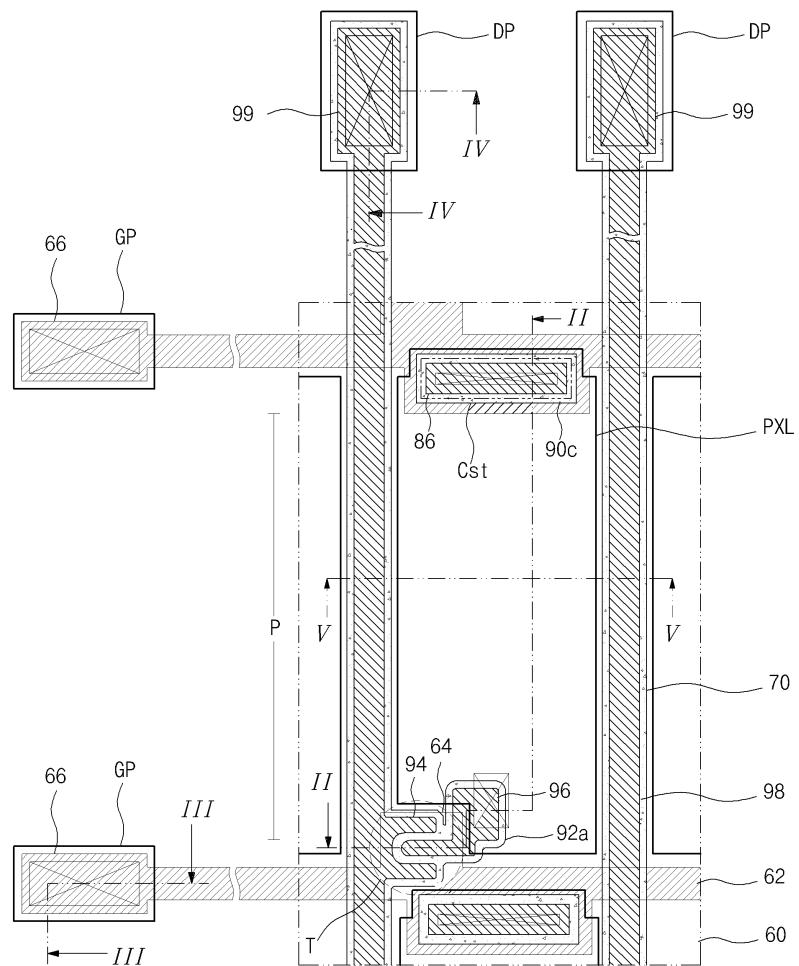
<12> 130 : 게이트 배선

도면

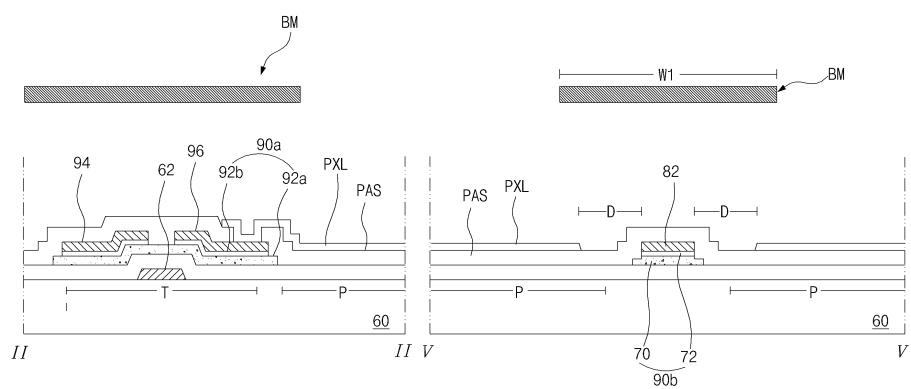
도면1

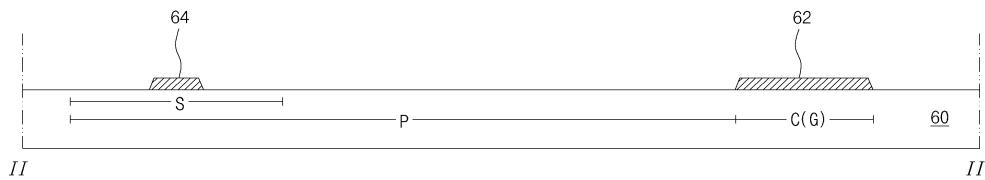
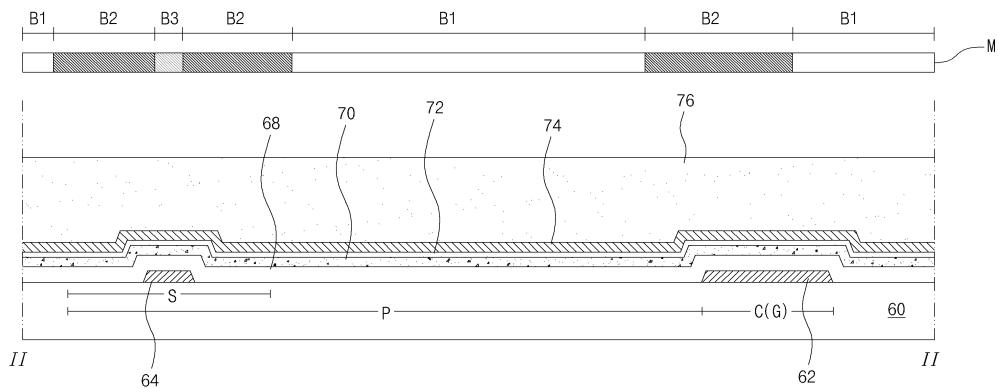
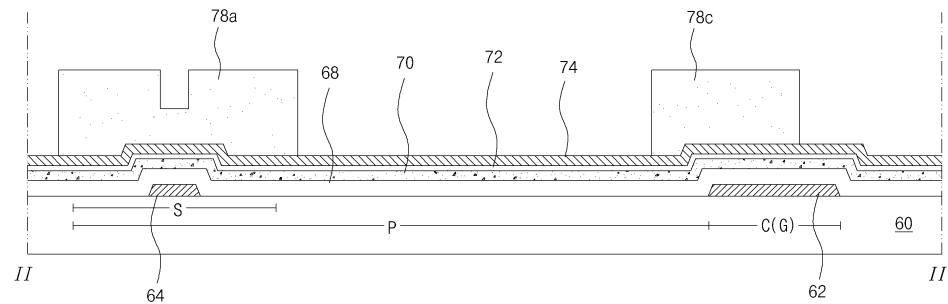
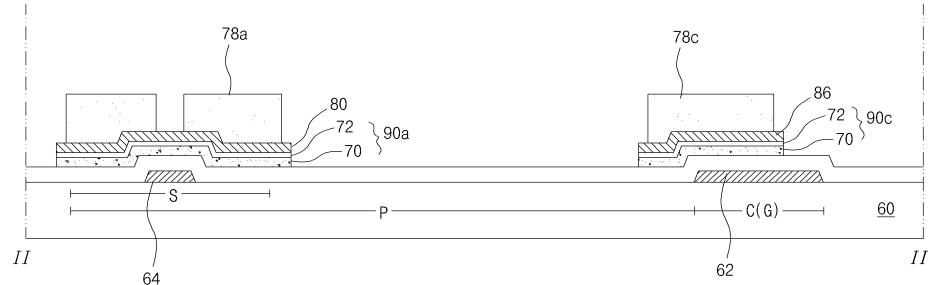


도면2

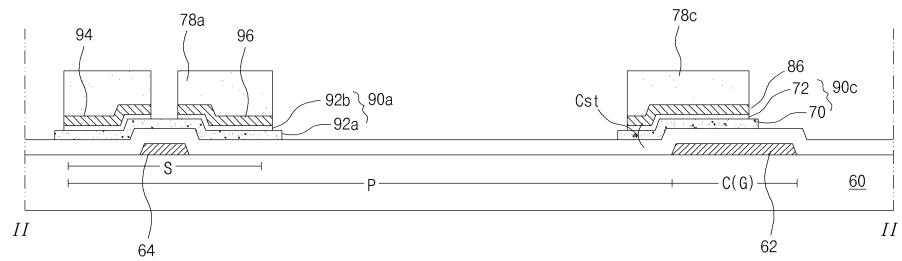


도면3

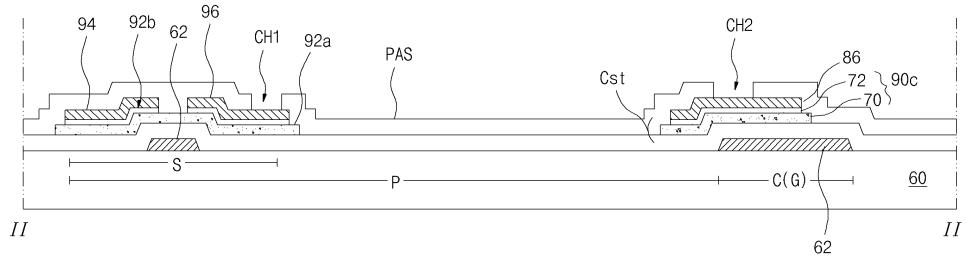


도면4a**도면4b****도면4c****도면4d**

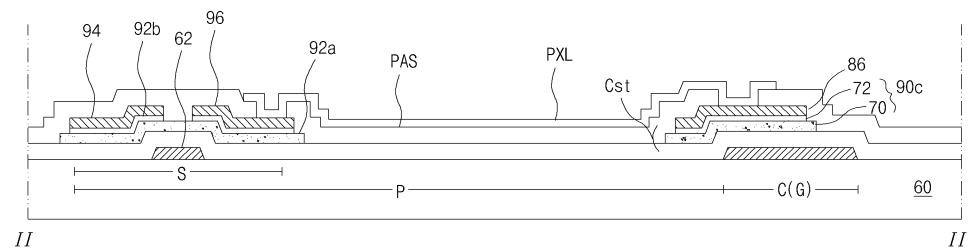
도면4e



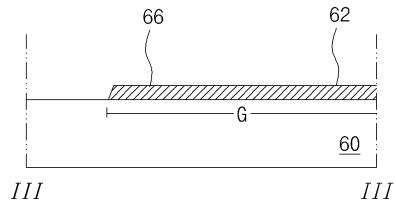
도면4f



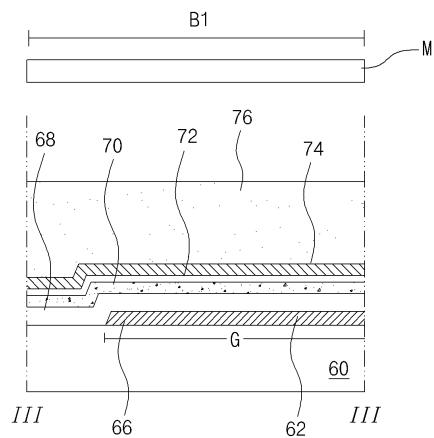
도면4g



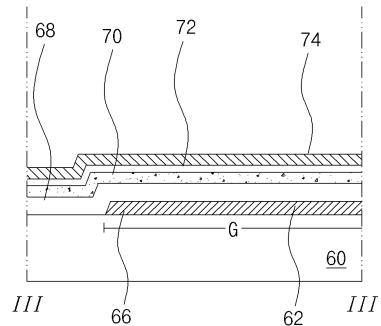
도면5a



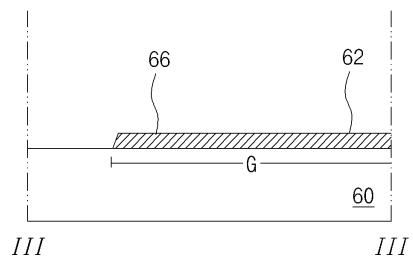
도면5b



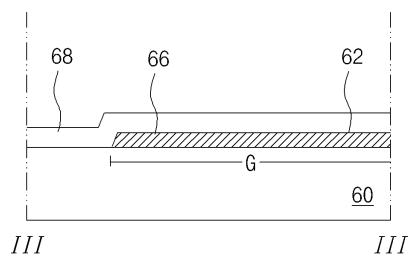
도면5c



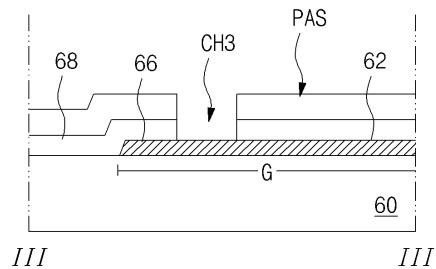
도면5d



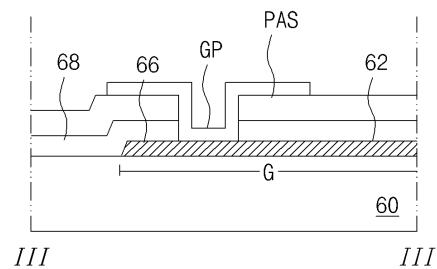
도면5e



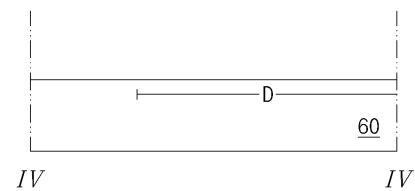
도면5f



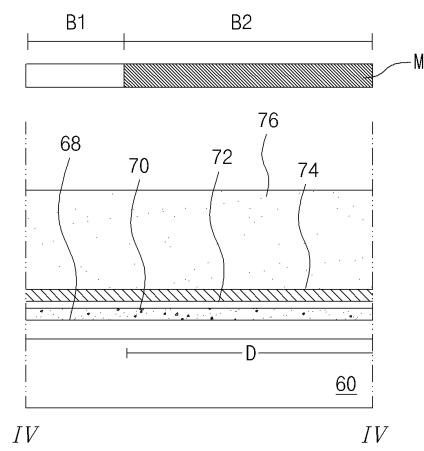
도면5g



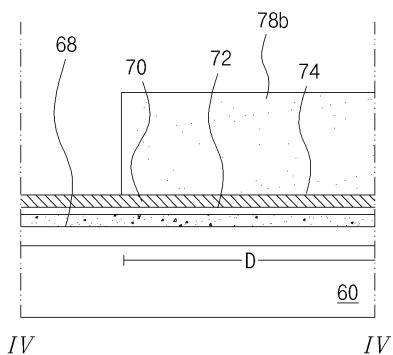
도면6a



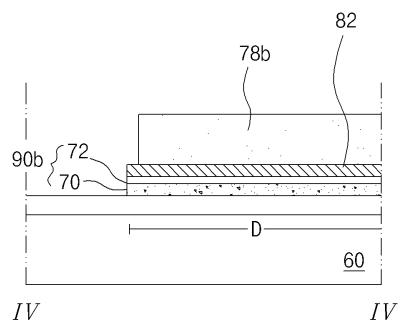
도면6b



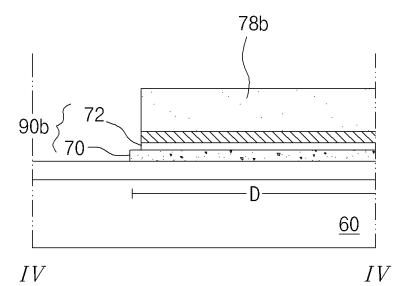
도면6c



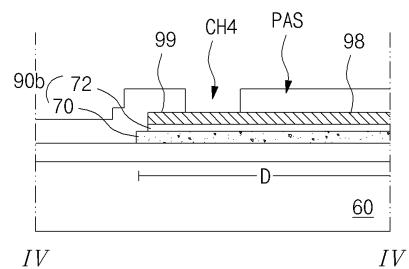
도면6d



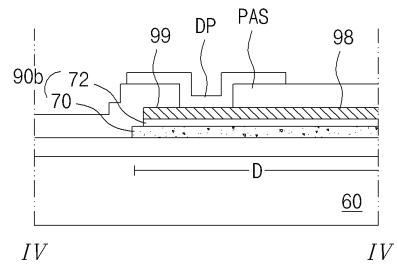
도면6e



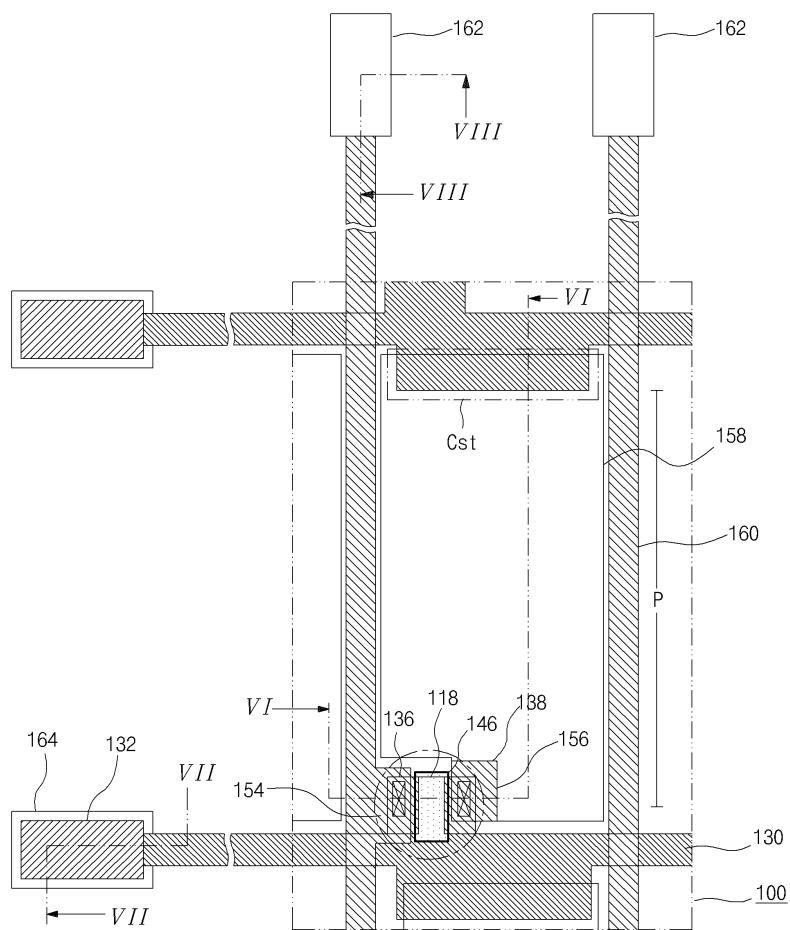
도면6f



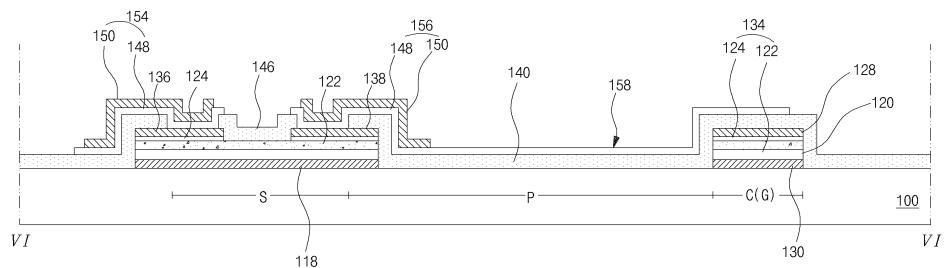
도면6g



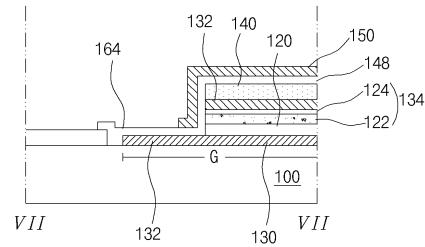
도면7



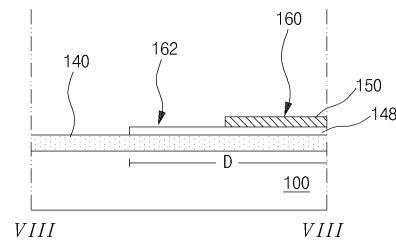
도면8a



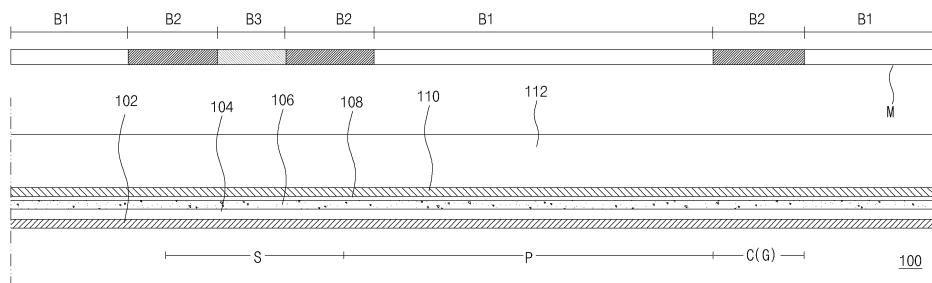
도면8b



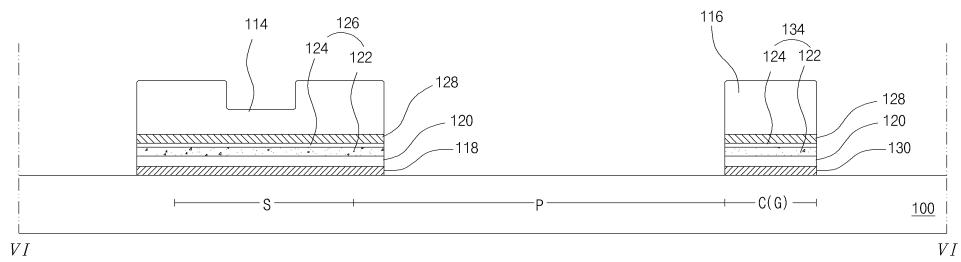
도면8c



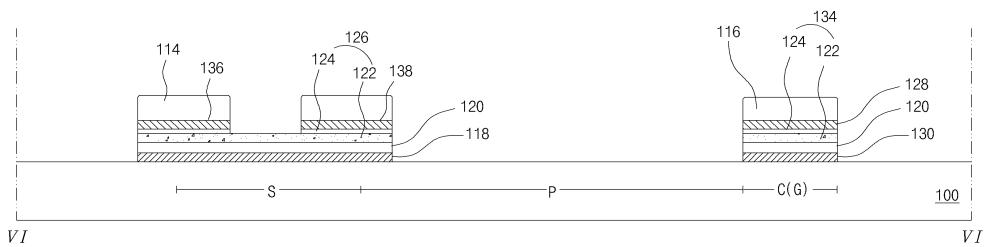
도면9a



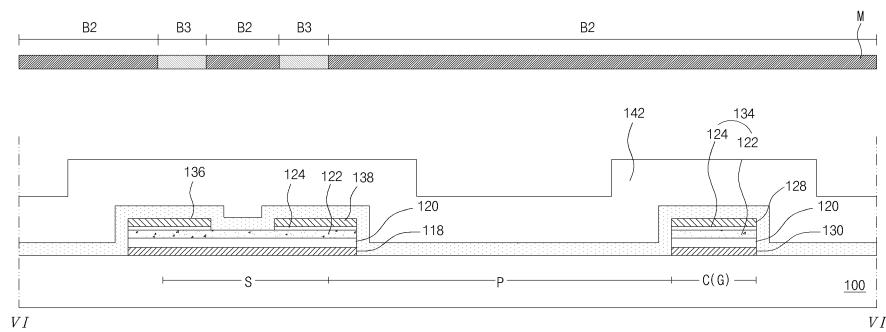
도면9b



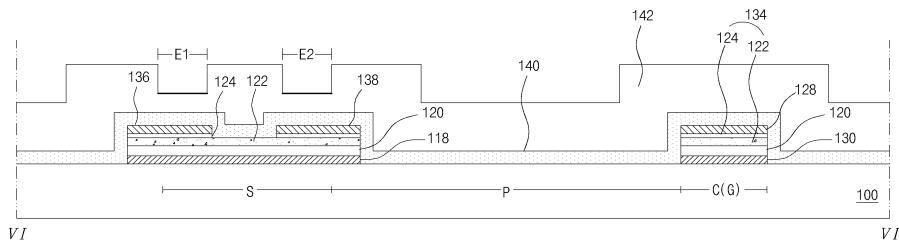
도면9c



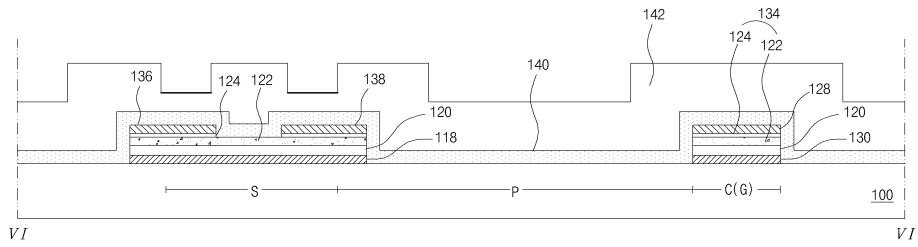
도면9d



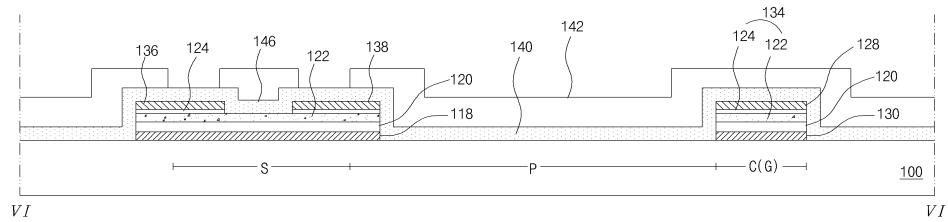
도면9e



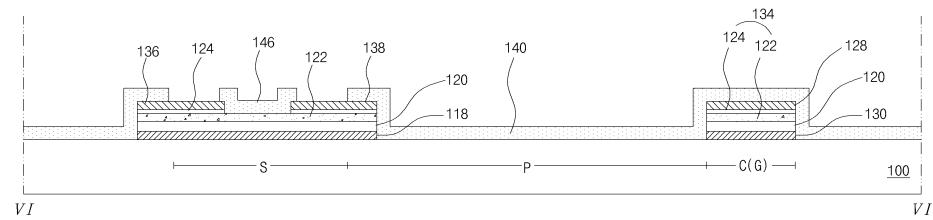
도면9f



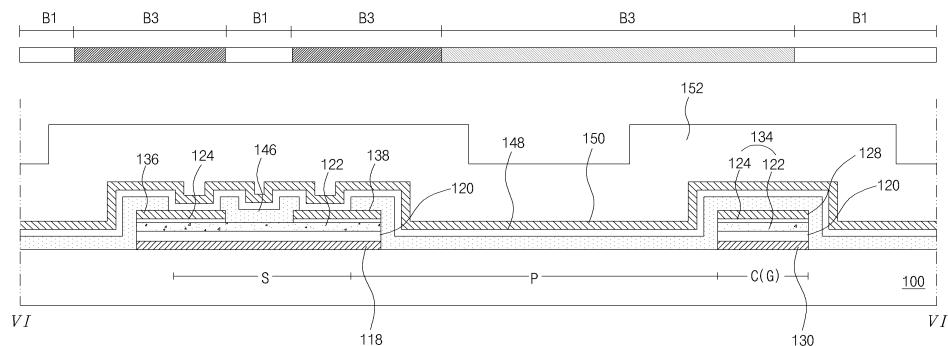
도면9g



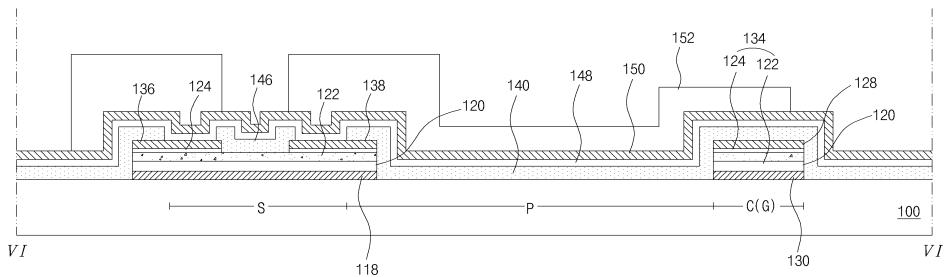
도면9h



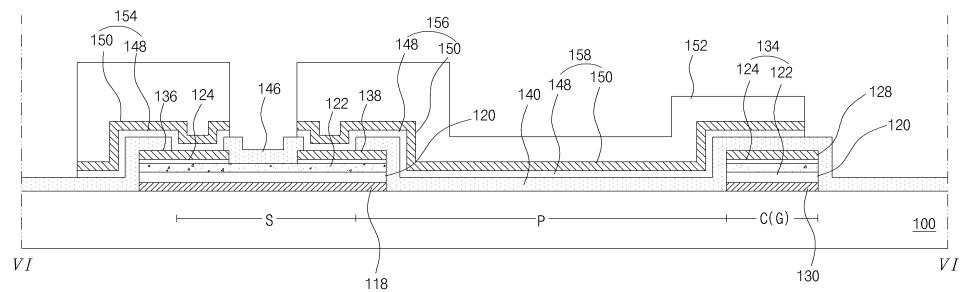
도면9i



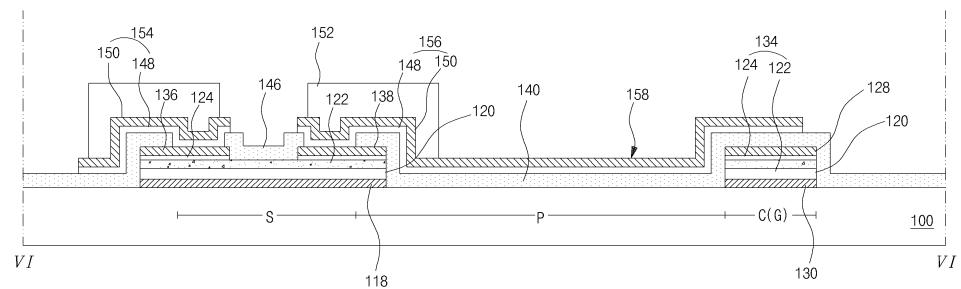
도면9j



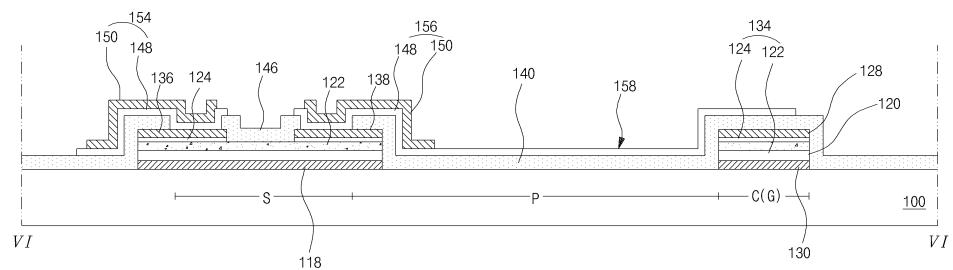
도면9k



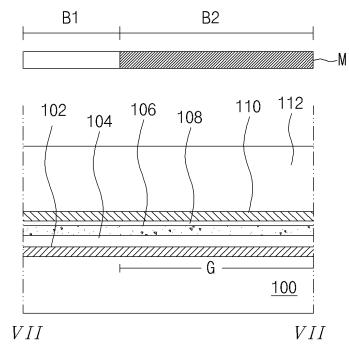
도면9l



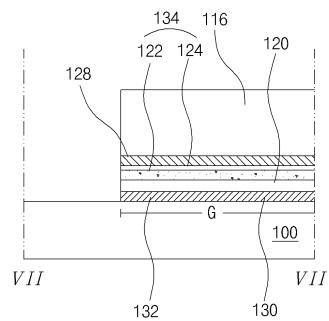
도면9m



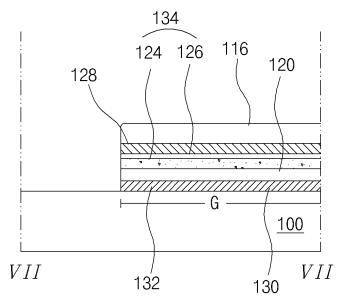
도면10a



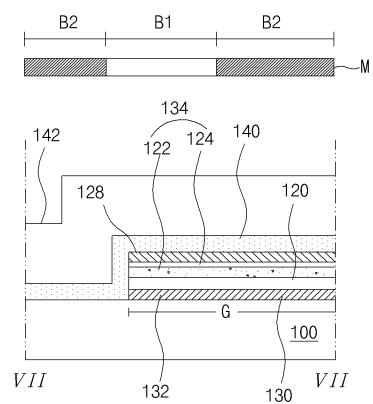
도면10b



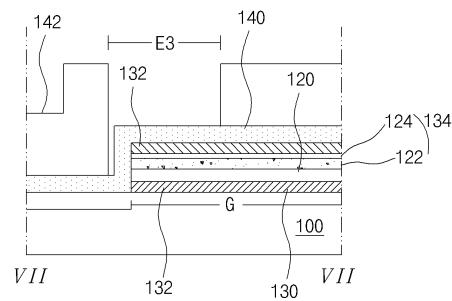
도면10c



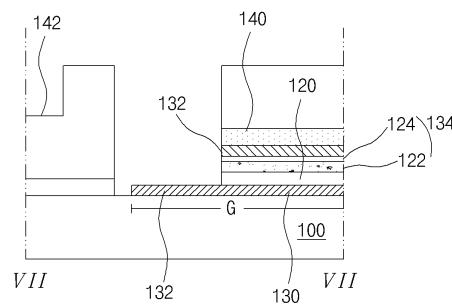
도면10d



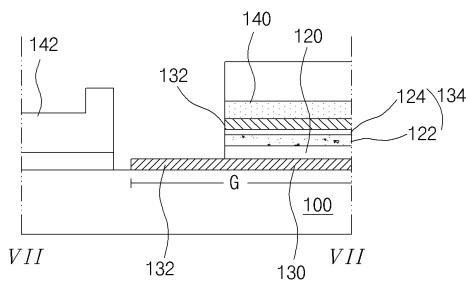
도면10e



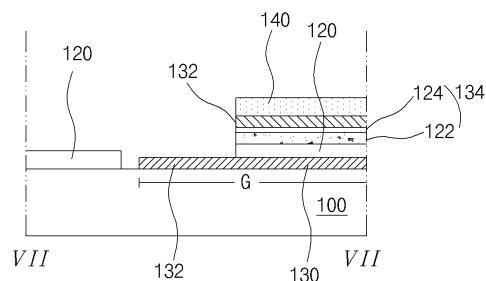
도면10f



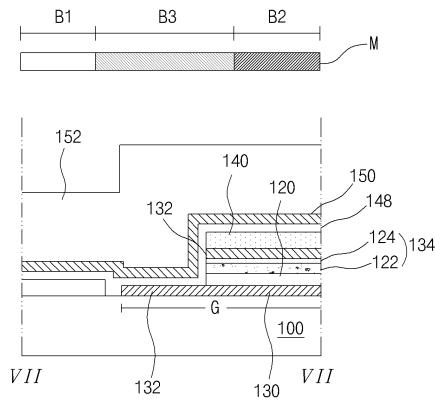
도면10g



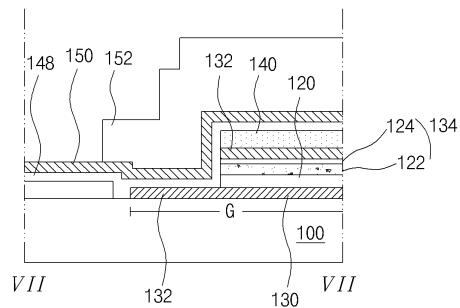
도면10h



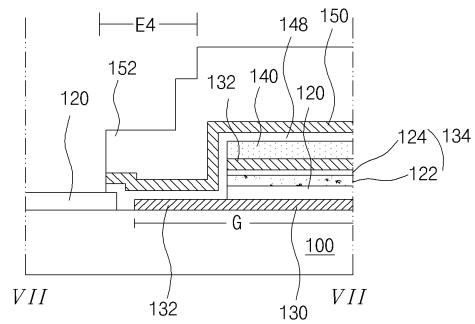
도면10i



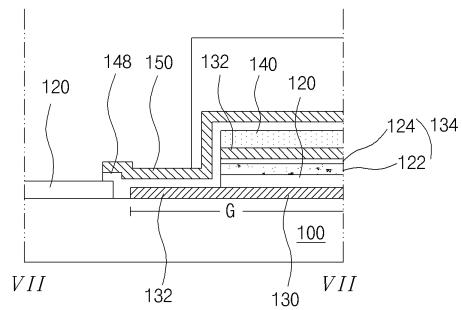
도면10j



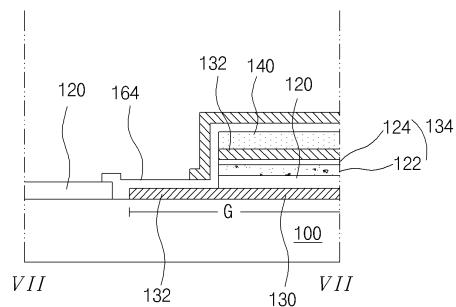
도면10k



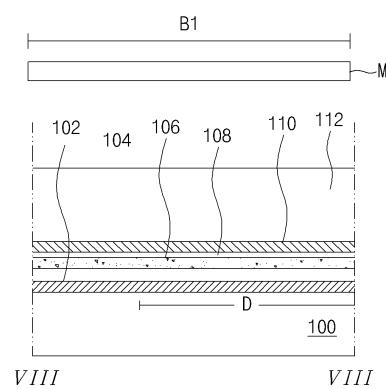
도면10



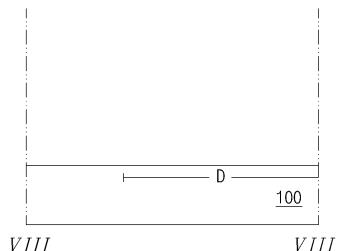
도면10m



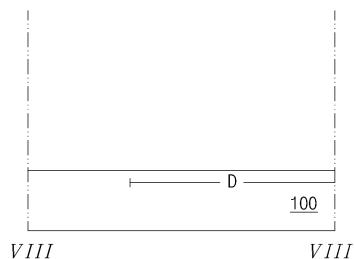
도면11a



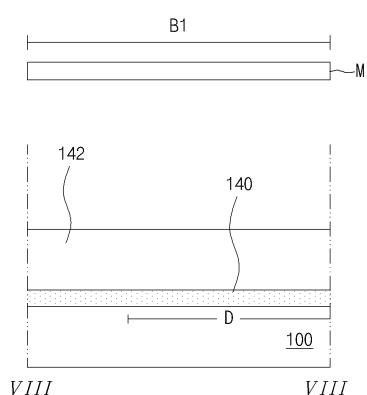
도면11b



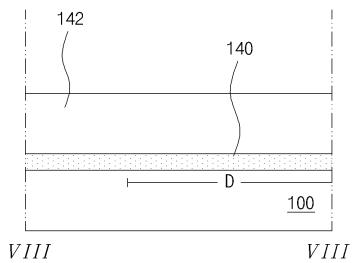
도면11c



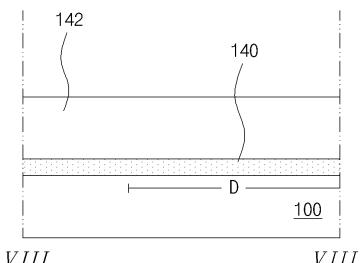
도면11d



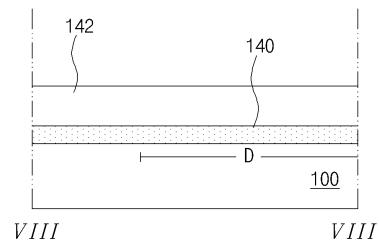
도면11e



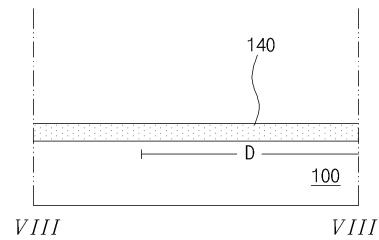
도면11f



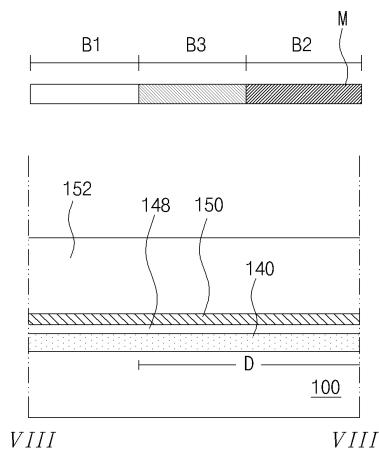
도면11g



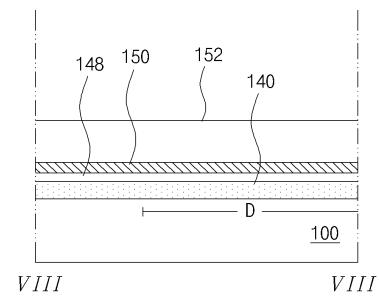
도면11h



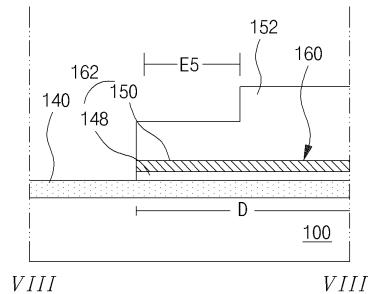
도면11i



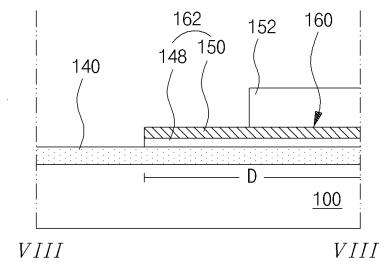
도면11j



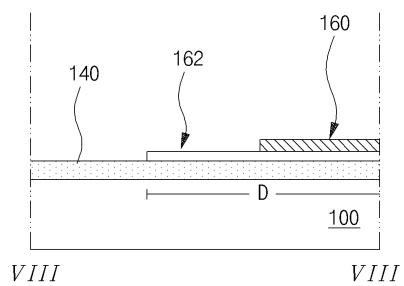
도면11k



도면11l



도면11m



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020080001181A	公开(公告)日	2008-01-03
申请号	KR1020060059346	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DONG YOUNG		
发明人	KIM, DONG YOUNG		
IPC分类号	G02F1/136		
CPC分类号	H01L29/66765 G02F2001/136236 H01L27/1214 H01L27/1288 G02F1/136209 G02F1/136227 G02F1/1368 G02F2001/136295 H01L27/124		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。特别地，制造其中包括包括防蚀刻膜的薄膜晶体管的用于液晶显示器的阵列基板。它采用3个掩模工艺制作。制造根据本发明的液晶显示装置的阵列基板的方法包括：栅极布线和形成防蚀刻膜的第二掩模处理级，第二源极与第一源极和漏极接触以及第三掩模工艺步骤形成漏电极，数据焊盘，数据线像素电极和栅极焊盘电极第一掩模工艺步骤形成栅极焊盘，栅极电极，第一源极和漏极电极位于有源层和栅极中的欧姆接触电极上部和有源层暴露部分。此时，可能存在这样的优点：没有暴露于有源层的形状是制造阵列面板的光，因此它可以防止当有源层暴露于光时在液晶面板中产生的波状噪声和该过程此外，简化了3个掩模工艺，因此降低了工艺成本并缩短了工艺时间。

