



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000851  
(43) 공개일자 2008년01월03일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2006-0058676

(22) 출원일자 2006년06월28일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김민정

부산 동래구 칠산동 286

박성일

대구 북구 동천동 화성센트럴파크 205/805

(74) 대리인

김용인, 심창섭

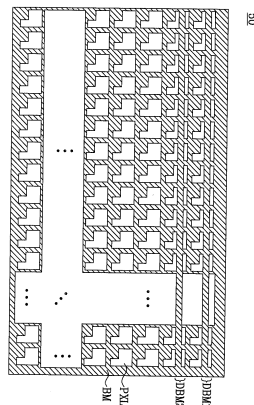
전체 청구항 수 : 총 10 항

(54) 액정 표시장치

(57) 요약

본 발명은 내장 게이트 패널(GIP; Gate In Panel) 구동시 발생하는 화질의 불량 현상을 방지할 수 있는 액정 표시장치에 관한 것으로, 다수의 게이트 라인과 다수의 데이터 라인의 교차되어 다수의 화소영역이 형성된 TFT 어레이 기판과, 상기 다수의 화소영역에 대응된 영역이 제외되도록 전면에 블랙 매트리스층이 형성된 컬러필터 기판과, 그리고 상기 다수의 게이트 라인중 적어도 하나의 게이트 라인에 연결된 다수의 화소영역에 대응되도록 상기 컬러필터 기판상에 형성된 적어도 하나의 더미 차광부를 포함하는 것을 특징으로 한다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

다수의 게이트 라인과 다수의 데이터 라인의 교차되어 다수의 화소영역이 형성된 TFT 어레이 기판과;  
상기 다수의 화소영역에 대응된 영역을 제외하고 전면에 블랙 매트리스층이 형성된 컬러필터 기판과; 그리고,  
상기 다수의 게이트 라인중 적어도 하나의 게이트 라인에 연결된 다수의 화소영역에 대응되도록 상기 블랙 매트리스층과 동시에 형성된 적어도 하나의 더미 차광부를 포함하는 것을 특징으로 하는 액정 표시장치.

### 청구항 2

제 1 항에 있어서,  
상기 적어도 하나의 더미 차광부는  
상기 적어도 하나의 게이트 라인에 연결된 각 화소영역으로부터 방출되는 광량에 따라 서로 다른 폭으로 형성되는 것을 특징으로 하는 액정 표시장치.

### 청구항 3

제 2 항에 있어서,  
상기 적어도 하나의 더미 차광부는  
상기 각 화소영역의 면적을 30%~60% 덮을 수 있도록 형성된 것을 특징으로 하는 액정 표시장치.

### 청구항 4

제 3 항에 있어서,  
상기 적어도 하나의 더미 차광부는  
상기 각 화소영역으로부터 방출되는 광량을 30%~60% 차단할 수 있도록 형성된 것을 특징으로 하는 액정 표시장치.

### 청구항 5

제 4 항에 있어서,  
상기 적어도 하나의 더미 차광부는  
상기 블랙 매트리스 형성시 상기 블랙 매트리스와 일체로 형성된 것을 특징으로 하는 액정 표시장치.

### 청구항 6

다수의 게이트 라인과 다수의 데이터 라인의 교차되어 다수의 화소영역이 형성된 TFT 어레이 기판을 형성하는 단계;  
상기 다수의 화소영역에 대응된 영역을 제외하고 전면에 블랙 매트리스층이 형성된 컬러필터 기판을 형성하는 단계; 및,  
상기 다수의 게이트 라인중 적어도 하나의 게이트 라인에 연결된 다수의 화소영역에 대응되도록 상기 블랙 매트리스층과 일체로 형성된 적어도 하나의 더미 차광부를 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 형성방법.

### 청구항 7

제 6 항에 있어서,  
상기 적어도 하나의 더미 차광부는  
상기 적어도 하나의 게이트 라인에 연결된 각 화소영역으로부터 방출되는 광량에 따라 서로 다른 폭으로 형성되

는 것을 특징으로 하는 액정 표시장치의 형성방법.

#### 청구항 8

제 7 항에 있어서,

상기 적어도 하나의 더미 차광부는

상기 각 화소영역의 면적을 30%~60% 덮을 수 있도록 형성된 것을 특징으로 하는 액정 표시장치의 형성방법.

#### 청구항 9

제 8 항에 있어서,

상기 적어도 하나의 더미 차광부는

상기 각 화소영역으로부터 방출되는 광량을 30%~60% 차단할 수 있도록 형성된 것을 특징으로 하는 액정 표시장치의 형성방법.

#### 청구항 10

제 9 항에 있어서,

상기 적어도 하나의 더미 차광부는

상기 블랙 매트릭스 형성시 상기 블랙 매트릭스와 일체로 형성된 것을 특징으로 하는 액정 표시장치의 형성방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 내장 게이트 패널(GIP; Gate In Panel) 구동시 발생하는 화질의 불량 현상을 방지할 수 있는 액정 표시장치에 관한 것이다.
- <14> 통상의 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다.
- <15> 액정패널에는 다수개의 게이트 라인과 다수개의 데이터 라인이 교차하게 배열되고, 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 형성된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(TFT; Thin Film Transistor)와 접속된다. TFT는 게이트 라인의 스캔펄스에 의해 턴-온되어, 데이터 라인의 데이터 신호가 화소전극에 충전되도록 한다.
- <16> 구동회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 컨트롤러를 포함한다.
- <17> 게이트 드라이버는 스캔펄스들을 순차적으로 출력하기 위해 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 다수의 스테이지들은 스캔펄스를 순차적으로 출력하여 액정패널의 게이트 라인들을 순차적으로 스캐닝한다.
- <18> 구체적으로, 다수의 스테이지 중 첫번째 스테이지는 타이밍 컨트롤러로부터의 스타트 신호를 트리거 신호로 입력받고 첫번째 스테이지를 제외한 나머지 스테이지들은 이전단의 스테이지로부터의 출력신호를 트리거 신호로 입력받는다. 아울러 다수의 스테이지 각각은 서로 순차적인 위상차를 갖는 다수의 클럭펄스 중 적어도 한 개의 클럭펄스를 인가받는다. 이에 따라, 첫번째 스테이지부터 마지막 스테이지까지 스캔펄스를 순차적으로 출력하게 된다.

- <19> 하지만, 쉬프트 레지스터가 액정 패널을 형성하는 TFT 어레이 기판에 내장되어 집적화된 GIP를 사용하는 경우, 제조 단가를 줄이기 위해 기존의 타이밍 컨트롤러가 형성된 구동회로에 GIP를 연결시켜서 사용해야 한다. 이때, 타이밍 컨트롤러로부터의 게이트 구동신호가 GIP에 맞춰져 있지 않기 때문에 GIP의 신호 특성에 맞지 않아서 표시되는 화질에 불량이 발생한다.
- <20> 구체적으로, 쉬프트 레지스터의 구동시 사용되는 다수의 클럭펄스와 스타트 신호는 타이밍 컨트롤러로부터의 데이터 인에이블 신호를 이용하여 생성된다. 타이밍 컨트롤러로부터의 다수의 클럭펄스는 1 수평구간을 갖는 데이터 인에이블 신호의 펄스폭을 변환시켜서 각각 2 수평구간의 펄스폭으로 서로 순차적인 위상차를 갖고 공급된다. 또한, 다수의 클럭펄스는 서로 인접한 클럭펄스 간에 펄스폭이 일정 구간동안 서로 중첩되도록 공급되기도 한다. 하지만, 첫번째 스테이지에 트리거 신호로 공급되는 스타트 신호는 데이터 인에이블 신호를 바로 변환하여 공급할 수 없으므로 데이터 인에이블 신호와 같이 1 수평구간의 펄스폭으로 공급된다. 이에 따라, 첫번째 스테이지는 스캔펄스를 출력하기 위한 인에이블 구간이 1 수평구간 동안만 이루어지기 때문에 출력되는 스캔펄스는 비록 첫번째 클럭펄스에 따라 2 수평구간 동안 발생되긴 하지만 그 진폭이 저하되어 화소영역에서 영상 데이터의 충전율이 저하된다.
- <21> 첫번째 스테이지로부터 스캔펄스를 공급받는 첫번째 라인의 영상 데이터 충전율은 이후에 2 수평구간 동안 저하되지 않은 진폭의 스캔펄스를 공급받는 다수의 게이트 라인에 비해 저하된다. 이는, 노멀리 화이트 모드(Normally White Mode)로 구동되는 TN모드(Twisted Nematic Mode)의 경우, 첫번째 게이트 라인의 화소영역에는 영상 데이터의 계조가 낮아짐에 따라 밝은 띠가 나타나게 되는데 특히 저온 구동시 더더욱 눈에 띄게 발생하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

- <22> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 액정패널의 컬러 필터 기판에 형성되는 블랙 매트릭스와 함께 적어도 하나의 더미 차광부를 형성하여 GIP 구동시 발생하는 화질의 불량 현상을 방지할 수 있는 액정 표시장치를 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

- <23> 상기와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 액정 표시장치는 다수의 게이트 라인과 다수의 데이터 라인의 교차되어 다수의 화소영역이 형성된 TFT 어레이 기판과, 상기 다수의 화소영역에 대응된 영역이 제외되도록 전면에 블랙 매트릭스층이 형성된 컬러필터 기판과, 그리고 상기 다수의 게이트 라인중 적어도 하나의 게이트 라인에 연결된 다수의 화소영역에 대응되도록 상기 컬러필터 기판상에 형성된 적어도 하나의 더미 차광부를 포함하는 것을 특징으로 한다.
- <24> 이하, 상기와 같은 특징을 갖는 본 발명의 실시예에 따른 액정 표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- <25> 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도이다.
- <26> 도 1에 도시된 액정 표시장치는 TFT 어레이 기판(10)상에 다수의 게이트 라인(GL1 내지 GLn)과 다수의 데이터 라인(DL1 내지 DLm)을 구비하여 형성된 액정패널(20)과, 다수의 데이터 라인(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(30)와, 다수의 게이트 라인(GL1 내지 GLn)을 구동하는 게이트 드라이버(40)를 포함한다.
- <27> 액정패널(20)은 다수의 게이트 라인(GL1 내지 GLn)과 다수의 데이터 라인(DL1 내지 DLm)에 의해 정의되는 각 화소영역(PXL)에 형성된 TFT와 액정분자를 구동하는 화소전극을 구비한다. TFT는 게이트 라인(GL1 내지 GLn)으로부터의 스캔펄스에 응답하여 데이터 라인(DL1 내지 DLm)으로부터의 데이터 신호를 화소전극에 공급한다.
- <28> 데이터 드라이버(30)는 외부로부터의 디지털 영상 데이터를 아날로그 영상 데이터로 변환하고 게이트 라인(GL1 내지 GLn)에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 영상 데이터를 데이터 라인(DL1 내지 DLm)으로 공급한다. 즉, 데이터 드라이버(30)는 아날로그 영상 데이터의 계조값에 따라 소정 레벨을 가지는 감마전압을 선택하고 선택된 감마전압을 데이터 라인(DL1 내지 DLm)으로 공급한다.
- <29> 게이트 드라이버(40)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터를 포함하며 이 스캔펄스에 응답하여 TFT가 턴-온 되게 한다. 쉬프트 레지스터는 액정패널(20)을 형성하는 TFT 어레이 기판(10)에 내장되어 집적화된다.

- <30> 도 2는 도 1에 도시된 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도이다.
- <31> 도 2에 도시된 쉬프트 레지스터는 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)가 서로 종속적으로 연결되어 서로 교번적으로 위치하는 n개의 스테이지(ST1 내지 STn) 및 두개의 더미 스테이지(DST1,DST2)로 구성된다.
- <32> n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1,DST2)는 n개의 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다. 여기서, n개의 스테이지(ST1 내지 STn)로부터 출력된 n개의 스캔펄스(Vout1 내지 Voutn)는 액정패널(20)의 게이트 라인들에 순차적으로 공급되어 게이트 라인들을 순차적으로 스캐닝하게 된다. 그리고, 두개의 더미 스테이지(DST1,DST2)에서 출력되는 스캔펄스는 홀수 및 짝수번째의 이전단 스테이지(STn-1,STn)를 디세이블 즉, 리셋시키기 위한 신호로 사용된다.
- <33> n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1,DST2)는 게이트 온 전압(VDD)과 게이트 오프 전압(VSS)을 공통으로 공급받는다. 그리고 일정 구간동안 서로 중첩된 다수의 클럭펄스 즉, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 적어도 하나의 클럭펄스를 인가받는다.
- <34> 제 1 스테이지(ST1)와 제 2 스테이지(ST2)는 도시되지 않은 타이밍 컨트롤러로부터의 스타트 펄스(SP)를, 제 3 내지 제 n 스테이지(ST3 내지 STn)와 제 1 및 제 2 더미 스테이지(DST1,DST2)는 홀수 및 짝수번째의 각 이전단 스테이지의 스캔펄스를 트리거 신호로 공급받는다. 그리고, 제 1 내지 n 스테이지(ST1 내지 STn)는 홀수 및 짝수번째의 각 다음단 스테이지의 스캔펄스를 리셋 신호로 공급받는다.
- <35> 구체적으로, n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1,DST2)는 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)로 나뉘어 서로 종속적으로 연결되어 있다. 따라서, 제 1 스테이지(ST1)를 제외한 홀수번째 스테이지(ST3 내지 STn-1)는 홀수번째의 전단 스테이지로부터의 스캔펄스를 트리거 신호로 공급받는다. 그리고 홀수번째의 다음단 스테이지의 스캔펄스를 리셋신호로 공급받는다.
- <36> 제 2 스테이지(ST2)를 제외한 짝수번째 스테이지(ST4 내지 STn)는 짝수번째의 이전단 스테이지로부터의 스캔펄스를 트리거 신호로 공급받는다. 그리고 짝수번째의 다음단 스테이지의 스캔펄스를 리셋신호로 공급받는다.
- <37> 도 3은 도 2에 도시된 쉬프트 레지스터의 입/출력 파형을 나타낸 파형도이다.
- <38> 도 3에 도시된 바와 같이, 타이밍 컨트롤러로부터의 스타트 신호(SP)는 1 수평구간의 펄스폭을 갖는 데이터 인에이블 신호와 동일하게 1 수평구간(1H)의 펄스폭을 갖고 공급된다. 그리고, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 타이밍 컨트롤러의 데이터 인에이블 신호가 변조된 2 수평구간(2H)의 펄스폭을 갖고 공급된다.
- <39> 이에 따라, 1 수평구간(1H)의 스타트 신호를 공급받는 제 1 스테이지(ST1)와 제 2 스테이지(ST2)는 1 수평구간(1H) 동안 게이트 온 전압(VDD)으로 인에이블 된다. 그리고 제 1 스테이지(ST1)는 제 1 클럭펄스(CLK1)가 공급되면 제 1 클럭펄스(CLK1)를 제 1 스캔펄스(Vout1)로 출력하게 된다. 하지만, 제 1 스테이지(ST1)에 구비된 도시되지 않은 노드가 게이트 온 전압(VDD)으로 프리차징 되는 구간이 1 수평구간(1H)이기 때문에 노드의 충전률이 낮아서 제 1 스캔펄스(Vout1)의 출력특성이 저하된다.
- <40> 한편, 제 2 스테이지(ST2) 또한 1 수평구간(1H)의 스타트 신호(SP)가 공급되면 게이트 온 전압(VDD)으로 프리차징 된다. 그리고 제 2 스테이지(ST2)는 제 2 클럭펄스(CLK2)가 공급되면 제 2 클럭펄스(CLK2)를 제 2 스캔펄스(Vout2)로 출력하게 된다. 하지만, 제 2 스테이지(ST2)에 구비된 도시되지 않은 노드 또한 게이트 온 전압(VDD)으로 프리차징 되는 구간이 1 수평구간(1H)이기 때문에 노드의 충전률이 낮아서 제 2 스캔펄스(Vout2)의 출력특성이 도 3에 도시된 바와 같이 저하된다.
- <41> 이 후, 제 1 스테이지(ST1)로부터의 제 1 스캔펄스(Vout1)를 트리거 신호로 공급받는 제 3 스테이지(ST3)는 제 3 클럭펄스(CLK3)를 제 3 스캔펄스(Vout3)로 출력한다. 이 때, 제 3 스테이지(ST3)는 2 수평구간(2H) 동안 게이트 온 전압(VDD)으로 프리차징 되기 때문에 제 3 스캔펄스(Vout3)의 출력 특성은 왜곡되지 않고 정상적이다.
- <42> 또한, 제 2 스테이지(ST2)로부터의 제 2 스캔펄스(Vout2)를 트리거 신호로 공급받는 제 4 스테이지(ST4)는 제 4 클럭펄스(CLK4)를 제 4 스캔펄스(Vout4)로 출력한다. 이때, 제 4 스테이지(ST4)는 2 수평구간(2H) 동안 게이트 온 전압(VDD)으로 프리차징 되기 때문에 제 4 스캔펄스(Vout4)의 출력 특성 또한 도 3에 도시된 바와 같이 정상적으로 출력된다.
- <43> 물론, 제 5 스테이지(ST5)를 포함한 나머지 스테이지(ST6 내지 STn)의 스캔펄스(Vout6 내지 Voutn) 출력 특성 또한 도면으로 도시되지는 않았지만, 제 3 및 제 4 스캔펄스(Vout3,Vout4)와 같이 정상적인 출력 특성을

갖는다.

- <44> 제 1 및 제 2 스테이지(ST1,ST2)에 연결된 제 1 및 제 2 게이트 라인(GL1 내지 GL2)으로 공급되는 스캔펄스(Vout1,Vout2)는 그 출력 특성이 도 3에 도시된 바와 같이 저하된다. 이에 따라, 데이터 드라이버(30)로부터의 영상 데이터가 제 1 및 제 2 게이트 라인(GL1,GL2)에 연결된 화소영역(PXL)들에 충전되는 충전률이 저하된다.
- <45> 만일, 액정패널(20)이 노멀리 화이트 모드(Normally White Mode)로 구동되는 TN모드(Twisted Nematic Mode)의 경우, 제 1 및 제 2 게이트 라인(GL1,GL2)의 화소영역(PXL)들에는 영상 데이터의 계조가 낮아짐에 따라 밝은 띠가 나타나게 된다. 이는 저온 구동시 더욱 확연하게 나타나게 된다.
- <46> 앞에서 언급한 바와 같이, GIP를 사용하는 경우 제조 단가를 줄이기 위해 기존의 타이밍 컨트롤러가 형성된 구동회로에 GIP를 연결시켜서 사용하기 때문에, GIP 형성시 제 1 및 제 2 게이트 라인(GL1,GL2)의 화소영역(PXL)들에 화질불량이 나타나지 않도록 GIP를 설계해야 한다.
- <47> 도 4는 도 1에 도시된 액정패널을 형성하기 위한 컬러필터 기판을 나타낸 구성도이다.
- <48> 도 4에 도시된 컬러필터 기판(50)에는 다수의 화소영역(PXL)을 제외한 영역의 빛을 차단하기 위한 블랙 매트릭스층(BM)과, 다수의 화소영역(PXL) 중 일부영역의 빛을 차단하기 위한 제 1 및 제 2 더미 차광부(DBM1,DBM2)와, 도시되지 않았지만 컬러 색상을 표현하기 위한 RGB 컬러 필터층, 화소영역(PXL)들 각각에 전계를 인가하기 위한 공통전극, 그리고 액정층을 배향시키기 위한 배향막이 형성되어 있다.
- <49> 블랙 매트릭스층(BM)은 TFT 어레이 기판에 형성된 다수의 화소영역(PXL)에 대응하는 부분을 제외한 컬러필터 기판(50)의 전면에 형성된다. 하지만, 다수의 화소영역(PXL) 중 데이터 출력 특성이 저하되는 화소영역(PXL) 상에는 제 1 및 제 2 더미 차광부(DBM1,DBM2)가 형성된다. 즉, 제 1 및 제 2 더미 차광부(DBM1,DBM2)는 다수의 게이트 라인중 적어도 하나의 게이트 라인에 연결된 다수의 화소영역에 대응되도록 형성된다.
- <50> 구체적으로, 다수의 화소영역(PXL) 중 영상 데이터의 충전률이 저하되어 낮은 계조가 표시됨에 따라 영상이 밝게 표시되는 제 1 및 제 2 게이트 라인(GL1,GL2)의 화소영역(PXL)들에 대응되도록 제 1 및 제 2 더미 차광부(DBM1, DBM2)가 형성된다.
- <51> 제 1 더미 차광부(DBM1)는 제 1 게이트 라인(GL1)과 연결된 화소영역(PXL)과 대응되도록 형성되고, 제 2 더미 차광부(DBM2)는 제 2 게이트 라인(GL2)과 연결된 화소영역(PXL)과 대응되도록 형성된다.
- <52> 이때, 제 1 및 제 2 더미 차광부(DBM1, DBM2)는 각 게이트 라인에 연결된 각 화소영역(PXL)으로부터 방출되는 빛의 양에 따라 서로 다른 폭으로 형성될 수 있다.
- <53> 제 1 및 제 2 더미 차광부(DBM1, DBM2)의 형성 폭은 액정패널(20)의 크기 및 해상도에 따라 다르게 형성될 수 있다. 구체적으로, 다수의 화소영역(PXL) 크기가 해상도 및 액정패널(20)크기에 따라 다르게 형성되기 때문에 제 1 및 제 2 더미 차광부(DBM1, DBM2)의 형성 폭은 각 화소영역(PXL)이 차지하는 면적의 30%~60%를 가릴 수 있도록 형성된다.
- <54> 이는, 액정 표시장치가 주로 구동되는 장소의 온도 즉, 저온 또는 고온 구동의 여부에 따라 다르게 형성된다. 주로 저온에서 구동하는 경우에는 제 1 및 제 2 더미 차광부(DBM1, DBM2)의 형성폭을 각 화소영역(PXL)이 차지하는 면적의 60%를 덮을 수 있도록 형성한다. 한편, 주로 고온에서 구동하는 경우에는 제 1 및 제 2 더미 차광부(DBM1, DBM2)의 형성폭을 각 화소영역(PXL)이 차지하는 면적의 30%를 덮을 수 있도록 형성한다
- <55> 한편, 제 1 및 제 2 더미 차광부(DBM1, DBM2)는 각 화소영역(PXL)으로부터 방출되는 광량을 30%~60% 차단할 수 있도록 형성되기도 한다. 이러한 제 1 및 제 2 더미 차광부(DBM1, DBM2)는 컬러필터 기판(50)의 제조시에 블랙 매트릭스층(BM)과 일체로 형성된다.
- <56> 본 발명의 실시예에 따른 쉬프트 레지스터는 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)가 서로 종속적으로 연결되어 서로 교번적으로 위치한다. 이에 따라, 홀수 및 짝수번째로 구동되는 쉬프트 레지스터 사용시 제 1 및 제 2 더미 차광부(DBM1, DBM2)만을 형성하여 영상의 화질이 저하되는 것을 방지한다.
- <57> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.



## 발명의 효과

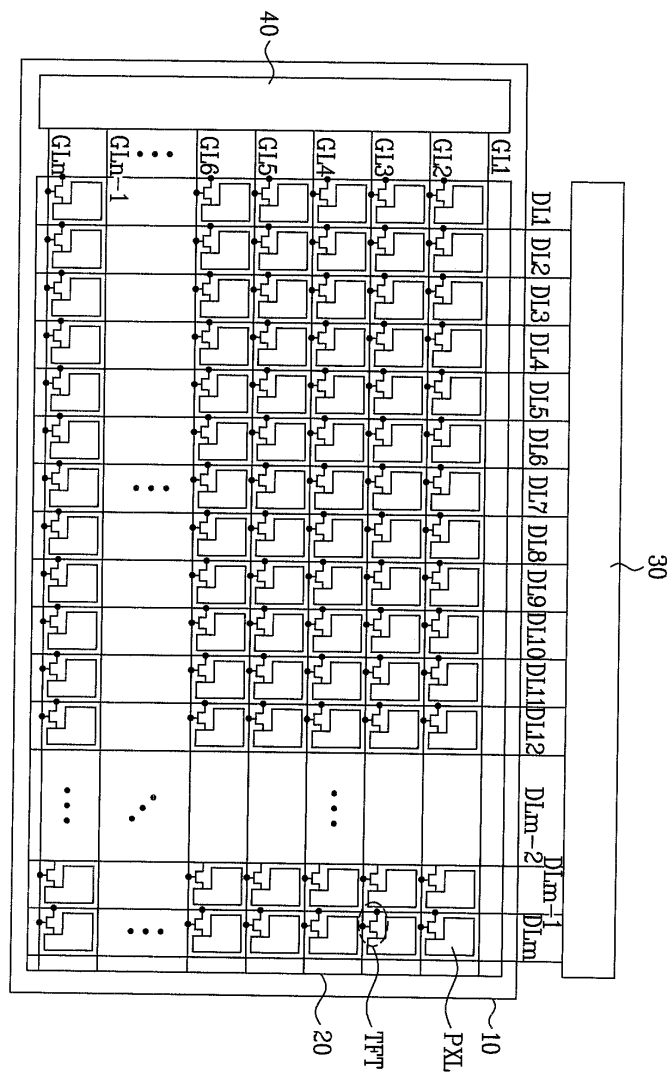
- <58>** 이상에서 상술한 바와 같은 본 발명에 따른 액정 표시장치 및 이의 제조방법에 있어서는 다음과 같은 효과가 있다.
- <59>** 본 발명은 GIP 형성시 컬러필터 기판에 구비되는 블랙 매트리스층에 적어도 하나의 더미 차광부를 형성한다. 이에 따라, 기존의 액정패널을 구동하기 위한 구동회로에 GIP를 연결시켜서 사용하는 경우 발생하는 화질의 불량 현상을 방지할 수 있다.

## 도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도.
- <2> 도 2는 도 1에 도시된 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도.
- <3> 도 3은 도 2에 도시된 쉬프트 레지스터의 입/출력 파형을 나타낸 파형도
- <4> 도 4는 도 1에 도시된 액정패널을 형성하기 위한 컬러필터 기판을 나타낸 구성도.
- <5> \* 도면의 주요부분에 대한 부호의 설명 \*
- <6> 10 : TFT 어레이 기판                                                        20 : 액정패널
- <7> 30 : 데이터 드라이버                                                        40 : 게이트 드라이버
- <8> 50 : 컬러필터 기판                                                        PXL : 화소영역
- <9> DBM1 : 제 1 더미 차광부                                                        DBM2 : 제 2 더미 차광부
- <10> GL1 내지 GLn : 제 1 내지 제 n 게이트 라인
- <11> DL1 내지 DLm : 제 1 내지 제 m 데이터 라인
- <12> CLK1 내지 CLK4 : 제 1 내지 제 4 클럭펄스

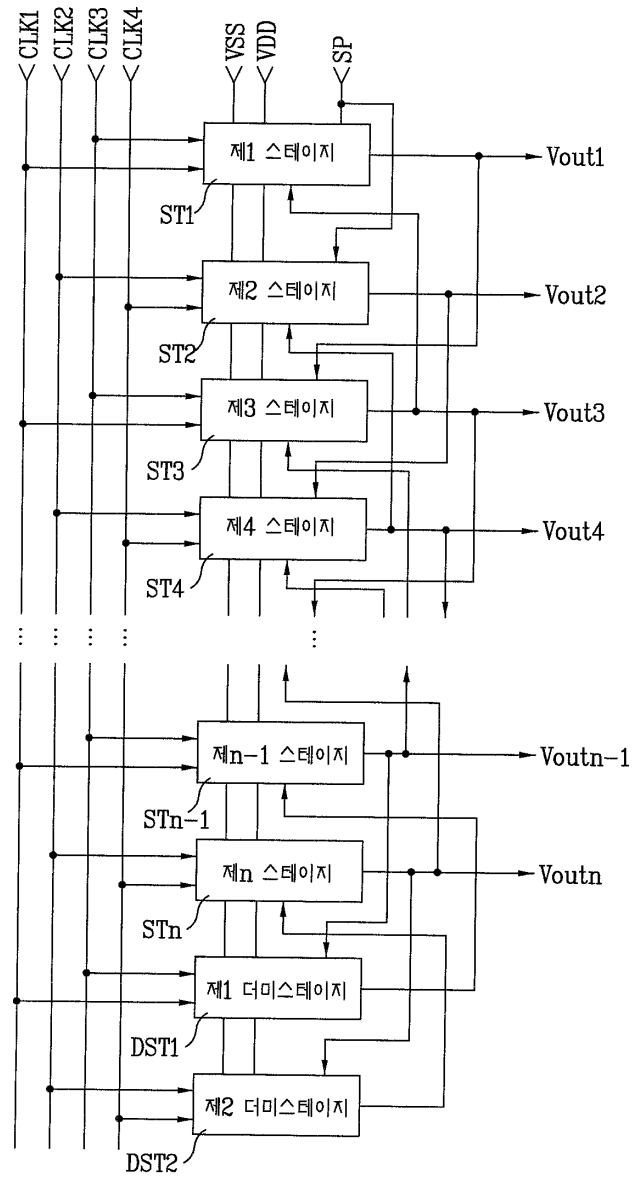
도면

도면1

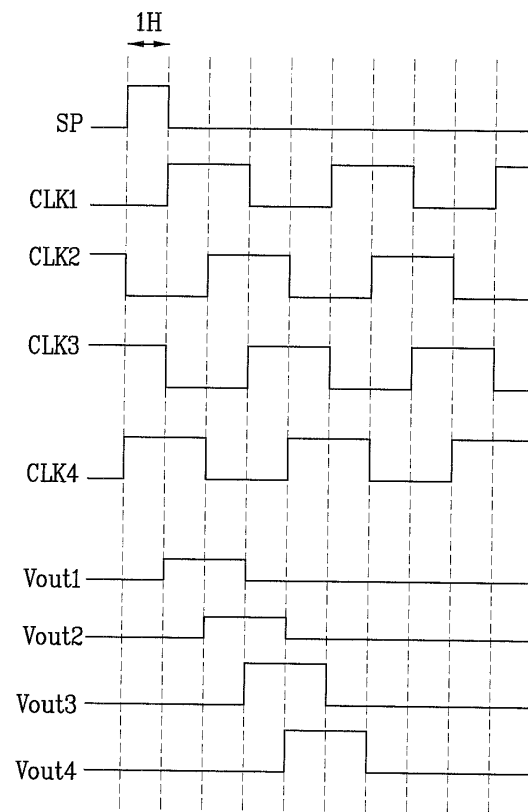




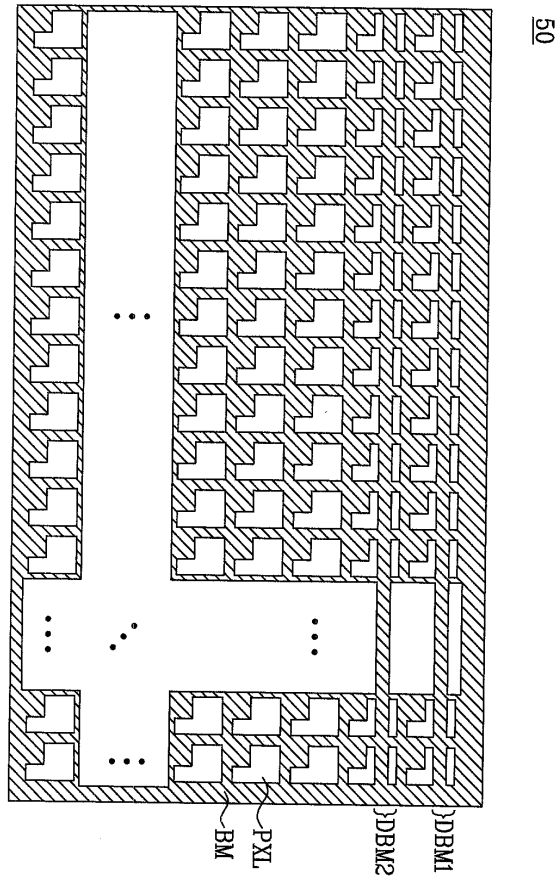
도면2



도면3



도면4



|                |                                                      |         |            |
|----------------|------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                |         |            |
| 公开(公告)号        | <a href="#">KR1020080000851A</a>                     | 公开(公告)日 | 2008-01-03 |
| 申请号            | KR1020060058676                                      | 申请日     | 2006-06-28 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                             |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                            |         |            |
| [标]发明人         | KIM MIN JUNG<br>김민정<br>PARK SUNG IL<br>박성일           |         |            |
| 发明人            | 김민정<br>박성일                                           |         |            |
| IPC分类号         | G02F1/1335                                           |         |            |
| CPC分类号         | G02F1/136209 G02F1/1368 G02F1/136286 G02F2001/136222 |         |            |
| 代理人(译)         | Gimyongin<br>Simchangseop                            |         |            |
| 其他公开文献         | KR101212163B1                                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>                            |         |            |

#### 摘要(译)

用途：提供LCD以形成至少一个虚设遮光部分以及形成在滤色器阵列基板中的黑色矩阵，从而防止驱动GIP（面板中的栅极）时图像质量的劣化。组织：TFT（薄膜晶体管）阵列基板包括通过交叉栅极线和数据线形成的多个像素区域（PXL）。滤色器阵列基板（50）包括与除了像素区域之外的区域对应的黑矩阵层。一个或多个虚设光屏蔽部分（DBM1，DBM2）对应于连接到栅极线中的一个或多个栅极线的像素区域设置。伪光屏蔽部分和黑色矩阵层同时形成。©KIPO 2008

50

