(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0079614
(43) 공개일자 2007년08월08일

(21) 출원번호 10-2006-0010349
(22) 출원일자 2006년02월03일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 문성재
서울 동대문구 휘경1동 신성은하수아파트 102동 706호
정채우
충남 천안시 쌍용동 1923번지 용암동아벽산아파트 102동 201호

(74) 대리인 조희원

전체 청구항 수 : 총 27 항

(54) 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 기생 커패시턴스의 편차로 인한 수직 크로스토크를 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

이를 위하여 본 발명은 제1 및 제2 계조 영역으로 분할된 각 서브 화소 영역 중 상기 제1 계조 영역에 형성된 제1 화소 전극과, 상기 제1 화소 전극으로 둘러싸인 상기 제2 계조 영역에 제1 화소 전극과 분리되어 형성된 제2 화소 전극을 구비하는 액정 표시 장치와 그 제조 방법을 개시한다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 및 제2 계조 영역으로 분할된 각 서브 화소 영역 중 상기 제1 계조 영역에 형성된 제1 화소 전극과;

상기 제1 화소 전극으로 둘러싸인 상기 제2 계조 영역에 제1 화소 전극과 분리되어 형성된 제2 화소 전극을 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 제1 화소 전극과 접속된 제1 박막 트랜지스터와;

상기 제2 화소 전극과 접속된 제2 박막 트랜지스터와;

상기 제1 및 제2 박막 트랜지스터와 접속되어 상기 각 서브 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 제2 화소 전극과 접속된 박막 트랜지스터와;

상기 박막 트랜지스터의 드레인 전극과 상기 제1 화소 전극의 중첩부에 형성된 커플링 커패시터와;

상기 박막 트랜지스터와 접속되어 상기 각 서브 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 2 항 및 제 3 항 중 어느 한 항에 있어서,

상기 제2 화소 전극은

상기 서브 화소 영역의 단축 방향을 기준으로 대칭적으로 경사진 날개부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 제1 화소 전극은

상기 제2 화소 전극의 상부에 형성된 상부 전극과;

상기 제2 화소 전극의 하부에 형성된 하부 전극과;

상기 제2 화소 전극의 날개부 사이에 형성된 중앙 전극과;

상기 상부 전극 및 중앙 전극을 연결하는 제1 연결 라인과;

상기 하부 전극 및 중앙 전극을 연결하는 제2 연결 라인과;

상기 상부 전극 및 하부 전극을 연결하는 제3 연결 라인을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 5 항에 있어서,

상기 제1 화소 전극과 제2 화소 전극을 서로 분리시키는 제1 슬릿을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 제1 슬릿은 상기 제2 화소 전극의 측변을 따라 일정 폭을 갖고 상기 제2 화소 전극을 감싸는 구조로 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 6 항에 있어서,

상기 제1 화소 전극의 상부 전극 및 하부 전극 각각에 상기 제1 슬릿과 나란하게 형성된 제2 슬릿을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제 5 항에 있어서,

상기 제1 화소 전극의 제1 및 제2 연결 전극은 상기 제2 화소 전극과 일측으로 인접한 데이터 라인 사이에 형성되고, 상기 제3 연결 전극은 상기 제2 화소 전극과 타측으로 인접한 데이터 라인 사이에 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 9 항에 있어서,

상기 제3 연결 전극은 상기 제1 화소 전극에서 일측 데이터 라인과 인접한 일측변의 길이와, 타측 데이터 라인과 인접한 타측변의 길이의 차이를 감소시키는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제 9 항에 있어서,

상기 제2 화소 전극의 일측변과 인접한 일측 데이터 라인과의 간격과, 상기 제2 화소 전극의 타측변과 인접한 타측 데이터 라인과의 간격이 동일한 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제 5 항에 있어서,

상기 서브 화소 영역의 단축 방향을 따라 형성되어 상기 제1 및 제2 화소 전극 각각과 중첩된 스토리지 라인을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제 12 항에 있어서,

상기 제1 박막 트랜지스터로부터 신장되어 상기 제1 화소 전극과 접속된 제1 드레인 전극이 절연막을 사이에 두고 상기 스토리지 라인과 중첩되어 형성된 제1 스토리지 커패시터와;

상기 제2 박막 트랜지스터로부터 신장되어 상기 제2 화소 전극과 접속된 제2 드레인 전극이 상기 절연막을 사이에 두고 상기 스토리지 라인과 중첩되어 형성된 제2 스토리지 커패시터를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제 12 항에 있어서,

상기 박막 트랜지스터로 신장되어 상기 제2 화소 전극과 접속된 드레인 전극이 제1 절연막을 사이에 두고 상기 스토리지 라인과 중첩되어 형성된 스토리지 커패시터를 추가로 구비하고;

상기 커플링 커패시터는 상기 드레인 전극이 신장되어 제2 절연막을 사이에 두고 상기 제1 화소 전극과 중첩되어 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 15.

제 12 항에 있어서,

상기 제1 및 제2 박막 트랜지스터를 덮고 상기 제1 및 제2 화소 전극의 아래에 형성된 유기 절연막과;

상기 유기 절연막 위에 상기 게이트 라인 및 데이터 라인과 중첩되게 형성된 공통 라인을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제1 및 제2 계조 영역으로 분할된 각 서브 화소 영역 중 상기 제1 계조 영역에 형성된 제1 화소 전극을 형성하는 단계와;

상기 제1 화소 전극에 둘러싸인 상기 제2 계조 영역에 상기 제1 화소 전극과 분리된 제2 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 17.

제 16 항에 있어서

상기 제1 화소 전극과 접속된 제1 박막 트랜지스터와, 상기 제2 화소 전극과 접속된 제2 박막 트랜지스터와, 상기 제1 및 제2 박막 트랜지스터와 접속되어 상기 각 서브 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 18.

제 16 항에 있어서

상기 제2 화소 전극과 접속된 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극과 상기 제1 화소 전극의 중첩부의 커플링 커패시터와, 상기 박막 트랜지스터와 접속되어 상기 각 서브 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 19.

제 17 항 및 제 18 항 중 어느 한 항에 있어서,

상기 제2 화소 전극은 상기 서브 화소 영역의 단축 방향을 기준으로 대칭적으로 경사진 날개부를 포함하는 구조로 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 제1 화소 전극은

상기 제2 화소 전극의 상부에 형성된 상부 전극과, 상기 제2 화소 전극의 하부에 형성된 하부 전극과, 상기 제2 화소 전극의 날개부 사이에 형성된 중앙 전극과, 상기 상부 전극 및 중앙 전극을 연결하는 제1 연결 라인과, 상기 하부 전극 및 중앙 전극을 연결하는 제2 연결 라인과, 상기 상부 전극 및 하부 전극을 연결하는 제3 연결 라인을 포함하는 구조로 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 제1 화소 전극은 상기 제2 화소 전극의 측변을 따라 일정 폭을 갖고 상기 제2 화소 전극을 감싸는 제1 슬릿에 의해 상기 제2 화소 전극과 분리된 것을 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 22.

제 21 항에 있어서,

상기 제1 화소 전극의 상부 전극 및 하부 전극 각각에는 상기 제1 슬릿과 나란한 제2 슬릿이 더 형성된 것을 액정 표시 장치의 제조 방법.

청구항 23.

제 20 항에 있어서,

상기 제1 화소 전극의 제1 및 제2 연결 전극은 상기 제2 화소 전극과 일측으로 인접한 데이터 라인 사이에 형성되고, 상기 제3 연결 전극은 상기 제2 화소 전극과 타측으로 인접한 데이터 라인 사이에 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 24.

제 20 항에 있어서,

상기 서브 화소 영역의 단축 방향을 따라 상기 제1 및 제2 화소 전극 각각과 중첩된 스토리지 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 25.

제 24 항에 있어서,

상기 제1 박막 트랜지스터로부터 신장되어 상기 제1 화소 전극과 접속된 제1 드레인 전극이 절연막을 사이에 두고 상기 스토리지 라인과 중첩되게 하여 제1 스토리지 커패시터를 형성하는 단계와;

상기 제2 박막 트랜지스터로부터 신장되어 상기 제2 화소 전극과 접속된 제2 드레인 전극이 상기 절연막을 사이에 두고 상기 스토리지 라인과 중첩되게 하여 제2 스토리지 커패시터를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 26.

제 24 항에 있어서,

상기 박막 트랜지스터로 신장되어 상기 제2 화소 전극과 접속된 드레인 전극이 제1 절연막을 사이에 두고 상기 스토리지 라인과 중첩되게 하여 스토리지 커패시터를 형성하는 단계를 추가로 포함하고;

상기 커플링 커패시터는 상기 드레인 전극이 신장되어 제2 절연막을 사이에 두고 상기 제1 화소 전극과 중첩되어 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 27.

제 24 항에 있어서,

상기 게이트 라인 및 데이터 라인 위에 절연막을 사이에 두고 중첩된 공통 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 기생 커패시턴스 편차로 인한 수직 크로스토크를 방지할 수 있는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정 표시 장치는 액정을 이용한 화소 매트릭스를 통해 화상을 표시하는 액정 표시 패널과, 액정 표시 패널을 구동하는 구동 회로와, 액정 표시 패널에 빛을 공급하는 백라이트 유닛을 구비한다. 이러한 액정 표시 장치는 화면을 바라보는 위치에 따라 이미지가 왜곡되어 보이는 시야각 한계점을 극복하기 위하여 광시야각 기술로 발전하고 있다.

액정 표시 장치의 대표적인 광시야각 기술로는 멀티-도메인 VA(Multi-domain Vertical Alignment) 모드가 이용된다. 멀티-도메인 VA는 각 서브 화소를 액정 분자의 배열 방향이 서로 다른 멀티-도메인으로 분할하여 투과율 변화가 상호 보상되게 함으로써 광시야각을 얻게 된다. 특히 공통 전극 및 화소 전극의 슬릿에 의한 프린지 전계(Fringe Field)로 멀티-도메인을 형성하는 PVA(Patterned Vertical Alignment) 모드가 주로 이용된다. 그런데, PVA 모드는 서브 화소의 가장자리에서 발생되는 측면 전계(Lateral Filed)로 인하여 액정 배향이 흐트러지면서 측면 시인성이 나쁜 문제점이 있다.

이를 해결하기 위하여 최근에는 멀티 도메인을 갖는 각 서브 화소를 서로 다른 전압으로 구동되는 2개의 영역으로 분할하고 두 영역의 계조 혼합으로 시인성을 향상시키는 방법이 제안되었다. 그런데 각 서브 화소의 분할에 의해 양측의 데이터 라인과 인접한 화소 전극과의 길이 차이로 인한 좌우 기생 캐패시턴스 편차가 발생함으로써 수직 크로스토크와 같은 화질 저하 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로 기생 커패시턴스의 편차로 인한 수직 크로스토크를 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성

이를 위하여 본 발명의 실시 예에 따른 액정 표시 장치는 제1 및 제2 계조 영역으로 분할된 각 서브 화소 영역 중 상기 제1 계조 영역에 형성된 제1 화소 전극과, 상기 제1 화소 전극에 둘러싸인 상기 제2 계조 영역에 제1 화소 전극과 분리되어 형성된 제2 화소 전극을 구비한다. 그리고, 상기 제1 화소 전극과 접속된 제1 박막 트랜지스터와, 상기 제2 화소 전극과 접속된 제2 박막 트랜지스터와, 상기 제1 및 제2 박막 트랜지스터와 접속되어 상기 각 서브 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 추가로 구비한다. 이와 달리, 상기 제2 화소 전극과 접속된 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극과 상기 제1 화소 전극의 중첩부에 형성된 커플링 커패시터와, 상기 박막 트랜지스터와 접속되어 상기 각 서브 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 추가로 구비하기도 한다.

상기 제2 화소 전극은 상기 서브 화소 영역의 단축 방향을 기준으로 대칭적으로 경사진 날개부를 포함한다. 상기 제1 화소 전극은 상기 제2 화소 전극의 상부에 형성된 상부 전극과, 상기 제2 화소 전극의 하부에 형성된 하부 전극과, 상기 제2 화소 전극의 날개부 사이에 형성된 중앙 전극과, 상기 상부 전극 및 중앙 전극을 연결하는 제1 연결 라인과, 상기 하부 전극 및 중앙 전극을 연결하는 제2 연결 라인과, 상기 상부 전극 및 하부 전극을 연결하는 제3 연결 라인을 포함한다.

그리고 본 발명은 상기 제1 화소 전극과 제2 화소 전극을 서로 분리시키는 제1 슬릿을 추가로 구비하고, 상기 제1 슬릿은 상기 제2 화소 전극의 측변을 따라 일정 폭을 갖고 상기 제2 화소 전극을 감싸는 구조로 형성된다. 또한 상기 제1 화소 전극의 상부 전극 및 하부 전극 각각에 상기 제1 슬릿과 나란하게 형성된 제2 슬릿을 추가로 구비한다.

상기 제1 화소 전극의 제1 및 제2 연결 전극은 상기 제2 화소 전극과 일측으로 인접한 데이터 라인 사이에 형성되고, 상기 제3 연결 전극은 상기 제2 화소 전극과 타측으로 인접한 데이터 라인 사이에 형성된다. 상기 제3 연결 전극은 상기 제1 화소 전극에서 일측 데이터 라인과 인접한 일측변의 길이와, 타측 데이터 라인과 인접한 타측변의 길이의 차이를 감소시킨다. 상기 제2 화소 전극의 일측변과 인접한 일측 데이터 라인과의 간격과, 상기 제2 화소 전극의 타측변과 인접한 타측 데이터 라인과의 간격이 동일하다.

그리고 본 발명은 상기 서브 화소 영역의 단축 방향을 따라 형성되어 상기 제1 및 제2 화소 전극 각각과 중첩된 스토리지 라인을 추가로 구비한다. 또한 상기 제1 박막 트랜지스터로부터 신장되어 상기 제1 화소 전극과 접속된 제1 드레인 전극이 절연막을 사이에 두고 상기 스토리지 라인과 중첩되어 형성된 제1 스토리지 커패시터와, 상기 제2 박막 트랜지스터로부터 신장되어 상기 제2 화소 전극과 접속된 제2 드레인 전극이 상기 절연막을 사이에 두고 상기 스토리지 라인과 중첩되어 형성된 제2 스토리지 커패시터를 추가로 구비한다. 이와 달리 본 발명은 상기 박막 트랜지스터로 신장되어 상기 제2 화소 전극과 접속된 드레인 전극이 제1 절연막을 사이에 두고 상기 스토리지 라인과 중첩되어 형성된 스토리지 커패시터를 추가로 구비하고, 상기 커플링 커패시터는 상기 드레인 전극이 신장되어 제2 절연막을 사이에 두고 상기 제1 화소 전극과 중첩되어 형성된다.

더불어 본 발명은 상기 제1 및 제2 박막 트랜지스터를 덮고 상기 제1 및 제2 화소 전극의 아래에 형성된 유기 절연막과; 상기 유기 절연막 위에 상기 게이트 라인 및 데이터 라인과 중첩되게 형성된 공통 라인을 추가로 구비한다.

본 발명에 따른 액정 표시 장치의 제조 방법은 제1 및 제2 계조 영역으로 분할된 각 서브 화소 영역 중 상기 제1 계조 영역에 형성된 제1 화소 전극을 형성하는 단계와, 상기 제1 화소 전극에 둘러싸인 상기 제2 계조 영역에 상기 제1 화소 전극과 분리된 제2 화소 전극을 형성하는 단계를 포함한다.

상기 기술적 과제 외에 본 발명의 다른 특징 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 본 발명의 바람직한 실시예들을 첨부한 도 1 내지 도 10을 참조하여 상세하게 설명하기로 한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판에서 한 서브 화소의 구조를 도시한 평면도이고, 도 2는 도 1에 도시된 Ⅱ-Ⅱ'선에 따른 한 서브 화소의 단면 구조를 도시한 단면도이다.

도 1 및 도 2에 도시된 한 서브 화소는 저계조 영역과 고계조 영역에 독립적으로 형성된 제1 및 제2 화소 전극(40, 50)과, 제1 및 제2 화소 전극(40, 50) 각각에 독립적으로 접속된 제1 및 제2 박막 트랜지스터(T1, T2)와, 제1 및 제2 박막 트랜지스터(T1, T2)와 접속된 게이트 라인(2) 및 데이터 라인(4)을 포함한다.

도 1 및 도 2에 도시된 박막 트랜지스터 기판에서 한 서브 화소는 시인성 향상을 위하여 서로 다른 데이터 신호가 인가되는 고계조 영역 및 저계조 영역으로 분할된다. 이를 위하여 각 서브 화소에 제1 및 제2 화소 전극(40, 50)이 독립적으로 형성되어 저계조 영역과 고계조 영역을 정의하고, 제1 및 제2 화소 전극(40, 50) 각각은 제1 및 제2 박막 트랜지스터(T1, T2) 각각에 의해 구동됨으로써 서로 다른 데이터 신호를 공급받게 된다.

게이트 라인(2)과 데이터 라인(4)은 게이트 절연막(72)을 사이에 두고 교차하도록 절연 기판(70) 상에 형성된다. 게이트 라인(2)과 데이터 라인(4)의 교차 구조로 각 서브 화소 영역을 정의한다. 스토리지 라인(30)은 절연 기판(70) 상에 게이트 라인(2)과 나란하게 형성되어 각 서브 화소의 중앙부를 단축 방향으로 경유하면서 데이터 라인(4)과 게이트 절연막(72)을 사이에 두고 교차한다.

제1 및 제2 박막 트랜지스터(T1, T2) 각각은 게이트 라인(2)과 접속된 게이트 전극(6, 16), 데이터 라인(4)과 접속된 소스 전극(10, 20), 제1 및 제2 화소 전극(40, 50) 각각과 접속된 드레인 전극(12, 22), 소스 전극(10, 20) 및 드레인 전극(12, 22)과 접속된 반도체층(8, 18)을 구비한다. 반도체층(8, 18)은 소스 전극(10, 20) 및 드레인 전극(12, 22) 사이에 채널을 형성하는 활성층(8A, 18A)과, 활성층(8A, 18A)과 소스 전극(10, 20) 및 드레인 전극(12, 22) 각각의 오믹 컨택을 위한 오믹 컨택층(8B, 18B)으로 구성된다.

제1 및 제2 화소 전극(40, 50) 각각은 박막 트랜지스터(T1, T2)를 덮는 유기 절연막(74) 위에 형성되고 그 유기 절연막(74)을 관통하는 제1 및 제2 컨택홀(15, 25) 각각을 통해 제1 및 제2 박막 트랜지스터(T1, T2)의 드레인 전극(12, 22)과 각각 접속된다. 유기 절연막(74)의 상부 및/또는 하부에 무기 절연막이 추가로 형성되기도 한다. 유기 절연막(74) 위에는 데이터 라인(4) 및 게이트 라인(2)과 중첩된 공통 라인(60)이 더 형성된다. 공통 라인(60)은 데이터 라인(4) 보다 넓은 선폭을 갖고 게이트 라인(2) 보다 좁은 선폭을 갖는다. 공통 라인(60)에는 상판의 공통 전극(미도시)과 동일하거나 유사한 공통 전압이 공급된다. 이에 따라 공통 라인(60)과 상판의 공통 전극 사이에 전계가 형성되지 않거나 미약한 전계가 형성되어 그들 사이에 수직 배향된 액정 분자들이 구동되지 않으므로 빛샘이 차단된다.

제1 화소 전극(40)은 각 서브 화소 영역 중 저계조 영역에, 제2 화소 전극(50)은 고계조 영역에 형성된다. 각 서브 화소의 고계조 영역과 저계조 영역은 시인성 향상을 위한 최적 비율인 1:2로 분할되는 것이 바람직하므로 각 서브 화소 영역을 3분할하여 2분할 영역인 저계조 영역에 제1 화소 전극(40)이, 1분할 영역인 고계조 영역에 제2 화소 전극(50)이 형성된다.

제1 및 제2 박막 트랜지스터(T1, T2)의 드레인 전극(12, 22) 각각은 스토리지 라인(30)이 형성된 서브 화소의 중앙부까지 신장되어 스토리지 라인(30)과 중첩된 제1 및 제2 컨택홀(15, 25)을 통해 제1 및 제2 화소 전극(40, 50)과 각각 접속된다. 그리고 제1 및 제2 박막 트랜지스터(T1, T2)의 드레인 전극(12, 22) 각각은 스토리지 라인(30)과 게이트 절연막(72)을 사이에 두고 중첩되어 제1 및 제2 스토리지 커패시터(Cst1, Cst2)를 각각 형성한다.

고계조 영역의 제2 화소 전극(50)은 각 서브 화소 영역에서 단축 방향 즉 스토리지 라인(30)을 기준으로 하여 대칭적으로 경사진 상하 날개부(50A, 50B)를 갖는 구조로, 즉 반시계 방향으로 90도 회전된 "V"자형 구조로 형성된다. 저계조 영역의 제1 화소 전극(40)은 각 서브 화소 영역에서 제2 화소 전극(50)에 의해 분할된 상부 및 하부와, 제2 화소 전극(50)의 날개부(50A, 50B) 사이의 중앙부에 위치하도록 형성되고 스토리지 라인(30)을 기준으로 대칭된 구조를 갖는다. 다시 말하여,

저계조 영역의 제1 화소 전극(40)은 제2 화소 전극(50)의 상부에 위치하는 상부 전극(40A), 제2 화소 전극(50)의 하부에 위치하는 하부 전극(40B), 제2 화소 전극(50)의 날개부(50A, 50B) 사이에 위치하는 중앙 전극(40C)을 구비한다. 그리고 제1 화소 전극(40)은 상부 전극(40A) 및 중앙 전극(40C)을 연결하는 제1 연결 전극(40D), 하부 전극(40B) 및 중앙 전극(40C)을 연결하는 제2 연결 전극(40E)을 구비한다. 또한 제1 화소 전극(40)은 상부 전극(40A) 및 하부 전극(40B)을 연결하는 제3 연결 전극(40F)을 구비한다.

제1 화소 전극(40)과 제2 화소 전극(50) 사이에는 일정한 폭을 갖는 제1 슬릿(46)이 형성되고, 저계조 영역의 제1 화소 전극(40)에서 상부 전극(40A) 및 하부 전극(40B) 각각에는 제1 슬릿(46)의 일부와 나란한 제2 슬릿(44)이 일정한 폭을 갖고 형성된다. 제1 및 제2 화소 전극(40, 50) 사이의 제1 슬릿(46)은 제2 화소 전극(50)의 측변을 둘러싸면서, 즉 제2 화소 전극(50)의 측변을 따라 일정한 폭을 갖고 형성되므로 제2 화소 전극(50)과 같이 스토리지 라인(30)을 기준으로 대칭된 경사각을 갖는다. 제1 화소 전극(40)의 상부 전극(40A) 및 하부 전극(40B) 각각에 형성된 제2 슬릿들(44)도 제1 슬릿(46)의 일부와 나란하게 형성되므로 스토리지 라인(30)을 기준으로 대칭된 경사각을 갖는다. 제1 슬릿(46)은 제1 화소 전극(40)과 제2 화소 전극(50)을 분리시킨다. 그리고 제1 및 제2 슬릿(46, 44)은 제1 및 제2 화소 전극(40, 50)이 상부 기판(미도시)에 형성된 공통 전극과 프린지 전계를 형성하게 함으로써 제1 및 제2 슬릿(46, 44)을 기준으로 액정 분자들이 대칭적으로 배열되어 멀티-도메인이 형성되게 한다. 또한 더 많은 도메인 형성을 위하여 상판의 공통 전극에는 제1 및 제2 슬릿(46, 44)과 엇갈리면서 나란한 구조로 공통 전극 슬릿이 형성되기도 한다.

제1 화소 전극(40)의 상부 전극(40A)과 중앙 전극(40C)을 연결하는 제1 연결 전극(40D)과, 하부 전극(40B)과 중앙 전극(40C)을 연결하는 제2 연결 전극(40E)은 좌측 데이터 라인(4)과 제2 화소 전극(50) 사이의 공간에 형성된다. 제3 연결 전극(40F)은 제2 화소 전극(50)과 우측 데이터 라인(4) 사이의 공간에 형성된다. 다시 말하여 제1 및 제2 연결 전극(40D)은 좌측 데이터 라인(4)과 제2 화소 전극(50)에서 좌측 데이터 라인(4)와 나란한 일측변 사이의 공간을 경유하여 제1 화소 전극(40)의 중앙 전극(40C)을 상부 전극(40A) 및 하부 전극(40B) 각각과 연결시킨다. 제3 연결 전극(40F)은 우측 데이터 라인(4)과 제2 화소 전극(50)에서 우측 데이터 라인(4)과 나란한 타측변 사이의 공간을 경유하여 제1 화소 전극(40)의 상부 전극(40A)과 하부 전극(40B)을 연결시킨다. 제1 내지 제3 연결 전극(40D, 40E, 40F)의 선폭은 동일하다. 여기서 제3 연결 전극(40F)은 제1 및 제2 화소 전극(40, 50)과 좌우측으로 인접한 데이터 라인(4) 사이에 형성되는 좌우측 기생 커패시턴스(Cds_L, Cds_R)의 편차를 감소시키는 역할을 하여 수직 크로스토크를 방지하게 된다.

구체적으로, 도 3a에 도시된 바와 같이 제1 화소 전극(40)의 제3 연결 전극(40F)이 존재하지 않으면 제1 화소 전극(40)은 제1 및 제2 연결 전극(40D, 40E)에 의해 좌측 데이터 라인(4)과 인접한 좌측변의 길이가, 우측 데이터 라인(4)과 인접한 우측변의 길이 보다 길어지게 된다. 이러한 제1 화소 전극(40)의 좌우측변 길이 차이로 인하여 제1 화소 전극(40)과 좌측 데이터 라인(4) 사이의 좌측 기생 커패시턴스(Cds_L)와 제1 화소 전극(40)과 우측 데이터 라인(4) 사이의 우측 기생 커패시턴스(Cds_R)의 편차가 발생된다. 또한 제2 화소 전극(50)은 제1 화소 전극(40)의 제1 및 제2 연결 전극(40D, 40E)에 의해 우측 데이터 라인(4)과 제2 화소 전극(50) 사이의 간격 보다 좌측의 데이터 라인(4)과 제2 화소 전극(50) 사이의 간격이 증가하게 된다. 이로 인하여 제2 화소 전극(50)과 좌측 데이터 라인(4) 사이의 좌측 기생 커패시턴스(Cds_L)와 제2 화소 전극(50)과 우측 데이터 라인(4) 사이의 우측 기생 커패시턴스(Cds_R)의 편차가 발생된다. 이 결과, 극성 반전을 위해 좌우측 데이터 라인(4)에 상반된 극성의 데이터 신호가 인가되는 경우 좌우측 기생 커패시턴스(Cds_L, Cds_R)의 편차로 제1 및 제2 화소 전극(40, 50)에 충전된 데이터 신호를 왜곡시키는 기생 커패시턴스(Cds_L, Cds_R)의 커플링 값이 상쇄되지 못함으로써 수직 크로스토크가 유발된다. 특히 데이터 라인(4) 단위로 극성이 반전되는 칼럼 인버전 구동인 경우 좌우측 기생 커패시턴스(Cds_L, Cds_R)의 편차가 증가함으로써 수직 크로스토크는 더욱 심해지게 된다. 이는 수직 크로스토크를 유발하는 각 서브 화소에 충전된 전압의 변화량(ΔVp)이 좌우측 기생 커패시턴스의 편차(Cds_L-Cds_R)에 비례하기 때문이다.

예를 들면, 양측 데이터 라인(4)에 의한 한 서브 화소의 전압 변화량(ΔVp)은 다음 수학식 1과 같이 좌측 데이터 라인(4)에 의한 전압 변화량(ΔVp_L)과 우측 데이터 라인(4)에 의한 전압 변화량(ΔVp_R)의 합으로 표현된다.

$$\Delta Vp = \Delta Vp_L + \Delta Vp_R$$

$$\Delta Vp_L = Cds_L \times \Delta Vdata_L / Ctotal$$

$$\Delta Vp_R = Cds_R \times \Delta Vdata_R / Ctotal$$

여기서 ΔVdata_L은 좌측 데이터 라인(4)에 공급되는 데이터 신호의 변화량을, ΔVdata_R은 우측 데이터 라인(4)에 공급되는 데이터 신호의 변화량을, Ctotal은 한 서브 화소의 토탈 커패시턴스(Ctotal = Clc + Cst + Cds_L+ Cds_R)를 의미한다. 양측 데이터 라인(4)에 상반된 데이터 신호가 공급된다고 가정하면 수직 크로스토크를 유발하는 한 서브 화소의 전압 변화량(ΔVp)은 다음 수학식 2와 같이 좌우측 기생 커패시턴스의 편차(Cds_L-Cds_R)와 비례 관계를 갖게 된다.

$$\Delta Vp = \{Cds_L * \Delta Vdata_L/Ctotal\} + \{Cds_R * \Delta Vdata_R/Ctotal\}$$

$$= (Cds_L-Cds_R) * \Delta Vdata_R/Ctotal$$

$$\because \Delta Vdata_L = -\Delta Vdata_R$$

이 결과, 제1 및 제2 화소 전극(40, 50)의 양측 데이터 라인(4)에 상반된 데이터 신호가 공급되는 경우 수직 크로스토크는 좌우측 기생 커패시턴스의 편차(Cds_L-Cds_R)와 비례하여 증가하게 된다.

이러한 수직 크로스토크를 방지하기 위하여, 본 발명에 따른 액정 표시 장치는 도 3b에 도시된 바와 같이 우측 데이터 라인(4)과 인접하여 제1 화소 전극(40)의 상부 전극(40A) 및 하부 전극(40B)을 연결하는 제3 연결 전극(40F)을 구비하여 좌우측 기생 커패시턴스(Cds_L, Cds_R)의 편차를 최소화할 수 있게 된다. 구체적으로 제3 연결 전극(40F)에 의해 제1 화소 전극(40)은 좌측 데이터 라인(4)과 인접한 좌측변의 길이와, 우측 데이터 라인(4)과 인접한 우측변의 길이와 거의 동일해지게 된다. 또한 제3 연결 전극(40F)에 의해, 즉 제2 화소 전극(50)을 둘러싸는 제1 화소 전극(40)에 의해 제1 및 제2 연결 전극(40D, 40E)을 사이에 둔 제2 화소 전극(50)과 좌측 데이터 라인(4) 사이의 간격과, 제3 연결 전극(40F)을 사이에 둔 제2 화소 전극(50)과 우측 데이터 라인(4) 사이의 간격이 동일해지게 된다. 이에 따라 제1 및 제2 화소 전극(40, 50)과 양측으로 인접한 데이터 라인(4) 사이의 좌우 기생 커패시턴스(Cds_L, Cds_R)의 편차가 최소화됨으로써 수직 크로트토크를 방지할 수 있게 된다.

이와 같이 본 발명에 따른 액정 표시 장치의 각 서브 화소는 저계조 영역의 제1 화소 전극(50)이 고계조 영역의 제2 화소 전극(50)을 둘러싸는 구조로 형성되어 제1 및 제2 화소 전극(40, 50)과 양측 데이터 라인(4) 사이의 기생 커패시턴스의 편차를 최소화함으로써 수직 크로스토크를 방지할 수 있게 된다.

그리고, 본 발명에 따른 액정 표시 장치의 박막 트랜지스터 기판 제조 방법을 도 4a 내지 도 8b를 구체적으로 살펴보면 다음과 같다.

도 4a 및 도 4b를 참조하면, 제1 마스크 공정으로 하부 절연 기판(70) 상에 게이트 라인(2), 게이트 라인(2)과 접속된 게이트 전극(6, 16), 게이트 라인(2)과 나란한 스토리지 라인(30)을 포함하는 게이트 금속 패턴이 형성된다. 구체적으로, 하부 절연 기판(70) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr) 등과, 이들의 합금이 단일층 또는 복층 구조로 적층되어 이용된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2) 및 게이트 전극(6, 16)과 스토리지 라인(30)을 포함하는 게이트 금속 패턴이 형성된다.

도 5a 및 도 5b를 참조하면, 게이트 금속 패턴이 형성된 하부 절연 기판(70) 상에 게이트 절연막(72)이 형성되고, 그 위에 제2 마스크 공정으로 활성층(8A, 18A) 및 오믹 컨택층(8B, 18B)을 포함하는 반도체층(8, 18)이 게이트 라인(2) 및 게이트 전극(6, 16)의 일부와 중첩되게 형성된다. 구체적으로, 게이트 금속 패턴이 형성된 하부 절연 기판(70) 상에 PECVD 등의 증착 방법으로 게이트 절연막(72), 비정질 실리콘층, n+ 비정질 실리콘층이 순차적으로 형성된다. 이어서, 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 n+ 비정질 실리콘층 및 비정질 실리콘층이 패터닝됨으로써 활성층(8A, 18A) 및 오믹 컨택층(8B, 18B)을 포함하는 반도체층(8, 18)이 형성된다. 게이트 절연막(72)으로는 산화 실리콘(SiOx), 질화 실리콘(SiNx) 등과 같은 무기 절연 물질이 이용된다.

도 6a 및 도 6b를 참조하면, 제3 마스크 공정으로 반도체층(8, 18)이 형성된 게이트 절연막(72) 위에 데이터 라인(4), 소스 전극(10, 20), 드레인 전극(12, 22)을 포함하는 소스/드레인 금속 패턴이 형성된다. 구체적으로 반도체층(8, 18)이 형성된 게이트 절연막(72) 위에 소스/드레인 금속층이 스퍼터링 방법으로 형성된다. 이어서 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10, 20), 드레인 전극(12, 22)을 포함하는 소스/드레인 금속 패턴이 형성된다. 그리고 소스 전극(10, 20) 및 드레인 전극(12, 22) 사이로 노출된 오믹 컨택층(8B, 18B)를 제거하여 소스 전극(10, 20) 및 드레인 전극(12, 22)과 접속된 오믹 컨택층(8B, 18B)을 분리시킨다. 이 결

과, 게이트 라인(2) 및 데이터 라인(4)과 접속된 제1 및 제2 박막 트랜지스터(T1, T2)가 형성된다. 여기서, 반도체층(8, 18)과 소스/드레인 금속 패턴은 회절 노광 마스크 또는 하프톤(Half-tone) 마스크를 이용하여 하나의 마스크 공정으로 형성되기도 한다.

도 7a 및 도 7b를 참조하면, 소스/드레인 금속 패턴이 형성된 게이트 절연막(72) 위에 유기 절연막(74)이 형성되고 제4 마스크 공정으로 유기 절연막(74)을 관통하는 제1 및 제2 컨택홀(15, 25)이 형성된다. 구체적으로 유기 절연막(74)은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 스핀 코팅(Spin Coating), 스핀리스 코팅(Spinless Coating) 등의 방법으로 코팅됨으로써 형성된다. 이어서 제4 마스크를 이용한 포토리쏘그래피 공정 및 식각 공정으로 유기 절연막(74)을 관통하여 제1 및 제2 박막 트랜지스터(T1, T2)의 드레인 전극(12, 22) 각각을 노출시키는 제1 및 제2 컨택홀(15, 25)이 형성된다. 여기서, 유기 절연막(74)의 상부 및/또는 하부에 무기 절연막이 추가로 형성되기도 하고 이때 제1 및 제2 컨택홀(15, 25)은 무기 절연막을 관통하도록 형성된다.

도 8a 및 도 8b를 참조하면, 제5 마스크 공정으로 유기 절연막(74) 위에 제1 및 제2 화소 전극(40, 50)과 공통 라인(60)을 포함하는 투명 도전 패턴이 형성된다. 제1 및 제2 화소 전극(40, 50)과 공통 라인(60)은 유기 절연막(74) 위에 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등과 같은 투명 도전 물질을 스퍼터링 등과 같은 증착 방법으로 도포한 다음 제5 마스크를 이용한 포토리쏘그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다. 제1 및 제2 화소 전극(40, 50)은 제1 및 제2 컨택홀(15, 25) 각각을 통해 제1 및 제2 박막 트랜지스터(T1, T2)의 드레인 전극(12, 22)과 각각 접속된다.

도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판에서 한 서브 화소의 구조를 도시한 평면도이고, 도 10은 도 9에 도시된 X-X'선에 따른 한 서브 화소의 단면 구조를 도시한 단면도이다.

도 9 및 도 10에 도시된 서브 화소는 도 1 및 도 2에 도시된 서브 화소와 대비하여 제2 화소 전극(40)과 접속된 하나의 박막 트랜지스터(T)를 구비하고, 제1 화소 전극(40)은 상기 박막 트랜지스터(T)의 드레인 전극(22)과 커플링 커패시터(Ccp)를 형성하는 것을 제외하고는 동일한 구성 요소들을 구비하므로 중복된 구성 요소들에 대한 설명은 생략하기로 한다. 다시 말하여 도 1 및 도 2에 도시된 제1 및 제2 화소 전극(40, 50)은 제1 및 제2 박막 트랜지스터(T1, T2) 각각을 통해 서로 다른 데이터 신호를 공급받고, 도 9 및 도 10에 도시된 제1 및 제2 화소 전극(40, 50)은 커플링 커패시터(Ccp)를 통해 서로 다른 데이터 신호를 공급받는다.

고계조 영역을 정의하는 제2 화소 전극(50)은 박막 트랜지스터(T)의 드레인 전극(22)과 유기 절연막(74) 및 무기 절연막(76)을 관통하는 컨택홀(25)을 통해 접속되어 데이터 라인(4)으로부터의 데이터 신호를 박막 트랜지스터(T)를 경유하여 공급받는다. 저계조 영역을 정의하는 제1 화소 전극(40)은 드레인 전극(22)과 커플링 커패시터(Ccp)를 형성하고 박막 트랜지스터(T)를 통해 제2 화소 전극(50)에 공급되는 데이터 신호가 커플링 커패시터(Ccp)를 통해 전달되므로 제2 화소 전극(50) 보다 낮은 데이터 신호를 공급받는다. 이에 따라 하나의 박막 트랜지스터(T)를 이용하더라도 커플링 커패시터(Ccp)에 의해 저계조 영역의 제1 화소 전극(40)과 고계조 영역의 제2 화소 전극(50)에 서로 다른 데이터 신호를 공급할 수 있게 된다.

커플링 커패시터(Ccp)는 제2 화소 전극(50)과 접속된 드레인 전극(22)이 스토리지 라인(30)을 따라 연장되어 제1 화소 전극(40)과 무기 절연막(76)을 사이에 두고 중첩됨으로써 형성된다. 무기 절연막(76)은 박막 트랜지스터(T)와 유기 절연막(74) 사이에 추가되어 유기 절연막(74)과 박막 트랜지스터(T)의 활성층(18A) 간의 화학 반응을 방지한다. 유기 절연막(74) 다음에 형성되는 제1 화소 전극(40)과 드레인 전극(22) 간의 간격을 감소시키기 위하여 유기 절연막(74)을 관통하는 커패시터 홀(27)이 형성된다. 이에 따라 제1 화소 전극(40)은 커패시터 홀(27)을 경유하여 상대적으로 얇은 무기 절연막(76)을 사이에 두고 드레인 전극(22)과 중첩되어 드레인 전극(22)에 공급된 데이터 신호를 전압 강하하여 제1 화소 전극(40)에 충분히 전달할 수 있는 커플링 커패시터(Ccp)가 형성된다.

저계조 영역의 제1 화소 전극(40)는 전술한 바와 같이 고계조 영역의 제2 화소 전극(50)을 둘러싸는 구조로 형성되어 제1 및 제2 화소 전극(40, 50)과 양측 데이터 라인(4) 사이의 기생 커패시턴스의 편차가 최소화된다. 다시 말하여, 제1 화소 전극(40)은 좌측 데이터 라인(4)과 인접한 제1 및 제2 연결 전극(40D, 40E)과, 우측 데이터 라인(4)과 인접한 제3 연결 전극(40F)에 의해 좌측 데이터 라인(4)과 인접한 좌측변의 길이와, 우측 데이터 라인(4)과 인접한 우측변의 길이와 거의 동일해지게 된다. 또한 제1 화소 전극(40)의 제1 내지 제3 연결 전극(40D, 40E, 40F)에 의해 제2 화소 전극(50)과 좌측 데이터 라인(4) 사이의 간격과, 제2 화소 전극(50)과 우측 데이터 라인(4) 사이의 간격이 동일해지게 된다. 이에 따라 제1 및 제2 화소 전극(40, 50)과 양측으로 인접한 데이터 라인(4) 사이의 좌우 기생 커패시턴스의 편차가 최소화됨으로써 수직 크로트토크를 방지할 수 있게 된다.

그리고 도 9 및 도 10에 도시된 박막 트랜지스터 기판의 제조 방법은 도 4a 내지 도 8b를 참조한 제조 방법과 유사하므로 다음과 같이 간단히 설명하기로 한다.

제1 마스크 공정으로 하부 절연 기판(70) 상에 게이트 라인(2), 게이트 라인(2)과 접속된 게이트 전극(16), 게이트 라인(2)과 나란한 스토리지 라인(30)을 포함하는 게이트 금속 패턴이 형성된다. 제2 마스크 공정으로 게이트 금속 패턴이 형성된 하부 절연 기판(70) 상에 게이트 절연막(72)이 형성되고, 게이트 절연막(72) 위에 활성층(18A) 및 오믹 컨택층(18B)을 포함하는 반도체층(18)이 게이트 라인(2) 및 게이트 전극(16)의 일부와 중첩되게 형성된다. 제3 마스크 공정으로 반도체층(18)이 형성된 게이트 절연막(72) 위에 데이터 라인(4), 소스 전극(20), 드레인 전극(22)을 포함하는 소스/드레인 금속 패턴이 형성된다. 한편 반도체층(18)과 소스/드레인 금속 패턴은 회절 노광 마스크 또는 하프톤(Half-tone) 마스크를 이용하여 하나의 마스크 공정으로 형성되기도 한다. 제4 마스크 공정으로 소스/드레인 금속 패턴이 형성된 게이트 절연막(72) 위에 드레인 전극(22)을 노출시키는 컨택홀(25)을 갖는 무기 절연막(76)이 형성된다. 제5 마스크 공정으로 무기 절연막(76) 위에 컨택홀(25)이 연장되고 커패시터 홀(27)을 갖는 유기 절연막(74)이 형성된다. 제7 마스크 공정으로 유기 절연막(74) 위에 제1 및 제2 화소 전극(40, 50)과 공통 라인(60)을 포함하는 투명 도전 패턴이 형성된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 장치 및 그 제조 방법은 각 서브 화소에서 저계조 영역의 제1 화소 전극이 고계조 영역의 제2 화소 전극을 둘러싸는 구조로 형성되게 함으로써 제1 및 제2 화소 전극과 양측 데이터 라인 사이의 기생 커패시턴스의 편차를 최소화하여 수직 크로스토크를 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 본 발명의 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기판에서 한 서브 화소의 구조를 도시한 평면도.

도 2는 도 1에 도시된 Ⅱ-Ⅱ'선에 따른 서브 화소의 단면도.

도 3a 및 도 3b는 제1 화소 전극의 제3 연결 전극이 없는 구조와 있는 구조의 기생 커패시턴스를 비교하여 설명하기 위한 평면도.

도 4a 및 도 4b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 5a 및 도 5b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 7a 및 도 7b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제5 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 9는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기판의 한 서브 화소의 구조를 도시한 평면도.

도 10은 도 9에 도시된 Ⅹ-Ⅹ'선에 따른 서브 화소의 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2 : 게이트 라인 4 : 데이터 라인

6, 16 : 게이트 전극 8, 18 : 반도체층

10, 20 : 소스 전극 12, 22: 드레인 전극

15, 25 : 컨택홀 27 : 커패시터 홀

30 : 스토리지 라인 40, 50 : 화소 전극

42 : 연결부 44, 46 : 슬릿

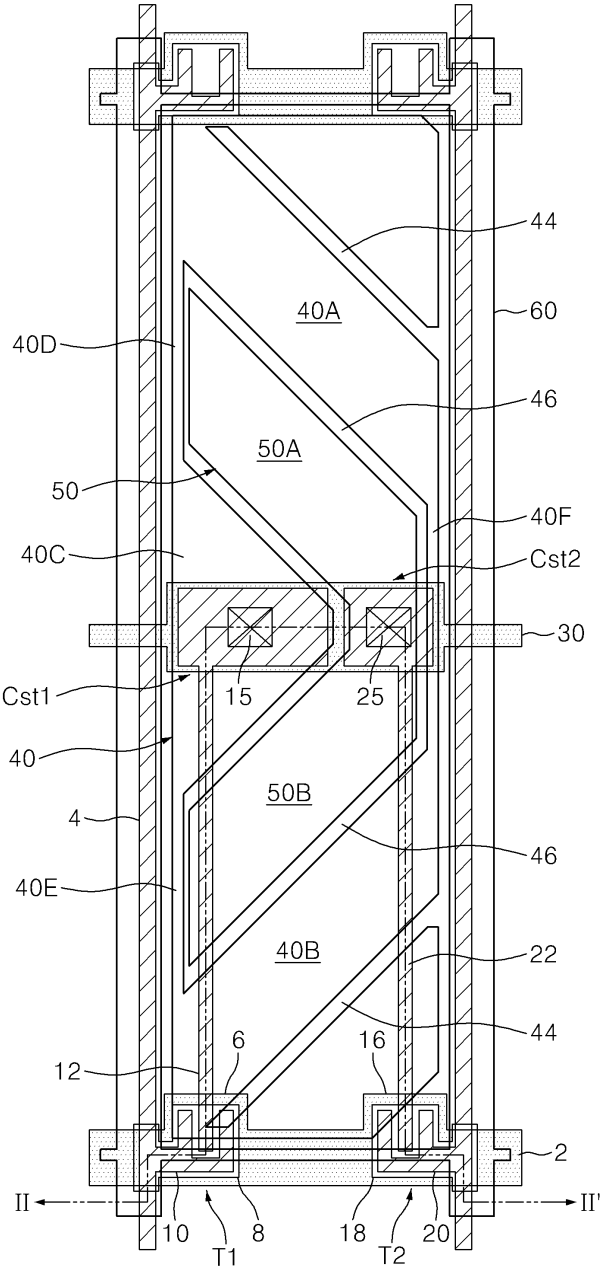
60 : 공통 라인 70 : 절연 기판

72 : 게이트 절연막 74 : 유기 절연막

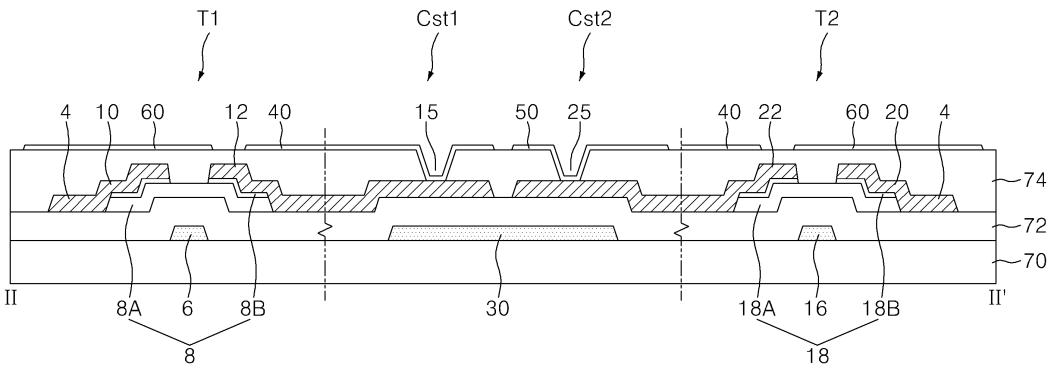
76 : 무기 절연막

도면

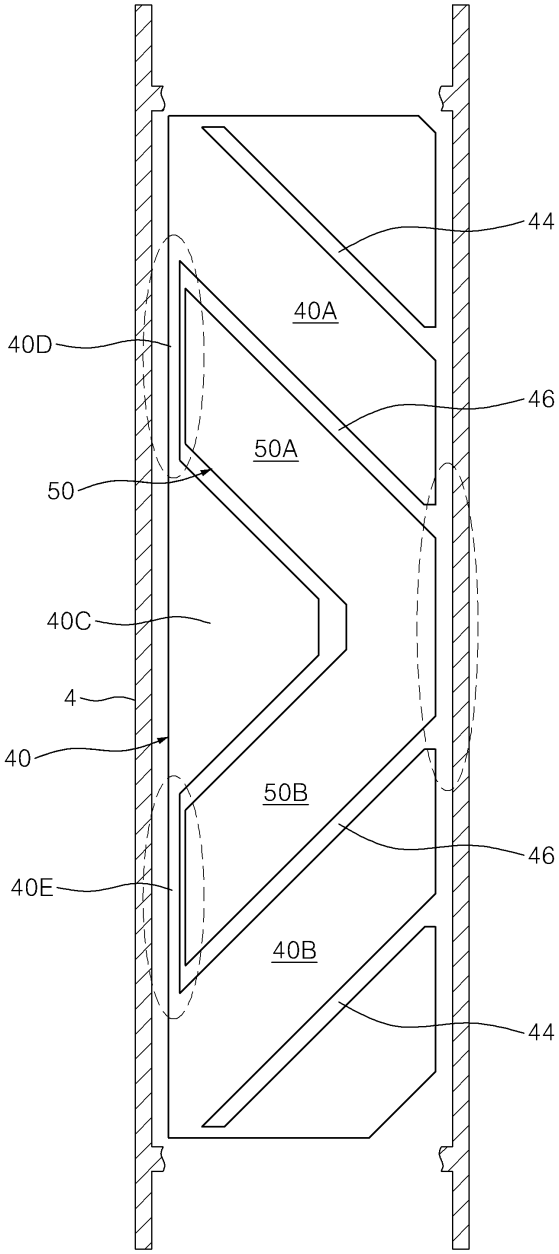
도면1


44
40A
60
40D
46
50A
50
40F
40C
Cst2
30
Cst1
15
25
40
50B
4
46
40E
40B
22
44
6
16
12
2
II
II'
10
T1
8
18
T2
20

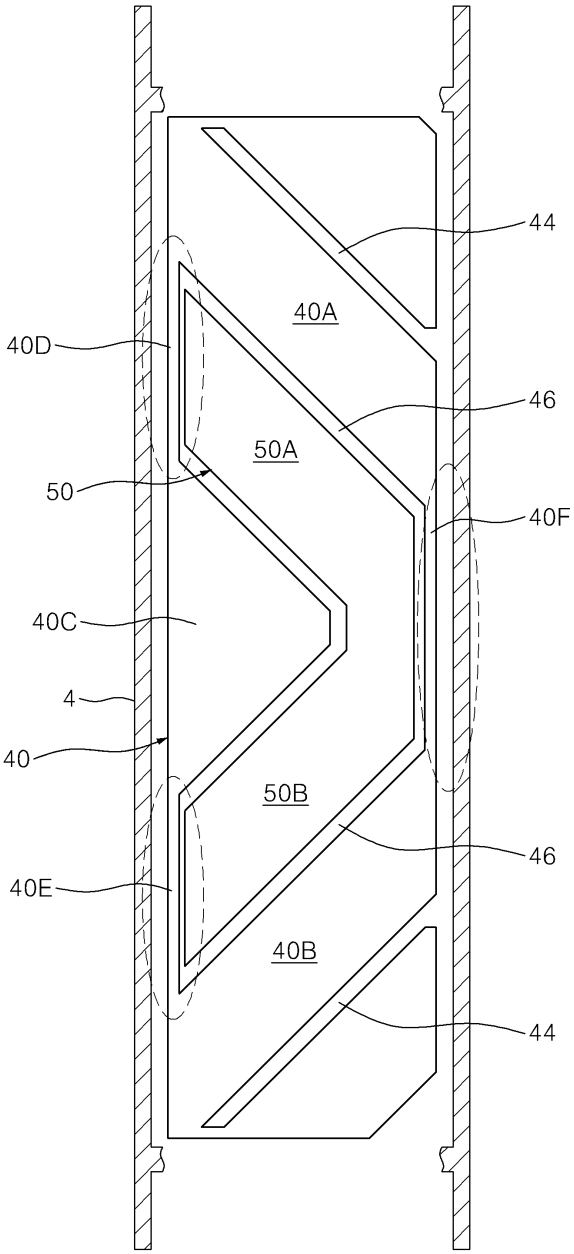
도면2


T1
Cst1
Cst2
T2
4
10
60
12
40
15
50
25
40
22
60
20
4
74
72
70
II
8A
6
8B
30
18A
16
18B
II'
8
18

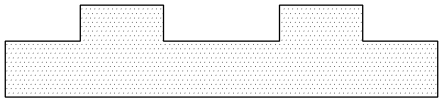
도면3a

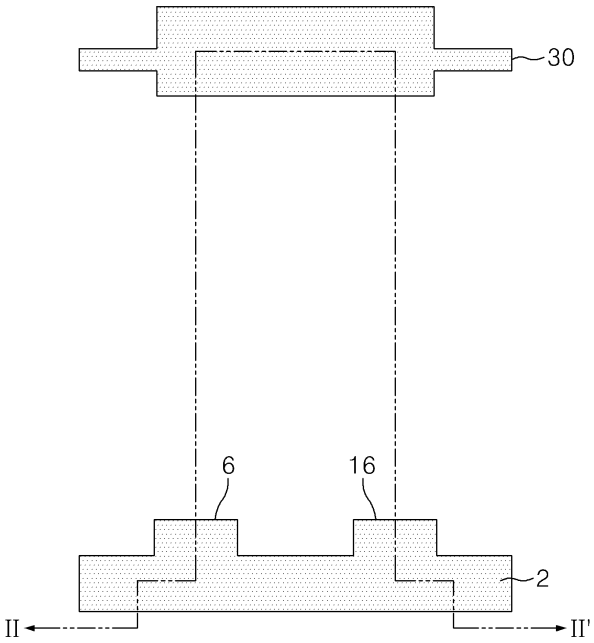


도면3b

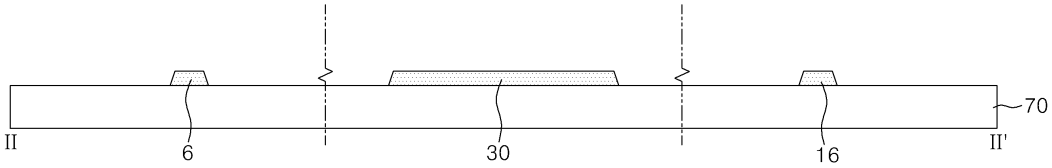


도면4a

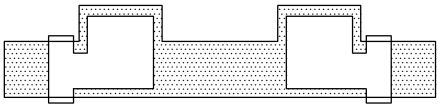


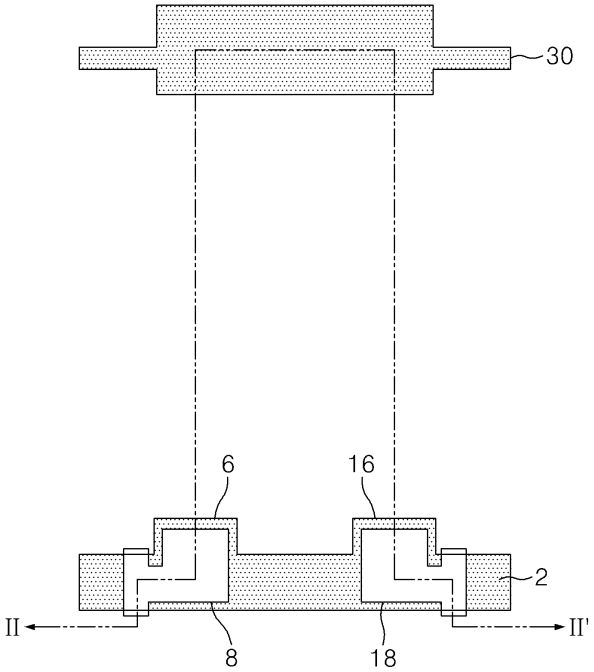


도면4b

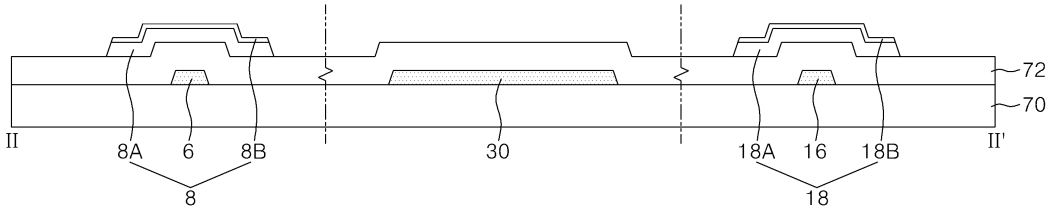


도면5a

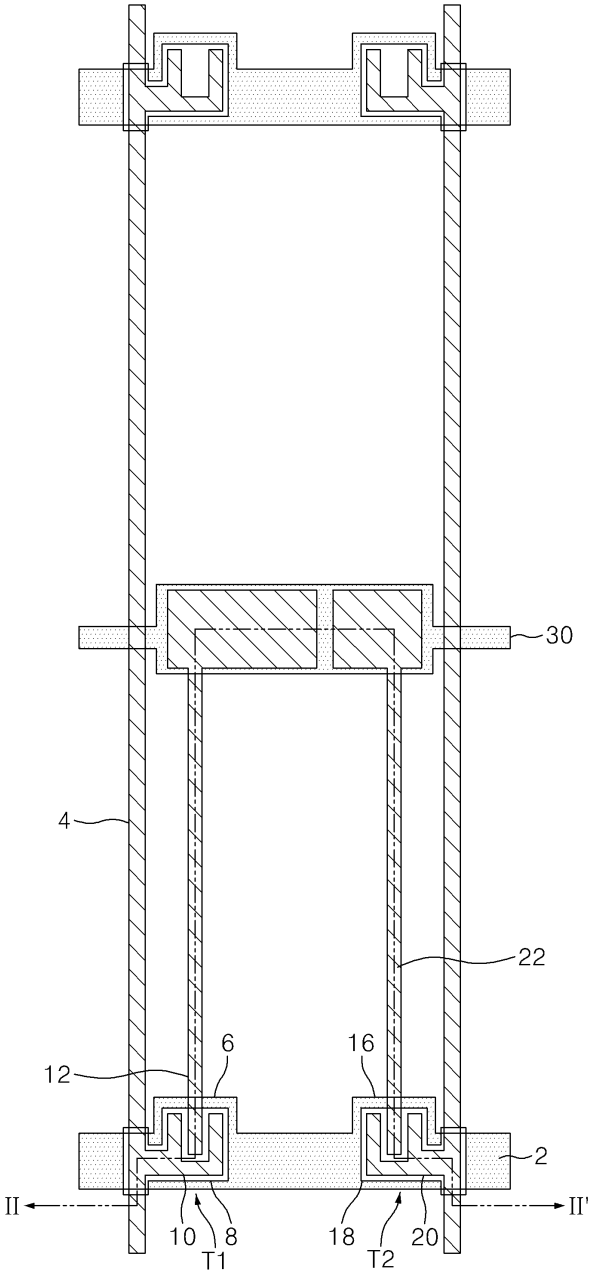




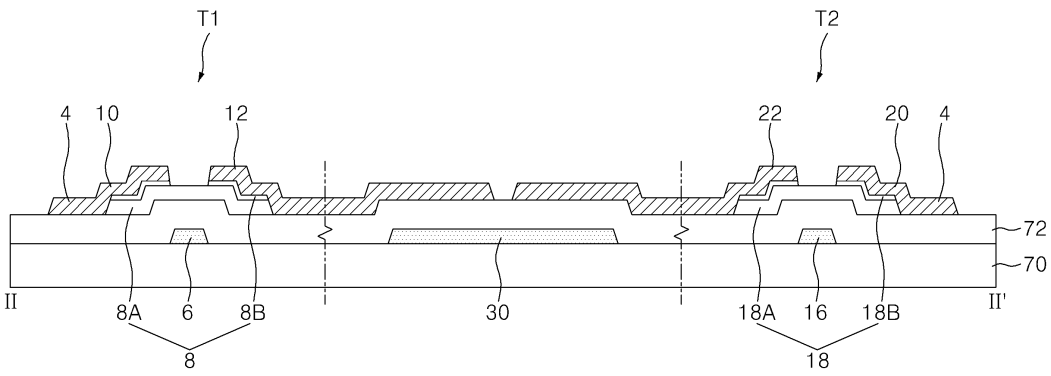
도면5b



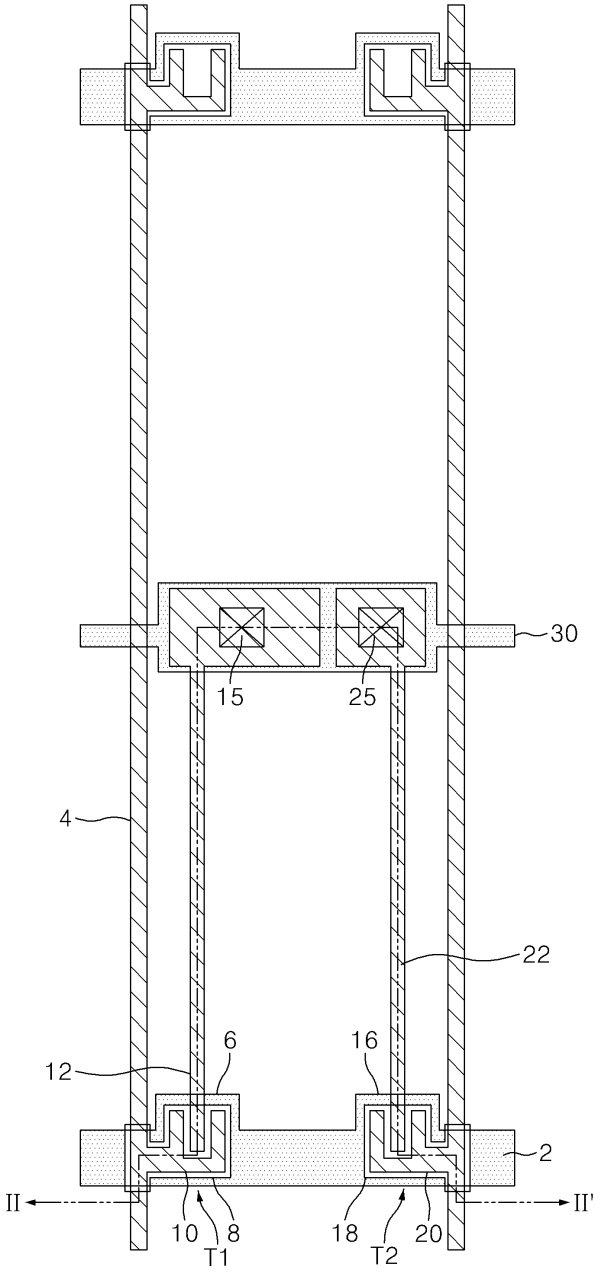
도면6a


30
4
22
6
16
12
2
II
II'
10
8
18
20
T1
T2

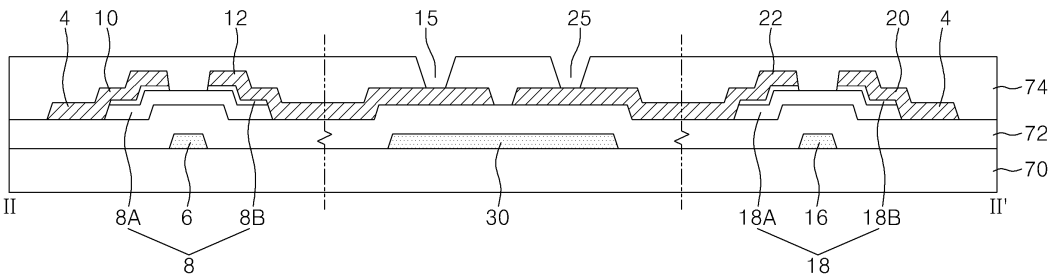
도면6b


T1
T2
4
10
12
22
20
4
72
70
II
8A
6
8B
30
18A
16
18B
II'
8
18

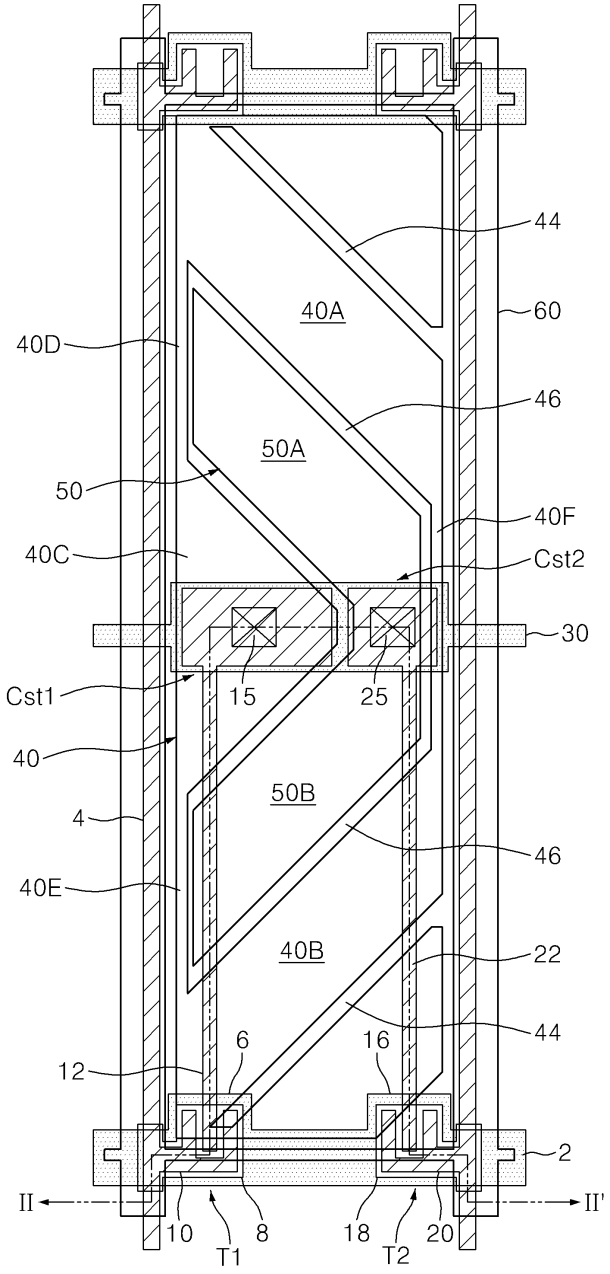
도면7a


30
15
25
4
22
6
16
12
2
II
II'
10
8
18
20
T1
T2

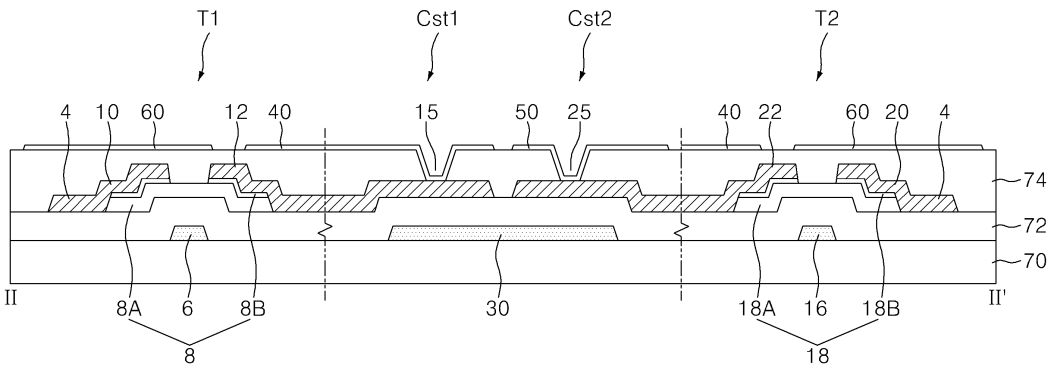
도면7b


4
10
12
15
25
22
20
4
74
72
70
II
8A
6
8B
30
18A
16
18B
II'
8
18

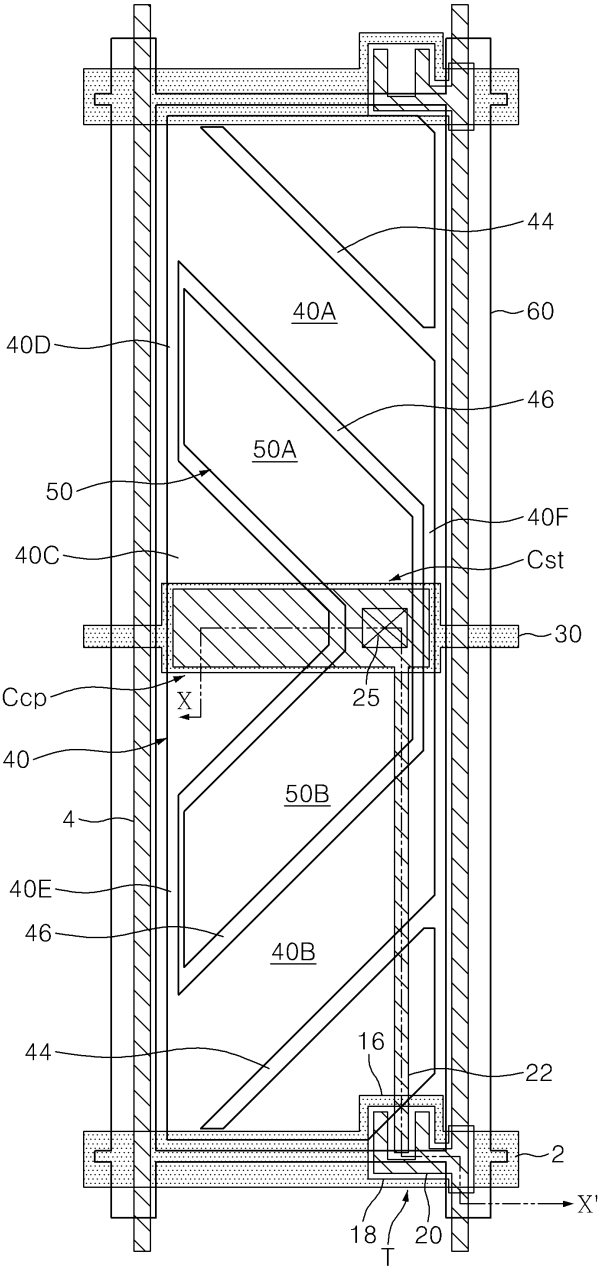
도면8a


44
40A
60
40D
46
50A
50
40F
40C
Cst2
30
Cst1
15
25
40
50B
4
46
40E
40B
22
44
6
16
12
2
II
II'
10
T1
8
18
T2
20

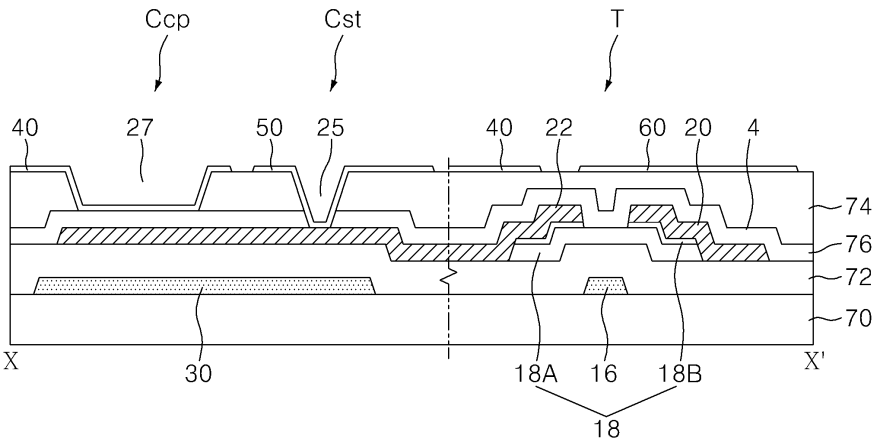
도면8b


T1
Cst1
Cst2
T2
4
10
60
12
40
15
50
25
40
22
60
20
4
74
72
70
II
II'
8A
6
8B
30
18A
16
18B
8
18

도면9


44
40A
60
40D
46
50A
50
40F
40C
Cst
30
Ccp
X
25
40
50B
4
40E
46
40B
44
16
22
2
X'
18
T
20

도면10


Ccp
Cst
T
40
27
50
25
40
22
60
20
4
74
76
72
70
X
30
18A
16
18B
X'
18

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070079614A	公开(公告)日	2007-08-08
申请号	KR1020060010349	申请日	2006-02-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MOON SUNG JAE 문성재 CHUNG CHAE WOO 정채우		
发明人	문성재 정채우		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1393 G02F2201/123 G02F1/136227 G02F2001/134381 G02F2001/13606 G02F1/134363 A23B7/01 A23B9/04 E04C2/26		
代理人(译)	KWON，HYUK SOO SE JUN OH 宋，云何		
其他公开文献	KR101246756B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够防止由于寄生电容的偏差引起的垂直串扰的液晶显示器及其制造方法。为此，本发明公开了形成在划分为第一和第二灰度级区域的每个子像素区域中的第一灰度级区域上的第一像素电极，以及包括第二灰度级区域中的第一像素电极的液晶显示器。形成分离的第一像素电极和第二像素电极及其制造方法。 SPVA，Cds，垂直串扰，高梯度区域，低灰度区域，连接电极。