



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0077680

(43) 공개일자 2007년07월27일

(21) 출원번호 10-2006-0007390

(22) 출원일자 2006년01월24일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이봉준
서울 종로구 소격동 37번지 지층
김범준
서울 서초구 양재동 82-13 (16/2)
이중혁
서울 영등포구 당산동2가 현대아파트 102-1802
안병재
서울 관악구 신림7동 673-73

(74) 대리인 남승희

전체 청구항 수 : 총 20 항

(54) 게이트 드라이버 및 이를 포함한 액정 표시 장치

(57) 요약

본 발명은 인쇄회로기판에 실장된 리페어 유닛을 구비한 게이트 드라이버 및 이를 포함한 액정 표시 장치에 관한 것으로, 액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위한 게이트 드라이버로서, 상기 액정 패널의 일 측 상에 내장되어, 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터와, 액정 패널과 전기적으로 연결된 인쇄회로기판 상에 실장되어, 쉬프트 레지스터의 불량 시, 쉬프트 레지스터의 불량을 수리하기 위한 리페어 유닛 및 리페어 유닛과 쉬프트 레지스터를 연결하기 위한 리페어용 신호배선을 포함하며, 리페어 유닛은 리페어용 쉬프트 레지스터 및 리페어용 쉬프트 레지스터의 출력 신호를 증폭시키기 위한 증폭기를 포함하는 것을 특징으로 하는 게이트 드라이버 및 이를 포함한 액정 표시 장치가 제공된다.

대표도

도 4

특허청구의 범위

청구항 1.

액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위한 게이트 드라이버로서,

상기 액정 패널의 일 측 상에 내장되어, 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터;

상기 액정 패널과 전기적으로 연결된 인쇄회로기판 상에 실장되어, 상기 쉬프트 레지스터의 불량 시, 상기 쉬프트 레지스터의 불량을 수리하기 위한 리페어 유닛 및

상기 리페어 유닛과 상기 쉬프트 레지스터를 연결하기 위한 리페어용 신호배선을 포함하며, 상기 리페어 유닛은 리페어용 쉬프트 레지스터 및 상기 리페어용 쉬프트 레지스터의 출력 신호를 증폭시키기 위한 증폭기를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 2.

제1항에 있어서,

상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로;

게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로;

제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로 및

제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 3.

제2항에 있어서,

상기 리페어용 신호배선은,

상기 리페어 유닛의 작동을 제어하기 위한 개시 신호를 상기 리페어 유닛에 인가하기 위한 제1 리페어용 신호배선;

상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 출력 단자에 인가하기 위한 제2 리페어용 신호배선 및

상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 입력 단자에 인가하기 위한 제3 리페어용 신호배선을 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 4.

제3항에 있어서,

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제1 리페어용 신호배선은 $n-2$ 번째 스테이지의 출력단자와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 5.

제3항에 있어서,

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제2 리페어용 신호배선은 상기 n 번째 스테이지의 출력단자와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 6.

제3항에 있어서,

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제3 리페어용 신호배선은 상기 $n+1$ 번째 스테이지의 입력단자와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 7.

제4항 내지 제6항 중 어느 한 항에 있어서,

상기 n 번째 스테이지의 입력단자 및 출력단자는 레이저를 이용하여 단선되는 것을 특징으로 하는 게이트 드라이버.

청구항 8.

제4항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 리페어용 신호배선 내지 제3 리페어용 신호배선 중 어느 하나의 신호배선은 레이저를 이용하여 상기 스테이지와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 9.

제2항에 있어서,

상기 리페어용 신호배선은,

상기 리페어 유닛의 작동을 제어하기 위한 개시 신호를 상기 리페어 유닛에 인가하기 위한 제4 리페어용 신호배선 및

상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 입력 단자에 인가하기 위한 제5 리페어용 신호배선을 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 10.

제9항에 있어서,

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제4 리페어용 신호배선은 $n-2$ 번째 스테이지의 출력단자와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 11.

제9항에 있어서,

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제5 리페어용 신호배선은 상기 n 번째 스테이지의 입력단자와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 12.

제10항 또는 제11항에 있어서,

상기 n 번째 스테이지의 입력단자 중 상기 제1 제어 신호가 입력되는 입력 단자를 제외한 나머지 입력 단자는 레이저를 이용하여 단선되는 것을 특징으로 하는 게이트 드라이버.

청구항 13.

제10항 또는 제11항에 있어서,

상기 제4 리페어용 신호배선 또는 제5 리페어용 신호배선 중 어느 하나의 신호배선은 레이저를 이용하여 상기 스테이지와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 14.

제12항에 있어서,

상기 제1 제어 신호는 상기 리페어 유닛에서 출력된 게이트 구동 신호인 것을 특징으로 하는 게이트 드라이버.

청구항 15.

제2항에 있어서,

상기 리페어용 신호배선은,

상기 리페어 유닛의 작동을 제어하기 위한 개시 신호 또는 상기 리페어 유닛으로부터 출력된 게이트 오프 신호를 인가하기 위한 제6 리페어용 신호배선을 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 16.

제15항에 있어서,

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지의 게이트 구동 신호를 게이트 오프 신호로 변환시키는 스위칭 소자의 불량 시, 상기 제6 리페어용 신호배선은 상기 n 번째 스테이지의 입력 단자와 연결되는 것을 특징으로 하는 게이트 드라이버.

청구항 17.

제1항에 있어서,

상기 리페어 유닛은 기능 선택을 위한 스위치를 더 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 18.

제1항에 있어서,

상기 증폭기는 연산 증폭기를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 19.

기관의 일 방향으로 형성된 게이트 라인과, 상기 게이트 라인과 교차하여 형성된 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인의 교차 영역에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 연결된 화소 전극 및 스토리지 커패시터 전극이 형성된 박막 트랜지스터 기관;

상기 박막 트랜지스터 기관과 대향되며, 블랙 매트릭스와, 컬러 필터 및 공통 전극이 형성된 컬러 필터 기관 및

상기 박막 트랜지스터 기관과 상기 컬러 필터 기관 사이에 주입된 액정층을 포함하며, 상기 박막 트랜지스터 기관은 상기 게이트 라인을 구동하기 위한 게이트 드라이버를 포함하며, 상기 게이트 드라이버는,

상기 박막 트랜지스터 기관의 일 측 상에 내장되어, 상기 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터;

상기 액정 패널과 전기적으로 연결된 인쇄회로기판 상에 실장되어, 상기 쉬프트 레지스터의 불량 시, 상기 쉬프트 레지스터의 불량을 수리하기 위한 리페어 유닛 및

상기 리페어 유닛과 상기 쉬프트 레지스터를 연결하기 위한 리페어용 신호배선을 포함하며, 상기 리페어 유닛은 리페어용 쉬프트 레지스터 및 상기 리페어용 쉬프트 레지스터의 출력 신호를 증폭시키기 위한 증폭기를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 20.

제19항에 있어서,

상기 복수의 스테이지 각각은,

제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로;

게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로;

제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로 및

제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트 드라이버 및 이를 포함한 액정 표시 장치에 관한 것으로, 보다 상세하게는 인쇄회로기판에 실장된 리페어 유닛을 구비한 게이트 드라이버 및 이를 포함한 액정 표시 장치에 관한 것이다.

액정 표시 장치는 매트릭스 형태로 배열된 다수의 제어용 스위치들에 인가되는 영상신호에 따라 광의 투과량이 조절되어 액정 표시 장치의 패널에 원하는 화상을 표시한다. 이러한 액정 표시 장치는 비정질 실리콘 박막 트랜지스터(이하 TFT 포함) 액정 표시 장치와 폴리 실리콘 박막 트랜지스터 액정 표시 장치로 구분된다. 비정질 실리콘 TFT는 TFT의 주요 특성인 이동도가 폴리 실리콘 TFT보다 100 내지 200배 정도 낮으나, 대면적에서 소자제작이 간단하며, 소자 특성은 낮지만 균일한 특성을 보이며, 화소의 스위칭 소자로서 비정질 실리콘 TFT 정도면 충분하기 때문에, 액정 표시 장치는 주로 비정질 실리콘 TFT로 제작한다. 반면, 폴리 실리콘 TFT는 비정질 실리콘 TFT가 가질 수 없는 높은 이동도와 소자 특성을 보인다. 비정질 실리콘 TFT 액정 표시 장치의 경우 액정 패널에서 화소부만 제작하고, 나중에 구동 회로를 TAB(Tape Automated Bonding)이나 COG(Chip On Glass)로 연결시키게 반하여, 폴리 실리콘 TFT 액정 표시 장치에서는 화소부를 제작할 때, 데이터 구동 회로와 게이트 드라이버를 동시에 집적하여, 별도의 구동 회로가 필요치 않게 된다. 한편, 최근에는 비정질 실리콘 기술의 발달로 인하여 비정질 실리콘 TFT를 이용한 게이트 드라이버를 액정 패널에 내장하는 기술이 개발되었다.

도 1은 종래 기술에 따른 게이트 드라이버가 내장된 액정 패널의 개략 구성도이다. 상기 도 1을 참조하면, 상기 액정 패널(100)은 데이터 라인을 구동하기 위한 소스 드라이버(110)와 게이트 라인을 구동하기 위한 게이트 드라이버(120)를 포함한다. 상기 게이트 드라이버(120)는 외부 클럭 신호와 게이트 라인을 연결하는 스위칭 소자인 TFT와 이를 제어하는 회로로 구성되는데, 상기 TFT는 비정질 실리콘 TFT를 이용하여, 기판 상에 내장함으로써, 외부 부품을 감소시킨다.

그러나, 액정 패널에 내장된 게이트 드라이버의 회로에 불량 발생하게 되면, 리페어 방안이 없기 때문에, 액정 표시 장치의 수율이 현저히 저하되는 문제점이 발생하였다. 따라서, 게이트 드라이버의 리페어 방안의 요구가 절실한 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명이 이루고자 하는 기술적 과제는 게이트 드라이버 불량 시, 이를 수리하기 위한 리페어 유닛을 구비한 게이트 드라이버 및 이를 포함한 액정 표시 장치를 제공하기 위한 것이다.

발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 액정 패널 상에 형성된 복수의 게이트 라인을 구동하기 위한 게이트 드라이버로서, 상기 액정 패널의 일 측 상에 내장되어, 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터; 상기 액정 패널과 전기적으로 연결된 인쇄회로기판 상에 실장되어, 상기 쉬프트 레지스터의 불량 시, 상기 쉬프트 레지스터의 불량을 수리하기 위한 리페어 유닛 및 상기 리페어 유닛과 상기 쉬프트 레지스터를 연결하기 위한 리페어용 신호배선을 포함하며, 상기 리페어 유닛은 리페어용 쉬프트 레지스터 및 상기 리페어용 쉬프트 레지스터의 출력 신호를 증폭시키기 위한 증폭기를 포함하는 것을 특징으로 하는 게이트 드라이버가 제공된다.

상기 복수의 스테이지 각각은, 제1 및 제2 클럭 신호에 따라 게이트 구동 신호를 출력 단자에 제공하기 위한 풀업 회로; 게이트 오프 신호를 상기 출력 단자에 제공하기 위한 풀다운 회로; 제1 제어 신호에 따라 상기 풀업 회로를 구동시키는 풀업 구동 회로 및 제2 제어 신호에 따라 상기 풀다운 회로를 구동시키는 풀다운 구동 회로를 포함하는 것을 특징으로 한다.

상기 리페어용 신호배선은, 상기 리페어 유닛의 작동을 제어하기 위한 개시 신호를 상기 리페어 유닛에 인가하기 위한 제1 리페어용 신호배선; 상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 출력 단자에 인가하기 위한 제2 리페어용 신호배선 및 상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 입력 단자에 인가하기 위한 제3 리페어용 신호배선을 포함하는 것을 특징으로 한다.

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제1 리페어용 신호배선은 $n-2$ 번째 스테이지의 출력단자와 연결되는 것을 특징으로 한다.

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제2 리페어용 신호배선은 상기 n 번째 스테이지의 출력단자와 연결되는 것을 특징으로 한다.

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제3 리페어용 신호배선은 상기 $n+1$ 번째 스테이지의 입력단자와 연결되는 것을 특징으로 한다.

상기 n 번째 스테이지의 입력단자 및 출력단자는 레이저를 이용하여 단선되는 것을 특징으로 한다.

상기 제1 리페어용 신호배선 내지 제3 리페어용 신호배선 중 어느 하나의 신호배선은 레이저를 이용하여 상기 스테이지와 연결되는 것을 특징으로 한다.

상기 리페어용 신호배선은, 상기 리페어 유닛의 작동을 제어하기 위한 개시 신호를 상기 리페어 유닛에 인가하기 위한 제4 리페어용 신호배선 및 상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 입력 단자에 인가하기 위한 제5 리페어용 신호배선을 포함하는 것을 특징으로 한다.

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제4 리페어용 신호배선은 $n-2$ 번째 스테이지의 출력단자와 연결되는 것을 특징으로 한다.

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지 불량 시, 상기 제5 리페어용 신호배선은 상기 n 번째 스테이지의 입력단자와 연결되는 것을 특징으로 한다.

상기 n 번째 스테이지의 입력단자 중 상기 제1 제어 신호가 입력되는 입력 단자를 제외한 나머지 입력 단자는 레이저를 이용하여 단선되는 것을 특징으로 한다.

상기 제4 리페어용 신호배선 또는 제5 리페어용 신호배선 중 어느 하나의 신호배선은 레이저를 이용하여 상기 스테이지와 연결되는 것을 특징으로 한다.

상기 제1 제어 신호는 상기 리페어 유닛에서 출력된 게이트 구동 신호인 것을 특징으로 한다.

상기 리페어용 신호배선은, 상기 리페어 유닛의 작동을 제어하기 위한 개시 신호 또는 상기 리페어 유닛으로부터 출력된 게이트 오프 신호를 인가하기 위한 제6 리페어용 신호배선을 포함하는 것을 특징으로 한다.

상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지의 게이트 구동 신호를 게이트 오프 신호로 변환시키는 스위칭 소자의 불량 시, 상기 제6 리페어용 신호배선은 상기 n 번째 스테이지의 입력 단자와 연결되는 것을 특징으로 한다.

상기 리페어 유닛은 기능 선택을 위한 스위치를 더 포함하는 것을 특징으로 한다.

상기 증폭기는 연산 증폭기를 포함하는 것을 특징으로 한다.

한편, 본 발명의 다른 측면에 따르면, 기관의 일 방향으로 형성된 게이트 라인과, 상기 게이트 라인과 교차하여 형성된 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인의 교차 영역에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 연결된 화소 전극 및 스토리지 커패시터 전극이 형성된 박막 트랜지스터 기관; 상기 박막 트랜지스터 기관과 대향되며, 블랙 매트릭스와, 컬러 필터 및 공통 전극이 형성된 컬러 필터 기관 및 상기 박막 트랜지스터 기관과 상기 컬러 필터 기관 사이에 주입된 액정층을 포함하며, 상기 박막 트랜지스터 기관은 상기 게이트 라인을 구동하기 위한 게이트 드라이버를 포함하며, 상기 게이트 드라이버는, 상기 박막 트랜지스터 기관의 일 측 상에 내장되어, 상기 게이트 라인을 구동하기 위한 게이트 구동 신호를 출력하는 복수의 스테이지로 이루어진 쉬프트 레지스터; 상기 액정 패널과 전기적으로 연결된 인쇄회로기판 상에 실장되어, 상기 쉬프트 레지스터의 불량 시, 상기 쉬프트 레지스터의 불량을 수리하기 위한 리페어 유닛 및 상기 리페어 유닛과 상기 쉬프트 레지스터를 연결하기 위한 리페어용 신호배선을 포함하며, 상기 리페어 유닛은 리페어용 쉬프트 레지스터 및 상기 리페어용 쉬프트 레지스터의 출력 신호를 증폭시키기 위한 증폭기를 포함하는 것을 특징으로 하는 액정 표시 장치가 제공된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 2는 본 발명에 따른 게이트 드라이버의 구조를 설명하기 위한 개략 구성도이며, 도 3은 본 발명에 따른 쉬프트 레지스터의 각 스테이지의 개략적인 회로도이다.

상기 도 2를 참조하면, 상기 게이트 드라이버는 클럭 신호(CKV)와 반전 클럭 신호(CKVB)에 응답하여, 게이트 라인(G_1 , G_2 , G_3 , G_4)을 순차적으로 턴 온 시키기 위한 복수개의 종속 연결된 스테이지(SRC_1 , SRC_2 , SRC_3 , SRC_4)로 구성된 쉬프트 레지스터를 포함한다. 개시 신호(STV)가 제1 스테이지(SRC_1)를 구동시키면, 제1 스테이지는 클럭 신호(CKV)에 응답하여, 제1 게이트 라인(G_1)을 턴 온 시킨다. 턴 온된 제1 게이트 라인(G_1)은 제2 스테이지(SRC_2)를 구동시키고, 제2 스테이지는 반전 클럭 신호(CKVB)에 응답하여 제2 게이트 라인(G_2)을 턴 온 시킨다. 턴 온된 제2 게이트 라인(G_2)은 제3 스테이지(SRC_3)를 구동시킴과 동시에 제1 스테이지(SRC_1)를 턴 오프시킨다. 이와 같은 방식으로 게이트 라인들은 순차적으로 턴 온 된다. 한편, 상기와 같이 종속 연결된 복수의 스테이지로 구성된 쉬프트 레지스터를 포함한 게이트 드라이버는 비정질 실리콘 TFT를 이용하여 액정 표시 장치의 하부 기판 즉, 박막 트랜지스터 기판의 일 측 상에 내장된다.

상기 도 3을 참조하면, 상기 쉬프트 레지스터의 각 스테이지는 풀업 회로(310), 풀다운 회로(320), 풀업 구동 회로(330), 풀다운 구동 회로(340) 및 인버터(350)를 포함한다.

상기 풀업 회로(310)은 클럭 신호(CKV) 또는 이와 반대 위상을 갖는 클럭 반전 신호(CKVB)를 출력 단자(G_n)에 제공한다. 본 실시예에서, 상기 풀업 회로(310)은 TFT(T_1)를 포함하며, 상기 T_1 은 클럭 신호(CKV) 입력 단자와 연결되어, 게이트 구동 신호를 출력한다.

상기 풀업 회로(310)은 상기 풀업 구동 회로(330)에 의해서 구동되는데, 상기 풀업 구동 회로(330)은 TFT(T_4)와 커패시터(C_1)로 구성된다. 상기 커패시터(C_1)는 출력 단자(G_n)와 T_1 간에 연결되며, 상기 T_4 는 전단 스테이지의 캐리 신호 즉, 전단 스테이지의 출력 단자로부터 출력되는 게이트 구동 신호가 입력되는 제어 신호 입력 단자($CR_{(n-1)}$)와 연결된다. 상기 제어 신호 입력 단자($CR_{(N-1)}$)에 하이 신호가 입력되면, 상기 커패시터(C_1)에 전하가 충전되어, 상기 T_1 이 턴 온되어, 클럭 신호(CKV)가 출력 단자(G_n)로 출력되어, 게이트 라인 상에 연결된 모든 비정질 TFT를 턴 온 시키게 된다.

상기 풀다운 회로(320)은 출력 단자(G_n)에 게이트 오프 신호를 출력하며, 상기 풀다운 구동 회로(340)에 의해서 구동된다. 상기 풀다운 회로(320)은 TFT(T_2) 및 TFT(T_3)을 포함하며, 상기 T_2 는 게이트 오프 신호가 입력되는 게이트 오프 신호 입력 단자(V_{ss})와 연결되며, 다음 단 게이트 구동 신호(G_{n+1})가 입력되면, 게이트 구동 신호를 게이트 오프 신호로 방전시키며, 상기 T_3 는 클럭 신호(CKV)에 의해 동기되어, 게이트 오프 신호 레벨을 유지시킨다.

상기 풀다운 구동 회로(340)은 풀다운 회로(320)을 구동하며, 4개의 TFT(T_5 , T_9 , T_{10} , T_{11})로 구성된다. 상기 T_5 는 클럭 반전 신호(CKVB)에 의해 동기되어, 게이트 오프 신호 레벨을 유지시키며, T_9 은 게이트 구동 신호를 게이트 오프 신호로 방전시키며, TFT $_{10}$ 및 TFT $_{11}$ 는 각각 클럭 신호(CKV)와 클럭 반전 신호(CKVB)에 의해서, T_1 과 커패시터가 연결되는 노드(C_1)를 오프 레벨로 유지시킨다. 상기 인버터(350)는 상기 T_3 를 구동시키기 위한 것으로서, 4개의 TFT(T_7 , T_8 , T_{12} , T_{13})를 포함한다. 또한, TFT(T_{15})는 제어 신호 출력 단자($CR_{(N)}$)와 연결되어, 제어 신호 출력 단자에서 출력되는 신호 즉, 캐리 신호의 왜곡을 방지하는 기능을 수행하며, TFT(T_{14})는 1H 동안 게이트 구동 신호를 게이트 오프 신호로 방전시키는 기능을 수행한다.

도 4는 본 발명의 제1 실시예에 따른 리페어 유닛을 구비한 게이트 드라이버의 개략 구성도이며, 도 5는 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 스테이지의 개략적인 회로도이다.

상기 4를 참조하면, 상기 게이트 드라이버는 클럭 신호(CKV)와 반전 클럭 신호(CKVB)에 응답하여, 게이트 라인(G_1 , G_2 , G_3 , G_4 , ..., G_{n-2} , G_{n-1} , G_n , G_{n+1})을 순차적으로 턴 온 시키기 위한 복수개의 종속 연결된 스테이지(SRC_1 , SRC_2 , SRC_3 , SRC_4 , SRC_{n-2} , SRC_{n-1} , SRC_n , SRC_{n+1})로 구성된 쉬프트 레지스터와, 인쇄회로기판(500) 상에 실장된 리페어 유닛(600) 및 상기 쉬프트 레지스터와 상기 리페어 유닛을 연결시키기 위한 리페어용 신호배선(700)을 포함한다.

상기 쉬프트 레지스터의 홀수 번째 스테이지들(SRC_1 , SRC_3)에는 클럭 신호(CKV)가 제공되고, 짝수 번째 스테이지들(SRC_2 , SRC_4)에는 반전 클럭 신호(CKVB)가 제공된다. 클럭 신호(CKV)와 반전 클럭 신호(CKVB)는 서로 반대되는 위상

을 가진다. 각 스테이지의 출력단자는 다음 스테이지의 입력 단자와 이전 스테이지의 입력 단자에 각각 연결된다. 따라서, 제1 스테이지(SRC_1)는 개시 신호(STV)를 제공 받아 제1 게이트 라인(G_1)을 선택하는 제1 게이트 구동 신호를 출력한다. 또한, 상기 제1 게이트 구동 신호는 제2 스테이지(SRC_2)의 입력 단자로 인가되며, 제2 스테이지(SRC_2)는 상기 신호들과 함께 이전 스테이지로부터 제공되는 제1 게이트 구동 신호와 제3 게이트 구동 신호를 제공 받아 제2 게이트 라인(G_2)을 선택하는 제2 게이트 구동 신호를 출력한다. 상기과 같은 방식으로 n 번째 스테이지(SRC_n)는 제 n 게이트 구동 신호를 출력단자를 통해 출력한다.

상기 리페어 유닛(600)은 액정 패널의 일 단과 전기적으로 연결된 인쇄회로기판(500) 상에 실장되며, 상기 쉬프트 레지스터의 불량 시, 상기 쉬프트 레지스터의 스테이지 기능을 대체하는 역할을 수행한다. 상기 리페어 유닛(600)은 불량이 발생한 쉬프트 레지스터의 스테이지의 기능을 대체하기 위한 리페어용 쉬프트 레지스터(610)와, 상기 리페어용 쉬프트 레지스터(610)의 출력 신호를 증폭시키기 위한 증폭기(620) 및 상기 리페어 유닛(600)의 기능을 선택하기 위한 스위치(630)를 포함한다. 이때, 상기 증폭기(620)는 연산 증폭기를 사용할 수 있으며, 상기 스위치(630)는 쉬프트 레지스터의 불량 여부에 따라, 상기 리페어 유닛(600)을 게이트 드라이버를 수리하거나 또는 다른 구성, 예를 들면 데이터 라인을 수리하는 용도로 선택할 수 있는 역할을 한다.

상기 리페어용 신호배선(700)은 제1 리페어용 신호배선(710)과, 제2 리페어용 신호배선(720) 및 제3 리페어용 신호배선(730)을 포함하는데, 상기 제1 리페어용 신호배선(710)은 상기 리페어 유닛(600)의 작동을 제어하기 위한 개시 신호를 스테이지로부터 상기 리페어 유닛에 인가한다. 상기 제2 리페어용 신호배선(720)은 상기 제1 리페어용 신호배선(710)을 통해 인가된 개시 신호에 응답하여, 상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 출력 단자로 인가시킨다. 상기 제3 리페어용 신호배선(730)은 상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 입력 단자에 인가한다.

만약, 상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지(SRC_n)가 불량이 발생한 경우에, 이를 리페어하는 과정을 상기 도 4 및 도 5를 참조하여 살펴본다.

우선, 상기 n 번째 스테이지(SRC_n)의 입력단자 및 출력단자들을 레이저를 이용하여 단선(cutting)시킨다. 상기 도 5에는 불량이 발생한 n 번째 스테이지(SRC_n)의 개략적인 회로도가 도시되는데, 상기 n 번째 스테이지(SRC_n)의 O_1 내지 O_7 의 신호 배선을 레이저를 이용하여 단선시켜서, 인접 스테이지와 분리시킨다.

그 다음에, 상기 도 4에 도시된 바와 같이, 상기 리페어 유닛(600)과 연결된 상기 제1 내지 제3 리페어용 신호배선(710, 720, 730)을 레이저를 이용하여 접합(welding)시켜서, 쉬프트 레지스터의 스테이지와 연결시킨다.

이때, 상기 제1 리페어용 신호배선(710)은 $n-2$ 번째 스테이지(SRC_{n-2})의 출력단자와 연결되며, 상기 제2 리페어용 신호배선(720)은 상기 n 번째 스테이지(SRC_n)의 출력단자와 연결되고, 상기 제3 리페어용 신호배선(730)은 상기 $n+1$ 번째 스테이지(SRC_{n+1})의 입력단자와 연결된다. 따라서, 상기 $n-2$ 번째 스테이지(SRC_{n-2})의 출력단자로부터 출력된 게이트 구동 신호는 상기 리페어 유닛(600)의 작동을 개시하는 개시신호로 작용하며, 이러한 개시신호에 응답하여 상기 리페어 유닛으로부터 출력되는 게이트 구동신호는 상기 n 번째 스테이지(SRC_n)의 출력단자에 인가되어, 제 n 게이트 라인(G_n)을 구동시키고, 또한, 상기 리페어 유닛으로부터 출력되는 게이트 구동신호는 다음 스테이지 즉, $n+1$ 번째 스테이지 (SRC_{n+1})의 입력단자로 인가되어 캐리신호로 작용한다.

상기와 같은 구조에 따르면, 상기 n 번째 스테이지(SRC_n)에 불량이 발생하여도, 상기 리페어 유닛(600)에 의해서 리페어되어, 액정 패널은 정상적으로 디스플레이될 수 있다.

도 6은 본 발명의 제2 실시예에 따른 리페어 유닛을 구비한 게이트 드라이버의 개략 구성도이며, 도 7은 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 스테이지의 개략적인 회로도이다. 상기 도 6 및 도 7에 도시된 제2 실시예는 리페어용 신호배선을 2개 사용한다는 점이 상기 제1 실시예와 상이하며, 나머지 구성요소는 거의 유사하므로, 이하에서는 상이한 부분을 위주로 상술한다.

상기 6를 참조하면, 상기 게이트 드라이버는 클럭 신호(CKV)와 반전 클럭 신호(CKVB)에 응답하여, 게이트 라인($G_1, G_2, G_3, G_4, \dots, G_{n-2}, G_{n-1}, G_n, G_{n+1}, \dots$)을 순차적으로 턴 온 시키기 위한 복수개의 종속 연결된 스테이지($SRC_1, SRC_2, SRC_3, SRC_4, SRC_{n-2}, SRC_{n-1}, SRC_n, SRC_{n+1}$)로 구성된 쉬프트 레지스터와, 인쇄회로기판(500) 상에 실장된 리페어 유닛(600) 및 상기 쉬프트 레지스터와 상기 리페어 유닛을 연결시키기 위한 리페어용 신호배선(700)을 포함하며, 상기 리페어용 신호배선(700)은 상기 리페어 유닛의 작동을 제어하기 위한 개시 신호를 상기 리페어 유닛에 인가하기 위한 제4 리페어용 신호배선(740) 및 상기 리페어 유닛에서 출력된 게이트 구동 신호를 상기 스테이지의 입력 단자에 인가하기 위한 제5 리페어용 신호배선(750)을 포함한다.

만약, 상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지(SRC_n)가 불량인 경우, 이를 리페어하는 과정을 상기 도 6 및 도 7을 참조하여 살펴본다.

우선, 상기 n 번째 스테이지(SRC_n)의 입력단자의 일부를 레이저를 이용하여 단선(cutting)시킨다. 상기 도 7에는 불량이 발생한 n 번째 스테이지(SRC_n)의 개략적인 회로도도 도시되는데, 상기 n 번째 스테이지(SRC_n)의 O_1, O_3, O_4 및 O_5 의 신호배선을 레이저를 이용하여 단선시킨다. 즉, 전단 스테이지의 출력 단자로부터 출력되는 게이트 구동 신호가 입력되는 제어 신호 입력 단자($CR_{(n-1)}$)는 유지시키며, 상기 풀업 구동 회로(330)의 TFT(T_4)와 상기 풀업 회로(310)의 TFT(T_1) 및 TFT(T_{15})를 쇼트(short)시켜서, 상기 제어 신호 입력 단자($CR_{(n-1)}$)를 게이트 구동 신호 출력단자 및 상기 제어 신호 출력단자($CR_{(n)}$)와 연결시킨다.

그 다음에, 상기 도 6에 도시된 바와 같이, 상기 리페어 유닛(600)과 연결된 상기 제4 및 제5 리페어용 신호배선(740, 750)을 레이저를 이용하여 접합(welding)시켜서, 쉬프트 레지스터의 스테이지와 연결시킨다.

이때, 상기 제4 리페어용 신호배선(740)은 $n-2$ 번째 스테이지의 출력단자와 연결되며, 상기 제5 리페어용 신호배선(750)은 상기 n 번째 스테이지의 입력단자와 연결된다. 따라서, 상기 $n-2$ 번째 스테이지(SRC_{n-2})의 출력단자로부터 출력된 게이트 구동신호는 상기 리페어 유닛(600)의 작동을 개시하는 개시신호로 작용하며, 이러한 개시신호에 응답하여 상기 리페어 유닛으로부터 출력되는 게이트 구동신호는 상기 n 번째 스테이지(SRC_n)의 입력단자 즉, 상기 n 번째 스테이지의 제어 신호 입력 단자($CR_{(n-1)}$)에 인가되어, 제 n 게이트 라인(G_n)을 구동시킨다.

도 8은 본 발명의 제3 실시예에 따른 리페어 유닛을 구비한 게이트 드라이버의 개략 구성도이며, 도 9는 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 스테이지의 개략적인 회로도이다. 상기 도 8 및 도 9에 도시된 제3 실시예는 리페어용 신호배선을 1개 사용한다는 점이 상기 제1 실시예와 상이하며, 나머지 구성요소는 거의 유사하므로, 이하에서는 상이한 부분을 위주로 상술한다.

상기 도 8을 참조하면, 상기 게이트 드라이버는 클럭 신호(CKV)와 반전 클럭 신호(CKVB)에 응답하여, 게이트 라인($G_1, G_2, G_3, G_4, \dots, G_{n-2}, G_{n-1}, G_n, G_{n+1}, \dots$)을 순차적으로 턴 온 시키기 위한 복수개의 종속 연결된 스테이지($SRC_1, SRC_2, SRC_3, SRC_4, SRC_{n-2}, SRC_{n-1}, SRC_n, SRC_{n+1}$)로 구성된 쉬프트 레지스터와, 인쇄회로기판(500) 상에 실장된 리페어 유닛(600) 및 상기 쉬프트 레지스터와 상기 리페어 유닛을 연결시키기 위한 리페어용 신호배선(700)을 포함하며, 상기 리페어용 신호배선(700)은 상기 리페어 유닛의 작동을 제어하기 위한 개시 신호를 상기 리페어 유닛에 인가하기 위한 제6 리페어용 신호배선(760)을 포함하며, 상기 제6 리페어용 신호배선(760)은 상기 리페어 유닛의 작동을 제어하기 위한 개시 신호 또는 상기 리페어 유닛으로부터 출력된 게이트 오프 신호를 인가한다.

만약, 상기 쉬프트 레지스터의 복수의 스테이지 중 n 번째 스테이지(SRC_n)의 TFT(T_{14})가 불량인 경우, 이를 리페어하는 과정을 상기 도 8 및 도 9를 참조하여 살펴본다.

우선, 상기 n 번째 스테이지(SRC_n)의 TFT(T_{14})의 양단(O_8, O_9)을 레이저를 이용하여 단선(cutting)시킨다. 그 다음에, 상기 도 8에 도시된 바와 같이, 상기 리페어 유닛(600)과 연결된 상기 제6 리페어용 신호배선(760)을 레이저를 이용하여 접합(welding)시켜서, 쉬프트 레지스터의 스테이지와 연결시킨다. 이때, 상기 제6 리페어용 신호배선(760)은 상기 n 번째 스테이지의 입력 단자와 연결된다.

이상에서 설명한 것은 본 발명에 따른 게이트 드라이버 및 이를 포함한 액정 표시 장치의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

발명의 효과

전술한 바와 같이 본 발명에 따르면, 게이트 드라이버의 쉬프트 레지스터의 불량시, 이를 수리하기 위한 리페어 유닛을 구비함으로써, 액정 표시 장치의 수율이 향상되는 효과를 얻게 된다.

또한, 이러한 리페어 유닛을 액정 패널과 연결된 인쇄회로기판에 실장함으로써, 액정 패널의 공간을 확보할 수 있게 된다.

도면의 간단한 설명

도 1은 종래 기술에 따른 게이트 드라이버가 내장된 액정 패널의 개략 구성도이다.

도 2는 본 발명에 따른 게이트 드라이버의 구조를 설명하기 위한 개략 구성도이다.

도 3은 본 발명에 따른 쉬프트 레지스터의 각 스테이지의 개략적인 회로도이다.

도 4는 본 발명의 제1 실시예에 따른 리페어 유닛을 구비한 게이트 드라이버의 개략 구성도이다.

도 5는 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 스테이지의 개략적인 회로도이다.

도 6은 본 발명의 제2 실시예에 따른 리페어 유닛을 구비한 게이트 드라이버의 개략 구성도이다.

도 7은 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 스테이지의 개략적인 회로도이다.

도 8은 본 발명의 제3 실시예에 따른 리페어 유닛을 구비한 게이트 드라이버의 개략 구성도이다.

도 9는 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 스테이지의 개략적인 회로도이다.

도면의 주요 부분에 대한 부호의 설명

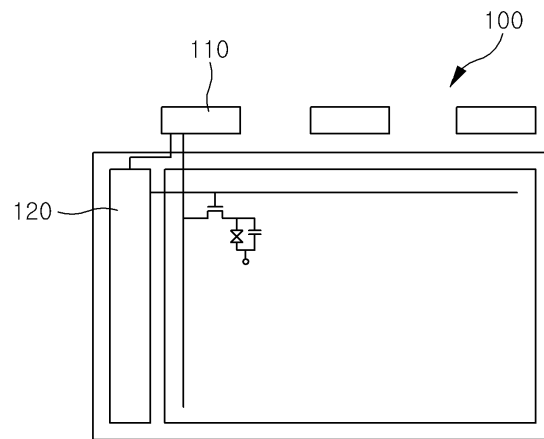
500; 인쇄회로기판 600; 리페어 유닛

610; 리페어용 쉬프트 레지스터 620; 증폭기

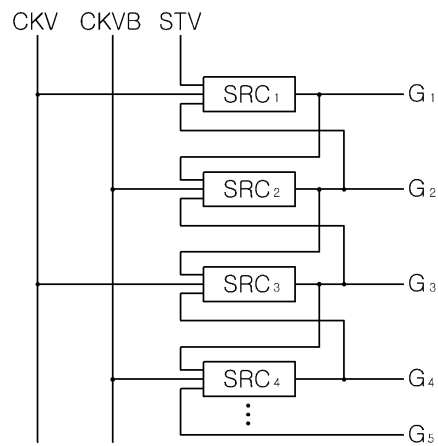
630; 스위치 700; 리페어용 신호배선

도면

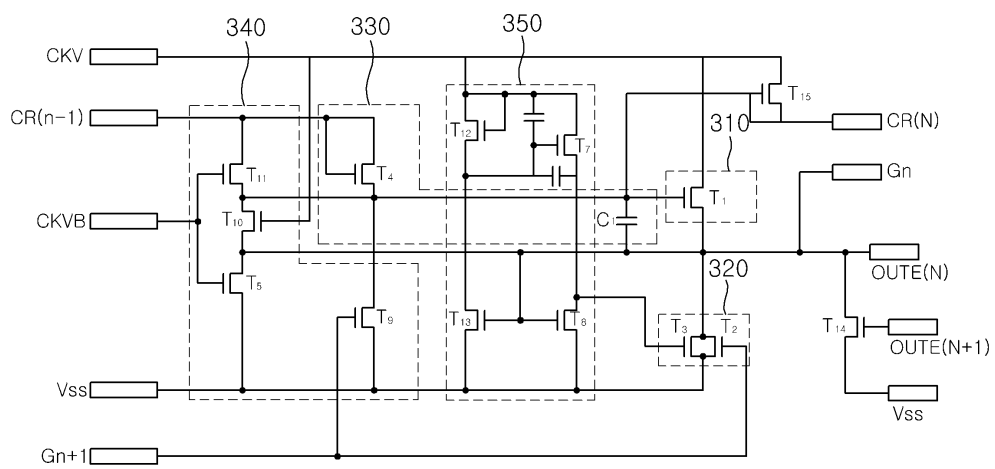
도면1



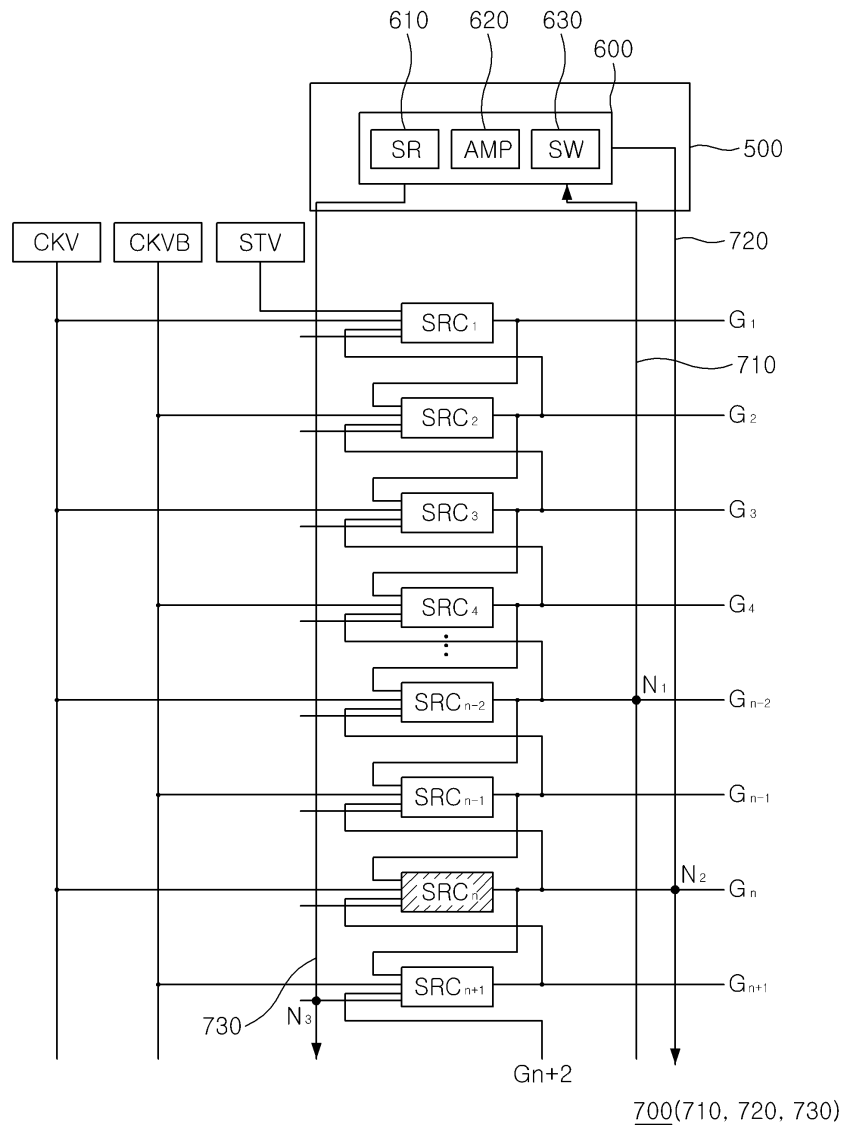
도면2



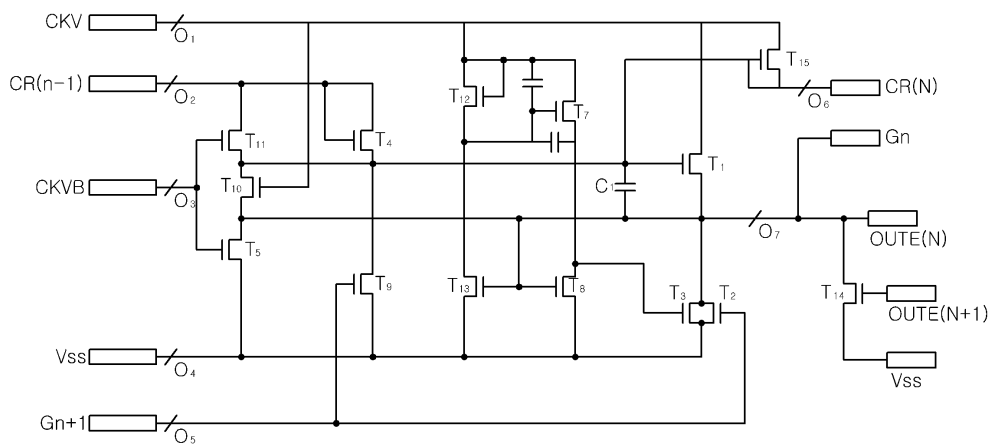
도면3



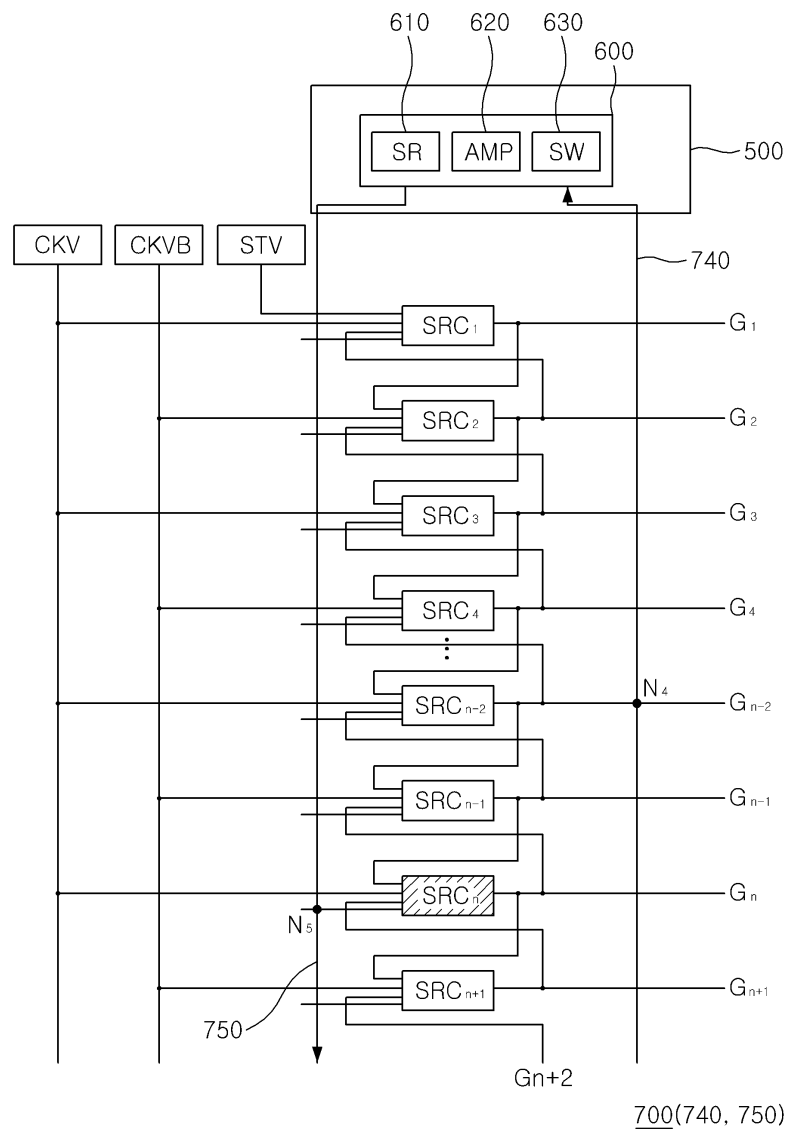
도면4



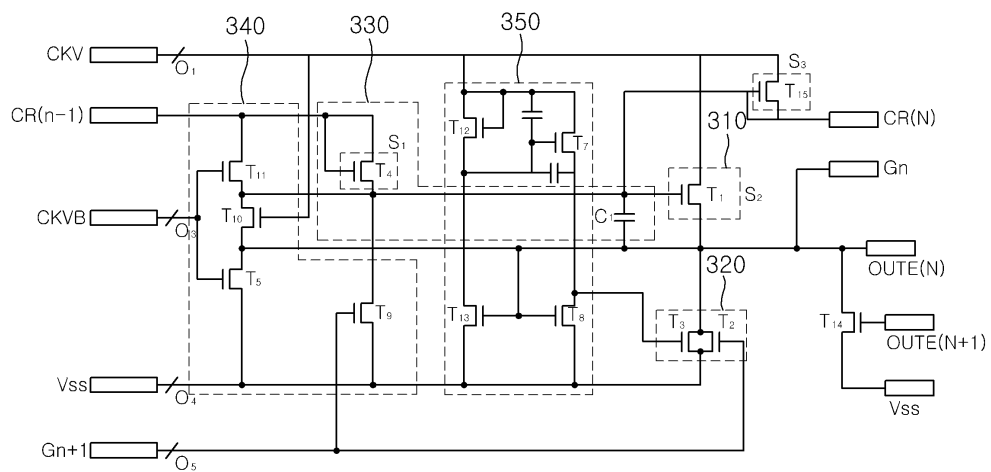
도면5



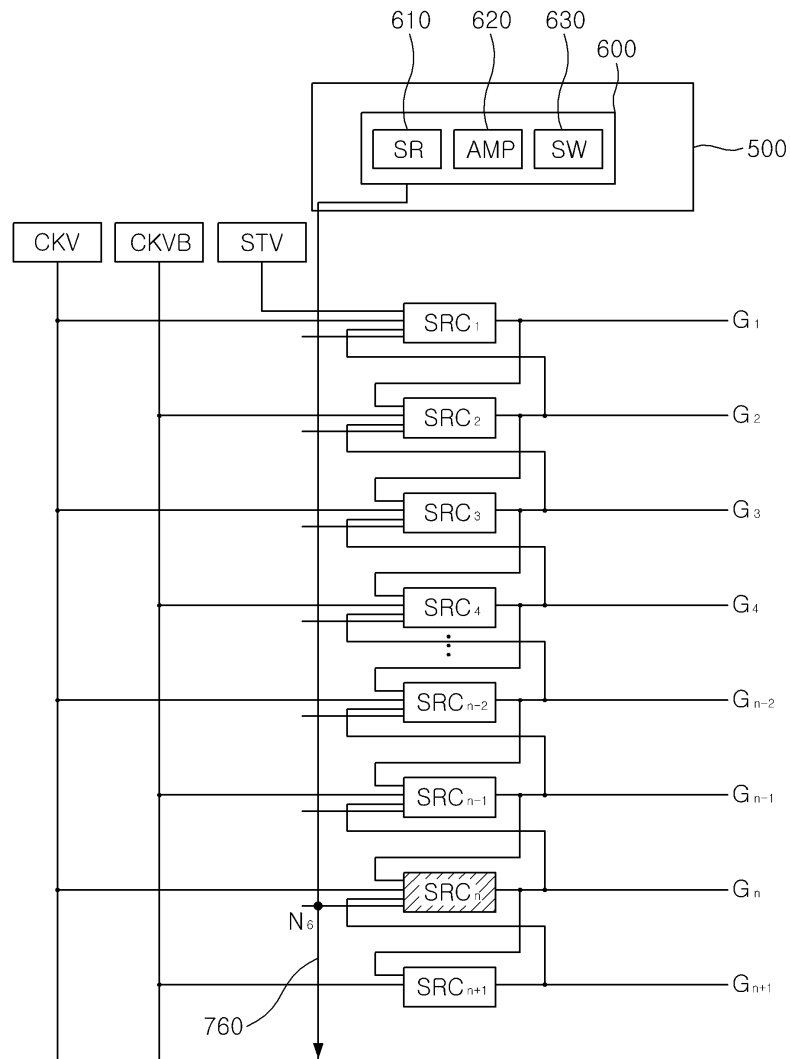
도면6



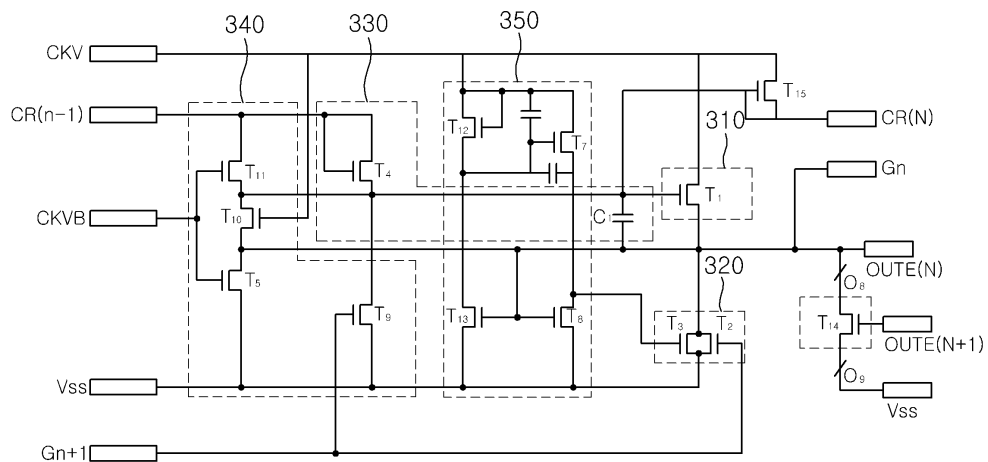
도면7



도면8



도면9



专利名称(译)	栅极驱动器和包括其的液晶显示器件		
公开(公告)号	KR1020070077680A	公开(公告)日	2007-07-27
申请号	KR1020060007390	申请日	2006-01-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BONG JUN 이봉준 KIM BEOM JUN 김범준 LEE JONG HYUK 이중혁 AHN BYEONG JAE 안병재		
发明人	이봉준 김범준 이중혁 안병재		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/136259 G09G3/3655 G09G3/3677 G09G2300/0833 G09G2310/0286 H03K19/01742		
外部链接	Espacenet		

摘要(译)

本发明提供一种栅极驱动器，其具有用于修复的信号布线，用于连接修复单元，用于修复移位寄存器的故障，修复单元和移位寄存器中的移位寄存器的故障，并包括放大器，其中修复单元放大用于修复和修复的移位寄存器的移位寄存器的输出信号以及在多级上包括该移位寄存器的液晶显示器，所述多级是用于在液晶面板上驱动形成的多条栅极线的栅极驱动器。栅极驱动器配备有具有印刷电路板的修复单元和包括该栅极驱动器的液晶显示器，并且安装在液晶面板的一侧并输出栅极驱动信号。印刷电路板与移位寄存器和液晶面板电连接，电连接。液晶显示器，栅极驱动器和修复单元。

