



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0068777
G02F 1/136 (2006.01) (43) 공개일자 2007년07월02일

(21) 출원번호 10-2005-0130758
(22) 출원일자 2005년12월27일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박진영
경기 군포시 산본동 설악아파트 852-805
오창호
대구 북구 태전동 997번지 현대아파트 101동 1202호
진현철
경북 구미시 구평동 부영아파트 309동 1306호
탁영미
서울 관악구 남현동 602-54(9/5) 2층 201호

(74) 대리인 김영호

전체 청구항 수 : 총 15 항

(54) 액정표시패널 및 그 제조방법

(57) 요약

본 발명은 잔상을 최소화시켜 화질을 향상시킬 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명은 서로 교차되게 위치하는 게이트 라인과 데이터 라인에 의해 정의되는 화소셀들이 매트릭스 형태로 배열된 액정 표시패널에 있어서, 상기 화소셀들 각각은 상기 게이트 라인과 데이터 라인의 교차영역에 위치하는 박막 트랜지스터와; 상기 박막 트랜지스터와 접속되는 화소전극과; 상기 박막 트랜지스터와 인접하게 위치하며 상기 박막 트랜지스터의 게이트 전극과 기생 캐패시터를 형성함과 아울러 상기 화소전극과 접속되는 금속패턴을 구비하고, 각각의 상기 금속패턴들은 상기 화소셀들의 위치에 따라 면적이 서로 다르다.

대표도

도 7

특허청구의 범위

청구항 1.

서로 교차되게 위치하는 게이트 라인과 데이터 라인에 의해 정의되는 화소셀들이 매트릭스 형태로 배열된 액정표시패널에 있어서,

상기 화소셀들 각각은

상기 게이트 라인과 데이터 라인의 교차영역에 위치하는 박막 트랜지스터와;

상기 박막 트랜지스터와 접속되는 화소전극과;

상기 박막 트랜지스터와 인접하게 위치하며 상기 박막 트랜지스터의 게이트 전극과 기생 캐패시터를 형성함과 아울러 상기 화소전극과 접촉된 금속패턴을 구비하고,

각각의 상기 금속패턴들은 상기 화소셀들의 위치에 따라 면적이 서로 다른 것을 특징으로 하는 액정표시패널.

청구항 2.

제 1 항에 있어서,

상기 각각의 금속패턴들은

하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 면적이 달라지는 것을 특징으로 하는 액정표시패널.

청구항 3.

제 1 항에 있어서,

상기 각각의 금속패턴들은

하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 면적이 작아지는 것을 특징으로 하는 액정표시패널.

청구항 4.

제 1 항에 있어서,

상기 금속패턴은 상기 화소전극과 동일물질로 형성된 것을 특징으로 하는 액정표시패널.

청구항 5.

제 1 항에 있어서,

상기 금속패턴과 상기 게이트 전극에 의해 형성되는 기생 캐패시터의 크기는

상기 화소셀들의 위치에 따라 다른 것을 특징으로 하는 액정표시패널.

청구항 6.

제 1 항에 있어서,

상기 금속패턴과 상기 게이트 전극에 의해 형성되는 기생 캐패시터의 크기는

하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 작아지는 것을 특징으로 하는 액정표시패널.

청구항 7.

제 1 항에 있어서,

상기 박막 트랜지스터는

상기 게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 반도체 패턴;

상기 반도체 패턴 상에 위치하며 상기 데이터 라인에서 신장된 소스전극;

상기 소스전극과 마주보며 보호막을 관통하는 접촉홀을 통해 상기 화소전극과 접촉되는 드레인 전극을 구비하는 것을 특징으로 하는 액정표시패널.

청구항 8.

제 7 항에 있어서,

상기 금속전극 패턴은 상기 게이트 절연막 및 보호막을 사이에 두고 상기 게이트 전극과 부분적으로 중첩되는 것을 특징으로 하는 액정표시패널.

청구항 9.

매트릭스 형태로 배열되는 다수의 화소셀들을 형성하는 단계를 포함하는 액정표시패널의 제조방법에 있어서,

상기 각각의 화소셀들을 형성하는 단계는

기판 상에 게이트 라인 및 상기 게이트 라인에 접촉된 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와;

게이트 절연막을 사이에 사이에 두고 상기 게이트 전극과 중첩되는 반도체 패턴, 상기 게이트 라인에 교차되는 데이터 라인, 상기 반도체 패턴 상에 위치하는 소스 전극, 상기 소스전극과 마주보는 드레인 전극을 형성하는 단계와;

상기 드레인 전극을 노출시키는 접촉홀을 가지는 보호막을 형성하는 단계와;

상기 접촉홀을 통해 상기 보호막과 접촉되는 화소전극, 상기 게이트 절연막 및 보호막을 사이에 두고 위치하여 기생 캐패시터를 형성함과 아울러 상기 화소전극과 접촉되는 금속패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 화소셀들 각각의 상기 금속패턴들은 상기 화소셀들의 위치에 따라 면적이 서로 다르게 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 각각의 금속패턴들의 면적은

하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 금속패턴의 면적이 달라지는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 12.

제 10 항에 있어서,

상기 각각의 금속패턴들의 면적은

하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 금속패턴의 면적이 작아지는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 13.

제 9 항에 있어서,

상기 금속패턴과 상기 게이트 전극에 의해 형성되는 기생 캐패시터의 크기는

상기 화소셀들의 위치에 따라 다른 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 14.

제 9 항에 있어서,

상기 금속패턴과 상기 게이트 전극에 의해 형성되는 기생 캐패시터의 크기는

하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 작아지는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 15.

제 9 항에 있어서,

상기 금속전극 패턴은 상기 게이트 절연막 및 보호막을 사이에 두고 상기 게이트 전극과 부분적으로 중첩되는 것을 특징으로 하는 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 잔상을 최소화시켜 화질을 향상시킬 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널은 서로 대향하는 박막 트랜지스터 어레이 기관 및 컬러필터 어레이 기관과, 두 기관 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

박막 트랜지스터 어레이 기관은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소 전극에 공급한다.

컬러필터 어레이 기관은 액정셀 단위로 형성된 컬러필터들과, 컬러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

액정패널은 박막 트랜지스터 어레이 기관과 컬러필터 어레이 기관을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.

도 1은 종래의 박막 트랜지스터 어레이 기관을 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기관을 I-I'선을 따라 절단하여 도시한 단면도이다.

도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기관은 하부기관(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)(6)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(18)을 구비한다. 그리고, TFT 어레이 기관은 화소전극(18)과 이전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)를 구비한다.

TFT(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(18)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 중첩되게 형성되고 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 오믹 접촉을 위한 오믹접촉층(48)이 더 형성된다.

이러한 TFT(6)는 게이트 라인(2)에 공급되는 게이트 신호에 응답하여 데이터 라인(4)에 공급되는 화소전압 신호가 화소 전극(18)에 충전되어 유지되게 한다.

화소전극(18)은 보호막(50)을 관통하는 접촉홀(16)을 통해 TFT(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소전압에 의해 도시하지 않은 상부 기관에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 TFT 어레이 기관과 컬러필터 어레이 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로 부터 화소전극(18)을 경유하여 입사되는 광을 상부 기관 쪽으로 투과시키게 된다.

스토리지 캐패시터(20)는 전단 게이트라인(2)과 화소전극(18)의해 형성된다. 게이트라인(2)과 화소전극(18) 사이에는 게이트 절연막(44) 및 보호막(50)이 위치하게 된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되도록 도움을 주게 된다.

이하, 도 3a 내지 도 3d를 참조하여 TFT 어레이 기관의 제조방법을 설명하면 다음과 같다.

먼저, 하부기관(42) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된 후 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 도 3a에 도시된 바와 같이, 게이트라인(2), 게이트전극(8)을 포함하는 게이트 패터들이 형성된다.

게이트 패터들이 형성된 하부기관(42) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(44)이 형성된다. 게이트 절연막(44)이 형성된 하부기관(42) 상에 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.

소스/드레인 금속층 위에 회절 마스크를 이용한 포토리소그래피 공정 및 식각공정 등을 이용하여 데이터 라인(4), 소스 전극(10), 드레인 전극(12)을 포함하는 소스/드레인 패터과, 소스 드레인 패터 하부에 오믹접촉층(48)과 활성층(14)을 포함하는 반도체 패터(45)이 형성된다.

한편, 반도체 패터(45)은 별도의 마스크 공정을 이용하여 소스/드레인 패터과는 별개로 형성될 수도 있다.

소스/드레인 패터들이 형성된 게이트 절연막(44) 상에 PECVD 등의 증착방법으로 보호막(50)이 전면 형성된 후 포토리소그래피 공정과 식각공정으로 패터닝됨으로써 도 3c에 도시된 바와 같이 접촉홀(16)이 형성된다. 접촉홀(16)은 보호막(50)을 관통하여 드레인 전극(12)이 노출되게 형성된다.

보호막(50) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된 후 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패터닝됨으로써 도 3d에 도시된 바와 같이 화소전극(18)이 형성된다. 화소전극(18)은 접촉홀(16)을 통해 드레인 전극(12)과 전기적으로 접속된다. 또한, 화소전극(18)은 게이트 절연막(44) 및 보호막(50)을 사이에 두고 전단 게이트 라인(2)과 중첩되게 형성됨으로써 스토리지 캐패시터(20)를 구성한다.

이러한, TFT 어레이 기관에서는 도 4에서와 같이 TFT(6)의 게이트 전극(8)에 문턱전압 이상의 게이트 전압(Vg)이 공급됨과 아울러 소스전극(10)에 데이터 전압(Vd)이 공급되며, TN 모드의 액정표시패널에서는 컬러필터 어레이 기관에 위치하고 IPS 모드의 액정표시패널에서는 TFT 어레이 기관에 위치하는 공통전극에 직류(DC) 공통전압(Vom)이 공급된다. 이에 따라, TFT(6)의 소스전극(10)과 드레인 전극(12) 사이에 채널이 형성되면서 데이터 전압(Vd)이 TFT의 소스전극(10)과 드레인 전극(12)을 경유하여 스토리지 캐패시터(20)에 충전된다.

여기서, 공통전극에 공급되는 공통전압(Vom)은 공통전압공급부에서 멀어질수록 라인저항의 증가에 따라 그 크기가 감소하는 문제가 발생한다. 즉, 공통저압공급부에서 가까운 곳에서의 화소셀에 걸리는 실효 공통전압값(A)과 공통전압공급부에서 먼 곳에서의 화소셀에 걸리는 실효 공통전압값(B) 간의 전압차(d)가 발생된다. 예를 들어, TN 모드 액정표시패널에서의 공통전압(Vom)은 액정표시패널의 외곽에서 온도를 통해 컬러필터 어레이 기관 전면에 형성된 공통전극에 공급된다. 이에 따라, 외곽에서 중심으로 갈수록 실효 공통전압값이 작아지게 된다.

이러한, 공통전압의 불균일에 의해 액정표시패널(160)에서의 위치별 화상 차이가 발생되고 플리커 등의 잔상이 나타나게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 플리커 등의 잔상을 최소화시켜 화질을 향상시킬 수 있는 액정표시패널 및 그 제조방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 서로 교차되게 위치하는 게이트 라인과 데이터 라인에 의해 정의되는 화소셀들이 매트릭스 형태로 배열된 액정표시패널에 있어서, 상기 화소셀들 각각은 상기 게이트 라인과 데이터 라인의 교차영역에 위

치하는 박막 트랜지스터와; 상기 박막 트랜지스터와 접속되는 화소전극과; 상기 박막 트랜지스터와 인접하게 위치하며 상기 박막 트랜지스터의 게이트 전극과 기생 캐패시터를 형성함과 아울러 상기 화소전극과 접촉된 금속패턴을 구비하고, 각각의 상기 금속패턴들은 상기 화소셀들의 위치에 따라 면적이 서로 다른 것을 특징으로 한다.

상기 각각의 금속패턴들은 하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 면적이 달라지는 것을 특징으로 한다.

상기 각각의 금속패턴들은 하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 면적이 작아지는 것을 특징으로 한다.

상기 금속패턴은 상기 화소전극과 동일물질로 형성된 것을 특징으로 한다.

상기 금속패턴과 상기 게이트 전극에 의해 형성되는 기생 캐패시터의 크기는 상기 화소셀들의 위치에 따라 다른 것을 특징으로 한다.

상기 금속패턴과 상기 게이트 전극에 의해 형성되는 기생 캐패시터의 크기는 하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 작아진다.

상기 박막 트랜지스터는 상기 게이트 전극; 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 반도체 패턴; 상기 반도체 패턴 상에 위치하며 상기 데이터 라인에서 신장된 소스전극; 상기 소스전극과 마주보며 보호막을 관통하는 접촉홀을 통해 상기 화소전극과 접촉되는 드레인 전극을 구비한다.

상기 금속전극 패턴은 상기 게이트 절연막 및 보호막을 사이에 두고 상기 게이트 전극과 부분적으로 중첩된다.

본 발명은 매트릭스 형태로 배열되는 다수의 화소셀들을 형성하는 단계를 포함하는 액정표시패널의 제조방법에 있어서, 상기 각각의 화소셀들을 형성하는 단계는 기판 상에 게이트 라인 및 상기 게이트 라인에 접속된 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와; 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 반도체 패턴, 상기 게이트 라인에 교차되는 데이터 라인, 상기 반도체 패턴 상에 위치하는 소스 전극, 상기 소스전극과 마주보는 드레인 전극을 형성하는 단계와; 상기 드레인 전극을 노출시키는 접촉홀을 가지는 보호막을 형성하는 단계와; 상기 접촉홀을 통해 상기 보호막과 접촉되는 화소전극, 상기 게이트 절연막 및 보호막을 사이에 두고 위치하여 기생 캐패시터를 형성함과 아울러 상기 화소전극과 접촉되는 금속패턴을 형성하는 단계를 포함한다.

상기 화소셀들 각각의 상기 금속패턴들은 상기 화소셀들의 위치에 따라 면적이 서로 다르게 형성된다.

상기 각각의 금속패턴들의 면적은 하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 금속패턴의 면적이 달라진다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 5 내지 도 11d를 참조하여 상세히 설명하기로 한다.

본 발명의 실시예에 따른 액정표시장치를 개략적으로 나타내는 블록도이다.

도 5에 도시된 액정표시장치는 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)에 의해 정의되는 화소(Pixel)(P)셀들이 매트릭스 형태로 배열되며 액정구동에 의해 화상이 구현되는 액정표시패널(160), 액정표시패널(160)의 데이터라인들(D1 내지 Dm)에 데이터 전압을 공급하기 위한 데이터 드라이버(162)와, 게이트라인들(G1 내지 Gn)에 게이트 전압을 공급하기 위한 게이트 드라이버(162)와, 데이터 드라이버(162) 및 게이트 드라이버(164)를 제어하기 위한 타이밍 콘트롤러(168)를 구비한다.

데이터 드라이버(162)는 타이밍 콘트롤러(168)로부터의 제어신호에 응답하여 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하고, 이 아날로그 데이터 전압을 데이터라인들(D1 내지 Dm)에 공급한다.

게이트 드라이버(164)는 타이밍 콘트롤러(168)로부터의 제어신호에 응답하여 데이터 전압에 동기되는 게이트 전압(Vgh)을 게이트 라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터 전압이 공급되는 액정표시패널(160)의 수평라인을 선택한다.

타이밍 콘트롤러(168)는 수직/수평 동기신호 및 클럭신호를 이용하여 게이트 드라이버(164), 데이터 드라이버(162)를 제어하기 위한 제어신호를 생성한다.

액정표시패널(160)은 액정을 사이에 두고 대향하는 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판으로 이루어지며, 각각의 화소셀(P)내에는 액정셀(Clc), 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT(106), 액정셀(Clc)에 공급되는 전압을 유지하기 위한 스토리지 캐패시터(Cst) 등을 구비한다.

도 6은 도 5의 액정표시패널(160)의 따른 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 7은 도 6에서의 II-II' 및 III-III' 선을 절취하여 도시한 단면도이다. 설명의 편의상 도 6 및 7에는 하나의 RGB 중 어느 하나의 색을 구현할 수 있는 어느 하나의 화소만을 나타내었다.

도 6 및 도 7에 도시된 박막 트랜지스터 어레이 기판은 하부기판(142) 위에 게이트 절연막(144)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 TFT(106)와, 그 교차구조로 마련된 화소영역에 형성된 화소 전극(118), 화소전극(118)과 전단 게이트 라인(102)의 중첩부에 형성된 스토리지 캐패시터(120), TFT(106)와 인접하게 위하여 TFT(106)의 게이트 전극(108)과 기생 캐패시터를 형성함과 아울러 화소전극(118)과 접촉되는 금속 패턴(135)을 구비한다.

TFT(106)는 게이트 라인(102)에 접속된 게이트 전극(108)과, 데이터 라인(104)에 접속된 소스 전극(110)과, 화소 전극(118)에 접속된 드레인 전극(112)과, 게이트 전극(108)과 중첩되고 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(114)을 구비한다. 활성층(114)은 데이터 라인(104), 소스 전극(110) 및 드레인 전극(112)과 중첩되게 형성되고 소스 전극(110)과 드레인 전극(112) 사이의 채널부를 더 포함한다. 활성층(114) 위에는 데이터 라인(104), 소스 전극(110) 및 드레인 전극(112)과 오믹접촉을 위한 오믹접촉층(148)이 더 형성된다. 여기서, 소스 전극(110)과 드레인 전극(112) 사이의 채널은 "U" 형으로 형성됨으로써 전류의 이동도를 향상시킬 수 있게 된다.

또한, 소스 전극(110) 및 드레인 전극(112)과 함께 TFT(106)는 게이트 전극(108)은 종래 도 1과 같이 게이트 라인(102)에서 게이트 라인(102)과 교차되는 방향으로 신장 될 수 있고, 도 6과 같이 게이트 라인(102)과 나란하게 화소전극(118) 방향으로 신장 될 수 있다. 더 나가서, 게이트 전극(108)이 게이트 라인(102) 자체에 포함될 수 도 있다.

이러한 TFT(106)는 게이트 라인(102)에 공급되는 게이트 신호에 응답하여 데이터 라인(104)에 공급되는 화소전압 신호가 화소 전극(118)에 충전되어 유지되게 한다.

화소전극(118)은 보호막(150)을 관통하는 접촉홀(116)을 통해 TFT(106)의 드레인 전극(112)과 접속된다. 화소 전극(118)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다.

스토리지 캐패시터(120)는 전단 게이트라인(102)과 화소전극(118)에 의해 형성된다. 게이트라인(102)과 화소전극(118) 사이에는 게이트 절연막(144) 및 보호막(150)이 위치하게 된다. 이러한 스토리지 캐패시터(120)는 화소 전극(118)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되도록 도움을 주게 된다.

금속패턴(135)은 도 8에 도시된 바와 같이 동일 게이트 라인에 대응되는 m 개의 화소들 중에서 중심에서 좌우로 갈수록 면적이 작아지게 형성된다. 이러한, 금속패턴(135)은 TFT(106)의 게이트 전극(108)과 기생 캐패시터를 형성하여 액정표시패널에 공급되는 공통전압(Vcom)의 편차를 보상하는 역할을 한다.

이하, 도 8 내지 10을 참조하여 좀더 구체적으로 설명하면 다음과 같다.

종래 도 4를 참고하면, 액정을 구동하기 위해 화소셀(P)들에 데이터 전압(Vd)이 공급됨과 아울러 게이트 전압(Vg)이 공급된다. 이와 동시에 TN 모드의 액정표시패널에서는 컬러필터 어레이 기판에 위치하고 IPS 모드의 액정표시패널에서는 TFT 어레이 기판에 위치하는 공통전극(미도시)에 직류(DC) 공통전압(Vom)이 공급된다. 그러나, 공통전극은 공통전압공

급부에서 멀어질수록 저항성 증가 및 게이트 라인(102)에서의 라인 저항 등에 의해 공통전극에 공급되어야 할 공통전압(Vom) 값이 액정표시패널(160) 내에서의 공통전극의 위치에 따라 다르게 된다. 그 결과, 공통전극의 위치에 따라 공급되어야 할 최적의 공통전압(Vom) 값 또한 다르게 된다.

도 9는 화소셀의 위치에 따라 공통전압(Vom)의 크기가 달라지는 것을 감안하여 화소셀의 위치에 따라 공급되어야 할 최적의 공통전압값을 나타내는 실험데이터이다. 도 9의 실험데이터를 살펴보면, 저항이 가장 크게 나타나리라 기대되는 액정표시패널의 중심에서 가장 큰 크기의 공통전압(Vom)이 요구됨을 알 수 있다.

그러나, 각각의 화소셀(P)들에 공급되는 공통전압(Vom)은 직류(DC)로써 위치마다 독립적으로 조절할 수 없게 된다. 따라서, 본원발명은 공통전압공급원로부터 공급되는 공통전압(Vom)이 저항에 의해 강하되는 정도에 따라 각각의 화소셀 내에서 기생 캐패시터 값을 조절함으로써 각각의 화소셀들에 균일한 크기의 공통전압에 전해 질 수 있는 방안을 제안한다.

일반적으로 공통전압(Vom) 값은 피드 쓰루 전압(Feed Through Voltage ; ΔV_p)에 비례하는 특성을 가지고 있다. 이러한, 특성을 이용하여 본원발명에서는 도 9에서의 실험데이터를 이용하여 공통전압(Vom)이 크게 요구되는 영역에서는 ΔV_p 값을 크게 형성함으로써 각각의 화소셀들 간에 공급되는 공통전압(Vom) 들간의 편차를 줄이고자 한다. 즉, 게이트 라인(102)에 공유되는 다수의 화소셀(P)들 내에서의 ΔV_p 값을 중심에 위치하는 화소셀(P)에서 좌우에 위치하는 화소셀(P)들로 갈수록 작게 형성함으로써 위치에 따른 공통전압(Vom) 편차를 보상할 수 있게 된다.

이러한, ΔV_p 값 조절에 의한 공통전압(Vom) 편차를 보상하기 위해 본원발명에서의 금속패턴(135)이 구비된다.

일반적으로 ΔV_p 값은 수학식 1로 정의된다.

$$\Delta V_p = \frac{C_{gs}}{C_{gs} + C_{lc} + C_{st}} \Delta V_g$$

여기서, C_{gs} 는 TFT의 게이트 전극과 드레인 전극 사이 또는 게이트 전극과 소스전극 사이에 형성되는 기생 캐패시터이고, ΔV_g 는 게이트 하이전압(V_{gh})과 게이트 로우전압(V_{gl})의 차전압이고, C_{st} 는 스토리지 캐패시터(120)의 용량이고, C_{lc} 는 액정의 의한 정전용량이다.

상기 수학식 1에서 알 수 있듯이 ΔV_p 는 C_{gs} 값과 비례함을 알 수 있다.

결국, 본원발명은 C_{gs} 값의 크기를 도 9에서의 곡선과 유사하게 설정함으로써 도 10에 도시된 바와 같이 화소셀의 위치에 관계없이 동일한 크기에 공통전압이 공급되는 효과를 가질 수 있게 한다.

도 7을 참조하면, 본원발명의 C_{gs} 는 소스/드레인 전극(110,112)과 게이트 전극(108) 간의 제1 $C_{gs}(C_{gs} 1)$ 과, 금속패턴(135)과 게이트 전극(108) 간의 제2 $C_{gs}(C_{gs} 2)$ 로 이루어진다. 즉, 종래에 비하여 본원발명에서는 금속패턴(135)과 게이트 전극(108) 간의 제2 $C_{gs}(C_{gs} 2)$ 값을 더 포함하고 이 크기를 조절함으로써 ΔV_p 값을 위치별로 조절할 수 있게 된다.

결국, 금속패턴(135)을 TFT(106)의 게이트 라인(102)과 기생 캐패시터를 형성시키고, 그 기생 캐패시터의 값은 금속패턴(135)의 면적으로 조절할 수 있게 된다.

따라서, 도 8에서와 같이 각각의 화소셀(P)내에서의 금속패턴(135)의 면적을 중심 화소셀(P)에서 멀어질수록 면적의 크기를 작게 하거나 외곽에서 중심으로 갈수록 면적을 크게 함으로써 공통전압의 편차를 보상할 수 있게 된다.

여기서, 각각의 화소셀내에서의 C_{gs} 및 ΔV_p 수학식 2 및 3과 같이 나타낼 수 있게 된다.

$$C_{gs}(1) < \dots < C_{gs}\{(1/2)m-1\} < C_{gs}\{(1/2)m\} > C_{gs}\{(1/2)m+1\} > \dots > C_{gs}(m)$$

(1 부터 m은 하나의 게이트 라인에 공유되는 화소셀의 수)

$$\Delta V_p(1) < \dots < \Delta V_p\{(1/2)m-1\} < \Delta V_p\{(1/2)m\} > \Delta V_p\{(1/2)m+1\} > \dots > \Delta V_p(m)$$

(1 부터 m은 하나의 게이트 라인에 공유되는 화소셀의 수)

이와 같이, 본 발명에 따른 액정표시패널은 하나의 게이트 라인(102)에 공유되는 화소셀(P)들 중에서 중심 화소셀(P)에서 좌우로 갈수록 게이트 전극(108)과 금속패턴(135) 간의 기생 캐패시터(Cgs2) 값을 작게하거나, 좌우 가장자리에서 중심에 위치하는 화소셀(P)로 갈수록 게이트 전극(108)과 금속패턴(135) 간의 기생 캐패시터(Cgs2) 값을 크게 설정한다. 이에 따라, 수학식 2와 같이 각각의 화소셀(P)내에서의 Cgs 값들이 수학식 2와 같은 관계를 갖게 되고, ΔV_p 값들이 수학식 3과 같은 관계를 갖게 됨으로써 위치에 따른 공통전압(Vcom)의 편차를 줄일수 있게 된다.

그 결과, 공통전압(Vcom) 편차에 따른 플리커 등의 잔상을 방지할 수 있게 된다.

한편, 도 8에서는 금속패턴(135)이 m 개의 화소들 중에서 중심에서 좌우로 갈수록 면적이 작아지게 형성됨을 나타내었지만, 상하의 길이 방향으로 면적을 조절할 수 도 있다. 즉, 금속패턴(135)의 선폴을 그대로 하고 길이를 늘리거나 줄임으로써 면적을 조절할 수 도 있다.

이하, 도 11a 내지 도 11d를 참조하여 TFT 어레이 기관의 제조방법을 설명하면 다음과 같다.

도 11a를 참조하면, 하부 기관 상에 게이트 전극(108), 게이트 라인(102) 등을 포함하는 게이트 패턴이 형성된다.

하부기관(142) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 마스크를 이용한 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트라인(102), 게이트전극(108)을 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

도 11b를 참조하면, 게이트 패턴들이 형성된 하부기관(142) 상에 게이트 절연막(144), 활성층(114), 오믹접촉층(148), 그리고 소스/드레인 패턴들이 순차적으로 형성된다.

게이트 패턴들이 형성된 하부기관(142) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(144), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.

소스/드레인 금속층 위에 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(104), 소스 전극(110), 그 소스 전극(110)과 일체화된 드레인 전극(112), 스토리지 하부전극(122)을 포함하는 소스/드레인 패턴들이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(148)과 활성층(114)이 형성된다.

그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(148)이 식각된다. 이에 따라, 채널부의 활성층(114)이 노출되어 활성층(114)이 활성화되지 않는 경우 소스 전극(110)과 드레인 전극(112)이 전기적으로 분리된다.

이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.

게이트 절연막(144)의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy), 구리(Cu), 알루미늄계 금속 등이 이용된다.

도 11c를 참조하면, 소스/드레인 패턴들이 형성된 게이트 절연막(144) 상에 PECVD 등의 증착방법으로 보호막(50)이 전면 형성된다. 이후, 마스크를 이용한 포토리소그래피 공정과 식각공정으로 패터닝됨으로써 드레인 전극(12)을 노출시키는 접촉홀(116)이 형성된다.

보호막(50)의 재료로는 게이트 절연막(94)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

도 11d를 참조하면, 보호막(50) 상에 투명전극 패턴들이 형성된다.

보호막(150) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다. 이어서, 마스크를 이용한 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패턴닝됨으로써 화소전극(118) 및 금속패턴(135)을 포함하는 투명전극 패턴들이 형성된다. 화소 전극(118)은 접촉홀(16)을 통해 드레인 전극(112)과 전기적으로 접속되고 전단 게이트라인(102)과 중첩되어 스토리지 캐패시터(120)를 이룬다.

금속패턴(135)은 TFT(106)와 인접하게 위치함과 아울러 보호막(150) 및 게이트 절연막(144)을 사이에 두고 게이트 전극(108)과 기생 캐패시터를 이룬다.

투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 각각의 화소셀들의 박막 트랜지스터와 인접영역에 박막 트랜지스터의 게이트 전극과 기생 캐패시터를 형성하는 금속패턴을 형성한다. 그리고, 각각의 금속패턴들의 면적은 하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 작아지게 형성된다. 이에 따라, 하나의 게이트 라인에 공유되는 화소셀들 중에서 중심에 위치하는 화소셀에서 좌우로 갈수록 게이트 전극과 금속패턴 간의 기생 캐패시터(Cgs2) 값을 작게 하거나 또는 좌우 가장자리의 화소셀에서 중심 화소셀로 갈수록 게이트 전극과 금속패턴 간의 기생 캐패시터(Cgs2) 값을 크게 설정함으로써 화소셀 각각의 Cgs 및 ΔV_p 의 크기를 조절할 수 있게 된다. 그 결과, 화소셀의 위치에 따른 공급되는 공통전압의 편차를 줄일 수 있게 됨으로써 플리커 등의 잔상이 방지되는 등 화질이 향상된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래 액정표시패널의 박막 트랜지스터 어레이 기관의 일부를 도시한 평면도.

도 2은 도 1에 도시된 박막 트랜지스터 어레이 기관을 I-I'선을 따라 절단하여 도시한 단면도.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기관의 제조방법을 단계적으로 도시한 단면도.

도 4는 액정표시패널에 공급되는 전압들 및 공통전압의 위치에 따른 전압 강하를 나타내는 파형도.

도 5는 본 발명에 따른 액정표시장치를 개략적으로 나타내는 블록도.

도 6은 도 5의 하나의 화소셀에 대응되는 박막 트랜지스터 어레이 기관을 나타내는 평면도.

도 7은 도 6에 도시된 박막 트랜지스터 어레이 기관의 II-II' 및 III-III'선을 따라 절단하여 도시한 단면도.

도 8은 화소셀의 위치에 따른 금속패턴의 면적을 나타내는 도면.

도 9는 액정표시패널의 위치별 최적 공통전압을 나타내는 도면.

도 10는 본 발명에서 따른 금속패턴에 의해 최적화된 공통전압의 위치별 특성을 나타내는 도면.

도 11a 내지 도 11d는 도 7에 도시된 박막 트랜지스터 어레이 기관의 제조방법을 단계적으로 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 102 : 게이트 라인 4, 104 : 데이터 라인

6, 106 : 박막 트랜지스터 8, 108 : 게이트 전극

10, 110 : 소스 전극 12, 112 : 드레인 전극

14, 114 : 활성층 16, 116 : 접촉홀

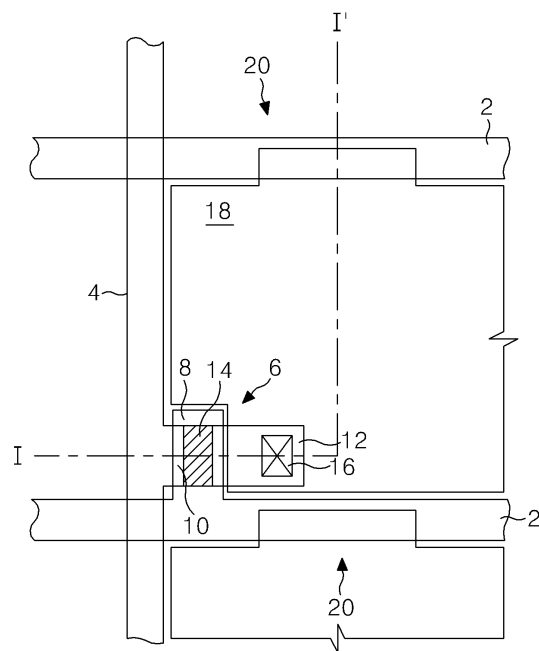
18, 118 : 화소전극 20, 120 : 스토리지 캐패시터

44, 144 : 게이트 절연막 50, 150 : 보호막

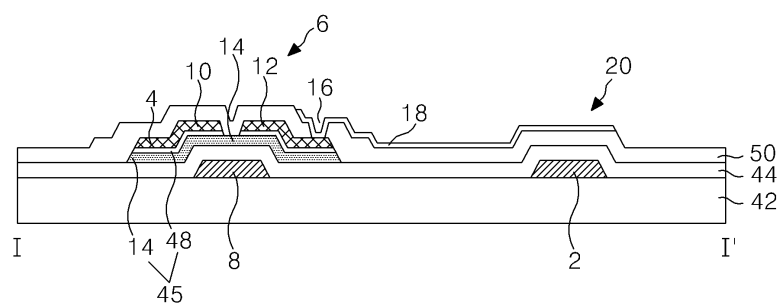
135 : 금속패턴

도면

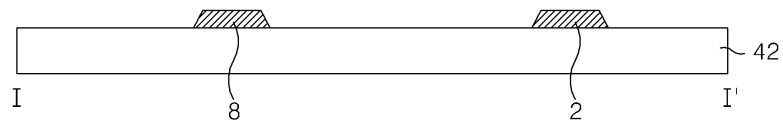
도면1



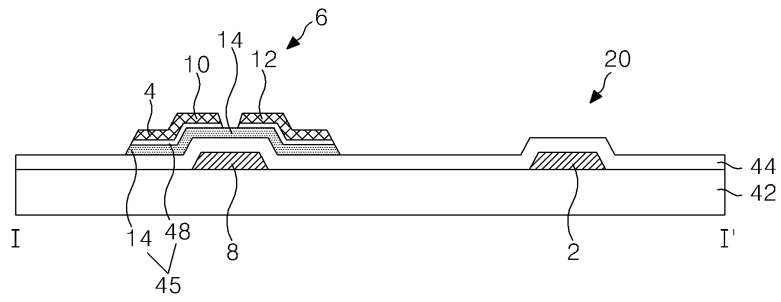
도면2



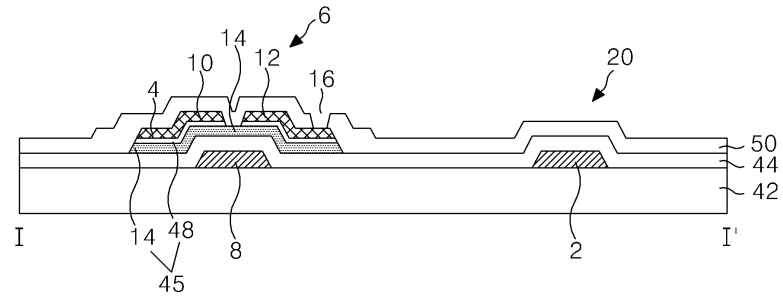
도면3a



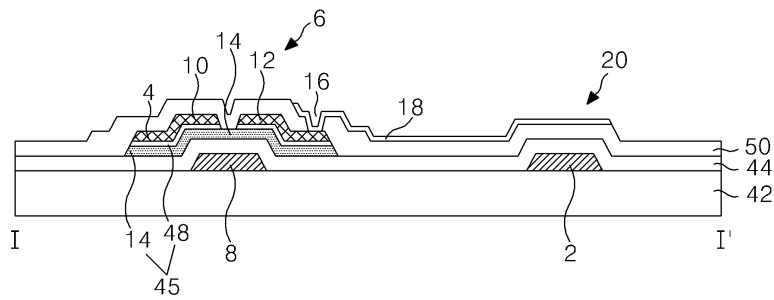
도면3b



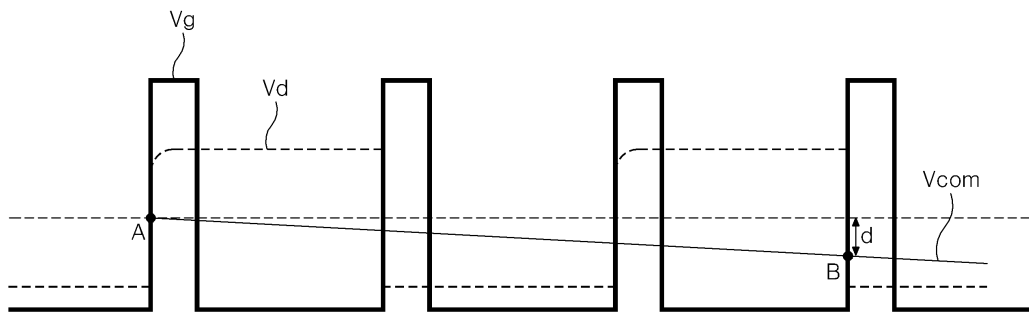
도면3c



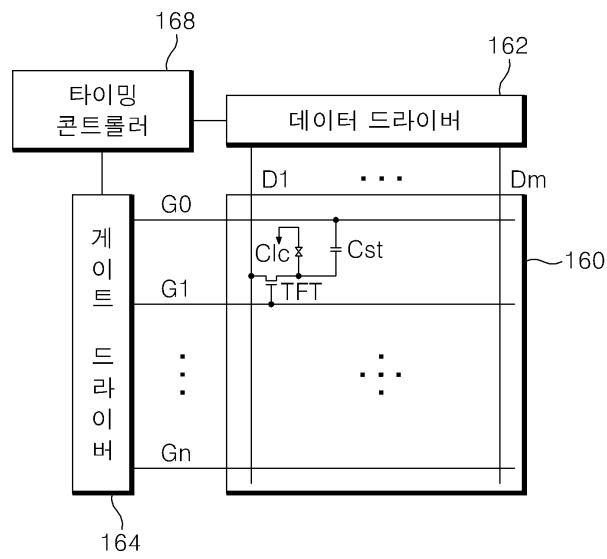
도면3d



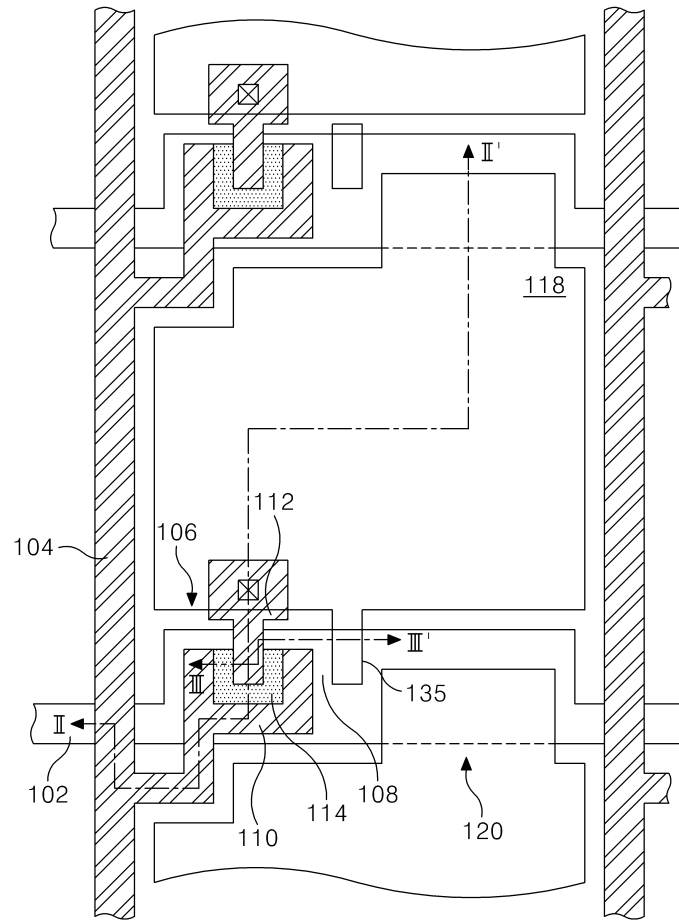
도면4



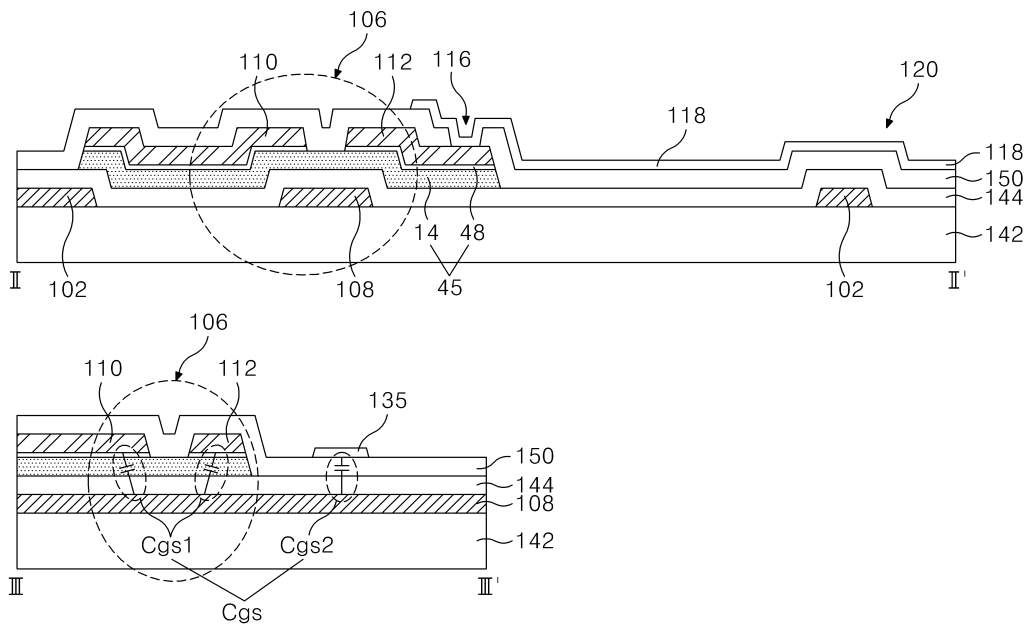
도면5



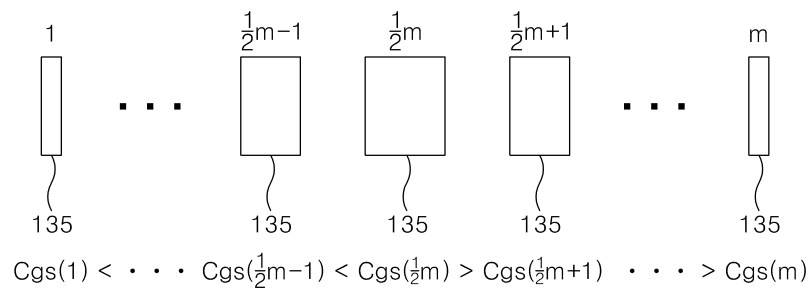
도면6



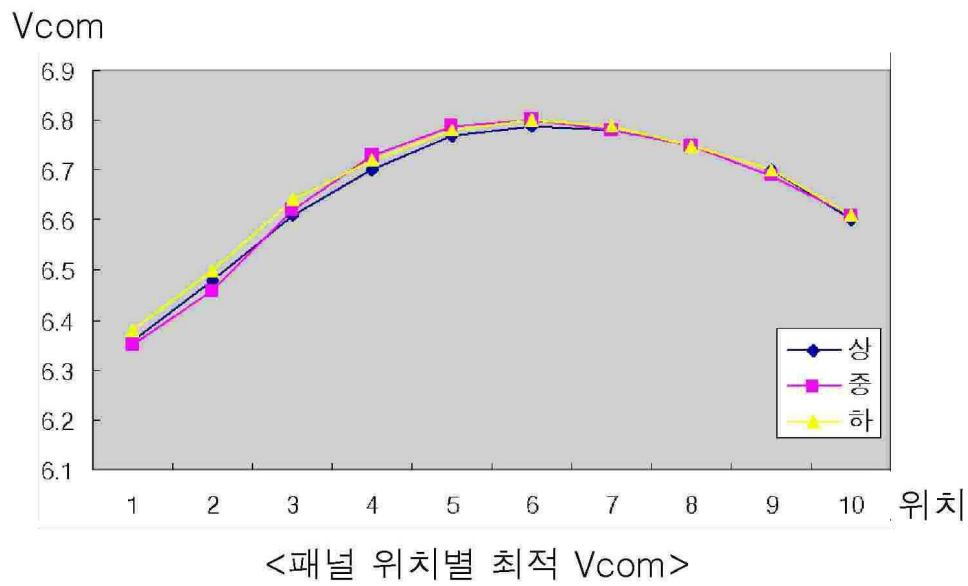
도면7



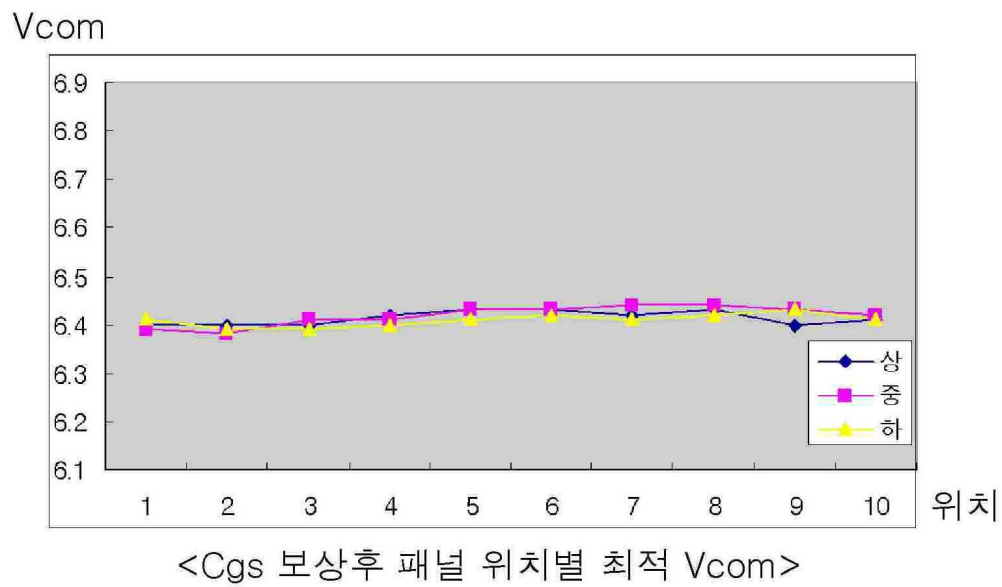
도면8



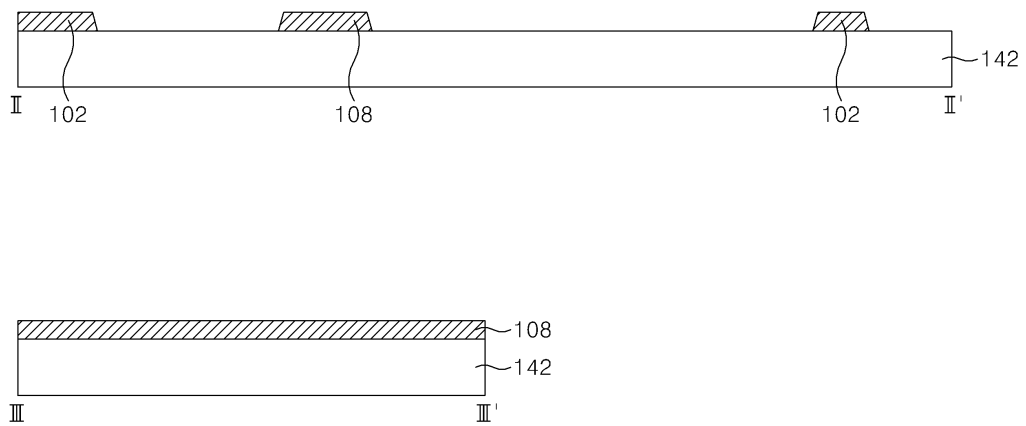
도면9



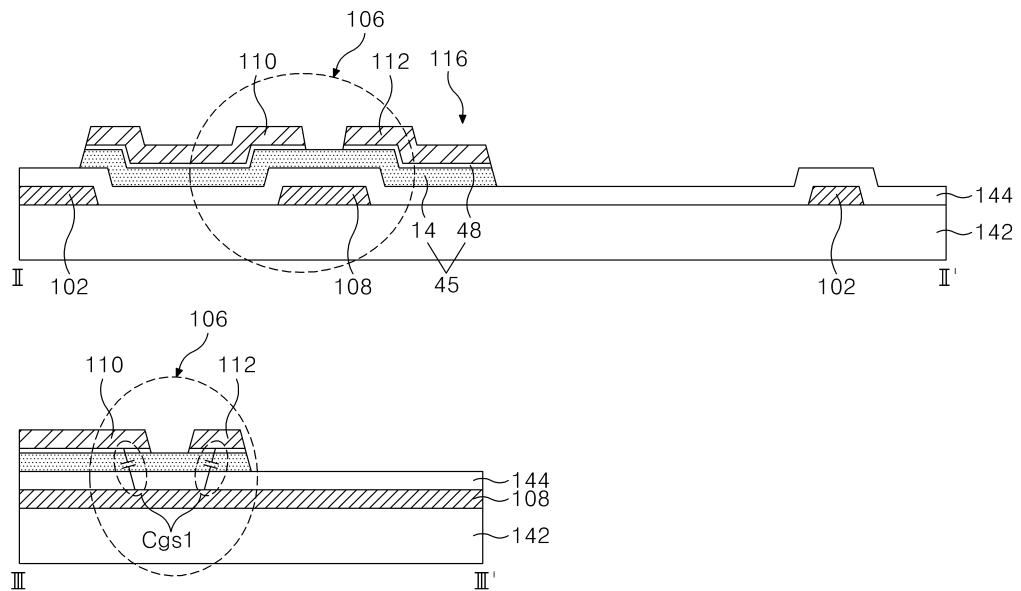
도면10



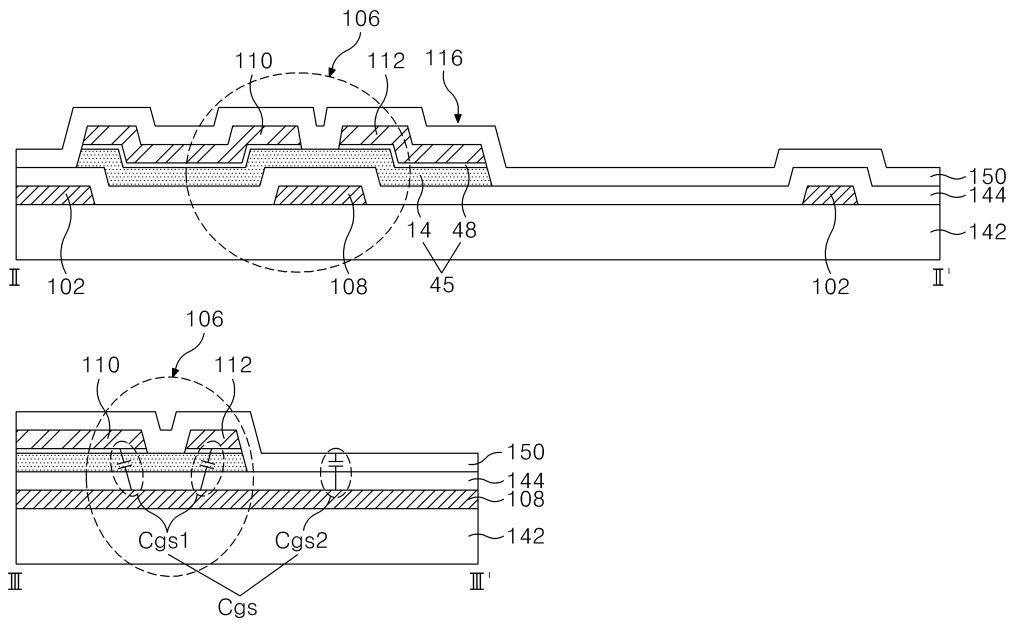
도면11a



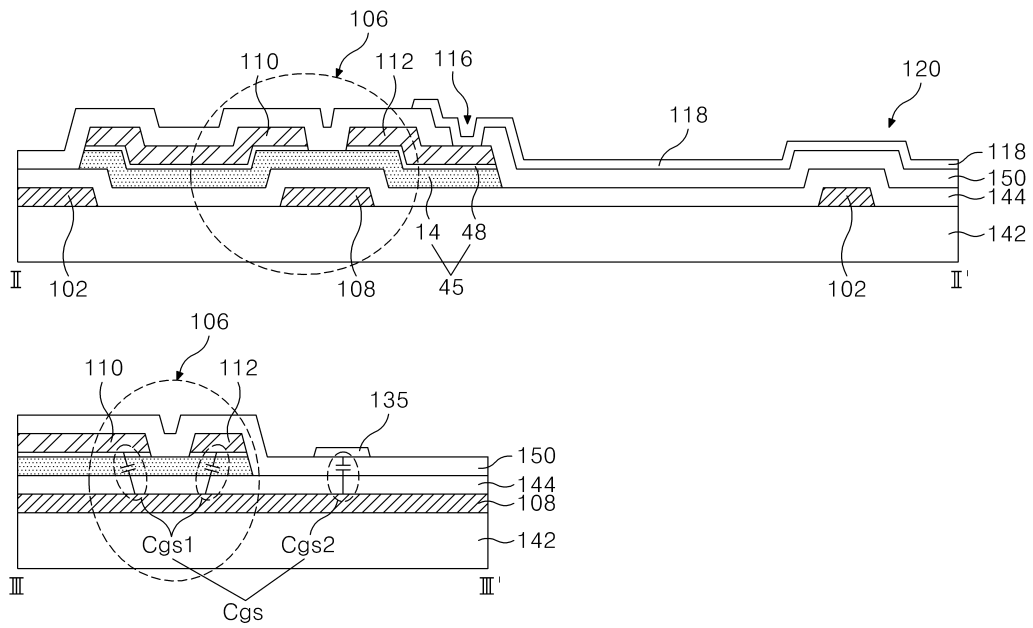
도면11b



도면11c



도면11d



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020070068777A	公开(公告)日	2007-07-02
申请号	KR1020050130758	申请日	2005-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JIN YOUNG 박진영 OH CHANG HO 오창호 JIN HYUN CHEOL 진현철 TAK YOUNG MI 탁영미		
发明人	박진영 오창호 진현철 탁영미		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213 H01L27/13 H01L27/1214 H01L27/12 G02F2001/13606 H01L27/124 H01L27/1255		
其他公开文献	KR101202530B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示面板及其制造方法，其改善了图像质量，使残像最小化。对于布置在栅极线中的LCD面板，其中栅极线交叉并且用数据线限定的像素单元是本发明的矩阵的形式，像素单元包括位于交叉域中的薄膜晶体管。数据线和栅极线，与薄膜晶体管连接的像素电极和金属图案。每个金属图案区域根据像素单元的位置而变化。金属图案与像素电极接触，栅电极和寄生电容器由薄膜晶体管形成，薄膜晶体管定位成与薄膜晶体管相邻。

