

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2006-0036636
(43) 공개일자 2006년05월02일

(21) 출원번호 10-2004-0085687

(22) 출원일자 2004년10월26일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김현욱
경기 용인시 기흥읍 삼성전자(주)기흥공장 LCD총괄LCD연구소 액정기
술그룹
이창훈
경기 용인시 기흥읍 서천리 705번지 예현마을 현대홈타운104동 1205호
엄윤성
경기 용인시 수지읍 상현리 쌍룡아파트 216동 1702호
유재진
경기 광주시 오포읍 양벌 1 리692

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치

요약

본 발명의 실시예에 따른 액정 표시 장치는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 게이트선 및 데이터선과 연결되어 있으며 드레인 전극을 가지는 박막 트랜지스터, 게이트선, 데이터선 및 박막 트랜지스터를 덮는 보호막, 그리고 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 제1 화소 전극으로부터 분리되어 있으며 제1 화소 전극과 전기적으로 연결되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하는 박막 트랜지스터 표시판, 그리고 박막 트랜지스터 표시판과 마주하며, 공통 전극이 형성되어 있는 대향 표시판을 포함한다. 이때, 제1 화소 전극과 제2 화소 전극이 차지하는 영역에서 서로 다른 셀 간격을 가진다.

대표도

도 3

색인어

액정표시장치, 수직배향, 절개부, 결합전극, 결합용량, 계조전압

명세서

도면의 간단한 설명

- 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고,
- 도 3은 도 1 및 도 2의 표시판을 포함하는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고,
- 도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 잘라 도시한 단면도이고,
- 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 회로도이고,
- 도 6 내지 도 8은 본 발명의 한 실험예에 따른 액정 표시 장치에서 셀 간격의 변화에 따른 전압에 대한 휘도를 측정한 그래프이다.
- 도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 11은 도 10의 액정 표시 장치를 XI-XI' 선을 따라 잘라 도시한 단면도이고,
- 도 12a, 도 13a, 도 14a 및 도 16a는 도 10 및 도 11에 도시한 액정 표시 장치의 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도로서 그 순서에 따라 나열한 도면이고,
- 도 12b는 도 12a에 도시한 박막 트랜지스터 표시판을 XIIb-XIIb' 선을 따라 절단한 단면도이고,
- 도 13b는 도 13a에 도시한 박막 트랜지스터 표시판을 XIIIb-XIIIb' 선을 따라 절단한 단면도이고,
- 도 14b는 도 14a에 도시한 박막 트랜지스터 표시판을 XIVb-XIVb' 선을 따라 절단한 단면도이고,
- 도 15는 도 14a에 도시한 박막 트랜지스터 표시판을 XIVb-XIVb' 선을 따라 절단한 단면도로서, 도 14b의 다음 단계를 도시한 도면이고,
- 도 16b는 도 16a에 도시한 박막 트랜지스터 표시판을 XVIb-XVIb' 선을 따라 절단한 단면도로서, 도 15의 다음 단계를 도시한 도면이고,
- 도 17은 도 16a에 도시한 박막 트랜지스터 표시판을 XVIb-XVIb' 선을 따라 절단한 단면도로서, 도 16b의 다음 단계를 도시한 도면이고,
- 도 18은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 19는 도 18의 액정 표시 장치를 XIX-XIX' 선을 따라 절단한 단면도이고,
- 도 20은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
- 도 21은 본 발명의 다른 실시예에 따른 액정 표시 장치의 공통 전극 표시판의 구조를 도시한 배치도이고,
- 도 22는 도 20 및 도 21의 두 표시판을 포함하는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 23은 도 22의 액정 표시 장치를 XXIII-XXIII'선을 따라 잘라 도시한 단면도이고,
- 도 24는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,
- 도 25 도 24의 액정 표시 장치를 XXV-XXV' 선을 따라 잘라 도시한 단면도이다.

* 도면 부호에 대한 설명 *

11, 21: 배향막 12, 22: 편광판
 81, 82: 접촉 보조 부재
 100, 200: 표시판 110, 210: 절연 기판
 121 : 게이트선 124: 게이트 전극
 131, 131a, 131b : 유지 전극선 133, 133a, 133b: 유지 전극
 136 : 용량성 보조 전극 140: 게이트 절연막
 151, 154: 반도체 161, 163, 165: 저항성 접촉 부재
 171, 179: 데이터선 173: 소스 전극
 175a, 175b: 드레인 전극 176 : 용량성 결합 전극
 180, 180p, 180q: 절연막 181, 182, 185, 185a, 185b, 186 : 접촉 구멍
 190a, 190b: 화소 전극 220: 차광 부재
 250: 덮개막 270: 공통 전극
 3: 액정층 310: 액정 분자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 관한 것으로, 더욱 상세하게는 다중 도메인 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비가 크고 광시야각 구현이 용이하여 각광받고 있다.

수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로는 전계 생성 전극에 절개부를 형성하는 방법과 전계 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기로 액정 분자가 기우는 방향을 결정할 수 있으므로, 이들을 사용하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 광시야각을 확보할 수 있다.

그러나 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 시인성이 우수한 다중 도메인 액정 표시 장치를 구현하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 적어도 둘 이상의 서브 화소 전극으로 나누고 서브 화소 전극에 서로 다른 전위가 인가되도록 한다. 이때, 서로 다른 전압이 전달되는 서브 화소 전극에 대응하는 셀 간격은 서로 다르다.

본 발명의 실시예에 따른 박막 트랜지스터 표시판은 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 게이트선 및 데이터선과 연결되어 있으며 드레인 전극을 가지는 박막 트랜지스터, 게이트선, 데이터선 및 박막 트랜지스터를 덮는 보호막, 그리고 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 제1 화소 전극으로부터 분리되어 있으며 제1 화소 전극과 전기적으로 연결되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함한다. 이때, 보호막은 제1 화소 전극과 제2 화소 전극이 차지하는 영역에서 서로 다른 두께를 가진다.

보호막은 제1 화소 전극이 차지하는 영역보다 제2 화소 전극이 차지하는 영역에서 얇은 두께를 가지고, 서로 다른 절연 물질로 이루어진 다층 구조로 이루어진 것이 바람직하다.

보호막은 질화 규소 또는 산화 규소로 이루어진 하부 절연막과 유기 절연 물질로 이루어진 상부 절연막을 포함하며, 제1 화소 전극은 상부 절연막 상부에 위치하며, 제2 화소 전극은 하부 절연막 상부에 위치하는 것이 바람직하다.

제1 화소 전극과 상기 제2 화소 전극은 결합 용량으로 연결되어 있는 것이 바람직하고, 제1 화소 전극과 연결되어 있으며 제2 화소 전극과 중첩하는 결합 전극을 포함하고, 결합 전극은 드레인 전극과 연결될 수 있다.

화소 전극, 결합 전극 및 드레인 전극 중 적어도 하나와 중첩하여 유지 용량을 형성하는 유지 전극을 가지는 유지 전극선을 더 포함하는 것이 바람직하다.

본 발명의 실시예에 따른 액정 표시 장치는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 게이트선 및 데이터선과 연결되어 있으며 드레인 전극을 가지는 박막 트랜지스터, 게이트선, 데이터선 및 박막 트랜지스터를 덮는 보호막, 그리고 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 제1 화소 전극으로부터 분리되어 있으며 제1 화소 전극과 전기적으로 연결되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하는 박막 트랜지스터 표시판, 그리고 박막 트랜지스터 표시판과 마주하며, 공통 전극이 형성되어 있는 대향 표시판을 포함한다. 이때, 제1 화소 전극과 제2 화소 전극이 차지하는 영역에서 서로 다른 셀 간격을 가진다.

제1 화소 전극이 차지하는 영역보다 제2 화소 전극이 차지하는 영역에서 얇은 셀 간격을 가지는 것이 바람직하며, 제1 화소 전극과 제2 화소 전극은 결합 용량으로 연결되어 있는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다.

먼저, 도 1 내지 도 5를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 구조를 도시한 배치도이고, 도 3은 도 1의 박막 트랜지스터

표시판과 도 2의 박막 트랜지스터 표시판으로 이루어진 액정 표시 장치의 구조를 도시한 배치도이고, 도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 자른 단면도이고, 도 5는 본 발명의 실시예에 따른 액정 표시 장치에서 한 화소의 구성을 도시한 회로도이다.

본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3)을 포함한다.

먼저, 도 1, 도 3 및 도 4를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.

절연 기판(110) 위에 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrode lines)(131)과 복수의 용량성 보조 전극(136)이 형성되어 있다.

게이트선(121)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있으며, 게이트 신호를 전달한다. 각 게이트선(121)은 복수의 게이트 전극(gate electrode)(124)을 이루는 복수의 돌출부와 다른 층 또는 외부 장치의 접속을 위한 면적이 넓은 끝 부분(129)을 포함한다.

각각의 유지 전극선(131)은 주로 가로 방향으로 뻗어 있으며, 서로 이웃하는 게이트선(121) 사이에 배치되어 있다. 각각의 유지 전극선(131)은 서로 이웃하는 게이트선(121) 부근에 위치하고 있으며, 유지 전극(135)을 이루는 복수의 돌출부를 각각 포함한다. 유지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(common electrode)(270)에 인가되는 공통 전압(common voltage) 따위의 소정의 전압이 인가된다.

각각의 용량성 보조 전극(136)은 주로 가로 방향으로 뻗어 대략 직사각형 모양을 이루고 있으며, 서로 이웃하는 두 게이트선(121) 사이의 중앙에 위치한다. 각각의 용량성 보조 전극(136)은 세로 방향으로 뻗은 분지를 포함하고 있으며, 돌출부를 가진다.

게이트선(121), 유지 전극선(131) 및 용량성 보조 전극(136)은 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속, 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 따위로 이루어지는 것이 바람직하며, 단일막 구조를 가지거나 다층막 구조로 이루어질 수 있다. 다층막, 예를 들어 물리적 성질이 다른 두 개의 막, 즉 하부막과 그 위의 상부막을 포함할 수 있다. 하나의 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속으로 이루어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 크롬, 몰리브덴(Mo), 몰리브덴 합금, 탄탈륨(Ta), 또는 티타늄(Ti) 등으로 이루어질 수 있다. 두 도전막의 좋은 예로는 크롬/알루미늄-네오디뮴(Nd) 합금 또는 몰리브덴 또는 몰리브덴 합금/알루미늄 합금을 들 수 있다.

또한 게이트선(121), 유지 전극선(131) 및 용량성 보조 전극(136)의 측면은 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80°인 것이 바람직하다.

게이트선(121), 유지 전극선(131) 및 용량성 보조 전극(136) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151)가 형성되어 있다. 각각의 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 이로부터 복수의 돌출부(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 돌출부(154)는 게이트선(121) 및 유지 전극선(131)의 상부까지 확장되어 있다.

반도체(151)의 상부에는 실리사이드(silicide) 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 점형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 점형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(154) 위에 배치되어 있는데, 게이트 전극(124)을 중심으로 서로 마주한다.

반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 30-80°인 것이 바람직하다.

저항 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 이로부터 분리되어 있는 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 다른 층 또는 외부 장치와의 접속을 위한 넓은 끝 부분(179)을 가지고 있다.

각각의 드레인 전극(175)은 각각의 유지 전극(135)과 중첩하는 확장부를 포함한다. 게이트선(121)과 평행한 드레인 전극(175)의 확장부 변은 유지 전극(135)의 변과 실질적으로 평행하다. 데이터선(171) 각각은 복수의 돌출부를 포함하며, 이 돌출부는 반도체(154) 상부에 위치하는 드레인 전극(175)의 한쪽 끝 부분을 일부 둘러싸도록 휘어져 소스 전극(173)을 이룬다. 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

한편, 드레인 전극(175) 각각은 연장되어 용량성 결합 전극(176)을 이루며, 용량성 보조 전극(136)과 부분적으로 중첩하는 세로부와 이웃하는 두 게이트선(121) 사이의 중앙에 위치하여 용량성 보조 전극(176)과 중첩하는 가로부를 포함한다. 세로부는 드레인 전극(175)의 확장부에 연결되어 있으며, 대부분 용량성 보조 전극(136)의 변과 평행한 변을 가진다.

데이터선(171) 및 드레인 전극(175)은 크롬 또는 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속을 포함하는 것이 바람직하며, 내화성 금속 따위의 하부막(도시하지 않음)과 그 위에 위치한 저저항 물질의 상부막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다.

데이터선(171) 및 드레인 전극(175)도 게이트선(121) 및 유지 전극선(131)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.

저항성 접촉 부재(161, 165)는 그 하부의 반도체(151)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형의 반도체(151)는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있다.

데이터선(171) 및 드레인 전극(175)과 이들로 덮이지 않고 노출된 반도체(151) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 4.0 이하의 저유전율 절연 물질, 또는 무기 물질인 질화 규소나 산화 규소 따위로 이루어진 것이 바람직하다. 본 실시예에서 보호막은 무기 물질로 이루어진 하부 절연막(180p)과 유기 물질로 이루어진 상부 절연막(180q)을 포함한다. 이때, 보호막(180)은 부분적으로 서로 다른 두께를 가지고 있는데, 상부 절연막(180q)은 개구부(188)를 가지고 있어, 개구부(188)에서는 하부 절연막(180p)이 드러나 있다.

보호막(180)에는 드레인 전극(175)의 확장부와 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 게이트 절연막(140)과 함께 용량성 결합 전극(176)의 개구부(76)을 통하여 용량성 보조 전극(136)의 돌출부와 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181, 186)이 형성되어 있다. 접촉 구멍(181, 182, 185, 186)은 다각형 또는 원 모양 등 다양한 모양으로 만들어질 수 있다. 접촉 구멍(181, 182)의 면적은 약 0.5mm×15μm 이상, 약 2mm×60μm 이하인 것이 바람직하다. 접촉 구멍(181, 182, 185, 186)의 측벽은 30° 내지 85°의 각도로 기울어져 있거나 계단형이다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수 쌍의 제1 및 제2 화소 전극(pixel electrode)(190a, 190b) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이와는 달리, 제1 및 제2 화소 전극(190a, 190b)은 투명한 도전성 폴리머로 만들어질 수도 있고, 반사형 액정 표시 장치의 경우에는 제1 및 제2 화소 전극(190a, 190b)이 불투명한 반사성 금속으로 만들어질 수도 있다. 이 경우, 접촉 보조 부재(81, 82)는 제1 및 제2 화소 전극(190a, 190b)과 다른 물질, 예를 들면 ITO나 IZO로 만들어질 수 있다.

제1/제2 화소 전극(190a, 190b)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 이때, 제2 화소 전극(190b)은 용량성 결합 전극(176)과 중첩하는 용량성 보조 전극(136)과 접촉 구멍(186)을 통하여 연결되어 있으며, 상부 절연막(180q) 개구부(188)를 통하여 드러난 하부 절연막(180p) 상부에 위치한다.

데이터 전압이 인가된 제1/제2 화소 전극(190a, 190b)은 공통 전극(270)과 함께 전기장을 생성함으로써 액정층(3)의 액정 분자(310)를 재배열시킨다.

제1/제2 화소 전극(190a, 190b)과 공통 전극(270)은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage capacitor)라 한다. 유지 축전기는 화소 전극(190)과 유지 전극선(131)의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여, 유지 전극선(131)에 유지 전극(135)을 두고 화소 전극(190)에 연결된 드레인 전극(175)을 연장 및 확장시켜 중첩시킴으로써 단자 사이의 거리를 가깝게 하고 중첩 면적을 크게 한다.

한 쌍의 제1 및 제2 화소 전극(190a, 190b)은 간극을 사이에 두고 서로 맞물려 있으며, 그 바깥 경계는 왼쪽 모퉁이가 모따기된 대략 사각형 형태이다.

한 쌍의 제1 및 제2 화소 전극(190a, 190b)은 중앙 절개부(91), 하부 절개부(92a) 및 상부 절개부(92b)를 가지며, 화소 전극(190a, 190b)은 이들 절개부(91, 92a, 92b)에 의하여 복수의 영역으로 분할된다. 절개부(91, 92a, 92b)는 화소 전극을 게이트선(121)과 평행하게 이등분하는 가로 중심선에 대하여 거의 반전 대칭을 이루고 있으며, 상부 및 하부 절개부(92a, 92b)는 서로 연결되어 제1 화소 전극(190a)과 제2 화소 전극(190b)을 분리하는 간극을 이룬다.

하부 및 상부 절개부(92a, 92b)는 대략 화소 전극의 오른쪽 변에서부터 왼쪽 변으로 비스듬하게 뻗어 있으며, 화소 전극의 가로 중심선에 대하여 하반면과 상반면에 각각 위치하고 있다. 하부 및 상부 절개부(92a, 92b)는 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하게 뻗어 있다.

중앙 절개부(91)는 제2 화소 전극(190b)의 중앙에 배치되어 있으며 오른쪽 변 쪽에 입구를 가지고 있다. 중앙 절개부(91)의 입구는 하부 절개부(92a)와 상부 절개부(92b)에 각각 거의 평행한 한 쌍의 빗변을 가지고 있다.

따라서, 화소 전극의 하반면은 하부 절개부(92a)에 의하여 두 개의 영역으로 나누어지고, 상반면 또한 상부 절개부(92b)에 의하여 두 개의 영역으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라지며, 기울어진 방향도 달라질 수 있다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 각각 데이터선(171) 및 게이트선(121)의 끝 부분(129, 179)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다.

다음, 도 2 내지 도 4를 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 등으로 이루어진 절연 기판(210) 위에 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(190)과 마주보며 화소 전극(190)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있으며, 게이트선(121) 및 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어지는 것이 바람직하다.

기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있으며 차광 부재(230)로 둘러싸인 영역 내에 대부분 위치한다. 색필터(230)는 화소 전극(190)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 원색 중 하나를 표시할 수 있다.

색필터(230)의 위에는 덮개막(250)이 형성되어 있다.

덮개막(250)의 위에는 ITO, IZO 등의 투명한 도전체 파위로 이루어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)은 복수 벌의 절개부(71, 72a, 72b) 집합을 가진다.

한 벌의 절개부(71, 72a, 72b)는 하나의 제1 및 제2 화소 전극(190a, 190b)과 마주 보며 중앙 절개부(71), 하부 절개부(72a) 및 상부 절개부(72b)를 포함한다. 절개부(71, 72a, 72b) 각각은 제1 및 제2 화소 전극(190a, 190b)의 인접 절개부

(91, 92a, 92b) 사이 또는 절개부(92a, 92b)와 제1 화소 전극(190a)의 모따기된 빗변 사이에 배치되어 있다. 또한, 각 절개부(71, 72a, 72b)는 화소 전극의 하부 절개부(92a) 또는 상부 절개부(92b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다.

하부 및 상부 절개부(72a, 2b) 각각은 대략 화소 전극의 왼쪽 변에서 위쪽 또는 아래쪽 변을 향하여 뻗은 사선부, 그리고 사선부의 각 끝에서부터 화소 전극의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 가로부 및 세로부를 포함한다.

중앙 절개부(71)는 대략 화소 전극의 왼쪽 변에서부터 가로 방향으로 뻗은 중앙 가로부, 이 중앙 가로부의 끝에서 중앙 가로부와 빗각을 이루며 화소 전극의 오른쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 화소 전극의 오른쪽 변을 따라 오른쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 종단 세로부를 포함한다.

절개부(71, 72a, 72b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71, 72a, 72b)와 중첩하여 절개부(71, 72a, 72b) 부근의 빛샘을 차단할 수 있다.

표시판(100, 200)의 안쪽 면에는 수직 배향막(11, 21)이 도포되어 있고, 바깥쪽 면에는 편광판(12, 22)이 구비되어 있다. 두 편광판의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광판(12, 22) 중 하나가 생략될 수 있다.

표시판(100, 200)과 편광자(12, 22)의 사이에는 각각 액정층(3)의 지연값을 보상하기 위한 위상 지연 필름(retardation film)이 깔 수 있다. 위상 지연 필름은 복굴절성(birefringence)을 가지며 액정층(3)의 복굴절성을 역으로 보상하는 역할을 한다. 지연 필름으로는 일축성 또는 이축성 광학 필름을 사용할 수 있으며, 특히 음성(negative) 일축성 광학 필름을 사용할 수 있다.

액정 표시 장치는 또한 편광자(12, 22), 위상 지연 필름, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)를 포함할 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(310)는 전계가 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.

배향막(11, 21)은 수평 배향막일 수 있다.

한편, 액정 분자(310)들의 경사 방향과 편광자(12, 22)의 투과축이 45도를 이루면 최고 휘도를 얻을 수 있는데, 본 실시예의 경우 모든 도메인에서 액정 분자(310)들의 경사 방향이 게이트선(121)과 45°의 각을 이루며 게이트선(121)은 표시판(100, 200)의 가장자리와 수직 또는 수평이다. 따라서 본 실시예의 경우 편광자(12, 22)의 투과축을 표시판(100, 200)의 가장자리에 대하여 수직 또는 평행이 되도록 부착하면 최고 휘도를 얻을 수 있을 뿐 아니라 편광자(12, 22)를 저렴하게 제조할 수 있다.

공통 전극(270)에 공통 전압을 인가하고 제1 및 제2 화소 전극(190a, 190b)에 데이터 전압을 인가하면 표시판의 표면에 거의 수직인 주 전계(primary electric field)가 생성된다. 액정 분자(310)들은 전계에 응답하여 그 장축이 전계의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 한편, 공통 전극(270) 및 제1/제2 화소 전극(190a, 190b)의 절개부(71, 72a, 72b, 91, 92a, 92b)와 이들과 평행한 제1/제2 화소 전극(190a, 190b)의 변은 주 전계를 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 주 전계의 수평 성분은 절개부(71, 72a, 72b, 91, 92a, 92b)의 변과 제1/제2 화소 전극(190a, 190b)의 변에 수직이다. 또한 절개부(71, 72a, 72b, 91, 92a, 92b)의 마주보는 두 변에서의 주 전계의 수평 성분은 서로 반대 방향이다.

이러한 전계를 통하여 절개부(71, 72a, 72b, 91, 92a, 92b)는 액정층(3)의 액정 분자가 기울어지는 방향을 제어한다. 인접하는 절개부(71, 72a, 76b, 91, 92a, 92b)에 의하여 정의되거나 절개부(72a, 72b)와 제1 화소 전극(190a)의 왼쪽 빗변에 의하여 정의되는 각 도메인 내에 있는 액정 분자는 절개부(71, 72a, 72b, 91, 92a, 92b)의 길이 방향에 대하여 수직을 이루는 방향으로 기울어진다. 각 도메인의 가장 긴 변 2개는 거의 나란하고 게이트선(121)과 약 $\pm 45^\circ$ 를 이루며, 도메인 내에서 액정 분자 대부분은 4방향으로 기울어진다.

절개부(91, 92a, 92b, 71, 72a, 72b)의 너비는 약 $9\mu\text{m}$ 내지 약 $12\mu\text{m}$ 인 것이 바람직하다.

적어도 하나의 절개부(91, 92a, 92b, 71, 72a, 72b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전계 생성 전극(190a, 190b, 270)의 위 또는 아래에 배치될 수 있으며 그 너비는 약 5 μ m 내지 약 10 μ m인 것이 바람직하다.

제1 및 제2 화소 전극(190a, 190b) 절개부(91, 92a, 92b)의 경계에서 이와 인접한 공통 전극(270) 절개부(71, 72a, 72b)의 경계까지의 간격과 화소 전극의 경계에서 이와 인접한 공통 전극(270) 절개부(71, 72a, 72b)의 경계까지의 간격은 약 12 μ m 내지 약 20 μ m인 것이 바람직하며, 약 17 μ m에서 약 19 μ m 범위인 것이 더욱 바람직하다. 이와 같은 범위로 간격을 정하였더니 개구율은 감소하였지만 액정의 응답 속도가 빨라져 필요한 투과율을 확보할 수 있었다.

한편 전기장은 전극(270)의 절개부와 제1 및 제2 화소 전극(190a, 190b)의 변으로 인하여 절개부의 변과 제1 및 제2 화소 전극(190a, 190b)의 변에 수직인 수평 성분을 가진다. 따라서 각 부영역의 액정 분자(310)들의 경사 방향은 서로 다르고 이에 따라 시야각이 확장된다.

절개부(91, 92a, 92b, 71, 72a, 72b)의 모양 및 배치는 변형될 수 있다.

도 1 내지 도 4에 도시한 액정 표시 장치는 도 5에 도시한 등가 회로로 나타낼 수 있다.

도 5를 참고하면, 액정 표시 장치는 복수의 게이트선, 복수의 데이터선 및 복수의 화소를 포함하며, 각 화소는 한 쌍의 제1 및 제2 부화소와 결합 축전기(Ccp)를 포함한다. 각 부화소는 제1/제2 액정 축전기(Clca/Clcb) 및 제1/제2 유지 축전기(Csta/Cstb)를 포함한다. 제1/제2 액정 축전기(Clca/Clcb)는 제1/제2 화소 전극(190a/190b), 공통 전극(270) 및 제1/제2 화소 전극(190a, 190b) 위에 위치한 액정층(300) 영역으로 이루어지며, 제1/제2 유지 축전기(Csta/Cstb)는 제1/제2 화소 전극(190a, 190b), 유지 전극선(131) 및 그 사이의 절연체(140, 180)로 이루어진다. 박막 트랜지스터(Q)는 게이트선, 데이터 전압을 인가 받는 데이터선 및 축전기(Clca, Csta)에 연결되어 있다. 결합 축전기(Ccpb)는 용량성 결합 전극(176), 제2 화소 전극(190b)에 연결된 용량성 보조 전극(136) 및 그 사이의 유전체(140)로 이루어지며 박막 트랜지스터(Q)의 출력 단자에 연결되어 있다.

그러면 화소의 동작에 대하여 상세하게 설명한다.

박막 트랜지스터(Q)에 연결되어 있는 게이트선에 게이트 온 전압이 인가되면, 박막 트랜지스터(Q)가 도통되어 데이터 전압을 제1 화소 전극(190b)에 전달한다. 제2 화소 전극(190b)이 고립되어 있고 결합 축전기(Ccp)를 통하여 제1 화소 전극(190a)과 용량성 결합되어 있으므로 제2 화소 전극(190b)의 전압이 용량성 결합에 의하여 변화한다. 이러한 용량성 결합으로 인하여 제2 화소 전극(190b)의 전압 값이 제1 화소 전극(190a)의 전압 값보다 작아지는데 이에 대하여 상세하게 설명한다.

제1 액정 축전기(Clca) 양단의 전압을 Va라 하고 제2 액정 축전기(Clcb) 양단의 전압을 Vb라고 하면 전압 분배 법칙에 따라,

$$V_b = V_a \times [C_{cp} / (C_{cp} + Cl_{cb} + C_{stb})]$$

이고, $C_{cp} / (C_{cp} + Cl_{cb} + C_{stb})$ 는 항상 1보다 클 수 없기 때문에 Vb는 Va에 비하여 항상 작다. 이때, Clca 및 Clcb에 대한 공통 전극(270) 전압과 Csta 및 Cstb에 대한 유지 전극선(131) 전압이 달라질 수 있는데, 이러한 경우에도 Clca와 Clcb에 인가되는 공통 전극(270) 전압이 동일하므로 Clca에 인가되는 화상 신호 전압(Va)의 절대값은 항상 Clcb에 인가되는 화상 신호 전압(Vb)의 절대값보다 큰 값을 가지게 된다.

결합 용량(Ccpb)을 조절하면 전압(Va, Vb)의 비를 효과적으로 제어할 수 있다. 결합 용량(Ccpb)은 용량성 결합 전극(176)과 제2 화소 전극(190b) 사이의 중첩 면적 또는 거리를 변화시킴으로써 조절할 수 있다. 예를 들면, 중첩 면적은 결합 전극(176)의 너비를 바꿈으로써 변화시킬 수 있고 거리는 결합 전극(176)을 게이트선(121)과 같은 층에 둬으로써 변화시킬 수 있다.

액정 축전기(Clca, Clcb)에 0이 아닌 전압이 걸리면 표시판(100, 200)의 표면에 대하여 대략 수직인 전계가 생성되고 액정 분자(310)들은 전계에 응답하여 그 장축이 전계 방향에 수직이 되도록 그 방향을 바꾸고자 한다. 제1 액정 축전기

(Clca)와 제2 액정 축전기(Clcb)에서의 전계의 세기가 다르기 때문에 제1 및 제2 액정 축전기(Clca, Clcb)에서의 액정 분자(310)는 서로 다른 힘을 받게 되고 이에 따라 서로 다른 경사각(tilt angle)으로 기울어진다. 따라서, 측면 시인성이 향상된다.

화상 신호가 직접 전달되는 제1 화소 전극(190a)에 대하여 높거나 낮은 화소 전압이 전달되는 제2 화소 전극(190b)의 면적 비는 1:0.85-1:1.15 범위인 것이 바람직하며, 제1 화소 전극(190a)과 용량성으로 결합하는 제2 화소 전극(190b)은 둘 이상으로 배치할 수 있다.

제1 화소 전극(190a)의 면적은 제2 화소 전극(190b)의 면적보다 넓은 것이 바람직하지만, 제2 화소 전극(190b) 면적의 약 여섯 배를 넘지 않는 것이 바람직하다.

이때, 제1 화소 전극(190a)과 제2 화소 전극(190b)의 전압이 모든 계조에서 동일한 비율로 전압 차를 가져야 하는데, 실질적으로 제1 및 제2 화소 전극(190a, 190b)의 두 전압을 측정하면, 전압 차는 일정하지 않았다. 이는 높은 계조에서 제1 화소 전극(190a)이 차지하는 영역의 휘도 증가율이 제2 화소 전극(190b)이 차지하는 영역의 휘도 증가율보다 크기 때문이다. 이를 개선하기 위한 방법으로는 제1 화소 전극(190a)이 차지하는 영역의 지연값($\Delta n \cdot d$)을 감소시키거나 제2 화소 전극(190b)이 차지하는 영역의 지연값($\Delta n \cdot d$)을 감소시키는 방법이 있다. 본 발명의 실시예에서는 제1 화소 전극(190a)이 차지하는 영역의 셀 간격을 감소시키고, 제2 화소 전극(190b)이 차지하는 영역의 셀 간격을 증가시켰으며, 이를 위하여 앞에서 설명한 바와 같이 보호막(180)은 이중 구조로 이루어져 있다. 이때, 제1 화소 전극(190a)은 상부 절연막(180q) 상부에 배치되어 있고 제2 화소 전극(190b)은 하부 절연막(190p) 상부에 배치되어 있어, 제1 화소 전극(190a)이 차지하는 영역의 셀 간격이 제2 화소 전극(190b)이 차지하는 영역의 셀 간격보다 작다. 이와 같이 제1 화소 전극(190a)이 차지하는 영역의 셀 간격을 감소시켜 제1 화소 전극(190a)이 차지하는 영역에서 전압에 따른 휘도를 감소시켰고, 제1 화소 전극(190a)과 제2 화소 전극(190b)의 전압이 모든 계조에서 거의 동일한 비율로 전압 차를 가지도록 유도할 수 있었으며, 이에 대해서 실험예를 통하여 구체적으로 설명하기로 한다.

도 6 내지 도 8은 본 발명의 한 실험예에서 결합 용량으로 연결된 제1 및 제2 화소 전극이 위치하는 두 영역에서 전달된 전압에 따른 휘도를 측정한 그래프이다. 도 6은 높은 전압이 전달되는 영역의 셀 간격을 감소시켰을 때, 두 영역에서 전압에 대한 휘도의 변화를 나타낸 그래프이고, 도 7은 높은 전압 및 낮은 전압이 전달되는 영역의 셀 간격을 동일하게 유지한 상태에서 두 영역의 전압에 대한 휘도의 변화를 나타낸 그래프이고, 도 8은 높은 전압이 전달되는 영역의 셀 간격을 감소시킨 상태에서 두 영역의 전압에 대한 휘도의 변화를 나타낸 그래프이다.

본 실험예에서 화소 전극은 결합 용량으로 연결된 제1 화소 전극과 제2 화소 전극으로 분리하였으며, 이들의 면적 비는 1:1이고, 제1 화소 전극에 전달된 전압(V_a)에 대하여 제2 화소 전극의 전압은 0.74가 되도록 설계하였다. 휘도의 변화를 측정하기 위해 제1 화소 전극이 위치하는 영역의 셀 간격은 $0.3\mu m$ 감소시켰다.

여기서, P_a' 는 제1 화소 전극이 차지하는 영역의 셀 간격을 감소시키지 않은 상태에서 전압의 변화에 따른 휘도를 측정한 그래프이고, P_a 는 제1 화소 전극이 차지하는 영역의 셀 간격을 감소시켰을 때 전압의 변화에 따른 휘도를 측정한 그래프이고, P_b 는 제1 화소 전극과 결합 용량으로 연결된 제2 화소 전극이 차지하는 영역에서 전압의 변화에 따른 휘도를 측정한 그래프이다.

도 6에서 보는 바와 같이, 높은 전압이 전달되는 제1 화소 전극이 위치하는 영역의 셀 간격을 $0.3\mu m$ 감소시킨 결과 전압에 따른 휘도가 감소하여 그래프는 화살표(↘) 방향으로 이동하였다. 이때, 도 7에서 보는 바와 같이, 제1 화소 전극과 제2 화소 전극이 차지하는 영역의 셀 간격이 동일할 때에는 동일한 휘도에서 두 화소 전극의 전압 차는 전압이 커질수록 심하게 증가하였다. 이는 높은 계조일수록 제1 화소 전극과 제2 화소 전극의 전압 차가 커지는 것을 의미한다. 이와 비교하여 도 8에서 보는 바와 같이 제1 화소 전극이 차지하는 영역의 셀 간격을 감소시켰을 때에는 동일한 휘도에서 두 화소 전극의 전압 차는 심하지 않으며, 전압이 변하더라도 거의 일정한 것을 알 수 있다. 이를 통하여 높은 전압이 전달되는 영역의 셀 간격을 낮은 전압이 전달되는 영역보다 작게 설계함으로써 계조에 따른 전압 차를 균일하게 유도할 수 있다. 이때, 서로 다른 전압이 전달되는 영역 사이의 셀 간격은 $0.3-0.4\mu m$ 범위인 것이 바람직하다.

본 발명의 실시예에서와 같이 높은 전압이 전달되는 영역의 셀 간격을 감소시켰을 때 투과율이 저하되는데, 이는 계조 전압을 높이거나 Δn 이 높은 액정 물질을 이용함으로써 해결할 수 있다. 또한, 셀 간격을 유도하기 위한 단차로 인하여 발생하는 빛샘은 차광 부재(220) 또는 유지 전극선(131)에 분지를 차단할 수 있으며, 이러한 단차는 본 실시예와 같이 절개부(92a, 92b)와 중첩시켜 배치하는 것이 바람직하며, 빛샘을 최소화하기 위해 단차를 이루는 경계는 지그재그 또는 계단 모양으로 설계할 수 있다.

한편, 다른 실시예에서는 제2 화소 전극(190b)에 제1 화소 전극(190a)의 전압에 비하여 절대값이 항상 높은 전압을 인가할 수 있는데, 이는 제2 화소 전극(190b)에 공통 전압 등과 같이 임의의 전압을 인가한 상태에서 제1 화소 전극(190a)과 용량성으로 결합함으로써 이루어진다.

결합 전극(176)의 모양과 위치 또한 변경될 수 있으며 이에 대하여 상세하게 설명한다.

도 9는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 단면도이다. 이때, 층상 구조는 앞의 실시예와 동일하여 도면으로 나타내지 않았다.

본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121), 유지 전극(135)을 각각 포함하는 복수의 유지 전극선(131) 및 용량성 보조 전극(136)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154)를 포함하는 선형 반도체(151) 및 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 용량성 결합 전극(176)이 저항성 접촉 부재(161, 165) 위에 형성되어 있고, 이중 구조의 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185, 186)이 형성되어 있다. 보호막(180) 위에는 복수의 쌍 화소 전극(190a, 190b) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

하지만, 서로 중첩하고 있는 결합 전극(176)과 결합 보조 전극(136)은 공통 전극(270)의 절개부(71) 모양을 따라 형성되어 있다. 이러한 구조에서 결합 전극(176)과 결합 보조 전극(136)은 절개부(71)를 통하여 누설되는 빛을 차단하는 기능을 가지며 빛이 투과되는 도메인 중앙을 거의 지나지 않아, 높은 화소의 개구율을 확보할 수 있다.

앞의 실시예에서는 유지 축전기와 결합 축전기를 서로 다른 위치에 별도로 배치하였지만, 결합 전극을 중심으로 상부 및 하부에 배치할 수도 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 10은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고, 도 11은 도 12의 액정 표시 장치를 XII-XII'선을 따라 잘라 도시한 단면도이다.

도 10 및 도 11을 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121) 및 유지 전극(135)을 포함하는 복수의 유지 전극선(131)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171)과 복수의 드레인 전극(175)이 저항성 접촉 부재(161, 165) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

하지만, 게이트선(121)과 동일한 층의 유지 전극선(131)은 화소의 중앙을 가로 질로 가로 방향으로 뻗어 있으며, 다른 부분보다 넓은 폭을 가지는 유지 전극(135)을 포함한다.

또한, 데이터선(171)과 동일한 층의 용량성 결합 전극(176)은 유지 전극(135)과 중첩하여 게이트 절연막(140)을 사이에 두고 유지 축전기(Cst, 도 5 참조)를 이루며, 결합 전극(176)은 드레인 전극(175)으로부터 분리되어 있지만, 이들(175, 176)은 연결될 수도 있다. 이때, 결합 전극(176)은 유지 전극(135)과 중첩되도록 배치하여, 화소의 개구율이 감소하는 것을 방지할 수 있다.

또한, 제2 화소 전극(190b)은 개구부(188)를 통하여 드러난 하부 절연막(180p)만을 사이에 두고 용량성 결합 전극(176)과 중첩하여 결합 축전기를 이루고 있어, 이들(190b, 176) 사이에서는 좁은 중첩 면적으로 충분한 결합 용량을 형성할 수 있다. 또한, 제1 또는 제2 화소 전극(190a, 190b)과 중첩하여 유지 용량을 형성할 때, 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176)과 유지 전극(135)은 게이트 절연막(140)만을 사이에 두고 중첩하고 있어 이들(135, 176) 사이에서는 좁은 중첩 면적으로 충분한 유지 용량을 형성할 수 있다. 이와 같이, 본 실시예와 같은 구조에서는 결합 용량과 유지 용량을 충분히 확보하면서 결합 전극(176)과 유지 전극(135)을 중첩하여 배치함으로써 화소의 개구율을 충분히 확보할 수 있다.

그러면, 도 10 및 도 11에 도시한 액정 표시 장치용 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 12a 내지 도 17과 도 10 및 도 11 참고로 하여 상세히 설명한다.

도 12a, 도 13a, 도 14a 및 도 16a는 도 10 및 도 11에 도시한 액정 표시 장치의 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도로서 그 순서에 따라 나열한 도면이고, 도 12b는 도 12a에 도시한 박막 트랜지스터 표시판을 XIIIb-XIIb' 선을 따라 절단한 단면도이고, 도 13b는 도 13a에 도시한 박막 트랜지스터 표시판을 XIIIb-XIIIb' 선을 따라 절단한 단면도이고, 도 14b는 도 14a에 도시한 박막 트랜지스터 표시판을 XIVb-XIVb' 선을 따라 절단한 단면도이고, 도 15는 도 14a에 도시한 박막 트랜지스터 표시판을 XIVb-XIVb' 선을 따라 절단한 단면도로서, 도 14b의 다음 단계를 도시한 도면이고, 도 16b는 도 16a에 도시한 박막 트랜지스터 표시판을 XVIb-XVIb' 선을 따라 절단한 단면도로서, 도 15의 다음 단계를 도시한 도면이고, 도 17은 도 16a에 도시한 박막 트랜지스터 표시판을 XIVb-XIVb' 선을 따라 절단한 단면도로서, 도 16b의 다음 단계를 도시한 도면이다.

먼저, 투명한 유리 따위로 만들어진 절연 기판(110) 위에 도전 물질을 스퍼터링(sputtering) 따위로 차례로 적층한다. 이때, 도전 물질은 IZO 또는 ITO와의 접촉 특성이 우수한 금속, 예를 들면 폴리브덴, 폴리브덴 합금 또는 크롬 등과 같은 금속 또는 알루미늄 계열, 은 계열 또는 구리 계열과 같이 저저항을 가지는 금속을 이용한다.

이어, 도 12a 및 도 12b에 도시한 바와 같이, 감광막 패턴을 이용한 사진 식각 공정으로 금속막을 패터닝하여 복수의 게이트 전극(124)을 포함하는 게이트선(121)과 복수의 유지 전극(135)을 포함하는 유지 전극선(131)을 형성한다.

이어, 도 13a 및 도 13b에서 보는 바와 같이, 약 1,500-5,000Å 두께의 게이트 절연막(140), 약 500-2,000Å 두께의 진성 비정질 규소층(intrinsic amorphous silicon), 약 300-600Å 두께의 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진식각하여 게이트 절연막(140) 위에 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154)를 포함하는 복수의 선형 진성 반도체(151)를 형성한다.

다음, 앞에서 언급한 도전 물질을 스퍼터링(sputtering) 따위로 적층하여 데이터용 금속막을 형성한 다음, 도 14a 및 도 14b에 도시한 바와 같이, 금속막을 차례로 패터닝하여 복수의 용량성 결합 전극(176), 복수의 소스 전극(173)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성한다.

이어, 데이터선(171) 및 드레인 전극(175) 상부의 감광막을 제거하거나 그대로 둔 상태에서, 데이터선(171), 드레인 전극(175) 및 결합 전극(176)으로 덮이지 않고 노출된 불순물 반도체(164) 일부를 제거함으로써 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(151) 부분을 노출시킨다.

이어, 진성 반도체(151) 부분의 표면을 안정화시키기 위하여 산소 플라즈마를 뒤이어 실시하는 것이 바람직하다.

다음으로, 도 15에서 보는 바와 같이, 질화 규소와 같은 무기 절연 물질의 하부 절연막(180p)과 낮은 유전율을 가지는 유기 절연 물질의 상부 절연막(180q)을 차례로 적층하여 보호막(180)을 형성하고, 그 상부에 감광막을 스핀 코팅 방법으로 도포한 다음, 그 후, 마스크를 이용한 사진 공정으로 감광막 패턴(52, 54)을 형성한다.

이때 현상된 감광막의 두께는 위치에 따라 다른데, 감광막은 두께가 점점 작아지는 제1 내지 제3 부분으로 이루어진다. A 영역(이하 "기타 영역"이라 함)에 위치한 제1 부분과 C 영역(이하 "결합 영역"이라 함)에 위치한 제2 부분은 각각 도면 부호 52와 54로 나타내었고 B 영역(이하 "접촉 영역"이라 함)에 위치한 제3 부분에 대한 도면 부호는 부여하지 않았는데, 이는 제3 부분이 0의 두께를 가지고 있어 아래의 상부 절연막(180q)이 드러나 있기 때문이다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area)뿐 아니라 반투명 영역(translucent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다.

이어, 도 16a 및 도 16b에 도시한 바와 같이, 감광막 패턴(52, 54)을 식각 마스크로 상부 절연막(180q)과 하부 절연막(180p)을 차례로 식각하여 드레인 전극(175) 및 결합 전극(176)을 각각 드러내는 접촉 구멍(185, 186)을 형성한다. 이때, 게이트선(121) 및 데이터선(171) 각각의 끝 부분(129, 179)을 드러내는 접촉 구멍(181, 182)도 함께 형성한다. 이어, 결합 영역(C)에 남아 있는 제2 부분(54)을 애싱(ashing)으로 제거한다.

다음, 도 17에 도시한 바와 같이 결합 영역(C)에서 드러난 제2 절연막(180q) 일부를 식각하여 상부 절연막(180q)에 개구부(188)를 형성한다.

이때, 상부 절연막(180q)을 감광성 유기 절연 물질로 형성하는 다른 실시예에서는 상부 절연막(180q)을 감광막 패턴(52, 54)과 같이 형성한 다음, 앞에서 설명한 순서에 따라 식각 공정을 진행한다.

마지막으로, 도 10 및 도 11에 도시한 바와 같이, 500 Å 내지 1,500 Å 두께의 IZO 또는 ITO층을 스퍼터링 방법으로 증착하고 사진 식각하여 복수의 제1 및 제2 화소 전극(190a, 190b) 및 복수의 접촉 보조 부재(81, 82)를 형성한다. IZO층을 사용하는 경우의 식각은 $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 등 크롬용 식각액을 사용하는 습식 식각인 것이 바람직한데, 이 식각액은 알루미늄을 부식시키지 않기 때문에 데이터선(171), 드레인 전극(175), 게이트선(121)에서 알루미늄 도전막이 부식되는 것을 방지할 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 18 및 19를 참조하여 상세하게 설명한다.

도 18은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고, 도 19는 도 18의 액정 표시 장치를 XIX-XIX 선을 따라 잘라 도시한 단면도이다.

도 18 및 도 19를 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121) 및 유지 전극(135)을 포함하는 복수의 유지 전극선(131)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171)과 복수의 드레인 전극(175)이 저항성 접촉 부재(161, 165) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 1 내지 도 5의 액정 표시 장치와는 달리, 선형 반도체(151)는 데이터선(171)과 드레인 전극(171) 및 그 아래의 저항성 접촉 부재(161, 165)와 거의 동일한 모양을 가진다. 그러나, 돌출부(154)는 소스 전극(173)과 드레인 전극(175) 사이의 부분과 같이 데이터선(171)과 드레인 전극(175)으로 덮이지 않는 부분을 가진다.

그러나 도 1, 도 3 및 도 4의 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판에서는 절개부(92a, 92b)가 서로 분리되어 각각 간극을 이루어 있어 제1 화소 전극(190a)은 제2 화소 전극(190b) 상부 및 하부에 위치하는 두 부분으로 이루어져 있다.

결합 전극(176)은 제1 및 제2 화소 전극(190a, 190b)의 오른 쪽 가장자리 변과 중첩하여 배치되어 제1 화소 전극(190a)의 두 부분을 향하여 뻗어 있으며, 드레인 전극(175)에서 용량성 결합 전극(176)으로 연장되는 부분은 공통 전극(270)의 절개부(72a)와 중첩되어 있다.

용량성 보조 전극(136) 또한 제1 및 제2 화소 전극(190a, 190b)의 오른 쪽 가장자리 변과 중첩하여 배치되어 용량성 결합 전극(176)과 중첩하고 있으며, 용량성 보조 전극(186)은 용량성 결합 전극(176)의 세로 변과 평행한 변을 가진다. 또한, 용량성 보조 전극(136)은 용량성 결합 전극(176)이 가리지 않는 돌출부를 가지며, 돌출부의 제2 화소 전극(190b)과 용량성 보조 전극(136)을 연결하는 접촉 구멍(186)이 위치한다. 돌출부는 제2 화소 전극(190b)의 절개부(71) 가로부와 중첩한다.

이러한 본 실시예에 따른 구조에서는 제1 화소 전극(190a)의 절개부(92a, 92b)를 연장시켜 제2 화소 전극(190b)을 우측으로 확장시키고, 드레인 전극(175)으로부터 결합 전극(176)으로 확장되는 부분을 화상이 표시되지 않는 공통 전극(270)의 절개부(72a)와 중첩시켜 배치함으로써 화소의 개구율을 향상시킬 수 있다. 실질적으로 이러한 구조는 도 1 내지 도 4의 구조와 비교하여 4-5% 정도로 개구율이 향상되는 것으로 측정되었다.

또한, 접촉 구멍(186)을 제2 화소 전극(190b)의 절개부(71)의 가로부 상에 배치함으로써 접촉 구멍(186)으로 인하여 발생하는 텍스처를 화상이 표시되는 영역 밖으로 유도함으로써 표시 특성을 향상시킬 수 있다.

이러한 본 실시예에서는 도 1, 도 3, 및 도 4와 달리, 제1 화소 전극(190a)의 두 부분은 접촉 구멍(185a, 185b)을 통하여 각각 결합 전극(176)과 연결되어 화상 신호를 전달받는다.

이러한 박막 트랜지스터를 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171) 및 드레인 전극(175)과 반도체(151) 및 저항성 접촉 부재(161, 165)를 한 번의 사진 공정으로 형성한다.

이러한 사진 공정에서 사용하는 감광막 패턴은 위치에 따라 두께가 다르며, 위치에 따라 감광막 패턴의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투명 영역(transparent area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다. 이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

앞서 설명한 도 1 내지 도 5의 액정 표시 장치에 대한 많은 특징들이 이와 같은 실시예에서도 적용될 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 20 내지 도 23을 참고로 하여 상세하게 설명한다.

도 20은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 21은 본 발명의 다른 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고, 도 22는 도 20에 도시한 박막 트랜지스터 표시판과 도 21에 도시한 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 23은 도 22의 액정 표시 장치를 XXIII-XXIII' 선을 따라 잘라 도시한 단면도이다.

도 20 내지 도 23을 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3) 및 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 1 내지 도 4에 도시한 표시판(100, 200)의 층상 구조와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121), 복수의 용량성 보조 전극(136) 및 복수의 유지 전극선(131a, 131b)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 반도체(154) 및 복수의 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171)과 복수의 드레인 전극(175)과 복수의 용량성 결합 전극(176)이 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에 형성되어 있고, 이중 구조의 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185a, 185b, 186)이 형성되어 있다. 보호막(180) 위에는 복수의 제1 및 제2 화소 전극(190a, 190b) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고 그 위에는 배향막(11)이 형성되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 1 내지 도 4와 달리, 각각의 유지 전극선(131a, 131b)은 서로 이웃하는 게이트선(121) 사이에서 각각 쌍으로 배치되어 있다. 각각의 유지 전극선(131a, 131b)은 서로 이웃하는 게이트선(121) 부근에 위치하고 있으며, 유지 전극(133a, 133b)을 이루는 복수의 돌출부를 각각 포함한다. 두 유지 전극선(131a, 131b)은 서로 이웃하는 게이트선(121)의 중심선에 대하여 대칭 구조를 이룬다.

각각의 용량성 보조 전극(136)은 게이트선(121)과 데이터선(171)으로 둘러싸인 영역의 중앙에서 주로 가로 방향으로 뻗어 대략 직사각형 모양을 이루고 있으며, 왼쪽은 게이트선(121)에 대하여 45° 기울어진 빗변을 가진다.

복수의 반도체(154) 및 저항성 접촉 부재(163, 165)는 섬형으로 소스 전극(173)과 드레인 전극(175)의 사이에 주로 위치하며, 게이트선(121)과 데이터선(171) 및 드레인 전극(175)이 만나는 곳까지 뻗어 이들의 교차점에서 표면 프로파일을 완만하게 하여 데이터선(171) 및 드레인 전극(175)의 단선을 방지한다. 섬형 반도체(154)와 동일한 층으로 데이터선(171)이 지나갈 유지 전극선(131)의 상부에도 버퍼층이 추가될 수 있다.

드레인 전극(175)은 유지 전극(133a, 133b)과 각각 중첩하는 복수의 확장부(175a, 175b)를 쌍으로 가지고 있으며, 드레인 전극의 확장부(175a, 175b) 변은 유지 전극(133a, 133b)의 변과 실질적으로 평행하다.

용량성 결합 전극(176)은 용량성 보조 전극(136)과 중첩하고, 용량성 보조 전극(136)의 변과 평행한 변을 가져 게이트선(121)에 대하여 45° 기울어진 변을 가지며, 경계선 안에 용량성 보조 전극(136)의 상부에 위치하는 개구부(76)를 가진다.

드레인 전극(175)은 두 확장부(175a, 175b)와 용량성 결합 전극(176)을 서로 연결하며, 데이터선(171)에 인접하고 평행하며 서로 인접한 게이트선(121)의 중심선에 대하여 대칭으로 뻗은 연결부(177a, 177b)를 가진다. 따라서, 드레인 전극(175), 용량성 결합 전극(176) 및 용량성 보조 전극(136)은 서로 이웃하는 게이트선(121)의 중심선에 대하여 대칭 구조를 가진다. 이때, 연결부(177a, 177b)는 게이트선(121)과 데이터선(171)으로 둘러싸인 영역의 최외각 가장자리에 배치되어 화상이 표시되는 투과 영역을 감소시키지 않으며, 투과 영역의 가장자리에서 발생하는 텍스처를 차단하는 기능을 가진다.

보호막(180)에는 드레인 전극(175)의 확장부(175a, 175b)와 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 게이트 절연막(140)과 함께 용량성 보조 전극(136)과 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181, 186)이 형성되어 있다. 이때, 용량성 보조 전극(136)을 드러내는 접촉 구멍(186)은 용량성 결합 전극(176)의 개구부(76) 안에 위치하여 접촉 구멍(186)의 측벽에 의해 발생하는 단차로 인하여 액정 분자의 배열이 왜곡되어 이 부분에서 누설되는 빛이 발생하더라도 용량성 결합 전극(176)에 의해 차단된다. 따라서, 화소의 개구율이 확보하면서 디스크리네이션이 발생하는 것을 차단할 수 있다.

제1 및 제2 화소 전극(190a, 190b)은 절개부(93a, 93b)로 이루어진 간극에 의해 서로 분리되어 있는데, 제2 화소 전극(190b)을 중심으로 상부 및 하부에 위치하는 두 부분으로 이루어져, 제2 화소 전극(190b)은 제1 화소 전극(190a)의 두 부분 사이에 끼인 형태이다.

제1 화소 전극(190a)의 두 부분은 각각 접촉 구멍(185a, 185b)을 통하여 한 쌍의 드레인 전극(175) 확장부(175a, 175b)와 각각 연결되어 있다.

제1 및 제2 화소 전극(190a, 190b)의 화소 전극 네 모퉁이(A)가 모따기되어 빗변을 이루고 있으며, 이들과 동일한 층에는 차폐 전극(88)이 형성되어 있다.

이때, 모따기 구조에서 모따기된 빗변의 길이는 약 4-10 μ m 범위인 것이 바람직한데, 특히 화소 전극(190) 및 차폐 전극(88)을 형성하기 위한 사진 공정에서 사용하는 노광기의 분해능보다 2배 이상인 것이 바람직하다. 이와 같이 하면 화소 전극(190)의 모퉁이(A)에서 도전체가 잔류할 확률을 크게 줄일 수 있으므로 화소 전극(190)과 차폐 전극(88)이 서로 단락(short circuit)되는 것을 방지할 수 있으며, 화소 전극(190)과 차폐 전극(88) 사이의 거리를 가깝게 할 수 있다.

또한, 화소 전극(190)과 차폐 전극(88)이 화소 전극(190)의 모퉁이(A)에서 단락된 경우, 그곳에서 차폐 전극(88)과 화소 전극(190)의 간격이 넓기 때문에 저배율 광학기를 사용하여 단락 위치를 용이하게 검출할 수 있을 뿐 아니라 레이저(laser)를 사용하여 단락을 용이하게 수리할 수 있다.

차폐 전극(88)은 데이터선(171)을 따라 뻗은 세로부와 게이트선(121)을 따라 뻗은 가로부를 포함하고 있는데, 세로부는 데이터선(171)을 완전히 덮고 있으며, 가로부는 게이트선(121)의 경계선 안쪽에 위치한다.

차폐 전극(88)에는 공통 전압이 인가되는데, 이를 위하여 보호막(180) 및 게이트 절연막(140)의 접촉 구멍(도시하지 않음)을 통하여 유지 전극선(131)에 연결되거나, 공통 전압을 박막 트랜지스터 표시판(100)에서 공통 전극 표시판(200)으로 전달하는 단락점(short point)(도시하지 않음)에 연결될 수도 있다. 이때, 개구율 감소가 최소가 되도록 차폐 전극(88)과 화소 전극(190) 사이의 거리를 최소로 하는 것이 바람직하다.

이와 같이 공통 전압이 인가되는 차폐 전극(88)을 데이터선(171) 상부에 배치하면 차폐 전극(88)이 데이터선(171)과 화소 전극(190) 사이 및 데이터선(171)과 공통 전극(270) 사이에서 형성되는 전계를 차단하여 화소 전극(190)의 전압 왜곡 및 데이터선(171)이 전달하는 데이터 전압의 신호 지연이 줄어든다.

또한, 화소 전극(190)과 차폐 전극(88)의 단락을 방지하기 위하여 이들 사이에 거리를 두어야 하므로, 화소 전극(190)이 데이터선(171)으로부터 더 멀어져 이들 사이의 기생 용량이 줄어든다. 더욱이, 액정층(3)의 유전율(permittivity)이 보호막(180)의 유전율보다 높기 때문에, 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 차폐 전극(88)이 없을 때 데이터선(171)과 공통 전극(270) 사이의 기생 용량에 비하여 작다.

뿐만 아니라, 화소 전극(190)과 차폐 전극(88)이 동일한 층으로 만들어지기 때문에 이들 사이의 거리가 일정하게 유지되며 이에 따라 이들 사이의 기생 용량이 일정하다.

또한 화소 전극(190)의 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b) 및 공통 전극(270)의 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)의 배치 및 모양이 앞의 실시예와 다르다. 특히, 공통 전극(270)의 절개부(72, 73a, 73b, 74a, 74b, 75a, 75b)에는 절개부(72, 73a, 73b, 74a, 74b, 75a, 75b) 내의 액정 분자(310)의 배향을 제어하는 노치가 형성되어 있다.

차광 부재(220)는 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어져 있다.

또한 공통 전극(270)과 차폐 전극(88)에 동일한 공통 전압이 인가되므로 둘 사이에는 전계가 거의 없다. 따라서 공통 전극(270)과 차폐 전극(88) 사이에 위치한 액정 분자들(310)은 초기 수직 배향 상태를 그대로 유지하므로 이 부분에 입사된 빛은 투과되지 못하고 차단된다.

본 실시예에 따른 액정 표시 장치에서, 용량성 보조 전극(136), 유지 전극선(131a, 131b), 드레인 전극(175a, 175b) 및 용량성 결합 전극(176) 등과 같은 불투명막과 서로 다른 방향으로 기울어져 이루어진 도메인이 화소 전극(190)을 상하로 이등분하는 중심선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다. 따라서, 서로 다른 방향으로 기울어진 4종류 도메인 중에서 화소 전극(190)의 상하 이등분 중심선에 대하여 용량성 보조 전극(136) 및 용량성 결합 전극(176)과 유지 전극선(131a, 131b) 및 드레인 전극(175a, 175b)등의 불투명막이 차지하는 면적을 동일하게 배치할 수 있다. 그러므로, 4 종류의 도메인에서 투과 영역을 동일한 면적이 되도록 설계함으로써, 다양한 시야각에서 균일한 시인성을 확보할 수 있다.

이전의 실시예에서 도시한 액정 표시 장치의 많은 특징들이 도 20 내지 도 23에 도시한 액정 표시 장치에도 적용될 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 24 및 도 25를 참고하여 상세하게 설명한다.

도 24는 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이며, 도 25는 도 24의 액정 표시 장치를 XXV-XXV' 선을 따라 잘라 도시한 단면도이다.

도 24 및 도 25를 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 20 내지 도 23과 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121), 유지 전극(133a, 133b)을 각각 포함하는 복수의 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 반도체(154) 및 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 용량성 결합 전극(176)이 게이트 절연막(140) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185a, 185b, 186)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190), 복수의 차폐 전극(88) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 20 내지 도 23의 액정 표시 장치와는 달리, 반도체(154)는 데이터선(171) 및 드레인 전극(175a, 175b) 하부까지 연장되어 있는 선형 반도체(151)의 돌출부이며, 섬형의 저항성 접촉 부재(165)에 마주하는 저항성 접촉 부재(163) 또한 선형의 저항성 접촉 부재(161)의 돌출부이다. 이때, 선형의 반도체(151)는 데이터선(171)과 드레인 전극(175a, 175b) 및 그 아래의 저항성 접촉 부재(161, 165)와 거의 동일한 모양을 가진다. 그러나, 선형의 반도체(151) 중 돌출부(154)는 소스 전극(173)과 드레인 전극(175a) 사이의 부분과 같이 데이터선(171)과 드레인 전극(175a)으로 덮이지 않는 부분을 가지며, 선형의 반도체(151)의 돌출부(154) 및 섬형의 저항성 접촉 부재(165)는 동일한 모양으로 용량성 결합 전극(176) 하부까지 연장되어 있다.

이러한 박막 트랜지스터를 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171), 드레인 전극(175a, 175b) 및 용량성 결합 전극(176)과 반도체(151) 및 저항성 접촉 부재(161, 165)를 한 번의 사진 공정으로 형성한다.

발명의 효과

이상과 같이 화소 전극을 분할하여 서로 다른 인가함으로써 액정 표시 장치의 측면 시인성을 향상시키고 이를 통하여 시야각을 확장할 수 있다.

또한, 분할한 화소 전극이 차지하는 영역의 셀 간격을 다르게 조절함으로써 설계시와 동일하게 제조 전압에 대한 전압 차를 균일하게 유도할 수 있다.

또한, 최적의 중첩 면적으로 유지 용량과 결합 용량을 충분히 확보함으로써 화소의 개구율을 확보할 수 있다.

또한, 층간의 도전막을 연결하는 접촉 구멍을 불투명막의 개구부 안에 배치함으로써 단차로 인하여 액정 분자의 배열 왜곡으로 발생하는 빛샘을 차단하면서 화소의 개구율이 저하되는 것을 방지할 수 있다.

또한, 화소 전극과 동일한 층으로 차폐 전극을 형성함으로써 액정 표시 장치의 표시 특성을 향상시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있다.

(57) 청구의 범위

청구항 1.

게이트선,

상기 게이트선과 절연되어 교차하고 있는 데이터선,

각각의 상기 게이트선 및 상기 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터,

상기 게이트선, 상기 데이터선 및 상기 박막 트랜지스터를 덮는 보호막, 그리고

상기 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 상기 제1 화소 전극으로부터 분리되어 있으며 상기 제1 화소 전극과 전기적으로 연결되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하며,

상기 보호막은 상기 제1 화소 전극과 상기 제2 화소 전극이 차지하는 영역에서 서로 다른 두께를 가지는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 보호막은 상기 제1 화소 전극이 차지하는 영역보다 상기 제2 화소 전극이 차지하는 영역에서 얇은 두께를 가지는 박막 트랜지스터 표시판.

청구항 3.

제2항에서,

상기 보호막은 서로 다른 절연 물질로 이루어진 다층 구조로 이루어진 박막 트랜지스터 표시판.

청구항 4.

제3항에서,

상기 보호막은 질화 규소 또는 산화 규소로 이루어진 하부 절연막과 유기 절연 물질로 이루어진 상부 절연막을 포함하는 박막 트랜지스터 표시판.

청구항 5.

제2항에서,

상기 제1 화소 전극은 상부 절연막 상부에 위치하며, 상기 제2 화소 전극은 하부 절연막 상부에 위치하는 박막 트랜지스터 표시판.

청구항 6.

제1항에서,

상기 제1 화소 전극과 상기 제2 화소 전극은 결합 용량으로 연결되어 있는 박막 트랜지스터 표시판.

청구항 7.

제1항에서,

상기 제1 화소 전극과 연결되어 있으며 상기 제2 화소 전극과 중첩하는 결합 전극을 포함하는 박막 트랜지스터 표시판.

청구항 8.

제7항에서,

상기 결합 전극은 상기 드레인 전극과 연결되어 있는 박막 트랜지스터 표시판.

청구항 9.

제8항에서,

상기 화소 전극, 상기 결합 전극 및 상기 드레인 전극 중 적어도 하나와 중첩하여 유지 용량을 형성하는 유지 전극을 가지는 유지 전극선을 더 포함하는 박막 트랜지스터 표시판.

청구항 10.

게이트선, 상기 게이트선과 절연되어 교차하고 있는 데이터선, 각각의 상기 게이트선 및 상기 데이터선과 연결되어 있으며, 드레인 전극을 가지는 박막 트랜지스터, 상기 게이트선, 상기 데이터선 및 상기 박막 트랜지스터를 덮는 보호막, 그리고 상기 드레인 전극과 직접 연결되어 있는 제1 화소 전극과 상기 제1 화소 전극으로부터 분리되어 있으며 상기 제1 화소 전극과 전기적으로 연결되어 있는 제2 화소 전극을 포함하는 화소 전극을 포함하는 박막 트랜지스터 표시판, 그리고

상기 박막 트랜지스터 표시판과 마주하며, 공통 전극이 형성되어 있는 대향 표시판을 포함하며,

상기 제1 화소 전극과 상기 제2 화소 전극이 차지하는 영역에서 서로 다른 셀 간격을 가지는 액정 표시 장치.

청구항 11.

제10항에서,

상기 제1 화소 전극이 차지하는 영역보다 상기 제2 화소 전극이 차지하는 영역에서 얇은 셀 간격을 가지는 액정 표시 장치.

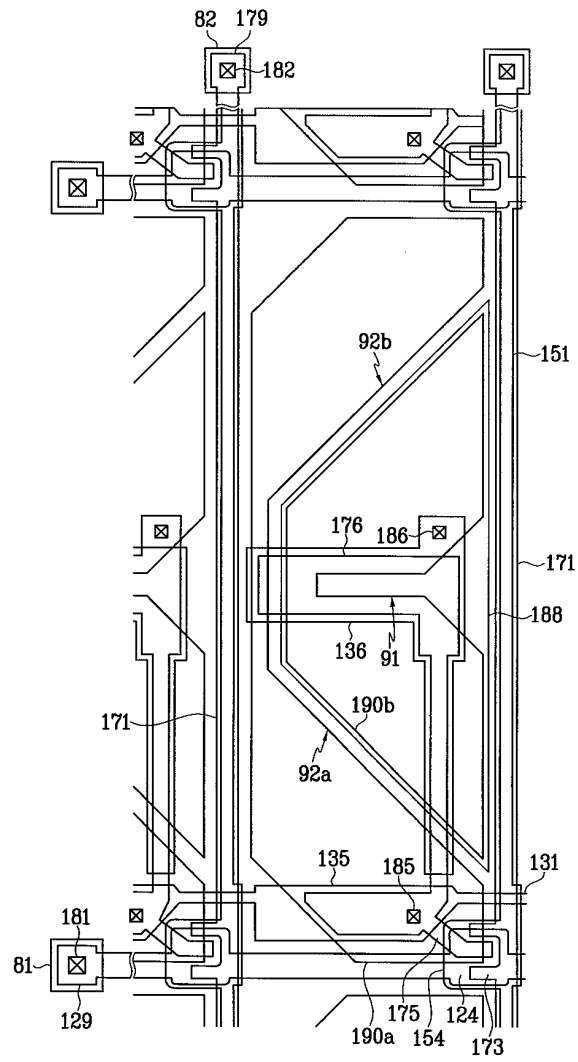
청구항 12.

제11항에서,

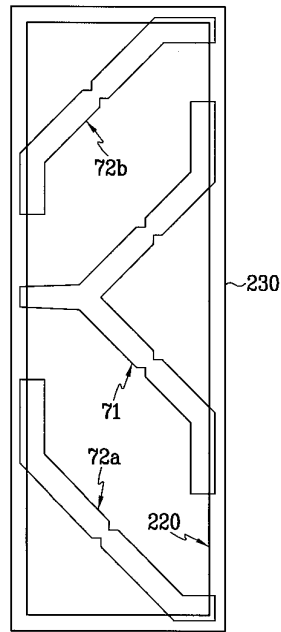
상기 제1 화소 전극과 상기 제2 화소 전극은 결합 용량으로 연결되어 있는 액정 표시 장치.

도면

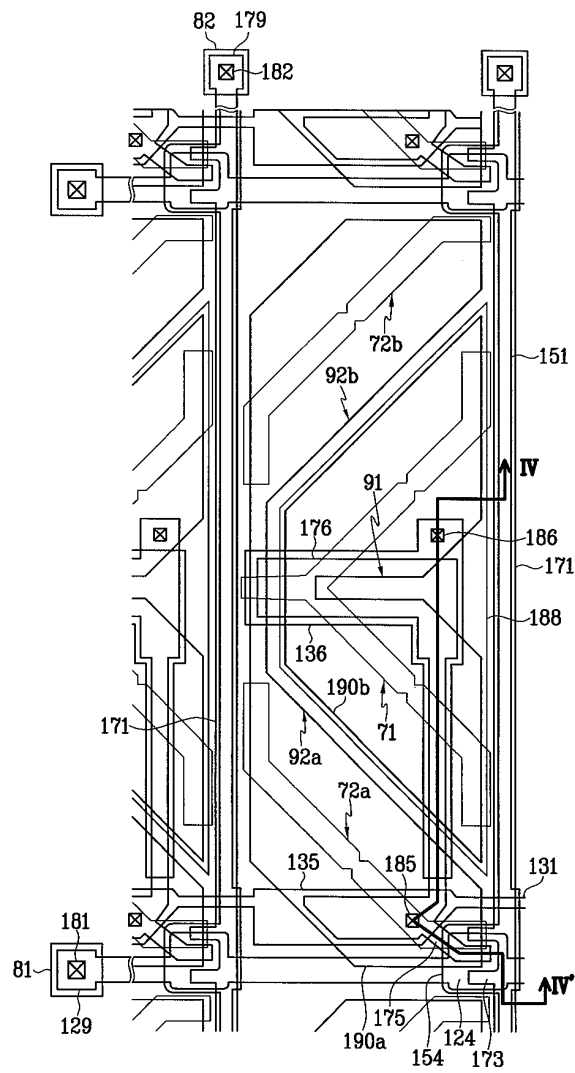
도면1



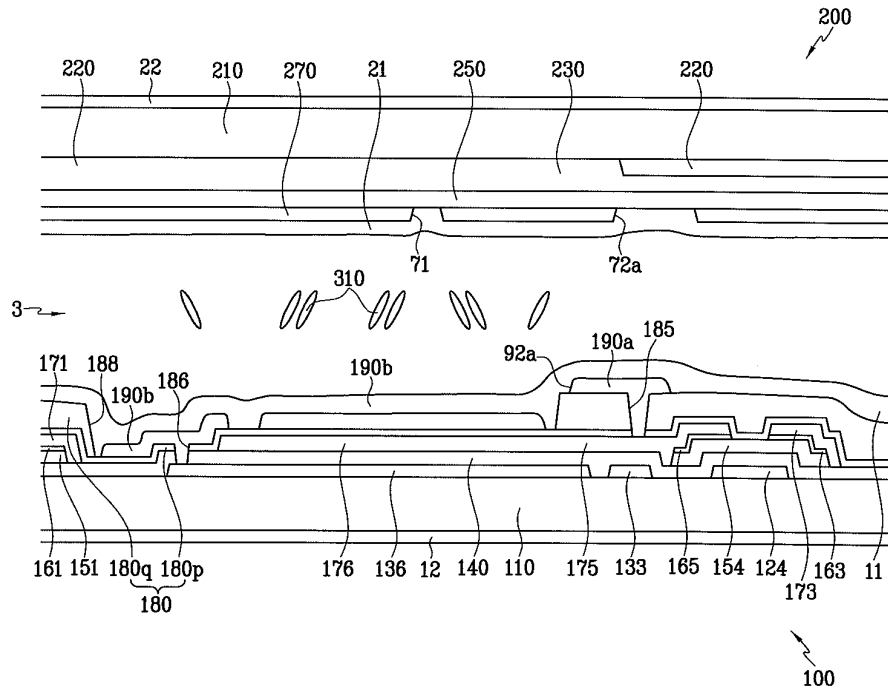
도면2



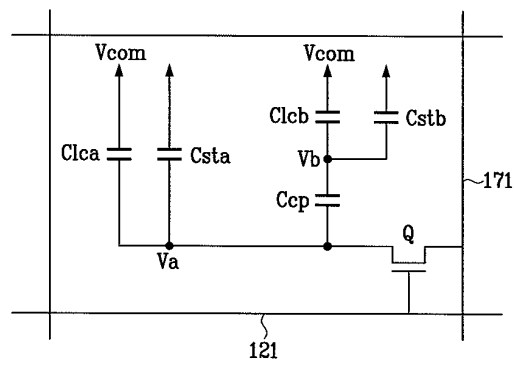
도면3



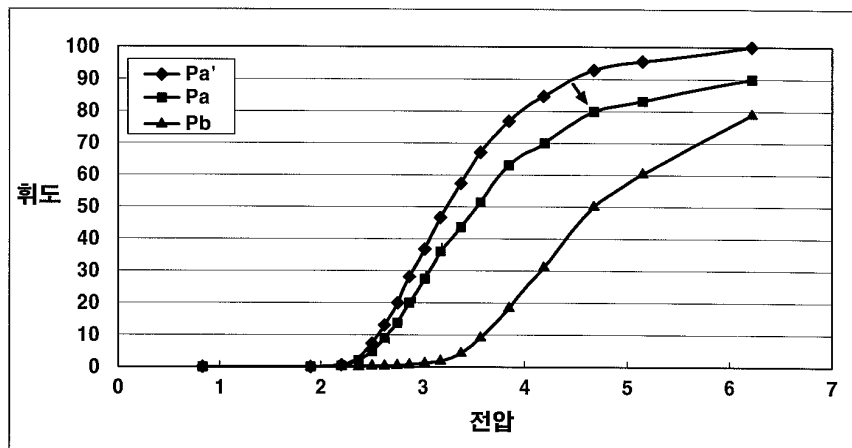
도면4



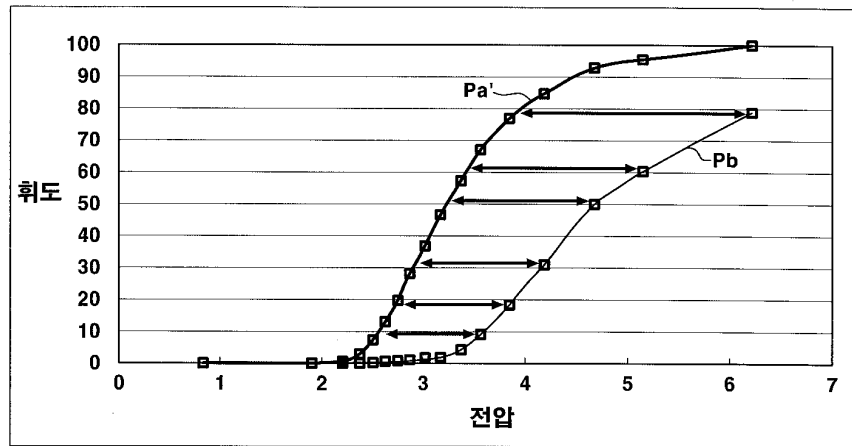
도면5



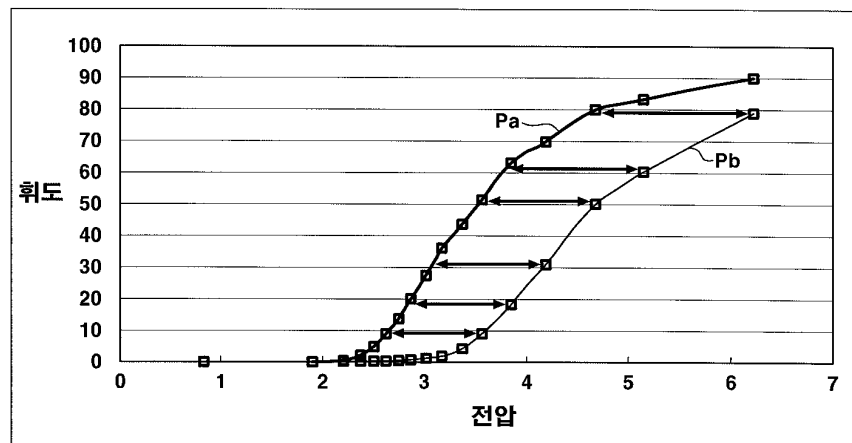
도면6



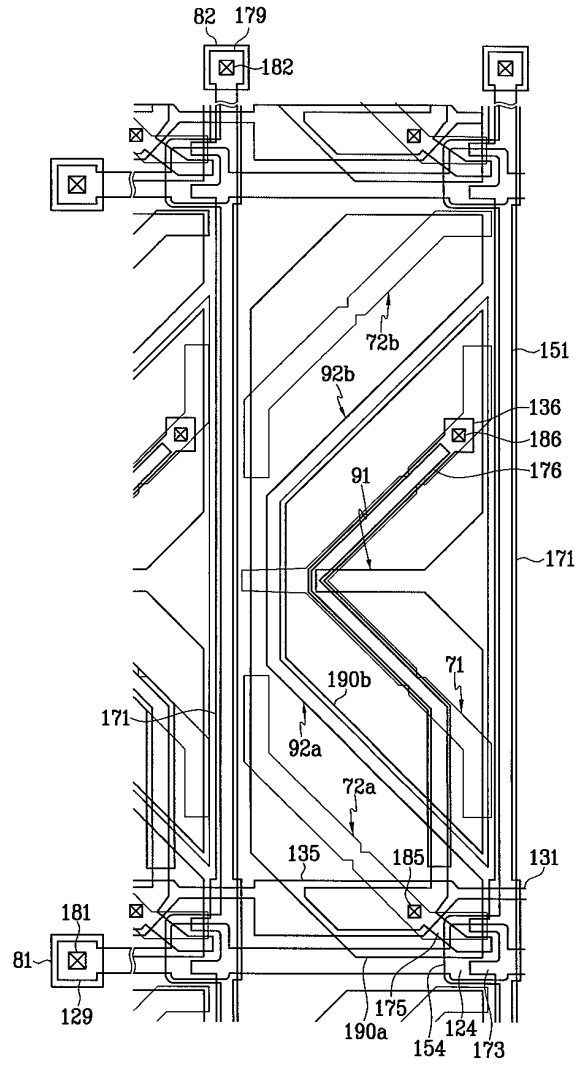
도면7



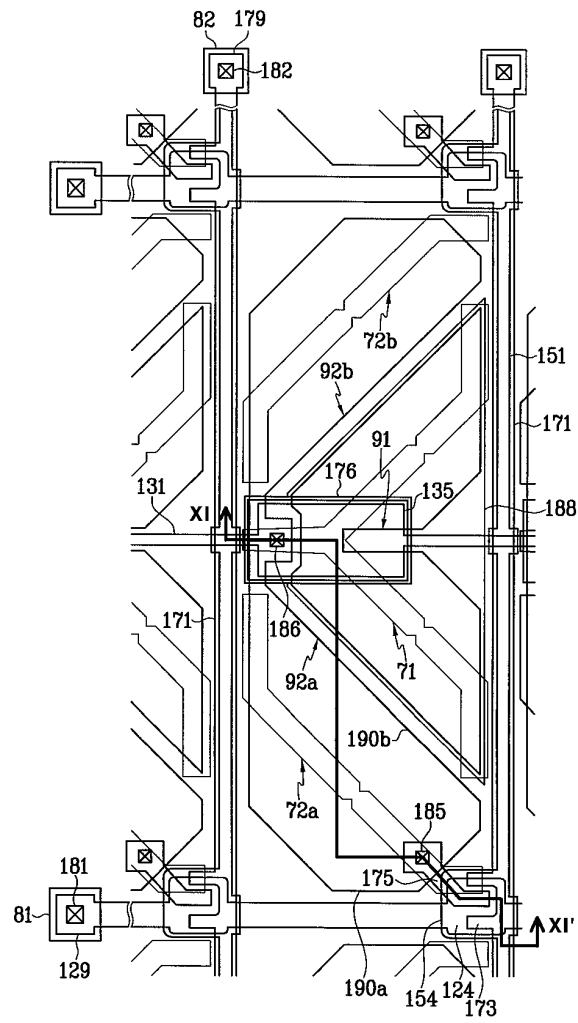
도면8



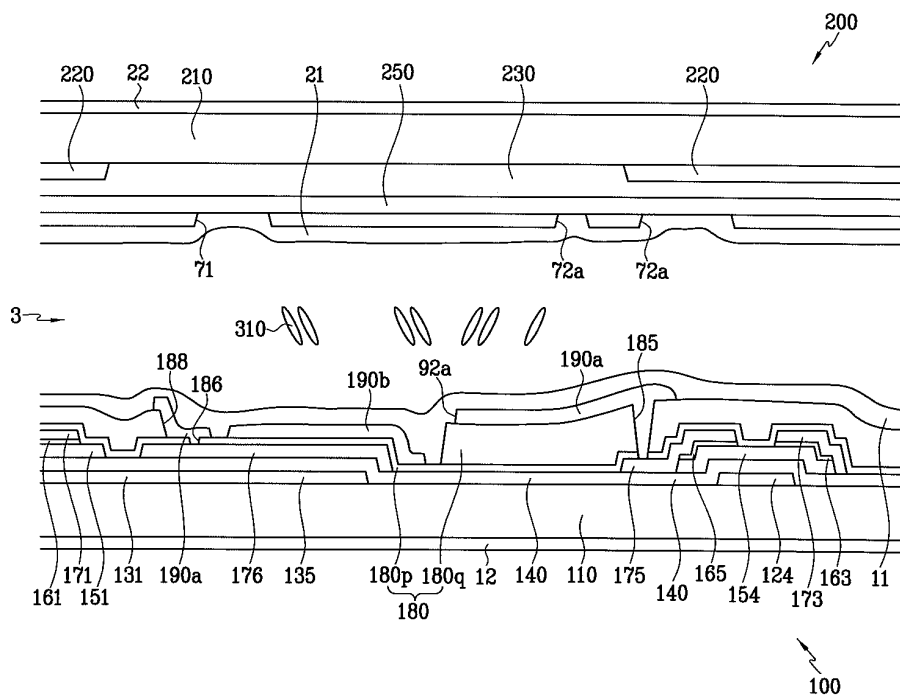
도면9



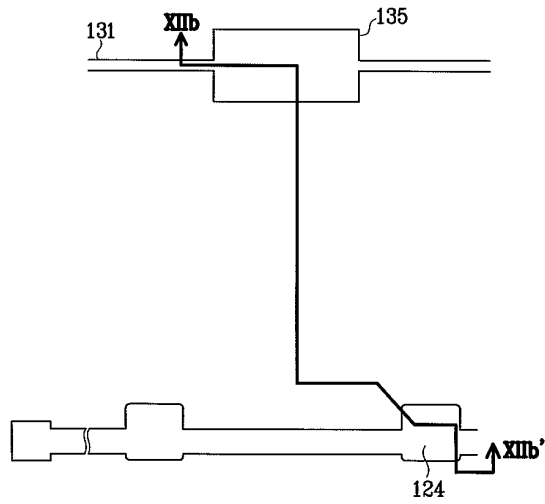
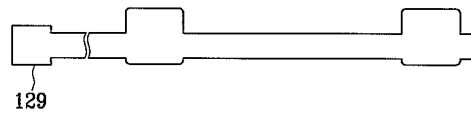
도면10



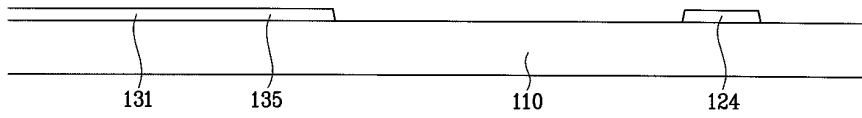
도면11



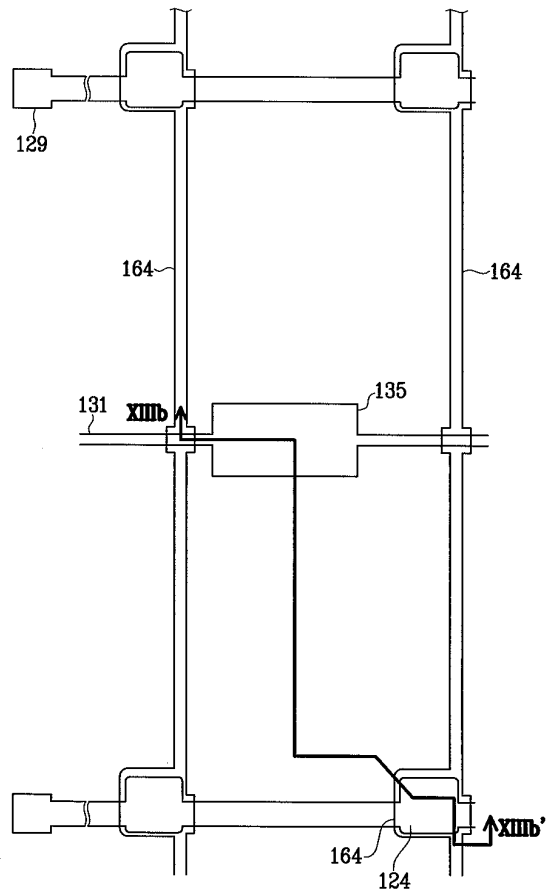
도면12a



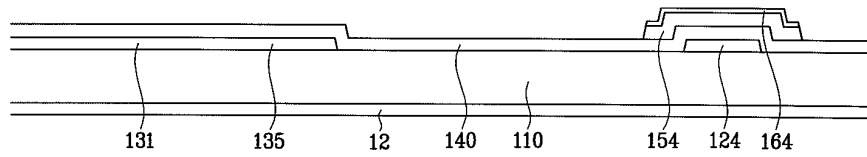
도면12b



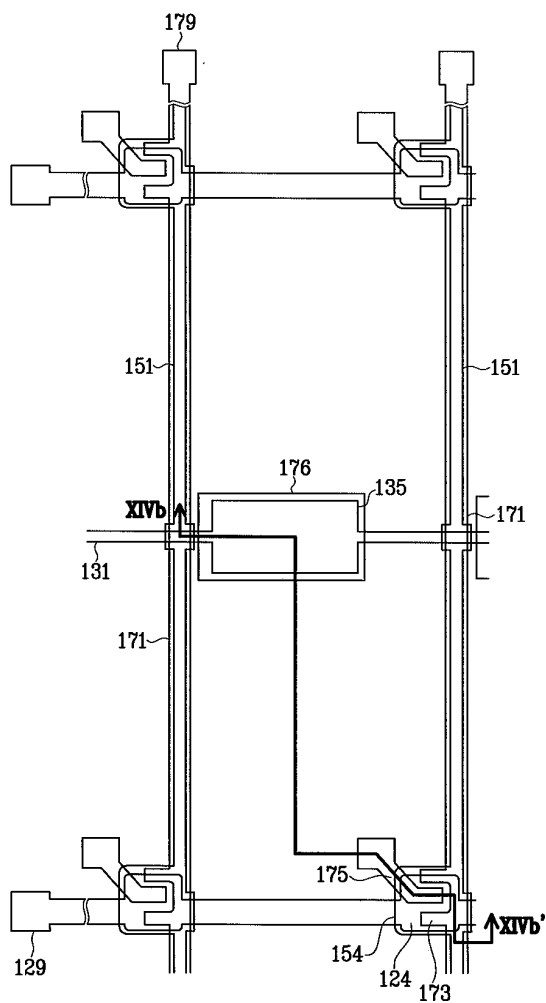
도면13a



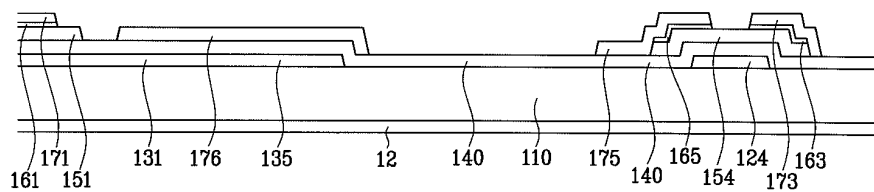
도면13b



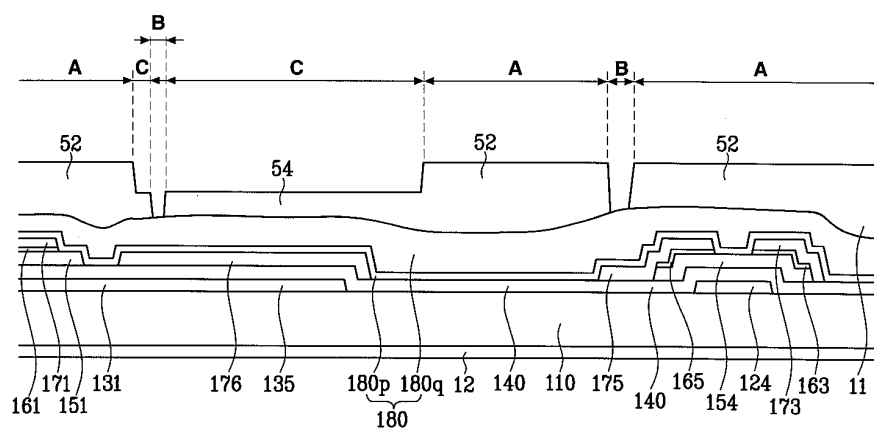
도면14a



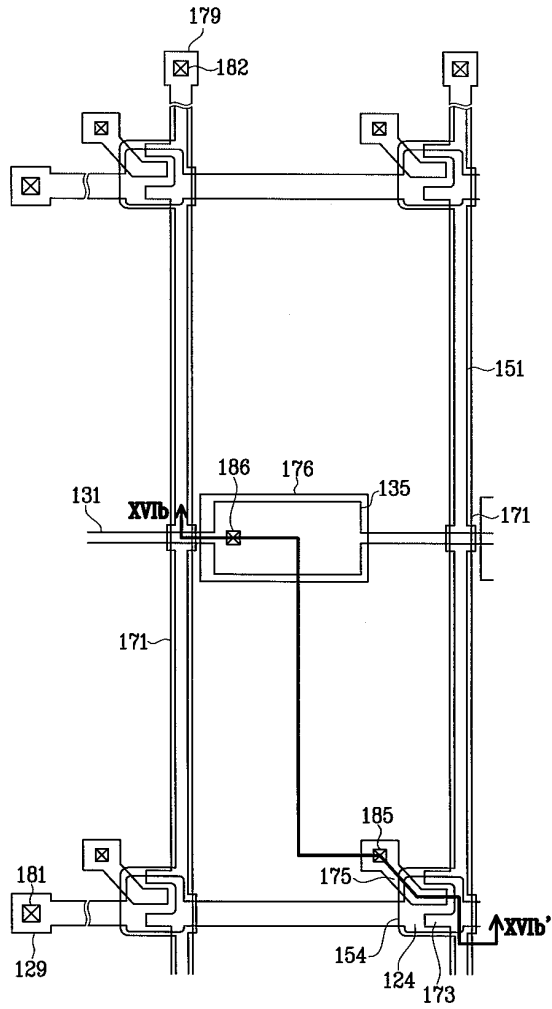
도면14b



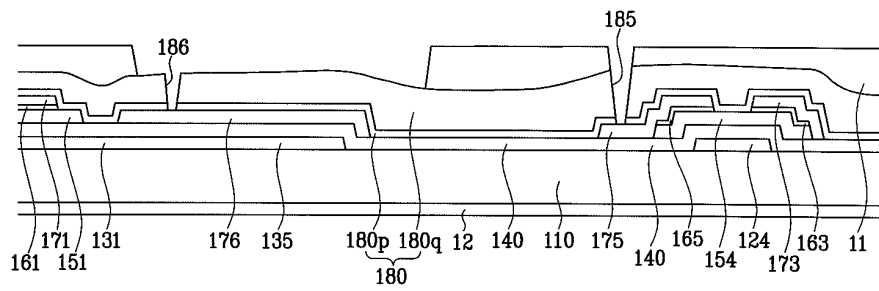
도면15



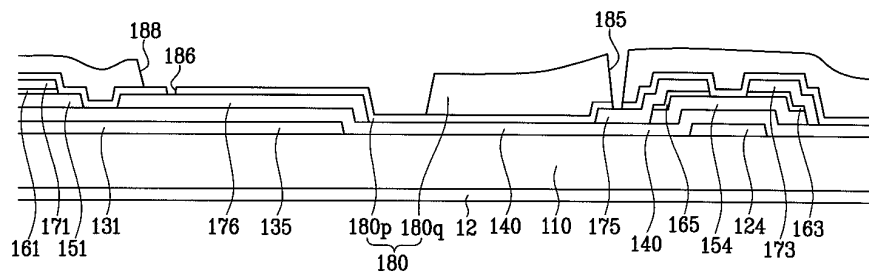
도면16a



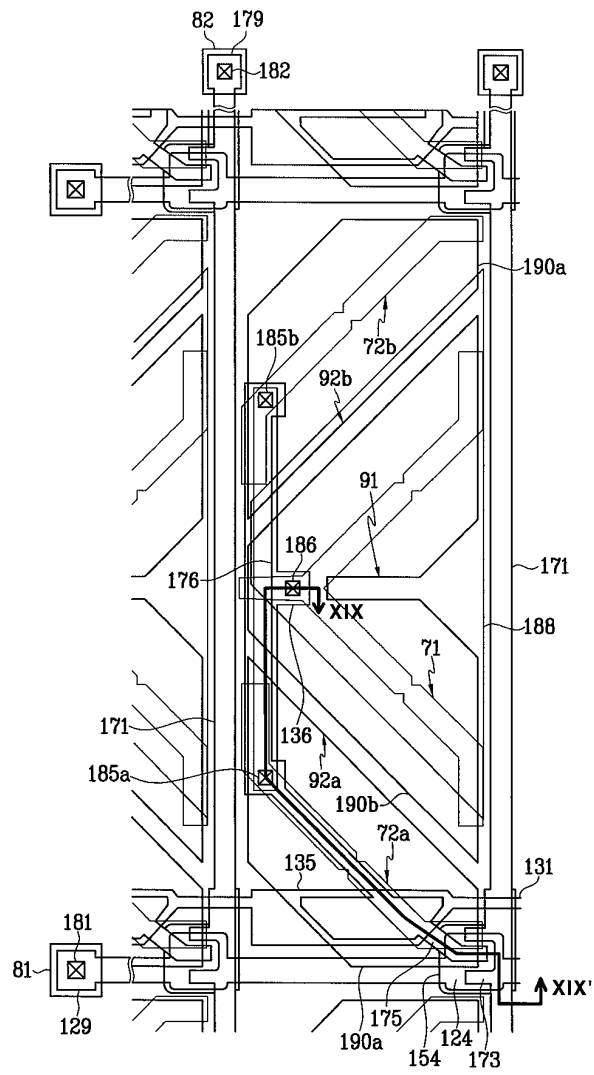
도면16b



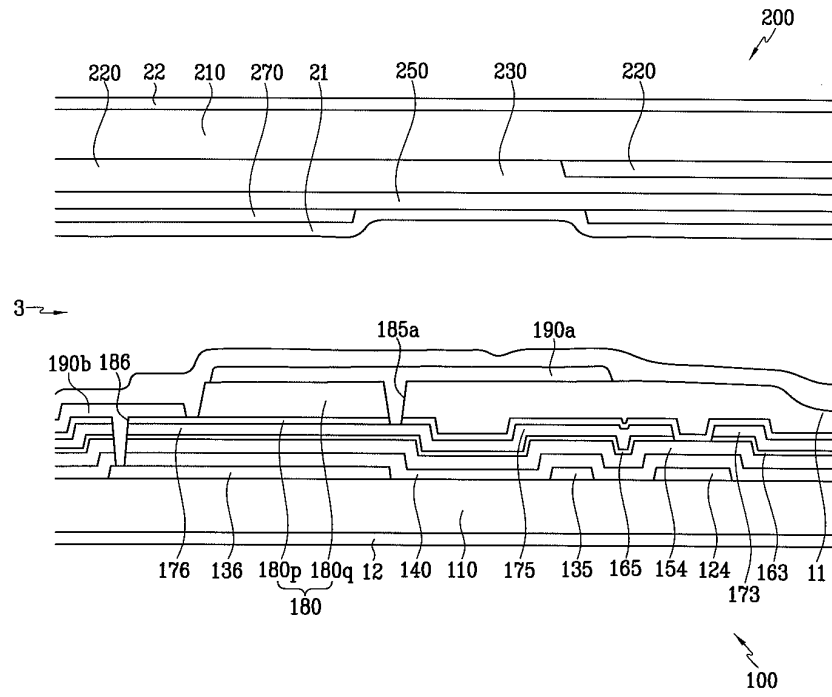
도면17



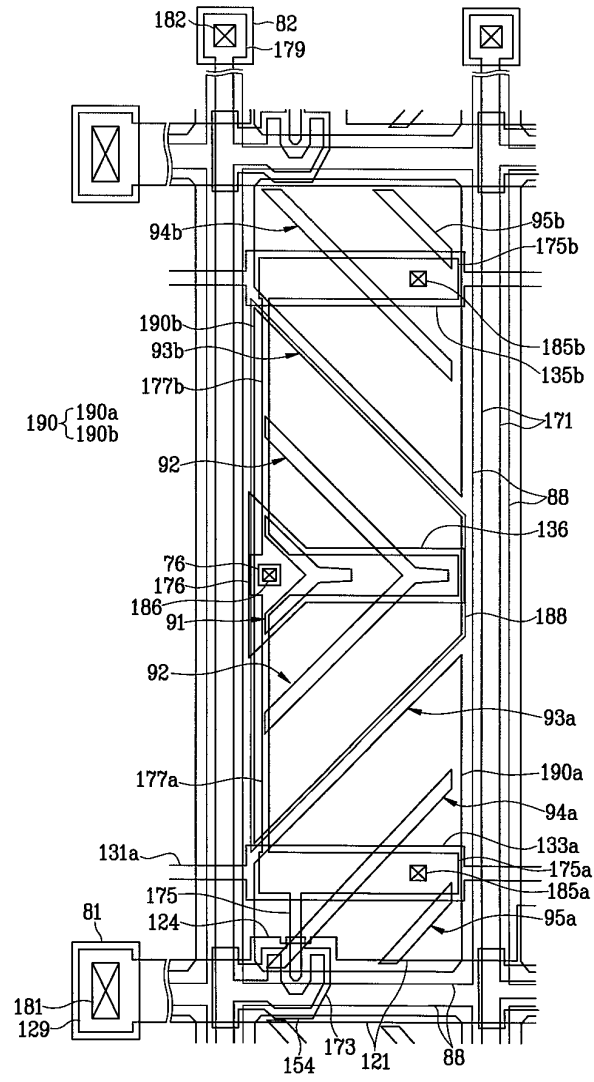
도면18



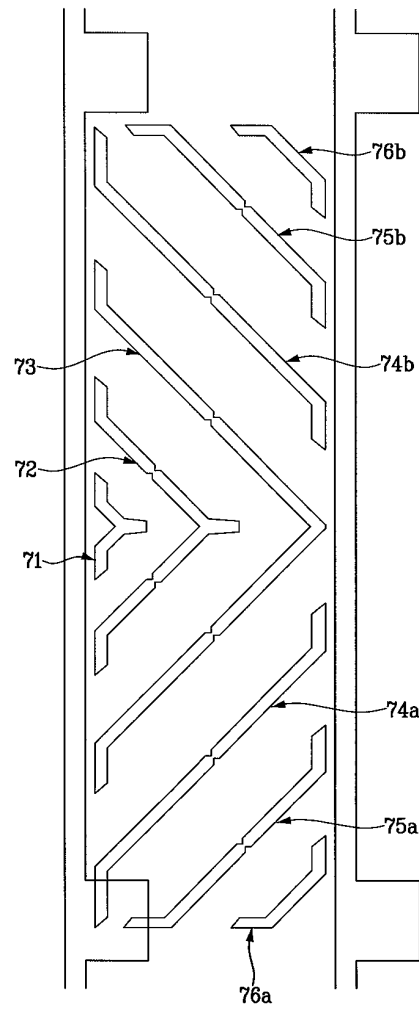
도면19



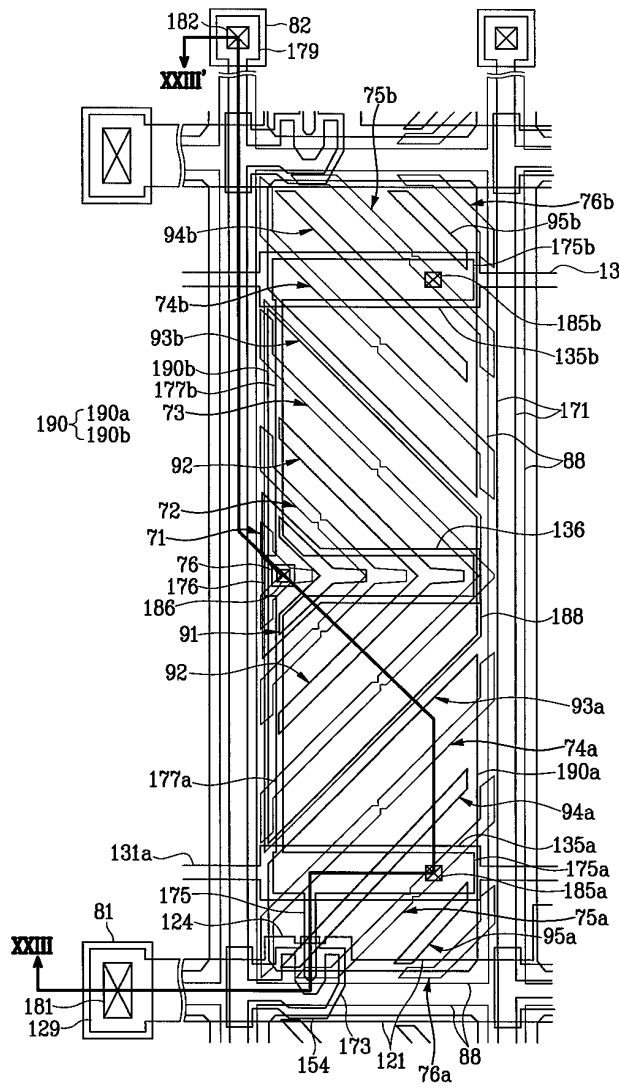
도면20



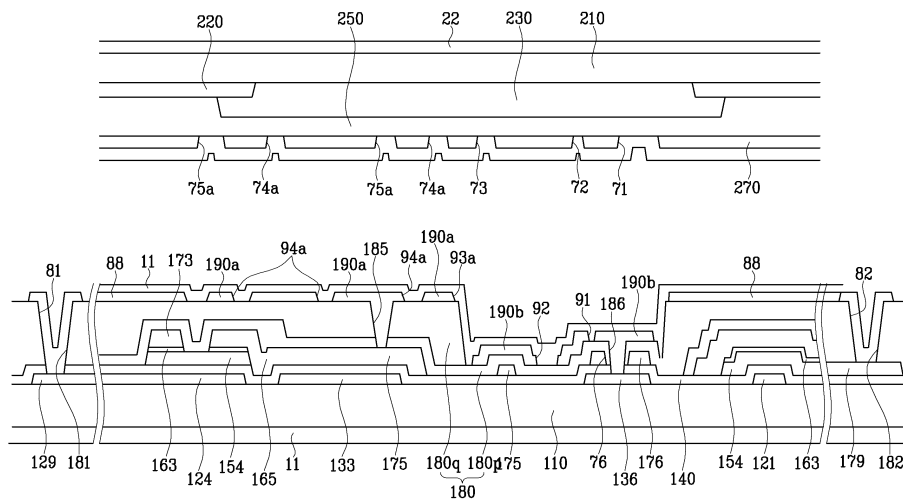
도면21



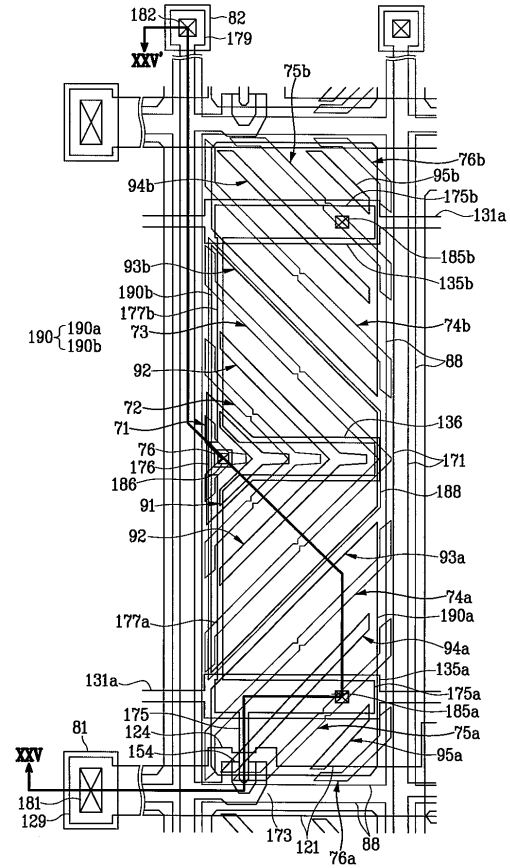
도면22



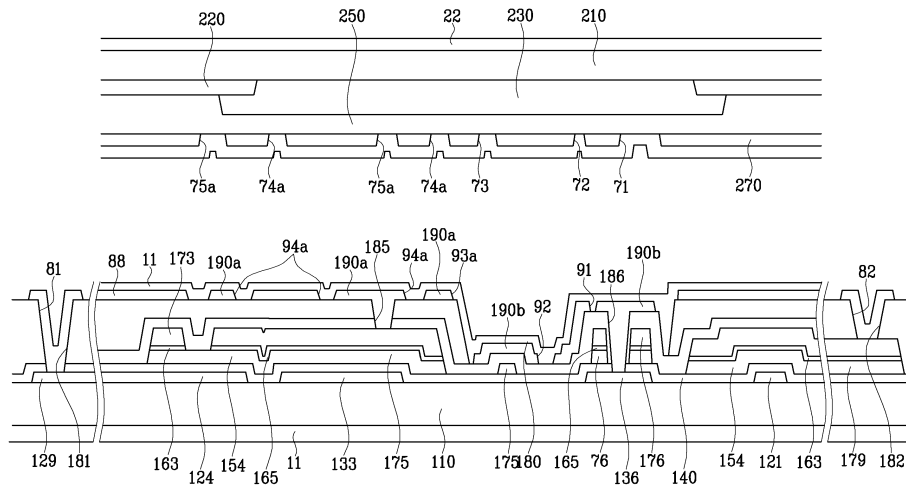
도면23



도면24



도면25



专利名称(译)	薄膜晶体管显示面板和包括其的液晶显示装置		
公开(公告)号	KR1020060036636A	公开(公告)日	2006-05-02
申请号	KR1020040085687	申请日	2004-10-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM HYUN WUK 김현욱 LEE CHANG HUN 이창훈 UM YOON SUNG 엄윤성 LYU JAE JIN 유재진		
发明人	김현욱 이창훈 엄윤성 유재진		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/134345 G02F1/133371 G02F2001/136236 G02F1/134336		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示器包括栅极线，与栅极线绝缘并交叉的数据线，以及包括像素电极的薄膜晶体管基板，该像素电极包括具有漏极的薄膜晶体管。连接到每条栅极线和数据线，栅极线和第二像素电极与保护膜覆盖电连接并且第一像素电极与漏电极分开，第一像素电极和第一像素电极直接连接数据线薄膜晶体管和相应的指示板，其中它与薄膜晶体管基板和公共电极的方向相反。此时，在第一像素电极和第二像素电极占据的区域中，它具有不同的单元间隔。液晶显示器，垂直取向，切口部分，连接电极，耦合电容，灰度电压。

