

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/1343(11) 공개번호 10-2005-0067736
(43) 공개일자 2005년07월05일(21) 출원번호 10-2003-0098750
(22) 출원일자 2003년12월29일(71) 출원인 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1(72) 발명자 오의석
경기도이천시증포동190-2호선경아파트204동102호
임운식
서울특별시영등포구대림3동775-1
배석
인천광역시부평구산곡동현대아파트209동1503호

(74) 대리인 강성배

심사청구 : 있음

(54) 반사투과형 액정표시장치용 어레이 기판 및 그의 제조 방법

요약

본 발명은 배향막 좌우로 + - + - 형으로 대전된 것을 중화시키고 상측 공통 전극에 의해 형성된 수직 전기장으로 만들어진 배향막의 상하로 $\pm \pm \pm \pm$ 형의 대전을 하측 기판의 배향막과 접촉한 전극을 공통 전극으로 사용함으로써 전위차를 없애 중성화할 수 있는 반사투과형 액정표시장치용 어레이 기판 및 그의 제조 방법을 개시한다. 박막 트랜지스터는 기판 상에 증착되는 광 차단막, 소오스 금속층, 드레인 금속층, 제1 및 제2 오믹 콘택층, 및 비정질 실리콘층을 갖는다. 반사전극은 반사막 엠보싱 광 차단막, 반사막 엠보싱 광 차단막의 상부에 반사판으로 형성된다. 게이트 패드는 광차단막, 및 광차단막 상에 형성되는 비정질 실리콘층, 비정질 실리콘층의 상부에 형성된 게이트 금속층을 갖는다. 데이터 패드용 금속층은 소오스 금속층으로 형성된다. 보호막은 박막 트랜지스터의 게이트 금속층 및 게이트 패드의 게이트 금속층의 상부의 기판의 전면에 형성된다. 공통 전극은 박막 트랜지스터의 광 차단막, 울록 볼록한 반사판, 데이터 패드용 소오스 금속층, 및 게이트 패드용 광 차단막이 형성되지 않은 보호막 상에 패터닝된다.

대표도

도 9

색인어

어레이, 기판

명세서

도면의 간단한 설명

도 1은 종래의 횡 전극 구조에 따른 유도 분극 발생을 설명하는 도면이다.

도 2는 TN 모드의 V-T 곡선 상에서 배향막에 의한 차폐와 보강 작용을 설명하는 도면이다.

도 3은 배향막내 전하 적층에 의한 신호 전압의 왜곡과 Feed-Through 전압의 관계를 설명하는 도면이다.

도 4는 종래의 반사투과형 액정표시장치용 어레이 기판을 도시한 단면도이다.

도 5 내지 도 9는 본 발명에 따른 반사투과형 액정표시장치용 어레이 기판의 제조 공정을 설명하기 위한 단면도이다.

도 10은 본 발명에 따른 반사투과형 액정표시장치용 어레이 기판에서 유도 분극 발생을 설명하는 도면이다.

* 도면의 주요 부분에 대한 부호의 설명 *

502: 기판 504: 광 차단막

506: 광 차단막 508: 게이트 패드용 광차단막

510: 소오스 금속층 512: 드레인 금속층

514: 반사판 516: 데이터 패드용 소오스 금속층

518: 오믹 콘택층 522: 비정질 실리콘층

524: 비정질 실리콘층 526: 절연막

532: 게이트 금속층 534: 게이트 패드용 게이트 금속층

536: 보호막 540: 공통 전극용 ITO막

602: 박막 트랜지스터 604: 게이트 패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반사투과형 액정표시장치용 어레이 기판에 관한 것으로, 보다 상세하게는 반사투과형 모드를 갖는 액정표시장치에 있어서 투과부에는 횡전계 전극을, 반사부에는 수직 전계 전극을 가지며 배향막과 맞닿는 전극은 모두 공통 전극이 되게 한 구조를 갖는 반사투과형 액정표시장치용 어레이 기판을 제조하는 방법에 관한 것이다.

액정 표시 장치의 구동 모드에는 여러 가지가 있으나, 그 중에서도 횡 전기장을 이용한 평면 스위칭 배열 및 수직 전기장을 이용한 비틀린 네마틱 배열이 가장 널리 이용되는 구조이다. 그러나, 이러한 배열 구조들은 모두 잔상의 문제를 안고 있는데 잔상의 발생 이유와 관련하여 자주 거론되는 것이 전극과 액정 사이에 놓이는 배향막이나 유기막들의 대전성 문제이다. 도 1은 종래의 횡 전극 구조에 따른 유도 분극 발생을 설명하는 도면이다. 도 1에 도시된 바와 같이 횡 전기장 구조는 배향막 좌우로 전기장의 역방향 전기장을 생성하는 전하 축적 현상이 발생함으로 인하여 신호가 바뀌게 될 때 배향막에 적층된 전하가 쉽게 빠져나가지 못하고 차폐와 보강의 현상을 일으키게 된다. 수직 전기장 구조에서는 상하 기판 위에 배향막의 전하 축적이 달라 전위차가 발생하고, 그에 따른 차폐와 보강의 현상이 발생한다. 도 2는 TN 모드의 V-T 곡선 상에서 배향막에 의한 차폐와 보강 작용을 설명하는 도면이다. 이러한 차폐와 보강 현상이 도 2에 도시된 바와 같이 원래의 계조 곡선에서 이동된 계조 곡선을 따르도록 배향막에 적층된 전하가 빠져나갈 때까지 유지된다. 도 2에서 확인되는 바와 같이, 원하는 계조값의 차이가 큰 반면 실제 계조는 별로 차이가 없으므로 원래의 상이 그대로 남는 잔상 효과가 나타난다. 도 3은 배향막내 전하 적층에 의한 신호 전압의 왜곡과 Feed-Through 전압의 관계를 설명하는 도면이다. 이러한 현상을 액정 층에 걸리는 전압 신호의 왜곡을 통해 정량적으로 다시 설명해 보면, 도 3에 도시된 바와 같이, 액정 층에 일정하게 걸려 있어야 할 드레인 전압이 (식 1)과 같이 Feed-through 전압 V_p 의 영향 하에 하향되었다 복원되는 변환 곡선을 그리게 된다.

(식 1)

$$V_p = \frac{C_{gd}}{C_{pixel} + C_{storage} + C_{gd}} \Delta V$$

여기서, C_{pixel} 은 화소의 정전 용량, $C_{storage}$ 는 공통 전극의 정전 용량, C_{gd} 는 기생 정전 용량, $\Delta V_g = V_{gh} - V_{gl}$ 이다.

Feed-through 전압 V_p 가 크면 플리커나 잔상의 발생도 심해져 V_p 를 줄이기 위하여 공통 전극을 넓히고 기생 정전 용량을 줄이려는 설계가 연구되고 있다. 그러나, 이러한 설계법은 공통 전극이 화소 전극 밑에 있기 때문에 전극 부위로 몰리는 전하 적층 현상을 해결하는 것과는 무관하다. 전하 적층의 문제를 해결하기 위하여 배향막과 액정의 종류를 변화시켜 보기도 하지만, 이것 또한 근본적인 해결책이 되지는 못한다. 전하 적층의 가장 주된 해결 방안은 인가 전압에 따라 위치 별로 다르게 적층되는 전하의 전위를 최소화할 수 있는 전극 구조를 구현하는 것이다. 이러한 전극 구조를 형성함에 있어 가장 좋지 않은 구조가 종래에 해 오던 공통 전극과 화소 전극 사이에 배향막과 액정이 놓이게 하는 것이다.

횡 전기장을 형성하기 위하여 화소 전극과 공통 전극을 일렬(+ - + - + - 형)로 나열하면 전극 위에 배향막이나 필름들에는 반대 직렬(- + - + - + 형)로 대전된 전하 적층이 발생한다. 수직 전계를 형성하기 위하여 화소 전극과 공통 전극을 상하(± ± ± ± ± 형)로 배열하면 배향막 내에는 상하 반대로 대전된 전하 적층이 발생한다. 이렇게 발생된 전하 적층은

Feed-through 전압 V_p 를 생성하게 되고 잔상 발생의 근원을 제공하게 된다. 위치 별로 다른 전하 적층을 갖게 된 것에는 전극 배열 구조에 따라 대전되어 발생한 것임을 알 수 있다. 도 4는 종래의 반사투과형 액정표시장치용 어레이 기판을 도시한 단면도이다.

기관(1) 상에 박막 트랜지스터(VII)의 소오스 금속층(3a) 및 드레인 금속층(4a)을, 데이터 패드부의 소오스 금속층(3b)을 동시에 형성한다.

상기 기관(1) 상에 비정질 실리콘을 증착하여 실리콘 층(도시안됨)을 형성하고, 상기 실리콘 층을 식각하여 박막 트랜지스터의 소오스 금속층(3a)와 드레인 금속층(4a) 사이에 제1 n^+ 비정질 실리콘층(2a)을, 상기 데이터 패드부의 소오스 금속층(3b)과 소정 거리 이격되어 게이트 패드부(IX)에 제2 n^+ 비정질 실리콘층(2b)을 각각 형성한다. 상기 제1 n^+ 비정질 실리콘층(2a)의 상부 및 제2 n^+ 비정질 실리콘층(2b)의 상부에 절연 물질을 각각 도포하여 박막트랜지스터의 절연막(6a) 및 게이트 패드부의 절연막(6b)을 형성한다. 상기 박막트랜지스터(VI)의 절연막(6a)의 상부 및 게이트 패드부의 절연막(6b)의 상부에 금속을 도포하여 박막 트랜지스터의 게이트 금속층(7a) 및 게이트 패드부(IX)의 게이트 금속층(7b)을 형성한다. 박막 트랜지스터의 게이트 금속층(7a) 및 게이트 패드부(IX)의 게이트 금속층(7b)가 형성된 기관(1) 상에 절연막(8)을 형성한다.

이어서, 박막 트랜지스터(VI)의 반사판(10)을 형성한다. 상기 반사판(10)의 상부에 절연막(8')을 형성한다. 상기 절연막(8) 및 상기 절연막(8')을 동시에 패딩하여 상기 드레인 금속층(4a)을 노출하는 드레인 콘택홀(11) 및 상기 게이트 소오스 금속층(3b)을 노출하는 소오스 콘택홀(538)을 형성한다. 참조 번호 12는 패드들의 비어 홀부들이다.

종래의 어레이 기판에서도 본 발명에서와 같이 탑 게이트 방식을 사용하고 있으나 화소 전극이 막면 위에 올라가 기존 잔상 발생과 같은 수준의 구조를 가지고 있고 광 차단막의 패터닝을 갖지 않아 빛을 차단하지 못한다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 이와 같은 종래 문제점을 해결하기 위한 것으로, 횡 전기장을 만드는 화소 전극 및 공통 전극의 나열 구조에서 화소 전극 위에 공통 전극을 하나 더 둔 반사 투과형 구조를 이용하여 배향막 좌우로 $+ - + -$ 형으로 대전된 것을 중화시키고 상측 공통 전극에 의해 형성된 수직 전기장으로 만들어지는 배향막의 상하로 $\pm \pm \pm \pm$ 형태의 대전을 하측 기판의 배향막과 접촉한 전극을 공통 전극으로 사용함으로 전위차를 없애 중성화할 수 있는 반사투과형 액정표시장치용 어레이 기판 및 그의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명은, 기관; 상기 기관 상에 증착되는 광 차단막, 상기 광 차단막의 상부에 형성되는 상기 소오스 및 드레인 금속층, 상기 소오스 및 드레인 금속층의 상부에 각각 증착되는 오믹 콘택층, 상기 오믹 콘택층 상에 형성된 비정질 실리콘층, 상기 비정질 실리콘층 전면에 형성된 절연막, 상기 절연막과 비정질 실리콘층 상부에 게이트 금속층을 갖는 박막 트랜지스터; 상기 기관 상에 증착되는 반사막 엠보싱 광 차단막, 상기 반사막 엠보싱 광 차단막의 상부에 형성된 울록 볼록한 반사판, 상기 반사판 전면에 형성된 절연막을 갖는 화소영역; 액티브 영역 외곽에 형성된 게이트 패드용 광 차단막, 상기 광 차단막 상에 형성되는 비정질 실리콘층, 상기 비정질 실리콘층 전면에 형성된 절연막, 상기 비정질 실리콘층과 절연막의 상부에 형성된 게이트 금속층을 갖는 게이트 패드; 상기 액티브 영역 외곽에 형성된 데이터 패드용 소오스 금속층; 상기 박막 트랜지스터의 게이트 금속층 및 상기 게이트 패드의 게이트 금속층의 상부의 상기 기관의 전면에 형성된 보호막; 및 상기 박막 트랜지스터의 광 차단막, 상기 울록 볼록한 반사판, 상기 데이터 패드용 소오스 금속층 및 상기 게이트 패드용 광 차단막이 형성되지 않은 상기 보호막 상에 코팅되는 공통 전극을 포함하는 것을 특징으로 하는 반사투과형 액정표시장치용 어레이 기판을 제공한다.

또한, 본 발명은, (a) 기관을 준비하는 단계; (b) 상기 기관 상에 광차단 물질을 증착하여 박막 트랜지스터의 광 차단막, 반사막 엠보싱용 광 차단막 및 게이트 패드용 광 차단막을 소정 간격으로 동시에 형성하는 단계; (c) 상기 박막 트랜지스터의 광 차단막의 상부에 소오스 및 드레인 금속층, 상기 반사막 엠보싱 광 차단막의 상부에 울록 볼록한 반사판 및 데이터 패드용 소오스 금속층을 동시에 형성하는 단계; (d) 상기 박막 트랜지스터의 소오스 및 드레인 금속층의 상부에 각각 비정질 실리콘을 증착하여 오믹 콘택층을 형성하는 단계; (e) 상기 오믹 콘택층 및 상기 게이트 패드용 광차단막 상에 제1 및 제2 비정질 실리콘층을 각각 형성하는 단계; (f) 상기 비정질 실리콘층, 상기 반사판 및 상기 소오스 금속층이 형성된 기관의 전면 상에 절연 물질을 도포하여 절연막을 형성하는 단계; (g) 상기 절연막의 상부에 도전성 금속을 증착하여 상기 제1 및 제2 비정질 실리콘층 상부에 게이트 금속층을 형성하는 단계; (h) 상기 박막 트랜지스터의 게이트 금속층 및 상기 게이트 패드부의 게이트 금속층이 형성된 상기 기관의 전면에 보호막을 형성하는 단계; 및 (i) 상기 박막 트랜지스터의 광 차단막, 상기 울록 볼록한 반사판, 상기 데이터 패드용 소오스 금속층, 및 상기 게이트 패드용 광 차단막이 형성되지 않은 상기 보호막 상에 공통 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반사 투과형 액정표시장치용 어레이 기판 제조 방법을 제공한다.

(실시예)

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.

이하, 본 발명의 실시예에 따른 반사투과형 액정 표시 장치용 어레이 기판을 제조하는 방법을 도 5 내지 도 9를 참조하여 설명한다.

도 5 내지 도 9는 반사투과형 액정표시장치용 어레이 기판의 제조 공정을 도시한 단면도이다.

먼저, 도 5에 도시된 바와 같이, 기관(502)을 준비하고, 상기 기관(502) 상에 광차단 물질(503)을 증착한다. 도 6에 도시된 바와 같이, 상기 광 차단 물질을 패터닝하여 상기 기관 상에 박막 트랜지스터(602)의 광 차단막(504), 반사막 엠보싱용 광 차단막(506) 및 게이트 패드(604)용 광 차단막(508)을 동시에 형성한다. 여기에서, 상기 광 차단막을 형성하는 광차단 물질은 불투명하여 빛을 차단할 수 있는 물질이어야 하며, 그 재료로는 유기 블랙 매트릭스 물질 등이 적용 가능하다.

도 7에 도시된 바와 같이, 상기 박막 트랜지스터(602)의 광 차단막(504)의 일 상부에 상기 박막 트랜지스터(602)의 소오스 금속층(510)을, 상기 박막 트랜지스터(602)의 광 차단막(504)의 타 상부에 드레인 금속층(512)을, 상기 반사막 엠보싱용 광 차단막(506)의 상부들에 울록 볼록한 반사판(514)을, 그리고 상기 기관(502) 상에 데이터 패드의 금속층(516)을 동시에 형성한다. 상기 반사판(514)은 반사율이 뛰어난 알루미늄(Al)과 알루미늄 합금을 포함하는 도전성 금속 그룹 중 선택된 하나로 형성한다. 상기 반사판은 드레인 라인과 이어 기관 최하층에서 화소 전극의 역할을 한다. 상기 박막 트랜지스터(602)의 소오스 금속층(510)의 상부 및 상기 박막트랜지스터(602)의 드레인 금속층(512)의 상부에 각각 불순물이 포함된 비정질 실리콘을 증착하여 제1 및 제2 오믹 콘택층(518)을 형성한다. 그 다음, 상기 제1 및 제2 오믹 콘택층(518), 상기 반사판(514), 및 상기 게이트 패드용 광차단막(508)이 형성된 상기 기관(502) 상에 비정질 실리콘을 증착하여 비정질 실리콘층(520)을 형성한다.

도 8에 도시된 바와 같이, 상기 비정질 실리콘층(520)을 식각하여 상기 제1 및 제2 오믹 콘택층(518) 사이 및 상기 게이트 패드(604)용 광차단막(508)의 상부에 각각 제1 및 제2 비정질 실리콘층(522 및 524)을 형성한다. 그 다음, 상기 제1 및 제2 비정질 실리콘층(522 및 524), 상기 반사판(514) 및 상기 데이터 패드부의 소오스 금속층(516)이 형성된 기관(502)의 전면 상에 질화 실리콘(SiN_x) 및 산화 실리콘(SiO_2) 등이 포함된 무기 절연 물질 그룹 중 하나를 증착 또는 도포하여 절연막(526)을 형성한다. 상기 절연막(526)의 상부에 도전성 금속을 증착하여 도전성 금속층(528)을 형성하고, 상기 도전성 금속층(528)의 상부에 양성 포토레지스트를 도포하여 포토레지스트층(530)을 형성한다.

도 9에 도시된 바와 같이, 상기 포토레지스트층을 마스크를 이용하여 노광하고 현상한 후, 포토레지스트층이 제거되어 노출된 도전성 금속층 부분을 제거하여 상기 제1 및 제2 소오스 금속층 사이에 상기 박막 트랜지스터(602)의 게이트 금속층(532) 및 게이트 패드(604)용 게이트 금속층(534)을 형성한다. 그런다음, 잔류된 포토레지스트층을 제거한다.

다음으로, 상기 박막 트랜지스터의 게이트 금속층(532) 및 게이트 패드(604)용 게이트 금속층(534)이 형성된 상기 기관(502)의 전면 상에 보호막(536)을 형성한다. 상기 절연막(526) 및 상기 보호막(536)을 동시에 패터닝하여 상기 데이터 패드용 소오스 금속층(516)을 노출하는 콘택홀(538)을 형성한다. 상기 박막 트랜지스터의 광 차단막(504), 상기 울록 볼록한 반사판(514), 상기 데이터 패드용 소오스 금속층(516), 및 상기 게이트 패드용 광 차단막(508)이 형성되지 않은 상기 보호막(536) 상에 공통 전극용 ITO막(540)을 패터닝한다.

도 9에 도시된 바와 같이, 본 발명에 따른 반사투과형 액정표시장치용 어레이 기관은 기관(502), 박막 트랜지스터(602), 울록 볼록한 반사판(514), 게이트 패드(604), 데이터 패드용 소오스 금속층(516), 보호막(536), 및 공통 전극(540)을 포함한다.

도 10은 본 발명에 따른 반사투과형 액정표시장치용 어레이 기관에서 유도 분극 발생을 설명하는 도면이다. (가)는 본 발명의 액정 표시 장치에서 음의 신호 전압이 인가될 시 배향막내에 발생하는 전기장 차폐를 나타내며, (나)는 양의 신호 전압이 인가될 시 배향막 내에 발생하는 전기장 차폐를 나타낸다. 상하 공통 전극에 따른 전위차가 없는 경우, 상측 배향막과 하측 배향막 사이에 전위차가 없어지며, 좌우로의 전하 적층도 상측과 하측의 배향막이 다르게 배열되어 액정이 약간 비틀려질 뿐 잔상을 발생시키는 좌우의 전하 편중 현상은 없다.

발명의 효과

이상 설명에서와 같이, 본 발명에 의하면, 종래의 수직 전계 모드에서 발생하던 상하 전하 분극을 상측과 하측 기관 막면에 공통 전극을 두어 전하 분극의 기술적 해결 수단을 가지는 것과 수평 전계 모드에서 발생하던 좌우 전하 분극을 상측 및 하측 기관 막면에 공통 전극을 어긋나게 두어 전하 분극의 기술적 해결 수단을 가짐으로 잔상 제거의 효과를 가진다.

이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며, 예를 들면, 잔상 제거를 위해 공통 전극을 어레이 막면 위로 올리고 신호 전극을 기관 쪽으로 내린 것과 한 화소 내에 수직 전계 모드와 수평 전계 모드를 혼용하므로, TN 모드에서 공통 전극을 올리고 신호 전극을 기관 쪽으로 내린 어레이 구조와 횡전계 모드에서 공통 전극을 어레이 막면에 올리고 신호 전극을 기관 쪽으로 내린 어레이 구조와 함께 상측 기관에 차광 전도체나 전극을 형성하여 하측 기관의 공통 전극과 연결하는 구조로 할 수 있고, 탑 게이트 방식의 어레이 구조나 반사투과형 외에도 상기한 전극 구조를 갖도록 하는 박막 트랜지스터 형성 방법이나 액정 구동 모드로 본 발명의 예이며, 특허 청구의 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형이 가능할 것이다.

(57) 청구의 범위

청구항 1.

기관;

상기 기관 상에 증착되는 광 차단막, 상기 광 차단막의 상부에 형성되는 상기 소오스 및 드레인 금속층, 상기 소오스 및 드레인 금속층의 상부에 각각 증착되는 오믹 콘택층, 상기 오믹 콘택층 상에 형성된 비정질 실리콘층, 상기 비정질 실리콘층 전면 상에 형성된 절연막, 상기 절연막과 비정질 실리콘층 상부에 게이트 금속층을 갖는 박막 트랜지스터;

상기 기판 상에 증착되는 반사막 엠보싱 광 차단막, 상기 반사막 엠보싱 광 차단막의 상부에 형성된 울록 볼록한 반사판, 상기 반사판 전면에서 형성된 절연막을 갖는 화소영역;

액티브 영역 외곽에 형성된 게이트 패드용 광 차단막, 상기 광 차단막 상에 형성되는 비정질 실리콘층, 상기 비정질 실리콘층 전면에서 형성된 절연막, 상기 비정질 실리콘층과 절연막의 상부에 형성된 게이트 금속층을 갖는 게이트 패드;

상기 액티브 영역 외곽에 형성된 데이터 패드용 소오스 금속층;

상기 박막 트랜지스터의 게이트 금속층 및 상기 게이트 패드의 게이트 금속층의 상부의 상기 기판의 전면에서 형성된 보호막; 및

상기 박막 트랜지스터의 광 차단막, 상기 울록 볼록한 한 쌍의 반사판, 상기 데이터 패드용 소오스 금속층 및 상기 게이트 패드용 광 차단막이 형성되지 않은 상기 보호막 상에 코팅되는 공통 전극을 포함하는 것을 특징으로 하는 반사투과형 액정 표시장치용 어레이 기판.

청구항 2.

(a) 기판을 준비하는 단계;

(b) 상기 기판 상에 광차단 물질을 증착하여 박막 트랜지스터의 광 차단막, 반사막 엠보싱용 광 차단막 및 게이트 패드용 광 차단막을 소정 간격으로 동시에 형성하는 단계;

(c) 상기 박막 트랜지스터의 광 차단막의 상부에 소오스 및 드레인 금속층, 상기 반사막 엠보싱 광 차단막의 상부에 울록 볼록한 반사판 및 데이터 패드용 소오스 금속층을 동시에 형성하는 단계;

(d) 상기 박막 트랜지스터의 소오스 및 드레인 금속층의 상부에 각각 비정질 실리콘을 증착하여 오믹 콘택층을 형성하는 단계;

(e) 상기 오믹 콘택층 및 상기 게이트 패드용 광차단막 상에 제1 및 제2 비정질 실리콘층을 각각 형성하는 단계;

(f) 상기 비정질 실리콘층, 상기 반사판 및 상기 소오스 금속층이 형성된 기판의 전면 상에 절연 물질을 도포하여 절연막을 형성하는 단계;

(g) 상기 절연막의 상부에 도전성 금속을 증착하여 상기 제1 및 제2 비정질 실리콘층 상부에 게이트 금속층을 형성하는 단계;

(h) 상기 박막 트랜지스터의 게이트 금속층 및 상기 게이트 패드부의 게이트 금속층이 형성된 상기 기판의 전면에서 보호막을 형성하는 단계; 및

(i) 상기 박막 트랜지스터의 광 차단막, 상기 울록 볼록한 반사판, 상기 데이터 패드용 소오스 금속층, 및 상기 게이트 패드용 광 차단막이 형성되지 않은 상기 보호막 상에 공통 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반사 투과형 액정표시장치용 어레이 기판 제조 방법.

청구항 3.

제 2 항에 있어서, 상기 (e) 단계는

(e-1) 상기 제1 및 제2 오믹 콘택층, 상기 한쌍의 반사판, 및 상기 게이트 패드용 광차단막이 형성된 상기 기판 상에 비정질 실리콘을 증착하여 실리콘 층을 형성하는 단계; 및

(e-2) 상기 실리콘 층을 식각하여 상기 오믹 콘택층 및 상기 게이트 패드용 광차단막에만 제1 및 제2 n⁺ 비정질 실리콘층을 형성하는 단계를 포함하는 것을 특징으로 하는 반사 투과형 액정표시장치용 어레이 기판 제조 방법.

청구항 4.

제 2 항에 있어서, 상기 (g) 단계는

(g-1) 상기 절연막의 상부에 도전성 금속을 증착하여 도전성 금속층을 형성하는 단계;

(g-2) 상기 도전성 금속층의 상부에 양성 포토레지스트를 도포하여 포토레지스트층(530)을 형성하는 단계; 및

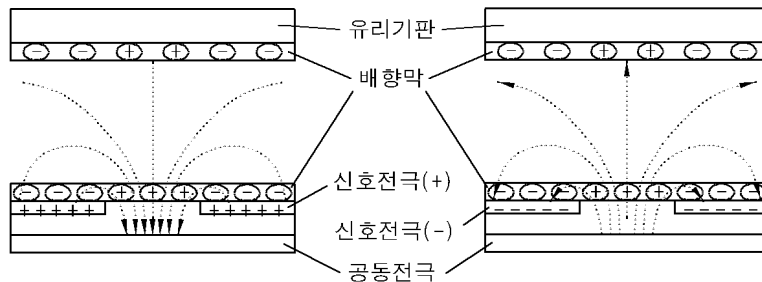
(g-3) 상기 포토레지스트 층이 형성된 상기 도전성 금속층을 노광하고 현상함으로써 상기 현상되어져 제거된 포토레지스트 층 사이로 노출된 상기 도전성 금속층을 제거하여 상기 제1 및 제2 소오스 금속층 사이에 상기 박막 트랜지스터의 게이트 금속층 및 게이트 패드용 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는 반사 투과형 액정표시장치용 어레이 기판 제조 방법.

청구항 5.

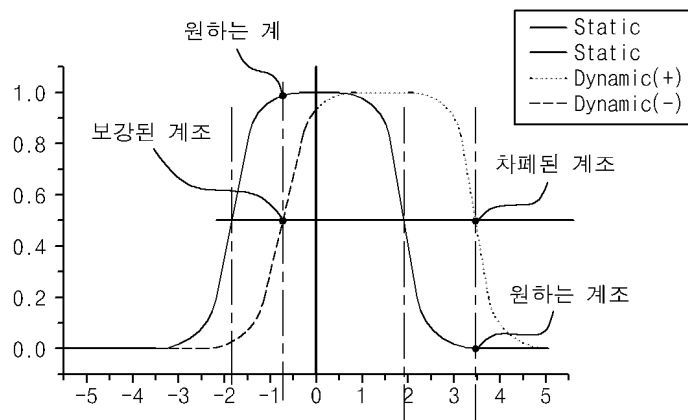
제 2 항에 있어서, 상기 반사판 및 상기 보호막을 동시에 패터닝하여 상기 데이터 패드용 소오스 금속층을 노출하는 소오스 콘택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반사 투과형 액정표시장치용 어레이 기판 제조 방법.

도면

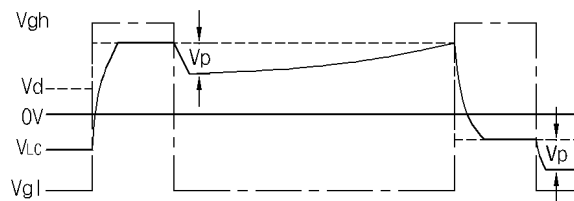
도면1



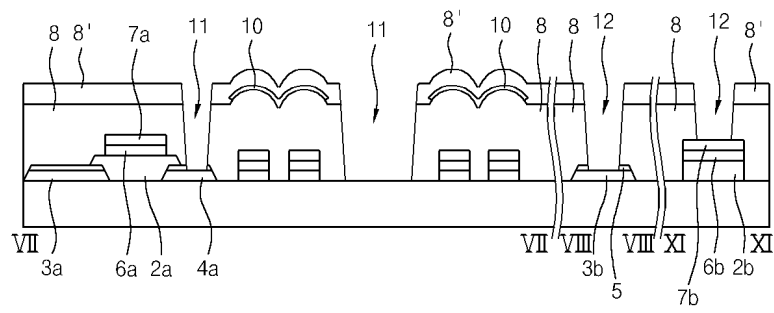
도면2



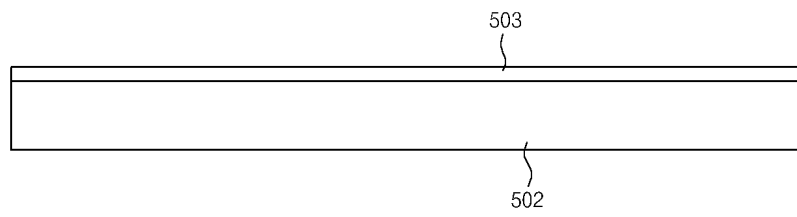
도면3



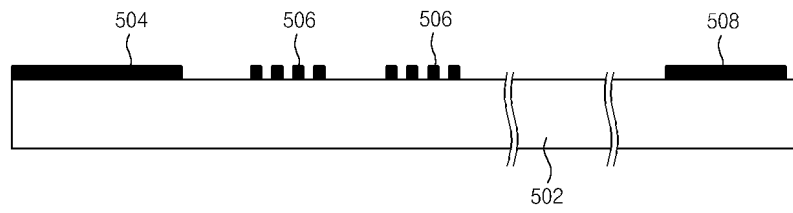
도면4



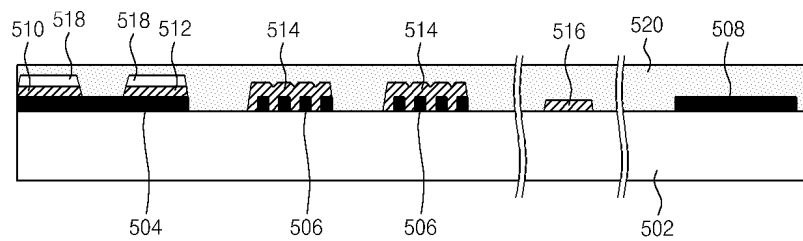
도면5



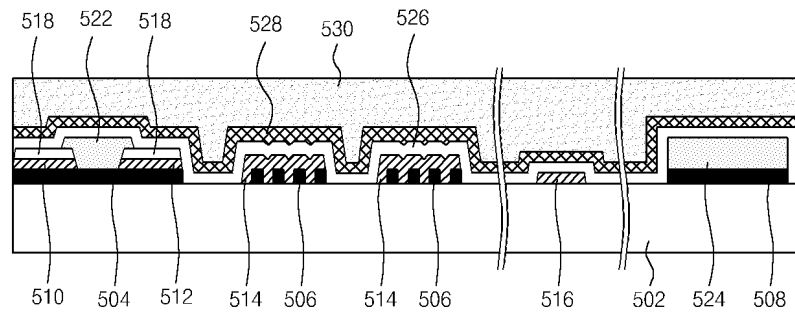
도면6



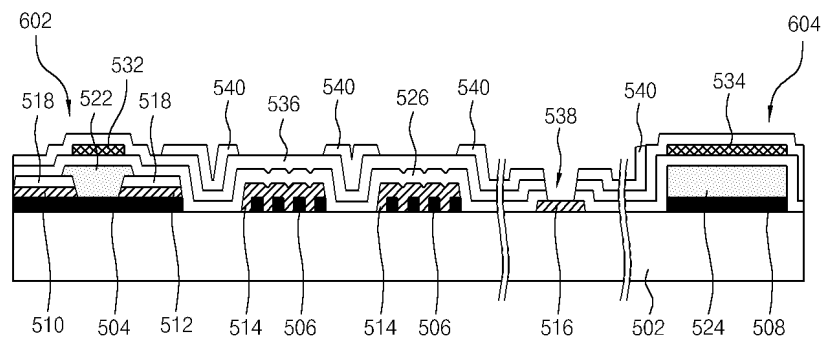
도면7



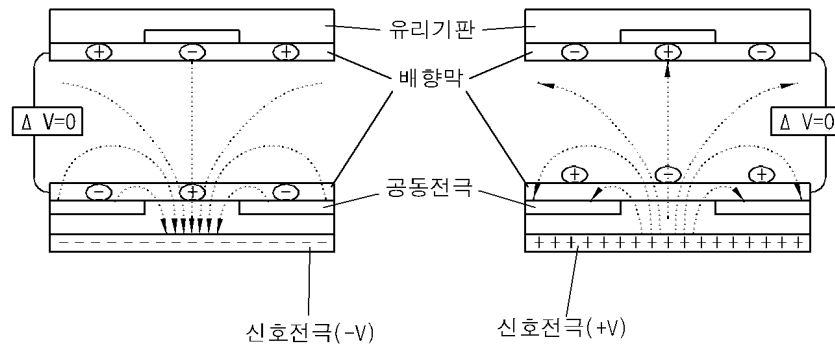
도면8



도면9



도면10



专利名称(译)	用于反射透射型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020050067736A	公开(公告)日	2005-07-05
申请号	KR1020030098750	申请日	2003-12-29
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	OH EUISEOK 오의석 IM YOONSIK 임윤식 BAE SEOK 배석		
发明人	오의석 임윤식 배석		
IPC分类号	G02F1/1362 H01L21/00 G02F1/133 G02F1/1343 G02F1/1335 H01L29/786 G02F1/136 G02F1/1368		
CPC分类号	G02F1/13458 G02F1/134363 G02F1/133555 G02F1/136209		
其他公开文献	KR100692685B1		
外部链接	Espacenet		

摘要(译)

常见的一个电极接触的上部和下部电荷 $\pm\pm\pm\pm$ 类型作为取向层，其被中和到带电极在由上公共电极和下基板的取向膜形成垂直电场制成的 - + - 本发明+一个取向膜取决于通过消除用作电极时的电位差，以及用于反射型液晶显示装置的阵列基板及其制造方法，可以中和。一种薄膜晶体管，具有光屏蔽膜，源极金属层，漏极金属层，所述第一和第二欧姆接触层，和沉积在衬底上的无定形硅层。反射电极在反射膜压纹光阻挡膜和反射膜压纹光阻挡膜的上部形成为反射膜。栅极焊盘具有光屏蔽膜，形成在光屏蔽膜上的非晶硅层，以及形成在非晶硅层上的栅极金属层。用于数据焊盘的金属层由源极金属层形成。保护膜形成在薄膜晶体管的栅极金属层上以及栅极焊盘的栅极金属层上方的基板的整个表面上。公共电极被图案化的遮光膜，ulrok凸反射器，对于一个数据焊盘源极金属层，和一个栅极焊盘不是形成用于薄膜晶体管的保护膜的光屏蔽膜。9 指数方面 阵列，基板

