(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2002-0003810
(43) 공개일자 2002년01월15일

(21) 출원번호 10-2001-0029679
(22) 출원일자 2001년05월29일

(30) 우선권주장 2000-158365 2000년05월29일 일본(JP)
2000-387063 2000년12월20일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바
니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 모리따데쯔오
일본사이따마껭후까야시하따라쪼1-9-2가부시끼가이샤도시바후까야워크스내

(74) 대리인 구영창
장수길

심사청구 : 있음

(54) 액정 표시 장치 및 데이터 래치 회로

요약

신호선 구동 회로의 구성을 간략화할 수 있는 액정 표시 장치를 제공한다.

본 발명의 액정 표시 장치는 샘플링 래치 회로, 로드 래치 회로 및 D/A 변환기를 신호선의 총수의 1/6개만 구비하고, 신호선을 6개 걸러서 6회로 나누어 구동한다. 이에 따라, 신호선 구동 회로의 실장 면적을 삭감할 수 있다. 또한, 1수평 라인 기간의 전반에서 홀수번째의 신호선을 구동한 후, 후반에서 짝수번째의 신호선을 구동하기 때문에, 1수평 라인 기간의 전반과 후반에서 아날로그 계조 전압의 극성을 전환하는 것만으로 용이하게 V반전 구동을 실현할 수 있다. 즉, 전압 극성을 전환하는 횟수가 적어지기 때문에, 전압 제어가 용이해지고 노이즈의 영향도 받지 않게 된다. 또한, 종래에는 정극성용의 계조 전원 배선과 부극성용의 계조 전원 배선이 필요하였지만, 그 개수를 반으로 줄일 수 있어 배선 영역을 삭감할 수 있다.

대표도
도 5

색인어

액정표시장치, 데이터 래치 회로, 샘플링 래치 회로, 로드 래치 회로, 시프트 레지스터

명세서

도면의 간단한 설명

도 1은 종래의 액정 표시 장치의 개략 구성을 나타내는 블록도.

도 2는 샘플링 래치 회로의 구체적인 회로 구성을 나타내는 도면.

도 3은 도 2의 회로 동작 타이밍도.

도 4는 노드 A측의 신호만을 로드 래치 회로에 공급한 샘플링 래치 회로의 회로도.

도 5는 본 발명에 따른 액정 표시 장치의 제1 실시예의 블록도.

도 6a는 V 반전 구동을 설명하는 도면이고, 도 6b는 HV 반전 구동을 설명하는 도면.

도 7은 도 5의 D/A 변환 회로(7)의 상세 구성을 나타내는 회로도.

도 8은 도 5의 액정 표시 장치의 타이밍도.

도 9는 본 발명에 따른 액정 표시 장치의 제2 실시예의 블록도.

도 10은 보호 다이오드의 상세 구성을 나타내는 회로도.

도 11은 레벨 변환 회로의 상세 구성을 나타내는 회로도.

도 12는 수평 시프트 레지스터, 샘플링 래치 회로 및 로드 래치 회로의 접속 관계를 나타내는 회로도.

도 13은 계조 선택부의 상세 구성을 나타내는 회로도.

도 14는 레벨 변환 회로의 상세 구성을 나타내는 회로도.

도 15는 저항 분압 회로 및 신호선 선택부의 상세 구성을 나타내는 회로도.

도 16은 레벨 변환 회로의 상세 구성을 나타내는 회로도.

도 17은 샘플링 래치 회로(5)의 구체적인 회로 구성을 나타내는 회로도.

도 18은 도 17의 회로 동작 타이밍도.

도 19는 NOR 회로 대신에 클럭드 인버터를 설치한 샘플링 래치 회로의 회로도.

도 20은 NOR 회로 대신에 NAND 회로를 설치한 샘플링 래치 회로의 회로도.

도 21은 NOR 회로 내의 트랜지스터의 온·오프를 로드 신호에 의해 행하는 예를 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 화소 어레이부

2 : 신호선 구동 회로

3 : 주사선 구동 회로

4 : 수평 시프트 레지스터

5, 5a : 샘플링 래치 회로

6 : 로드 래치 회로

7 : D/A 변환기

8 : 신호선 선택 회로

11 : 시프트 레지스터(계조 선택부)

12 : 디지털 비디오 버스 라인(신호선 선택부)

13, 17, 27, 30 : 보호 다이오드

14 : 레벨 변환 회로

15 : 디지털 계조 신호 공급 회로

16 : 인버터 체인 회로

21 : 디코더

22 : 레벨 변환 회로

23 : 아날로그 스위치(선택 회로)

24 : 저항 분압 회로

25 : 아날로그 버퍼(스위치)

26 : 선택 신호 공급 회로

28 : 레벨 변환 회로

31, 32 : 레벨 변환부

35, 36, 37, 38 : 트랜지스터

47. 48 : 클럭드 인버터

57, 58 : NAND 회로

67, 68 : NOR 회로

80 : 기억 회로

81, 82 : CMOS 인버터

83, 85, 86 : NMOS 트랜지스터

84 : PMOS 트랜지스터

87, 88 : CMOS 인버터

91, 92, 93, 94 : 트랜지스터

100 : 박막 트랜지스터(TFT)

101 : 화소 전극

120 : 기억 회로

121, 122 : 인버터

123 : 트랜지스터(제1 스위치 소자)

124 : 트랜지스터(제2 스위치 소자)

125, 126 : 트랜지스터(제3 스위치 소자)

127 : NOR 회로(제1 논리 연산 회로)

128 : NOR 회로(제2 논리 연산 회로)

129 : 인버터

131, 132 : PMOS 트랜지스터

133, 134 : NMOS 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 외부로부터 공급된 디지털 계조 데이터를 어레이 기판 내에서 아날로그 계조 전압으로 변환하여 신호선을 구동하는 액정 표시 장치에 관한 것으로, 특히, 신호선 구동 회로를 어레이 기판 내에 형성하는 기술에 관한 것이다.

일반적으로, 액티브 매트릭스형의 액정 표시 장치는 어레이 기판과 대향 기판 사이에 액정층을 끼워 밀봉한 구조로 되어 있다. 어레이 기판은 매트릭스형으로 배치되는 복수의 화소 전극과, 이들 화소 전극을 따라서 행 방향으로 배치되는 복수의 주사선과, 이들 화소 전극을 따라서 열 방향으로 배치되는 복수의 신호선과, 신호선 및 주사선의 교점 부근에 배치되는 화소 TFT를 갖는다.

화소 TFT는 주사선 전압에 의해 온·오프하고, 온한 경우에는 대응하는 신호선의 전압을 화소 전극에 공급한다.

최근의 미세 가공 기술의 진보에 의해, 주사선을 구동하는 주사선 구동 회로와, 신호선을 구동하는 신호선 구동 회로를 어레이 기판 상에 형성하는 것도 기술적으로 가능하게 되었다.

도 1은 외부로부터 공급된 디지털 계조 데이터에 기초하여 신호선을 구동하는 종래의 디지털식의 액정 표시 장치의 개략 구성을 나타내는 블록도이다.

도 1의 액정 표시 장치는 신호선 및 주사선이 줄지어 설치된 어레이 기판과, 주사선을 구동하는 주사선 구동 회로와, 신호선을 구동하는 신호선 구동 회로를 갖는다.

주사선 구동 회로는 어레이 기판의 외부로부터 공급된 수직 동기 신호에 기초하여 수직 주사 펄스를 시프트시키는 수직 시프트 레지스터를 갖는다.

신호선 구동 회로는, 도 1에 도시한 바와 같이, 수평 시프트 레지스터(4)와, 디지털 비디오 버스 라인 L과, 샘플링 래치 회로(5)와, 로드 래치 회로(6)와, D/A 변환기(7)를 갖는다.

디지털 비디오 버스 라인 L에는 디지털 계조 데이터가 공급된다. 이 디지털 계조 데이터는 수평 시프트 레지스터(4)로부터의 타이밍 신호에 의해 샘플링 래치 회로(5)에 래치된다.

샘플링 래치 회로(5)에서의 1수평 라인분의 디지털 계조 데이터의 래치가 종료되기까지의 시간은 1라인 기간으로 불린다.

로드 래치 회로(6)는 각 샘플링 래치 회로(5)가 각각 다른 타이밍에서 래치한 데이터를 동일 타이밍에서 래치한다. 로드 래치 회로(6)에서의 래치 동작이 종료된 후, 각 샘플링 래치 회로(5)는 다음의 수평 라인의 래치 동작을 순서대로 행한다.

샘플링 래치 회로(5)가 래치 동작을 한창 행하고 있는 중에, 그 직전의 수평 라인에 대하여 D/A 변환기(7)는 디지털 계조 전압을 아날로그 계조 전압으로 변환한다. 이 아날로그 계조 전압은 대응하는 신호선에 공급된다. 상술한 동작을 반복함으로써, 어레이 기판 내의 모든 화소 표시 영역에 화상이 표시된다.

도 1에 나타낸 디지털 계조 방식의 액정 표시 장치의 경우, 샘플링 래치 회로(5), 로드 래치 회로(6) 및 D/A 변환기(7)가 차지하는 면적이 매우 크기 때문에, 액정 표시 장치 전체를 소형화하는 것이 곤란하다.

특히, 최근, 액정 표시 장치의 표시 해상도는 점차로 높아지는 경향에 있지만, 도 1의 구성의 경우, 표시 해상도가 높아짐에 따라서 샘플링 래치 회로(5), 로드 래치 회로(6) 및 D/A 변환기(7)의 수도 증가시켜야만 하기 때문에, 표시 해상도를 그다지 높게 할 수 없는 문제가 있다.

도 2는 샘플링 래치 회로(5)의 구체적인 회로 구성을 나타내는 도면이다. 도 2에 있어서, CMOS 인버터(81)의 입력단(이하 노드 A)은 CMOS 인버터(82)의 출력단에 접속되고, CMOS 인버터(81)의 출력단(이하 노드 B)은 CMOS 인버터(82)의 입력단에 접속되어 있다. 이들 두개의 인버터는 NMOS 트랜지스터(83)를 통해 부전원 V_{SS} 에, PMOS 트랜지스토(84)를 통해 정전원 V_{DD} 에 접속되어 있다. 이들 두개의 인버터는 루프형으로 접속되어 디지털 신호를 기억하는 기억 회로(80)를 형성하고 있다.

디지털 계조 데이터는 NMOS 트랜지스터(85)를 통해 노드 A에, 디지털 계조 데이터의 역상 신호인 /디지털 계조 데이터는 NMOS 트랜지스터(86)를 통해 노드 B에 접속되어 있다.

시프트 레지스터(11)로부터의 타이밍 신호는 PMOS 트랜지스터(84)와 NMOS 트랜지스터(85, 86)의 게이트에 입력되고, 타이밍 신호의 역상 신호는 NMOS 트랜지스터(83)의 게이트에 입력되어 있다.

또한, 노드 A에는 CMOS 인버터(87)가, 노드 B에는 CMOS 인버터(88)가 각각 접속되고, CMOS 인버터(87)의 출력은 로드 래치 회로(6)에 입력된다.

다음에, 도 2의 샘플링 래치 회로(5)의 회로 동작에 대하여, 도 3의 타이밍차트를 이용하여 설명한다.

시각 t1에 있어서, 시프트 레지스터(11)로부터의 타이밍 신호가 하이 레벨이 되면, NMOS 트랜지스터(83)와 PMOS 트랜지스터(84)가 오프, NMOS 트랜지스터(85)와 NMOS 트랜지스터(86)가 온으로 되고, 디지털 계조 데이터와 그 역상 데이터가 노드 A 및 노드 B에 각각 입력된다.

다음에, 시각 t2에 있어서 시프트 레지스터(11)로부터의 타이밍 신호가 로우 레벨이 되면, NMOS 트랜지스터(85)와 NMOS 트랜지스터(86)가 오프, NMOS 트랜지스터(83)와 PMOS 트랜지스터(84)가 온이 되고, 디지털 계조 데이터의 입력이 차단됨과 함께 기억 회로(80)에 전원 전압이 공급된다. 기억 회로(80)에서는 노드 A와 노드 B에서 디지털 계조 데이터와 그 역상 데이터의 전압 비교가 행해지고, 높은 전위(V_{High})가 V_{DD} 로, 낮은 전위(V_{Low})가 V_{SS} 로 각각 레벨 변환된다.

인버터(87, 88)는 각각 노드 A의 기생 용량과, 노드 B의 기생 용량을 동일하게 위해서 삽입된다. 즉, 도 4와 같이, 노드 A측의 신호만을 로드 래치 회로(6)에 공급하면, 노드 A의 기생 용량과, 노드 B의 기생 용량에 차가 생기고, 시각 t2에서 디지털 데이터를 레벨 변환할 때 기억 회로(80)가 오동작을 일으킬 가능성이 있다. 그래서, 가장 단순한 CMOS 회로 부품인 인버터를 노드 A 및 노드 B에 각각 접속하고, 노드 A, B의 기생 용량을 거의 동일한 값으로 한다.

노드 A에 연결되는 인버터(87)의 출력은 시각 t3 t4 동안에 로드 래치 회로에 래치된다.

도 2와 같은 회로 구성으로 하면, 샘플링 래치 회로(5)에 공급되는 디지털 계조 데이터의 전압 레벨을 0-3V의 저전압으로 설정할 수 있다. 즉, 디지털 비디오 버스 라인(12)을 저전압으로 구동할 수 있어 저소비 전력화가 가능해짐과 함께, 외부의 타이밍 1C로부터 레벨 시프트 회로를 통하지 않고 직접 디지털 데이터를 입력할 수 있기 때문에, 시스템의 구성을 간략화할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 도 2 및 도 3에 나타낸 디지털 계조 방식의 액정 표시 장치의 경우, 시프트 레지스터(11)로부터의 타이밍 신호가 하이 레벨로 되어(시각 t1 t2) 디지털 계조 데이터를 메모리 내에 입력될 때, 인버터(87) 및 인버터(88)에 0V와 3V(또는 3V와 0V)가 입력되기 때문에, 인버터(87, 88)를 구성하는 NMOS 및 PMOS 트랜지스터가 전부 온 상태가 된다. 이에 따라, 전원 전압 단자 V_{DD} 로부터 접지 단자 V_{SS} 를 향하여 관통 전류가 흐르고, 샘플링 래치 회로(5)의 소비 전류가 커지는 문제가 있다.

본 발명은 상기한 문제점을 감안하여 이루어진 것으로, 그 목적은 신호선 구동 회로의 구성을 간략화할 수 있는 액정 표시 장치를 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 관통 전류가 흐르지 않도록 하여 소비 전력의 저감을 도모하는 데이터 래치 회로 및 액정 표시 장치를 제공하는 것에 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해서, 액정 표시 장치는,

종횡으로 줄지어 설치된 신호선 및 주사선과, 상기 신호선 및 주사선의 각 교점 부근에 형성된 화소 트랜지스터를 갖는 화소 어레이부와,

복수 비트로 이루어지는 디지털 계조 데이터를 각각 다른 타이밍에서 래치하는 복수의 제1 래치 회로와,

상기 복수의 제1 래치 회로의 각각에 대응하여 설치되고, 상기 복수의 제1 래치 회로의 각각에서 래치된 래치 데이터를 동일 타이밍에서 래치하는 복수의 제2 래치 회로와,

상기 복수의 제2 래치 회로 각각에 대응하여 설치되고, 상기 복수의 제2 래치 회로의 각각에서 래치된 래치 데이터를 아날로그 계조 전압으로 변환하는 복수의 D/A 변환기와,

상기 화소 어레이부 내의 상기 신호선이 복수개 걸러서 복수회로 나누어 구동되도록, 각 신호선에 상기 아날로그 계조 전압을 공급할지의 여부를 전환하는 신호선 선택 회로를 포함한다.

본 발명에 따르면, 신호선을 복수개 걸러서 복수회로 나누어 구동하도록 하였기 때문에, 제1 래치 회로, 제2 래치 회로 및 D/A 변환기의 수를 삭감할 수 있어 신호선 구동 회로의 구성을 간략화할 수 있다. 따라서, 신호선 구동 회로를 신호선, 주사선 및 화소 트랜지스터 등과 동일한 절연 기판 상에 용이하게 형성할 수 있다.

또한, 외부로부터 입력된 신호를 절연 기판 상에서 레벨 변환하도록 하였기 때문에, 절연 기판의 외측에서 레벨 변환할 필요가 없어진다. 또한, 절연 기판 상의 트랜지스터에 최적의 레벨로 각 신호의 전압 레벨을 설정할 수 있기 때문에, 신호선 구동 회로(2)의 동작을 안정화시킬 수 있다.

또한, 외부로부터 공급된 2종류의 전압만으로 아날로그 계조 전압을 생성하기 때문에, 외부로부터 다종류의 전압을 공급할 필요가 없어 액정 표시 장치 전체의 구성을 간략화할 수 있다.

또한, 본 발명에 따른 데이터 래치 회로는, 한쪽의 출력단이 다른쪽의 입력단에 접속되고, 다른쪽의 출력단이 한쪽의 입력단에 접속된 제1 및 제2 인버터를 갖고, 래치 대상이 되는 디지털 데이터를 기억하는 기억 회로와, 상기 제1 및 제2 인버터에 전원 전압을 공급할지의 여부를 전환 제어하는 제1 및 제2 스위치 소자와, 상기 디지털 데이터를 상기 기억 회로에 입력할지의 여부를 전환 제어하는 제3 스위치 소자와, 상기 기억 회로에 기억된 디지털 데이터를 판독하는 출력 회로를 포함하고, 상기 제1 및 제2 스위치 소자는 주기적인 샘플링 기간 이외의 기간에 온하여 상기 제1 및 제2 인버터에 전원 전압을 공급하고, 상기 제3 스위치 소자는 상기 샘플링 기간 내에 온하여 디지털 데이터를 상기 기억 회로에 입력하고, 상기 출력 회로는 상기 샘플링 기간 내에 상기 출력 회로의 전원 단자로부터 접지 단자를 향하여 관통 전류가 흐르지 않도록, 관통 전류 방지 기능을 갖는다.

또한, 본 발명에 따르면, 데이터 래치 회로의 출력 회로에 관통 전류 방지 기능을 갖게 하였기 때문에, 샘플링 기간 내의 소비 전력의 저감을 도모할 수 있다. 따라서, 본 발명을 액정 표시 장치에 적용하면, 저소비 전력형의 액정 표시 장치를 실현할 수 있다.

< 실시예>

이하, 본 발명에 따른 액정 표시 장치에 대하여, 도면을 참조하면서 구체적으로 설명한다. 이하에서는 화소 TFT가 형성되는 어레이 기판 상에 구동 회로를 일체로 형성하는 예를 설명한다.

(제1 실시예)

도 5는 본 발명에 따른 액정 표시 장치의 제1 실시예의 블록도이다. 도 5의 액정 표시 장치는 신호선 6개마다 래치 회로와 D/A 변환기를 설치하고, 이들 회로를 공용함으로써, 신호선 구동 회로 내의 래치 회로와 D/A 변환기의 수를 삭감하는 것을 특징으로 한다.

일반적으로, 액정층에 대하여 항상 동일 방향에 전압을 인가하면, 액정의 배열이 고정되어 액정의 움직임이 둔해지고, 검은 빛을 띠는 표시가 되는 것이 알려져 있다. 이 때문에, 도 6a에 도시한 바와 같이 액정층에 인가하는 전압의 극성을 1수직 라인마다 전환하는 V라인 반전 구동이나, 도 6b에 도시한 바와 같이 1화소 단위로 전환하는 HV 반전 구동 등의

교류 구동 방식을 채용한 액정 표시 장치가 제안되고 있다. 이하에서는, V라인 반전 구동을 행하는 경우의 예에 대하여 설명한다.

도 5의 액정 표시 장치는 신호선 및 주사선이 줄지어 설치된 화소 어레이부(1)와, 각 신호선을 구동하는 신호선 구동 회로(2)와, 각 주사선을 구동하는 주사선 구동 회로(3)를 구비하고 있다.

본 실시예에서는 화소 어레이부(1)가 143×176화소의 표시 해상도를 갖는 예에 대하여 설명한다. 각 화소마다 RGB 3개의 신호선이 설치되기 때문에, 신호선의 총수는 144×3=432개이다.

화소 어레이부(1)에는 신호선 및 주사선이 줄지어 설치되어 있고, 신호선 및 주사선의 각 교점 부근에는 TFT(Thin Film Transistor : 100)가 형성되어 있다. TFT(100)의 게이트 단자는 주사선 G1 Gn에 접속되고, TFT(100)의 드레인 단자는 신호선 S1 Sm에 접속되며, TFT(100)의 소스 단자에는 화소 전극(101)이 접속되어 있다.

신호선 구동 회로(2)는 수평 시프트 레지스터(4)와, 디지털 비디오 버스 라인 L로부터의 디지털 계조 데이터를 각각 다른 타이밍에서 래치하는 복수의 샘플링 래치 회로(S-Latch, 제1 래치 회로 : 5)와, 각 샘플링 래치 회로(5)에서 래치된 데이터를 동일 타이밍에서 래치하는 복수의 로드 래치 회로(L-Latch, 제2 래치 회로 : 6)와, 각 로드 래치 회로(6)에서 래치된 데이터를 아날로그 계조 전압으로 변환하는 복수의 D/A 변환기(7)와, 아날로그 계조 전압을 대응하는 신호선에 공급하는 신호선 선택 회로(8)를 갖는다.

본 실시예에서는 4비트의 디지털 계조 데이터의 예를 설명하지만, 디지털 계조 데이터의 비트 수에는 특별히 제한은 없다.

신호선 선택 회로(8)는 D/A 변환기(7) 각각에 대하여 6개의 아날로드 스위치 ASW1 ASW6을 갖는다. 이들 아날로그 스위치 ASW1 ASW6은 각각 별개의 신호선에 접속되어 있다. 각 아날로그 스위치 ASW1 ASW6은 신호선 선택 신호 SW1 SW6에 기초하여 어느 하나만이 온된다. 아날로그 스위치 ASW1 ASW6이 온되면, D/A 변환기(7)로부터의 아날로그 계조 전압이 대응하는 신호선에 공급된다.

도 7은 도도 5의 D/A 변환기(7)의 상세 구성을 나타내는 회로도이다. 도시한 바와 같이, D/A 변환기(7)는 복수의 4입력 NAND 게이트 G1 G16과, 각 NAND 게이트의 출력에 의해 온·오프 제어되는 스위치 SW1 SW16과, 로드 래치 회로(6)의 출력을 버퍼링하는 인버터 IV1 IV4를 갖는다. 스위치 SW1 SW16은 대응하는 NAND 게이트의 출력 논리에 따라서 온·오프한다. 스위치 SW1 SW16의 일단에는 각각 다른 전압이 인가되어 있고, 스위치가 온하면, 일단측의 아날로그 계조 전압이 타단측의 신호선 선택 회로(8)에 공급된다.

NAND 게이트 G1 G16은 4비트의 디지털 계조 데이터와, 그 데이터를 인버터 IV1 IV4에서 반전한 데이터에 기초하여 논리 연산을 행한다. 이 결과, 디지털 계조 데이터에 따라서, 어느 하나의 NAND 게이트만이 로우 레벨을 출력하여 대응하는 스위치가 온된다.

도 8은 도 5의 액정 표시 장치의 타이밍도이고, 디지털 비디오 버스 라인 L 상의 디지털 계조 데이터, 수평 시프트 레지스터(4)로부터 출력되는 시프트 펄스, 샘플링 래치 회로(5)에서 래치된 데이터, 로드 래치 회로(6)에 입력되는 래치 펄스 신호, 신호선 선택 신호 SW1 SW6, D/A 변환기(7)로부터 출력되는 아날로그 계조 전압 및 1수평 라인 기간의 타이밍을 나타내고 있다.

이하, 도 8의 타이밍도를 참조하여 도 5의 액정 표시 장치의 동작을 설명한다. 수평 시프트 레지스터(4)는 스타트 펄스가 입력된 시점에서 시프트 동작을 개시하고, 수평 시프트 레지스터(4)의 각 출력 단자는 이 스타트 펄스를 순서대로 시프트한 시프트 펄스를 순서대로 출력한다.

샘플링 래치 회로(5)는, 수평 시프트 레지스터(4)가 대응하는 출력 단자로부터 시프트 펄스가 출력된 시점에서, 디지털 비디오 버스 라인 L 상의 디지털 계조 데이터를 래치한다.

디지털 비디오 버스 라인 L에는 6개 거른 신호선에 대응하는 디지털 계조 데이터가 순서대로 공급된다. 구체적으로는, 이하의 (1) (6)의 순서로 디지털 계조 데이터가 디지털 비디오 버스 라인 L에 공급된다.

(1) 우선, 신호선 S1→S7→S13→…→S427에 대응하는 디지털 계조 데이터가 디지털 비디오 버스 라인 L에 공급된다(도 8의 시각 t1).

(2) 다음에, 신호선 S3→S9→S15→…→S429에 대응하는 디지털 계조 데이터가 비디오 버스 라인에 공급된다(시각 t3).

(3) 다음에, 신호선 S5→S11→S17→…→S431에 대응하는 디지털 계조 데이터가 비디오 버스 라인에 공급된다(시각 t5).

(4) 다음에, 신호선 S2→S8→S14→…→S428에 대응하는 디지털 계조 데이터가 비디오 버스 라인에 공급된다(시각 t7).

(5) 다음에, 신호선 S4→S10→S16→…→S430에 대응하는 디지털 계조 데이터가 비디오 버스 라인에 공급된다(시각 t9).

(6) 다음에, 신호선 S6→S12→S18→…→S432에 대응하는 디지털 계조 데이터가 비디오 버스 라인에 공급된다(시각 t11).

(1) (6)까지의 처리를 행한 시점에서 1수평 라인분의 표시가 완료되고, 시각 t13 이후에 다음 행의 표시가 행해진다. 이와 같이, 제1 실시예에서는 신호선을 6개 걸러서 6회로 나누어 구동한다.

샘플링 래치 회로(5)는 디지털 비디오 버스 라인 L 상의 디지털 계조 데이터의 주기에 맞춰 래치 동작을 행한다. 이에 따라, 샘플링 래치 회로(5)는, 우선 신호선 S1, S7, S13, … S427에 대응하는 디지털 계조 데이터를 래치하고(시각 t1 t2), 다음에 신호선 S3, S9, S15, … S429에 대응하는 디지털 계조 데이터를 래치하고(시각 t3 t4), 다음에 신호선 S5, S11, S17, … S431에 대응하는 디지털 계조 데이터를 래치하고(시각 t5 t6), 다음에 신호선 S2, S8, S14, … S428에 대응하는 디지털 계조 데이터를 래치하고(시각 t7 t8), 다음에 신호선 S4, S10, S16, … S430에 대응하는 디지털 계조 데이터를 래치하고(시각 t9 t10), 다음에 신호선 S6, S12, S18, … S432에 대응하는 디지털 계조 데이터를 래치한다(시각 t11 t12).

로드 래치 회로(6)는 모든 샘플링 래치 회로(5)가 1회분의 래치를 행한 시점에서, 모든 샘플링 래치 회로(5)의 출력을 동시에 래치한다(시각 t2, t4, t6, t8, t10, t12). 따라서, 1수평 라인을 표시하는 동안에 6회 로드 래치 회로(6)는 래치 동작을 행한다.

또한, 로드 래치 회로(6)가 데이터를 래치하고 있는 동안에, 샘플링 래치 회로(5)는 다음의 디지털 계조 데이터(인접하는 신호선에 대응하는 디지털 계조 데이터)를 래치한다.

로드 래치 회로(6)에서 래치된 디지털 계조 데이터는 D/A 변환기(7)에서 아날로그 계조 전압으로 변환된다. D/A 변환기(7)에는 1수평 라인 기간의 전반과 후반에서 상호 역극성의 전압이 공급된다. 예를 들면, 도 8은 n프레임에 있어서의 1수평 라인 기간의 전반에 정극성의 전압이 공급되고, 후반에 부극성의 전압이 공급되는 예를 나타내고 있다. 이 경우, 다음 프레임에서는 1수평 라인 기간의 전반에 부극성의 전압이 공급되고, 후반에 정극성의 전압이 공급된다.

D/A 변환기(7)로부터 출력된 아날로그 계조 전압은 신호선 선택 회로(8)에서 선택된 신호선에 공급된다. 신호선 선택 회로(8)는 신호선 선택 신호 SW1 SW6의 논리에 따라서 신호선의 선택을 행한다.

신호선 선택 신호 SW1 SW6은 SW1→SW3→SW5→SW2→SW4→SW6의 순으로 하이 레벨이 된다. 따라서, 신호선 S1, S7, … S427→S3, S9, …S429→S5, S11, … S431→S2, S8, … S428→S4, S10, … S430→S6, S12, … S432의 순으로 선택된다.

이와 같이, 본 실시예의 신호선 구동 회로(2)는 1수평 라인 기간의 전반에서 홀수번째의 신호선을 구동하고, 후반에서 짝수번째의 신호선을 구동한다. 상술한 바와 같이, 1수평 라인 기간의 전반과 후반에서 D/A 변환기(7)로부터 출력되는 아날로그 계조 전압의 극성이 상호 역이 되기 때문에, 인접하는 신호선끼리에 상호 역극성의 전압이 공급되어 도 6a에 도시한 바와 같은 V반전 구동이 행해진다.

V반전 구동의 경우, 도 6a에 도시한 바와 같이, 프레임마다 각 신호선의 전압 극성을 전환하는 것이 일반적이기 때문에, D/A 변환기(7)에 공급되는 전압의 극성을 프레임마다 역으로 함으로써, 각 신호선의 전압 극성을 프레임마다 전환할 수 있다. 1초당의 프레임 수는 통상의 CRT에 맞춰, 예를 들면 60으로 설정된다.

이와 같이, 본 실시예에서는 신호선을 6개 걸러서 구동하기 때문에, 샘플링 래치 회로(5), 로드 래치 회로(6) 및 D/A 변환기(7)를 신호선의 총수의 1/6개만 설치하면 좋고, 종래에 비해 신호선 구동 회로(2)의 실장 면적을 삭감할 수 있다. 따라서, 화소 어레이부(1)와 신호선 구동 회로(2)를 동일 기판에 용이하게 형성할 수 있다.

또한, 1수평 라인 기간의 전반에서 홀수번째의 신호선을 구동한 후, 후반에서 짝수번째의 신호선을 구동하기 때문에, 1수평 라인 기간의 전반과 후반에서 아날로그 계조 전압의 극성을 전환하는 것만으로 용이하게 V반전 구동을 실현할 수 있다. 즉, 전압 극성을 전환하는 횟수가 적어지기 때문에, 전압 제어가 용이해지고, 노이즈의 영향도 받지 않는다.

또한, 종래는, 도 1에 도시한 바와 같이, 정극성용의 계조 전원 배선과 부극성용의 계조 전원 배선(양방 합쳐서 32개)이 필요하지만, 본 실시예의 경우, 그 개수를 반으로 줄일 수 있어 배선 영역을 삭감할 수 있다.

또한, 종래는 디지털 계조 데이터의 비트 수를 n으로 하였을 때, 극성 판별 신호를 포함해서 (n+1)개 필요했던 디지털 비디오 버스 라인 L을 n개로 줄일 수 있다.

또한, 종래는 샘플링 래치 회로(5), 로드 래치 회로(6) 및 D/A 변환기(7)가 극성 판별 신호를 포함해서 모두 (n+1)비트의 디지털 데이터를 처리할 필요가 있었지만, 본 실시예는 각 회로 모두 n비트의 디지털 데이터를 처리하면 좋다. 이 때문에, 샘플링 래치 회로(5), 로드 래치 회로(6) 및 D/A 변환기(7)의 실장 면적을 각각 1비트분 삭감할 수 있다. 보다 삭감할 수 있다.

(제2 실시예)

제2 실시예는 제1 실시예의 구체예이고, 16계조의 QCIF 규격(144×176화소)의 표시 해상도를 갖는 액정 표시 장치를 구성하는 예를 나타내고 있다.

도 9는 본 발명에 따른 액정 표시 장치의 제2 실시예의 블록도이고, 신호선 구동 회로(2)의 구성을 나타내고 있다. 제2 실시예의 신호선 구동 회로(2)는 수평 시프트 레지스터(4)와, 레벨 변환 회로를 갖는 샘플링 래치 회로(5a)와, 로드 래치 회로(6)와, 계조 선택부(11)와, 신호선 선택부(12)를 구비하고 있다.

수평 시프트 레지스터(4)와 외부 입력 단자 XSTU, /XSTU, XCKU, /XCKU 간에는 보호 다이오드(13)와 레벨 변환 회로(L/S 제1 레벨 변환 회로 14)가 접속되어 있다. 이 레벨 변환 회로(14)는 외부 입력 단자 XSTU, XCKU에 입력된 각 신호를 레벨 변환하여 스타트 펄스 신호 xst와 도트 클럭 신호 xclk를 생성하고, 이들 신호를 수평 시프트 레지스터(4)에 공급한다.

보호 다이오드(13)는, 예를 들면 도 10에 도시한 바와 같이, 전원 단자와 접지 단자 간에 직렬 접속된 PMOS 트랜지스터 Q1, Q2와 NMOS 트랜지스터 Q3, Q4로 구성된다. 또, 이 보호 다이오드(13)는 반드시 필수적인 구성은 아니다.

레벨 변환 회로(14)는, 예를 들면 도 11과 같은 회로로 구성된다. 도시한 레벨 변환 회로는 0 2.5V의 전압 진폭을 갖는 입력 신호 IN, /IN을 0 10V의 전압 진폭을 갖는 출력 신호 OUT, /OUT으로 변환한다.

도 11의 레벨 변환 회로(14)는 PMOS 트랜지스터 Q5 Q9와 NMOS 트랜지스터 Q10 Q14로 구성되고, NMOS 트랜지스터 Q11, Q14는 차동 증폭기를 구성하고, NMOS 트랜지스터 Q12, Q13은 차동 증폭기를 구성하고 있다. 이들 차동 증폭기는 입력 신호 IN, /IN의 논리에 따른 전압을 출력한다. 구체적으로는 NMOS 트랜지스터 Q13, Q14의 드레인 단자로부터 0 10V의 전압 진폭의 신호가 출력된다.

수평 시프트 레지스터(4)는, 도 12에 상세한 회로도를 나타낸 바와 같이, 클럭드 인버터와 인버터를 조합하여 구성된다.

샘플링 래치 회로(5a)에는 외부로부터 4비트의 디지털 계조 데이터가 공급된다. 샘플링 래치 회로(5a)는 내부에 복수의 래치 회로[도 12 중의 각 블록(5a)]를 구비하고 있고, 각 래치 회로는 수평 시프트 레지스터(4)로부터 출력된 시프트 펄스에 기초하여 디지털 계조 데이터를 래치한다. 디지털 계조 데이터는 패널의 외측에 설치되는 디지털 계조 신호 공급 회로(15)에서 생성된다.

로드 래치 회로(6)는 로드 신호 LOAD, /LOAD에 기초하여, 샘플링 래치 회로(5a) 내의 모든 래치 회로의 래치 출력을 동일 타이밍에서 래치한다.

로드 신호 LOAD, /LOAD 신호는 수평 시프트 레지스터(4)의 최종단의 레지스터 출력에 기초하여 생성된다. 구체적으로는, 로드 신호 LOAD, /LOAD는 수평 시프트 레지스터(4)의 최종단의 레지스터 출력을 인버터 체인 회로(16)에서 복수로 나눈 것이다. 복수로 나누는 이유는 로드 신호 LOAD, /LOAD의 팬 아웃을 저감하기 위해서이다. 인버터 체인 회로(16)의 출력단에는 보호 다이오드(17)가 접속되어 있다.

이와 같이, 로드 신호 LOAD, /LOAD를 수평 시프트 레지스터(4)의 출력을 이용하여 생성함으로써, 외부로부터 로드 신호를 공급할 필요가 없어져 입력 신호 수를 삭감할 수 있다.

계조 선택부(11)는, 도 13에 상세한 회로도를 나타낸 바와 같이, 디코더 회로(21)와, 디코더 회로(21)의 각 출력 단자에 접속된 복수의 레벨 변환 회로(레벨 시프터, 제2 레벨 변환 회로 : 22)와, 각 레벨 변환 회로(22)의 출력에 따라서 온 · 오프 제어되는 복수의 아날로그 스위치(선택 회로 : 23)를 갖는다.

계조 선택부(11)에는 도 13의 회로가 복수 설치되어 있다. 구체적으로는, 로드 래치 회로(6) 내의 각 래치 회로마다 도 13의 회로가 설치되어 있다.

레벨 변환 회로(22)는, 예를 들면 도 14와 같은 회로로 구성된다. 도 14의 회로는 10V와 (- 5)V 간에 직렬 접속된 PMOS 트랜지스터 Q21 및 NMOS 트랜지스터 Q22와, 동일하게 10V와 (- 5)V 간에 직렬 접속된 PMOS 트랜지스터 Q23 및 NMOS 트랜지스터 Q24를 갖는다. 이 레벨 변환 회로(22)에 의해 0 10V의 입력 전압은 (- 5) 10V의 전압으로 변환된다.

아날로그 스위치(23)의 일단에는 아날로그 계조 전압이 공급된다. 이 아날로그 계조 전압은 도 15에 나타내는 저항 분압 회로(24)에서 생성된다. 저항 분압 회로(24)로부터 출력된 아날로그 계조 전압 V1 V16은 아날로그 버퍼(전류 증폭 회로 : 25)와 보호 다이오드(30)를 통해 대응하는 아날로그 스위치의 일단에 공급된다. 아날로그 스위치(23)의 타단에는 대응하는 신호선이 접속되어 있다.

저항 분압 회로(24)에는 외부로부터 2종류의 기준 전압 V_{ref1} , V_{ref2} 가 공급되고, 이들 기준 전압을 저항으로 분압함으로써 아날로그 계조 전압이 생성된다.

이와 같이, 저항 분압 회로(24)와 아날로그 스위치(23) 사이에 아날로그 버퍼(25)를 설치함으로써, 저항 분압 회로(24)로부터 아날로그 스위치(23)측에 많은 전류를 흘릴 필요가 없어지고, 저항 분압 회로(24)에서의 소비 전류를 저감할 수 있다. 구체적으로는, 저항 분압 회로(24) 내의 저항 소자의 저항치를 충분히 크게 할 수 있다.

도 13에 도시한 16개의 아날로그 스위치(23) 중 어느 하나만이 온되고, 디지털 계조 데이터에 따른 아날로그 계조 전압이 선택된다.

신호선 선택부(12)는, 도 15에 상세한 회로도를 나타낸 바와 같이, 복수의 아날로그 스위치(25)를 갖는다. 구체적으로는, 계조 선택부(11) 내의 16개의 아날로그 스위치(23)에 대응하여 6개의 아날로그 스위치(25)가 설치된다. 이들 6개의 아날로드 스위치(25)의 일단은 계조 선택부(11) 내의 16개의 아날로그 스위치(23)의 각 일단에 상호 접속되어 있다. 또한, 이들 6개의 아날로그 스위치(25)의 타단은 각각 대응하는 신호선에 접속되어 있다. 이들 6개의 아날로드 스위치(25)는 신호선 선택 신호 sw1 sw6의 논리에 따라서 온·오프 제어된다.

패널 외부에 설치되는 선택 신호 공급 회로(26)로부터 공급된 신호선 선택 신호 SW1 SW6은 보호 다이오드(27)를 통해 레벨 변환 회로(28)에서 전압 레벨이 변환된 후에 아날로그 스위치(25)의 제어 단자에 공급된다.

레벨 변환 회로(28)는, 예를 들면 도 16과 같은 회로로 구성된다. 이 회로에서는 0 2.5V의 전압 진폭을 갖는 신호선 선택 신호를 (-5) 10V의 전압 진폭을 갖는 신호로 변환한다. 도 16의 점선으로 나타낸 레벨 변환부(31)는 도 11의 회로와 동일하고, 이 회로의 후단에 또한 PMOS 트랜지스터 Q25, Q28과 NMOS 트랜지스터 Q26, Q27, Q29, Q30으로 이루어지는 레벨 변환부(32)를 추가한 구성으로 이루어져 있다. 레벨 변환부(32)에서는 레벨 변환부(31)의 출력인 0 10V의 전압 진폭을 갖는 신호를 (-5) 10V의 전압 진폭을 갖는 신호로 변환한다.

신호선 선택부(12)는 신호선 선택 신호 sw1 sw6의 논리에 따라서, 인접하는 6개의 신호선 중 어느 하나만을 선택한다.

신호선 6개마다 도 15의 회로가 설치되고, 각 회로에서는 어느 하나의 신호선에만 아날로그 계조 전압을 공급한다. 이에 따라, 신호선 6개 걸러서 표시가 행해진다. 화소 어레이부(1)에는, 도 15에 도시한 바와 같이, RGB의 각 색에 대응하는 신호선이 교대로 배열되어 있기 때문에, 2화소 단위로 표시가 행해지게 된다.

이와 같이, 제2 실시예에서는 1수평 라인을 표시할 때, 신호선을 6개 걸러서 6회로 나누어 구동하기 때문에, 샘플링 래치 회로(5a), 로드 래치 회로(6) 및 계조 선택부(11)를 공용할 수 있어 신호선 구동 회로(2)의 구성을 간략화할 수 있다.

또한, 외부로부터 입력된 각종 신호의 전압 레벨을 변환하는 레벨 변환 회로(14, 22, 28)를 설치하였기 때문에, 디지털계의 소진폭의 신호를 직접 입력할 수 있어 기판의 외부에서 레벨 변환을 행할 필요가 없어진다. 또한, 아날로그 스위치(23)의 제어 단자에 입력되는 신호에 대해서는 전용의 레벨 변환 회로(22)에서 전압 진폭을 크게 하였기 때문에, 아날로드 스위치(23)의 온·오프를 신속하게 행할 수 있다.

또한, 저항 분압 회로(24)는 외부로부터 공급된 2종류의 전압에만 기초하여 16종류의 아날로그 계조 전압을 생성하기 때문에, 외부로부터 다종류의 전압을 입력하지 않아도 된다. 또한, 저항 분압 회로(24)의 각 출력 단자에 아날로그 버퍼(25)를 접속하기 때문에, 저항 분압 회로(24)로부터 아날로그 스위치(23)로 많은 전류를 흘릴 필요가 없어져 저항 분압 회로(24)의 소비 전류를 삭감할 수 있다.

(제3 실시예)

제3 실시예는 샘플링 래치 회로(5) 내에서 전원 전압 단자 V_{DD} 로부터 접지 단자 V_{SS} 에 관통 전류가 흐르지 않도록 한 것을 특징으로 한다.

도 17은 샘플링 래치 회로(5)의 제3 실시예의 회로도이다. 도 17의 샘플링 래치 회로(5)는 출력단 및 입력단이 상호 루프형으로 접속되어 2개의 인버터(제1 및 제2 인버터 : 121, 122)로 이루어지는 기억 회로(120)와, 이들 인버터의 각각에 전원 전압 V_{DD} 및 접지 전압 V_{SS} 를 공급할지의 여부를 전환 제어하는 트랜지스터(제1 및 제2 스위치 소자 : 123, 124)와, 디지털 계조 데이터를 기억 회로(120)에 공급할지의 여부를 전환 제어하는 트랜지스터(제3 스위치 소자 : 125, 126)와, 기억 회로(120)에 기억된 데이터를 비샘플링 기간에 로드 래치 회로(6)에 공급하는 NOR 회로(출력 회로, 제1 및 제2 논리 연산 회로 : 127, 128)를 갖는다.

PMOS 트랜지스터(124 126)의 게이트 단자에는 도시되지 않는 수평 시프트 레지스터(4)로부터의 타이밍 신호(시프트 펄스)가 입력된다. 이 타이밍 신호가 하이 레벨일 때는 샘플링 기간을 나타내고 있다. NMOS 트랜지스터(123)의 게이트 단자에는 이 타이밍 신호를 인버터(129)에서 반전한 신호가 입력된다.

NOR 회로(127, 128)는 PMOS 트랜지스터(131, 132)와 NMOS 트랜지스터(133, 134)를 갖고, 수평 시프트 레지스터(4)로부터의 타이밍 신호가 하이 레벨일 때, 즉 샘플링 기간 중은 트랜지스터(133)가 온되어 트랜지스터(131)가 오프되고, NOR 회로(127, 128)의 출력은 로우 레벨로 고정된다. 또한, 수평 시프트 레지스터(4)로부터의 타이밍 신호가 로우 레벨일 때, 즉 비샘플링 기간 중은 트랜지스터(131)가 온되어 트랜지스터(133)가 오프되고, 디지털 계조 데이터를 반전한 데이터가 NOR 회로(127, 128)로부터 출력된다.

다음에 도 17의 데이터 래치 회로의 회로 동작을 도 18의 타이밍차트에 기초하여 설명한다.

시각 t1에 있어서, 수평 시프트 레지스터(4)로부터의 타이밍 신호가 하이 레벨이 되면, NMOS 트랜지스터(123)와 PMOS 트랜지스터(124)가 오프, NMOS 트랜지스터(125)와 NMOS 트랜지스터(126)가 온이 되고, 디지털 계조 데이터와 그 반전 데이터가 노드 A 및 노드 B에 각각 입력된다.

다음에, 시각 t2에 있어서, 수평 시프트 레지스터(4)로부터의 타이밍 신호가 로우 레벨이 되면, NMOS 트랜지스터(125)와 NMOS 트랜지스터(126)가 오프가 되는 대신에, NMOS 트랜지스터(123)와 PMOS 트랜지스터(124)가 온이 되고, 디지털 계조 데이터가 샘플링 래치 회로(5)에 입력되지 않지만, 기억 회로(120)에는 전원 전압 V_{DD}, V_{SS} 가 공급된다. 기억 회로(120)는 노드 A, B에서 디지털 계조 데이터와 디지털 계조 데이터의 전압 비교를 행하여, 하이 레벨 전압 V_{High} 가 V_{DD} 로, 로우 레벨 전압 V_{Low} 가 V_{SS} 로 되도록 레벨 변환을 행한다. 즉, 기억 회로(120)는 시각 t2 직전에 노드 A, B에 입력된 데이터를 레벨 변환하여 유지한다.

NOR 회로(127, 128)에는, 시각 t1 t2의 기간 내는, 0-3V 진폭의 데이터가 공급된다. 이 기간 내는 시프트 레지스터(11)로부터의 타이밍 신호는 하이 레벨이기 때문에, NOR 회로(127, 128) 내의 PMOS 트랜지스터(131)는 오프 상태이다. 이 때문에, 전원 단자 V_{DD} 로부터 접지 단자 V_{SS} 에 관통 전류가 흐를 우려가 없고, 종래의 샘플링 래치 회로(5)에 비해 소비 전력을 대폭 저감할 수 있다.

또한, 도 17의 샘플링 래치 회로(5)는 노드 A측과 B측의 각각에 NOR 회로(127, 128)를 갖기 때문에, 노드 A, B의 기생 용량이 거의 동등하고, 종래의 샘플링 래치 회로(5)와 마찬가지로 시각 t2에서 디지털 데이터를 안정적으로 승압할 수 있다.

시각 t2 이후, 수평 시프트 레지스터(4)로부터의 타이밍 신호는 로우 레벨이 되고, NOR 회로(127, 128)는 단순한 인버터 회로로서 기능하기 때문에, 도 2에 도시한 종래의 샘플링 래치 회로(5)와 마찬가지의 출력을 로드 래치 회로(6)에 공급할 수 있다.

이와 같이, 본 실시예에서는 샘플링 기간 중은 샘플링 래치 회로(5)의 출력을 고정 논리로 설정하기 때문에, 샘플링 기간 중에 전원 전압 단자 V_{DD} 로부터 접지 단자 V_{SS} 로 관통 전류가 흐르지 않아 소비 전력의 저감을 도모할 수 있다.

도 17에서는 NOR 회로(127, 128)를 샘플링 래치 회로(5)의 출력단에 삽입하는 예를 설명하였지만, 수평 시프트 레지스터(4)가 온 기간 중, V_{DD} 부터 V_{SS} 로의 관통 전류를 방지하는 기능을 갖은 다른 회로 소자를 NOR 회로(127, 128) 대신에 삽입해도 마찬가지의 효과가 얻어진다. 예를 들면, 도 19와 같이 클럭드 인버터(47, 48)를 삽입해도 마찬가지의 효과가 얻어진다.

도 19의 클럭드 인버터(47, 48)는 전원 전압 V_{DD} 와 접지 전압 V_{SS} 간에 직렬 접속된 4개의 트랜지스터(35 38)를 갖는다. 트랜지스터(35, 38)는 수평 시프트 레지스터(4)로부터의 타이밍 신호가 로우 레벨일 때, 즉 비샘플링 기간 중에 온한다. 이들 트랜지스터(35, 38)가 온되면, 디지털 계조 데이터가 반전되어 클럭드 인버터(47, 48)로부터 출력된다. 한편, 샘플링 기간 중은 트랜지스터(35, 38)가 오프되고, 클럭드 인버터(47, 48)는 직전의 상태를 유지한다.

이와 같이, 클럭드 인버터(47, 48) 내의 트랜지스터(35, 38)에 의해 클럭드 인버터(47, 48) 내에 관통 전류가 흐르는 것을 방지할 수 있다.

클럭드 인버터(47, 48) 이외의 변형예로서, 도 20에 도시한 바와 같이 NAND 회로(57, 58)를 삽입해도 좋다. 도 20의 NAND 회로(57, 58)는 트랜지스터(91 94)로 구성되어 있다. 트랜지스터(91)는 수평 시프트 레지스터(4)로부터의 타이밍 신호가 하이 레벨, 즉 샘플링 기간에 온된다. 이 때, 샘플링 래치 회로(5)의 출력은 하이 레벨로 고정되고, NAND 회로(57, 58) 내를 관통 전류가 흐르지 않게 된다. 한편, 수평 시프트 레지스터(4)로부터의 타이밍 신호가 로우 레벨, 즉 비샘플링 기간 일 때는 트랜지스터(91)가 오프되어 트랜지스터(94)가 온되고, 디지털 계조 데이터를 반전한 데이터가 샘플링 래치 회로(5)로부터 출력된다.

또한, 상술한 실시예에서는 관통 전류를 막는 신호로서 시프트 레지스터(11)로부터의 타이밍 신호, 또는 그 반전 신호를 이용하였지만, 시각 t1 t2의 기간에 관통 전류가 흐르는 것을 막는 기능을 갖는 신호를 별도로 설치함으로써, 마찬가지로 관통 전류를 방지할 수 있다.

예를 들면, 도 21은 NOR 회로(67, 68) 내의 트랜지스터의 온·오프를 로드 신호에 의해 행하는 예를 나타내는 회로도이다. 로드 신호는 도 3에 도시한 바와 같이 시각 t3 t4 동안에 하이 레벨이 되기 때문에, 시각 t3 이전은 트랜지스터(133)가 온되어 트랜지스터(131)가 오프된다. 따라서, 시각 t3 이전은 샘플링 래치 회로(5)의 출력은 항상 로우 레벨이 된다. 한편, 시각 t3 t4 동안은 디지털 계조 데이터를 반전한 데이터가 샘플링 래치 회로(5)로부터 출력된다.

상술한 도 17의 샘플링 래치 회로(5)에서는 디지털 계조 데이터와 그 반전 데이터의 쌍방을 기억 회로(120)에 입력하는 예를 설명하였지만, 어느 하나만을 입력해도 좋다. 이에 따라, 도 17의 트랜지스터(125, 126)의 한쪽과 NOR 회로(127, 128)의 한쪽을 각각 생략할 수 있어 회로 구성을 간략화할 수 있다.

상술한 실시예에서는 본 발명의 데이터 래치 회로를 액정 표시 장치의 신호선 구동 회로에 이용하는 예를 설명하였지만, 신호선 구동 회로 이외의 목적, 예를 들면, 주사선 구동 회로 내의 시프트 레지스터(11) 등에도 적용 가능하다.

상술한 각 실시예에서는 144×176화소의 표시 해상도를 갖는 예에 대하여 설명하였지만, 이 이외의 표시 해상도에 대해서도 마찬가지로 적용 가능하다.

또한, 상술한 각 실시예에서는 신호선을 6개 걸러서 구동하는 예에 대하여 설명하였지만, 신호선을 몇 개 걸러서 구동해야 할지는 특별히 한정되지 않는다.

발명의 효과

본 발명에 따르면, 신호선을 복수개 걸러서 복수회로 나누어 구동하도록 하였기 때문에, 제1 래치 회로, 제2 래치 회로 및 D/A 변환기의 수를 삭감할 수 있어 신호선 구동 회로의 구성을 간략화할 수 있다. 따라서, 신호선 구동 회로를 신호선, 주사선 및 화소 트랜지스터 등과 동일한 절연 기판 상에 용이하게 형성할 수 있다.

또한, 외부로부터 입력된 신호를 절연 기판 상에서 레벨 변환하도록 하였기 때문에, 절연 기판의 외측에서 레벨 변환할 필요가 없어진다. 또한, 절연 기판 상의 트랜지스터에 최적의 레벨로 각 신호의 전압 레벨을 설정할 수 있기 때문에, 신호선 구동 회로(2)의 동작을 안정화시킬 수 있다.

또한, 외부로부터 공급된 2종류의 전압만으로 아날로그 계조 전압을 생성하기 때문에, 외부로부터 다종류의 전압을 공급할 필요가 없어 액정 표시 장치 전체의 구성을 간략화할 수 있다.

또한, 본 발명에 따르면, 데이터 래치 회로의 출력 회로에 관통 전류 방지 기능을 갖게 하였기 때문에, 샘플링 기간 내의 소비 전력의 저감을 도모할 수 있다. 따라서, 본 발명을 액정 표시 장치에 적용하면, 저소비 전력형의 액정 표시 장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

액정 표시 장치에 있어서,

종횡으로 줄지어 설치된 신호선 및 주사선과, 상기 신호선 및 주사선의 각 교점 부근에 형성된 화소 트랜지스터를 포함하는 화소 어레이부와,

복수 비트로 이루어지는 디지털 계조 데이터를 각각 다른 타이밍에서 래치하는 복수의 제1 래치 회로와,

상기 복수의 제1 래치 회로의 각각에 대응하여 설치되고, 상기 복수의 제1 래치 회로의 각각에서 래치된 래치 데이터를 동일 타이밍에서 래치하는 복수의 제2 래치 회로와,

상기 복수의 제2 래치 회로 각각에 대응하여 설치되고, 상기 복수의 제2 래치 회로의 각각에서 래치된 래치 데이터를 아날로그 계조 전압으로 변환하는 복수의 D/A 변환기와,

상기 화소 어레이부 내의 상기 신호선이 복수개 걸러서 복수회로 나누어 구동되도록, 각 신호선에 상기 아날로그 계조 전압을 공급할지의 여부를 전환하는 신호선 선택 회로

를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 신호선 선택 회로는, 상기 신호선의 각각에 대응하여 설치되어 상기 아날로그 계조 전압을 대응하는 신호선에 공급할지의 여부를 전환하는 복수의 아날로그 스위치를 포함하고,

상기 신호선 선택 회로는, 상기 신호선이 복수개 걸러서 복수회로 나누어 구동되도록 상기 복수의 아날로그 스위치를 온·오프 제어하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제2항에 있어서,

상기 제1 래치 회로, 상기 제2 래치 회로, 상기 D/A 변환기 및 상기 아날로그 스위치는, 신호선, 주사선 및 화소 트랜지스터와 동일한 절연 기판 상에 형성되고,

상기 아날로그 스위치는, 상기 D/A 변환기 각각에 대응하여 복수개씩 설치되고, 이들 복수개의 상기 아날로그 스위치는 하나씩 차례차례로 온되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제2항에 있어서,

신호선의 총수를 n(n은 2 이상의 정수)으로 하였을 때, 상기 제1 래치 회로, 상기 제2 래치 회로 및 상기 D/A 변환기는 n/m(2 ≤m < n/2로, n/m은 정수)개 설치되고,

상기 아날로그 스위치는 상기 D/A 변환기 각각에 대하여 m개씩 설치되는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제4항에 있어서,

상기 제1 래치 회로에 디지털 계조 데이터를 공급하는 디지털 계조 데이터 공급 회로를 포함하고,

상기 디지털 계조 데이터 공급 회로는, m개 거른 신호선에 대응하는 상기 디지털 계조 데이터를 상기 제1 래치 회로에 순서대로 공급하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제1항에 있어서,

상기 제1 래치 회로는, 디지털 계조 데이터를 래치할 때 제1 전압 범위의 디지털 계조 데이터로 변환하는 제1 레벨 변환 회로를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제1항에 있어서,

상기 제2 래치 회로와 상기 D/A 변환기 사이에 설치되고, 상기 제2 래치 회로로부터 출력된 디지털 계조 데이터를 제2 전압 범위의 디지털 계조 데이터로 변환하는 제2 레벨 변환 회로를 포함하고,

상기 D/A 변환기는 상기 제2 레벨 변환 회로의 출력에 기초하여 아날로그 계조 전압으로의 변환을 행하는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제1항에 있어서,

상기 D/A 변환기는,

상기 제2 래치 회로의 출력을 디코드하는 디코더와,

상기 디코더의 디코드 결과에 따라서 온·오프 제어되고, 각 일단에 각각 다른 전압 레벨의 아날로그 계조 전압이 공급되는 복수의 아날로그 스위치를 포함하고,

상기 신호선 선택 회로는, 상기 디코더의 디코드 결과에 따라서 온한 상기 아날로그 스위치의 일단에 공급되는 아날로그 계조 전압을, 대응하는 신호선에 공급하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제1항에 있어서,

상기 D/A 변환기는,

제1 전압 단자와 제2 전압 단자 간에 직렬 접속된 복수의 저항 소자와,

상기 제2 래치 회로의 출력에 기초하여, 상기 복수의 저항 소자 각각의 접속점의 전압 중 어느 하나를 선택하여 대응하는 신호선에 공급하는 선택 회로를 포함하고,

상기 제1 및 제2 전압 단자에는, 상기 절연 기판의 외부로부터 서로 다른 전압 레벨의 전압이 공급되는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제9항에 있어서,

상기 복수의 저항 소자 각각의 접속점에 접속된 복수의 전류 증폭 회로를 포함하고,

상기 선택 회로는 상기 제2 래치 회로의 출력에 기초하여 상기 전류 증폭 회로의 출력 중 어느 하나를 선택하는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제1항에 있어서,

상기 복수의 제1 래치 회로 각각의 래치 타이밍 신호를 출력하는 시프트 레지스터를 포함하고,

상기 복수의 제2 래치 회로는 상기 시프트 레지스터의 출력에 의해 생성되는 로드 신호에 기초하여 래치 동작을 행하는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제1항에 있어서,

상기 신호선 선택 회로는 1수평 라인 표시 기간의 전반에서 홀수 화소 또는 짝수 화소의 한쪽에 대응하는 모든 신호선을 선택하고, 1수평 라인 표시 기간의 후반에서 홀수 화소 또는 짝수 화소의 다른쪽에 대응하는 모든 신호선을 선택하는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제12항에 있어서,

상기 D/A 변환기는 상기 신호선 선택 회로가 홀수 화소에 대응하는 신호선을 선택하는 경우와, 짝수 화소에 대응하는 신호선을 선택하는 경우에, 각각 다른 전압 레벨의 기준 전압에 기초하여 아날로그 계조 전압으로의 변환을 행하는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

데이터 래치 회로에 있어서,

한쪽의 출력단이 다른쪽의 입력단에 접속되고, 다른쪽의 출력단이 한쪽의 입력단에 접속된 제1 및 제2 인버터를 포함하고, 래치 대상이 되는 디지털 데이터를 기억하는 기억 회로와,

상기 제1 및 제2 인버터에 전원 전압을 공급할지의 여부를 전환 제어하는 제 1 및 제2 스위치 소자와,

상기 디지털 데이터를 상기 기억 회로에 입력할지의 여부를 전환 제어하는 제3 스위치 소자와,

상기 기억 회로에 기억된 디지털 데이터를 판독하는 출력 회로

를 포함하고,

상기 제1 및 제2 스위치 소자는 주기적인 샘플링 기간 이외의 기간에 온하여 상기 제1 및 제2 인버터에 전원 전압을 공급하고,

상기 제3 스위치 소자는 상기 샘플링 기간 내에 온하여 디지털 데이터를 상기 기억 회로에 입력하고,

상기 출력 회로는 상기 샘플링 기간 내에 상기 출력 회로의 전원 단자로부터 접지 단자를 향하여 관통 전류가 흐르지 않도록, 관통 전류 방지 기능

을 갖는 것을 특징으로 하는 데이터 래치 회로.

청구항 15.

제14항에 있어서,

상기 출력 회로는 상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에는 상기 기억 회로에 기억된 데이터를 반전 출력하는 것을 특징으로 하는 데이터 래치 회로.

청구항 16.

제15항에 있어서,

상기 출력 회로는,

상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에는 상기 제1 인버터의 출력을 반전 출력하는 제1 논리 연산 회로와,

상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에는 상기 제2 인버터의 출력을 반전 출력하는 제2 논리 연산 회로를 포함하는 것을 특징으로 하는 데이터 래치 회로.

청구항 17.

제16항에 있어서,

상기 제1 및 제2 논리 연산 회로는 NAND 게이트, NOR 게이트 및 클럭드 인버터 중 어느 하나를 포함하는 것을 특징으로 하는 데이터 래치 회로.

청구항 18.

제15항에 있어서,

상기 출력 회로에는 상기 샘플링 기간인지의 여부를 나타내는 제1 신호와, 상기 샘플링 기간 이외의 소정의 기간에 특정한 논리가 되는 제2 신호가 공급되고,

상기 출력 회로는,

상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에서 상기 제2 신호가 상기 특정한 논리가 되었을 때 상기 제1 인버터의 출력을 반전 출력하는 제1 논리 연산 회로와,

상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에서 상기 제2 신호가 상기 특정한 논리가 되었을 때 상기 제2 인버터의 출력을 반전 출력하는 제2 논리 연산 회로를 포함하는 것을 특징으로 하는 데이터 래치 회로.

청구항 19.

제18항에 있어서,

상기 제1 및 제2 논리 연산 회로는 NAND 게이트, NOR 게이트 및 클럭드 인버터 중 어느 하나를 포함하는 것을 특징으로 하는 데이터 래치 회로.

청구항 20.

액정 표시 장치에 있어서,

줄지어 설치된 신호선 및 주사선과,

신호선 및 주사선의 교점 부근에 배치된 표시 소자와,

신호선의 각각을 구동하는 신호선 구동 회로와,

주사선의 각각을 구동하는 주사선 구동 회로

를 포함하고,

상기 신호선 구동 회로는,

복수의 레지스터 회로를 포함하고,

각 레지스터 회로의 각각으로부터 클럭 신호에 동기시켜 시프트시킨 시프트 펄스를 순서대로 출력하는 시프트 레지스터와,

상기 시프트 펄스의 각각에 동기시켜 화소 정보에 관한 디지털 데이터를 래치하는 복수의 데이터 래치 회로와,

상기 복수의 데이터 래치 회로의 래치 출력을 로드 신호에 동기시켜 동시에 래치하는 로드 래치 회로와,

상기 로드 래치 회로의 래치 출력을 아날로그 화소 전압으로 변환한 후, 대응하는 신호선에 공급하는 D/A 변환 회로

를 포함하고,

상기 복수의 데이터 래치 회로의 각각은,

한쪽의 출력단이 다른쪽의 입력단에 접속되고, 다른쪽의 출력단이 한쪽의 입력단에 접속된 제1 및 제2 인버터를 포함하고, 래치 대상이 되는 디지털 데이터를 기억하는 기억 회로와,

상기 제1 및 제2 인버터에 전원 전압을 공급할지의 여부를 전환 제어하는 제 1 및 제2 스위치 소자와,

상기 디지털 데이터를 상기 기억 회로에 입력할지의 여부를 전환 제어하는 제3 스위치 소자와,

상기 기억 회로에 기억된 디지털 데이터를 판독하는 출력 회로

를 포함하고,

상기 제1 및 제2 스위치 소자는 주기적인 샘플링 기간 이외의 기간에 온하여 상기 제1 및 제2 인버터에 전원 전압을 공급하고,

상기 제3 스위치 소자는 상기 샘플링 기간 내에 온하여 디지털 데이터를 상기 기억 회로에 입력하고,

상기 출력 회로는 상기 샘플링 기간 내에 상기 출력 회로의 전원 단자로부터 접지 단자를 향하여 관통 전류가 흐르지 않도록, 관통 전류 방지 기능

을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 21.

제20항에 있어서,

상기 출력 회로는,

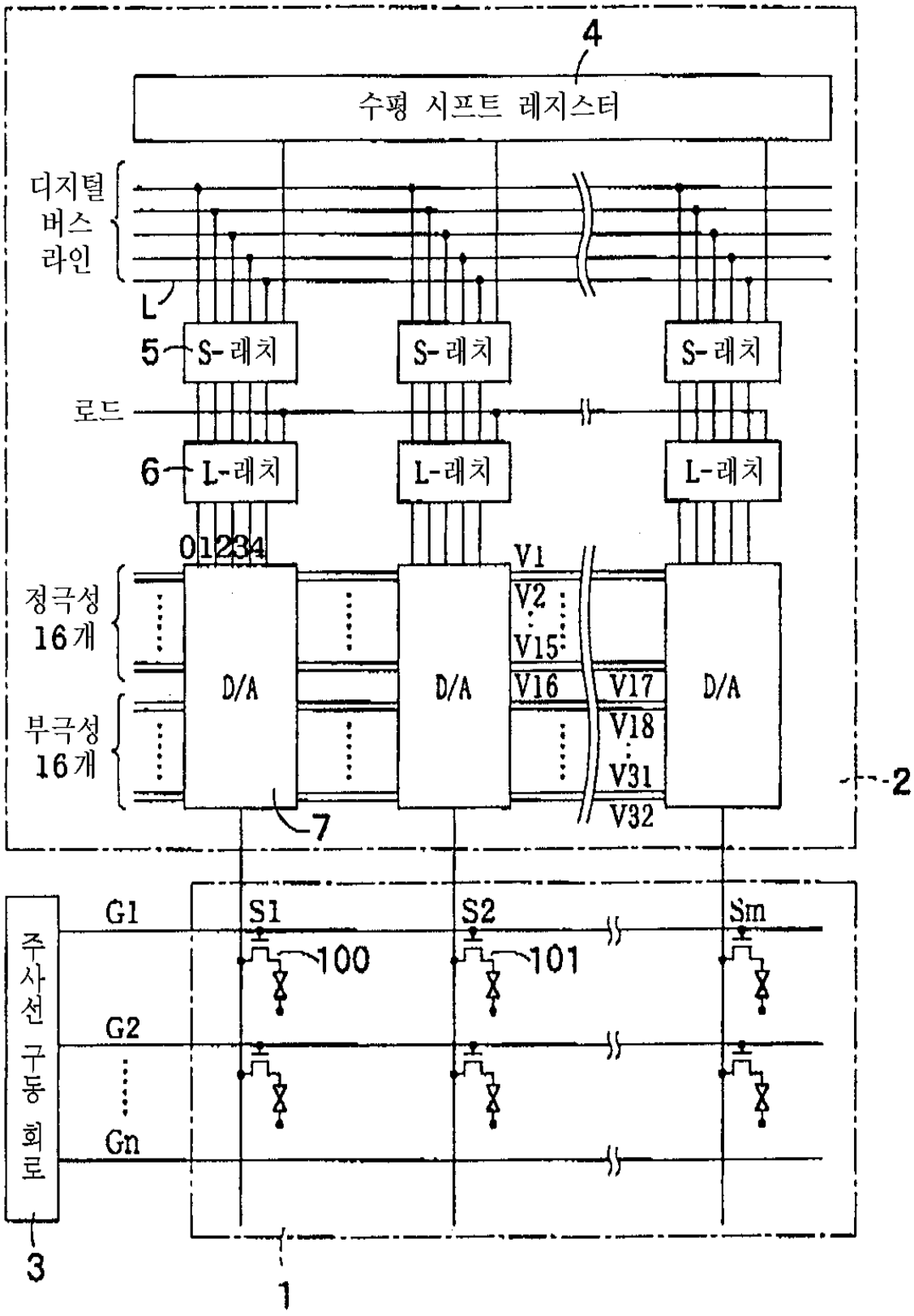
상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에는 상기 제1 인버터의 출력을 반전 출력하는 제1 논리 연산 회로와,

상기 샘플링 기간 내에는 소정의 논리 신호를 출력하고, 상기 샘플링 기간 이외에는 상기 제2 인버터의 출력을 반전 출력하는 제2 논리 연산 회로를 포함하고,

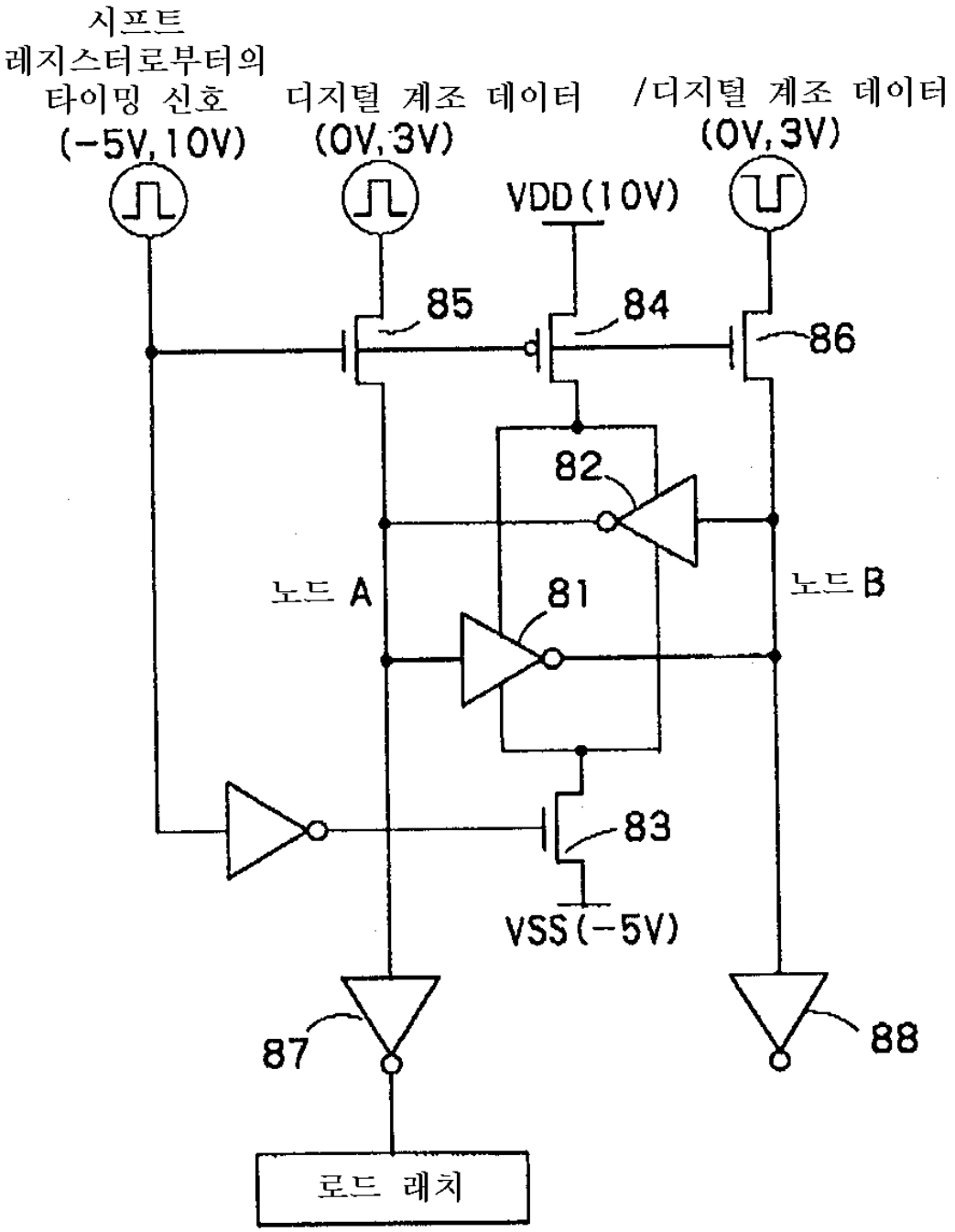
상기 제1 및 제2 논리 연산 회로는 서로 같은 회로로 구성되는 것을 특징으로 하는 데이터 래치 회로.

도면

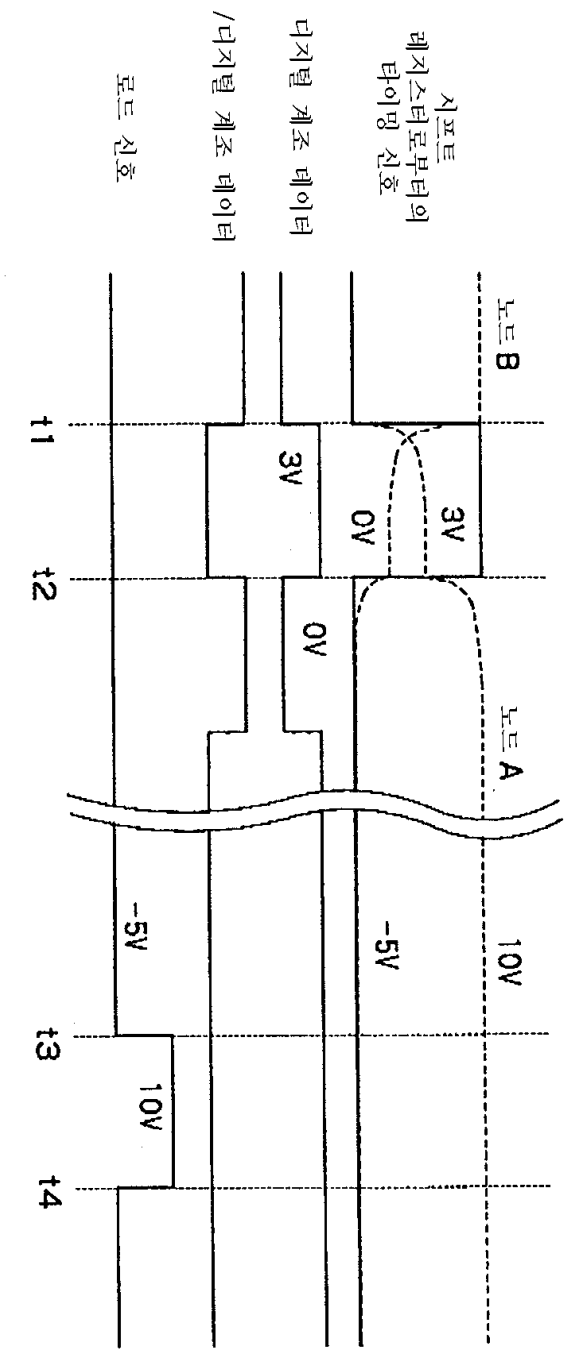
도면 1


4
수평 시프트 레지스터
디지털 버스 라인
L
5
S-래치
로드
6
L-래치
01234
정극성 16개
부극성 16개
D/A
V1
V2
V15
V16
V17
V18
V31
V32
2
7
주사선 구동 회로
G1
G2
Gn
S1
S2
Sm
100
101
3
1

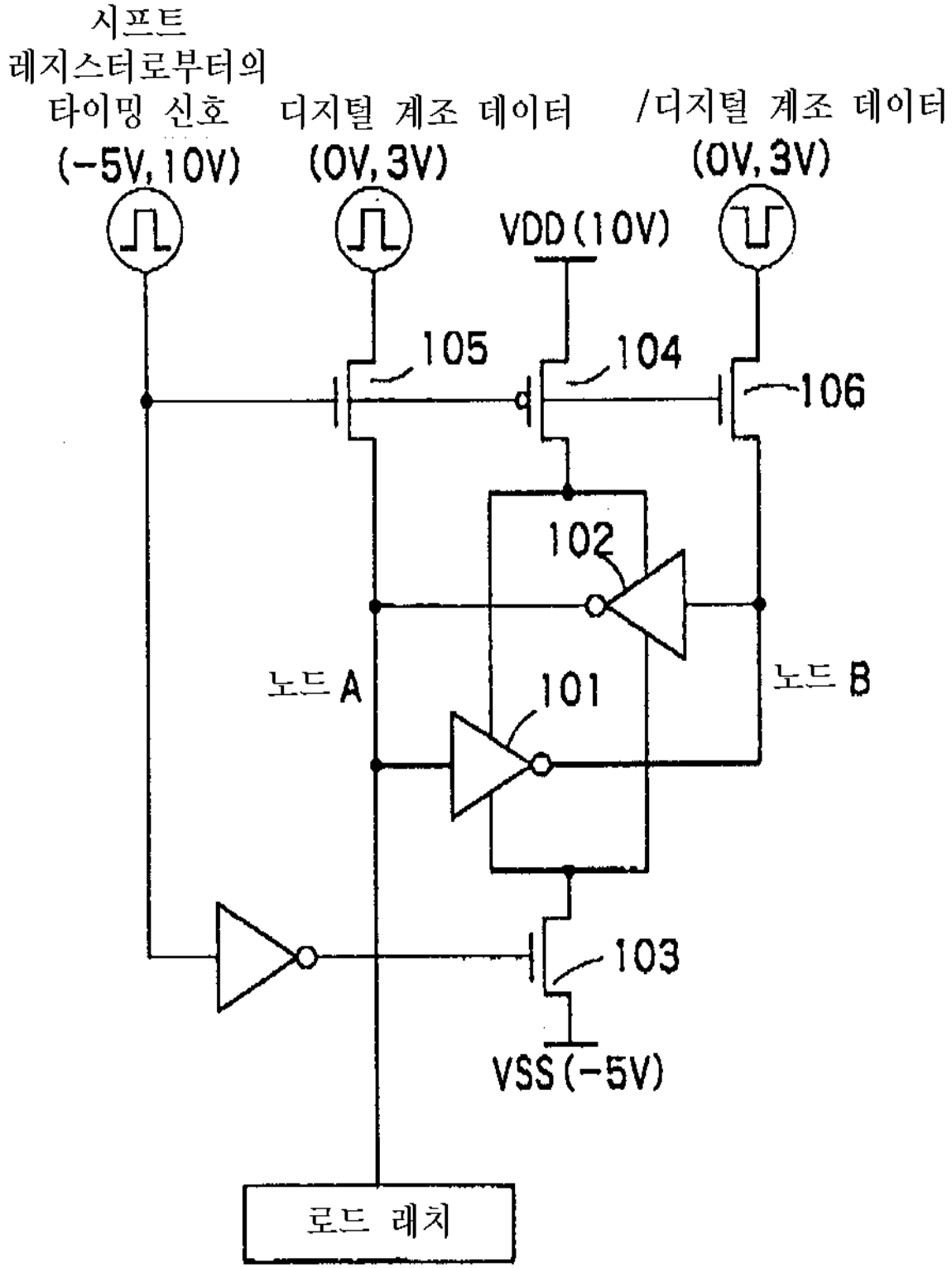
도면 2


시프트
레지스터로부터의
타이밍 신호
(-5V,10V)
디지털 계조 데이터
(0V,3V)
/디지털 계조 데이터
(0V,3V)
VDD(10V)
85
84
86
82
노드 A
81
노드 B
83
VSS(-5V)
87
88
로드 래치

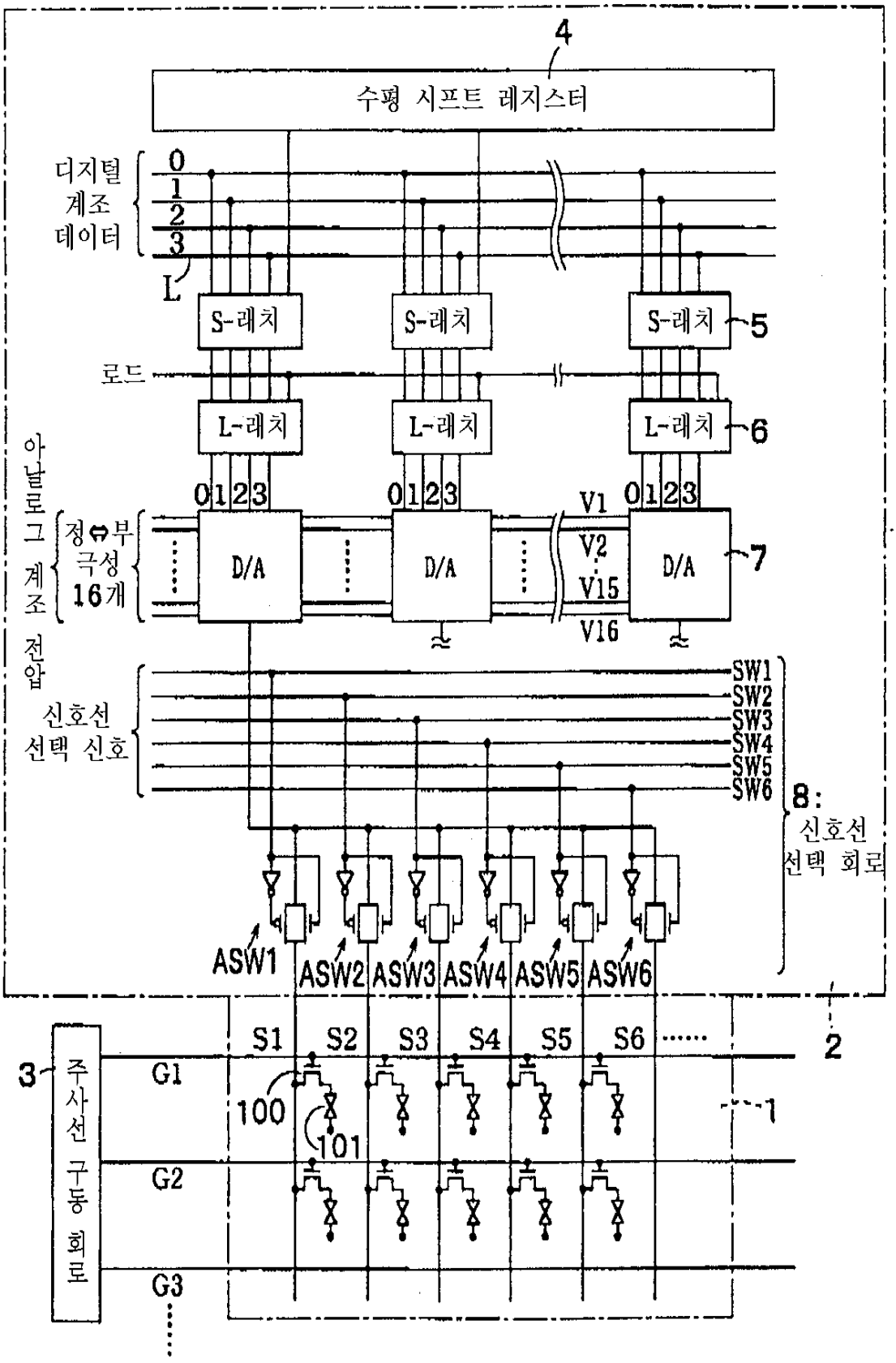
도면 3


시프트 레지스터로부터의 타이밍 신호
디지털 계조 데이터
/디지털 계조 데이터
로드 신호
노드 B
노드 A
t1
t2
t3
t4
3V
0V
3V
0V
-5V
-5V
10V
10V

도면 4


시프트
레지스터로부터의
타이밍 신호
(-5V,10V)
디지털 계조 데이터
(0V,3V)
/디지털 계조 데이터
(0V,3V)
VDD(10V)
105
104
106
102
노드 A
101
노드 B
103
VSS(-5V)
로드 래치

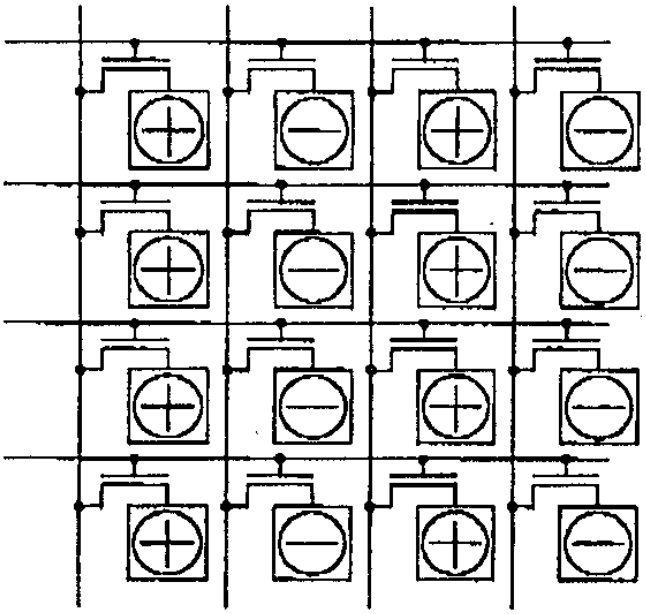
도면 5


4
수평 시프트 레지스터
디지털 계조 데이터
0
1
2
3
L
S-래치
S-래치
S-래치
5
로드
L-래치
L-래치
L-래치
6
아날로그 계조 전압
정⇔부 극성 16개
0 1 2 3
0 1 2 3
V1
V2
V15
V16
0 1 2 3
D/A
D/A
D/A
7
신호선 선택 신호
SW1
SW2
SW3
SW4
SW5
SW6
8:
신호선 선택 회로
ASW1
ASW2
ASW3
ASW4
ASW5
ASW6
2
S1
S2
S3
S4
S5
S6
3
주사선 구동 회로
G1
G2
G3
100
101
1

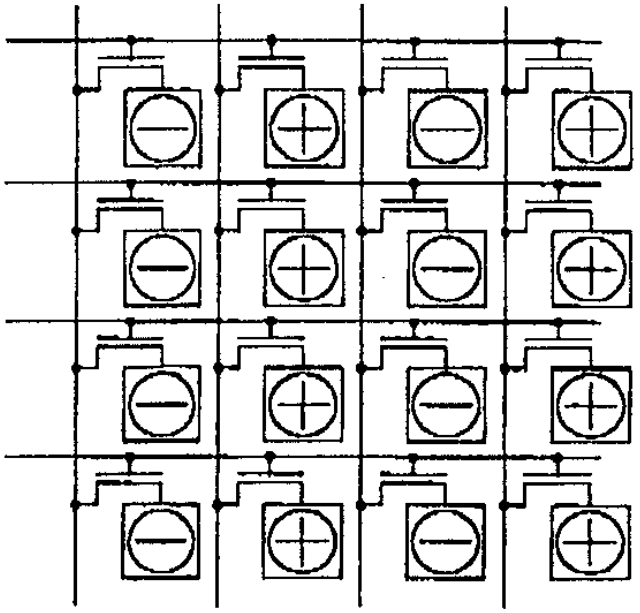
도면 6a

V 반전 구동

n 프레임째



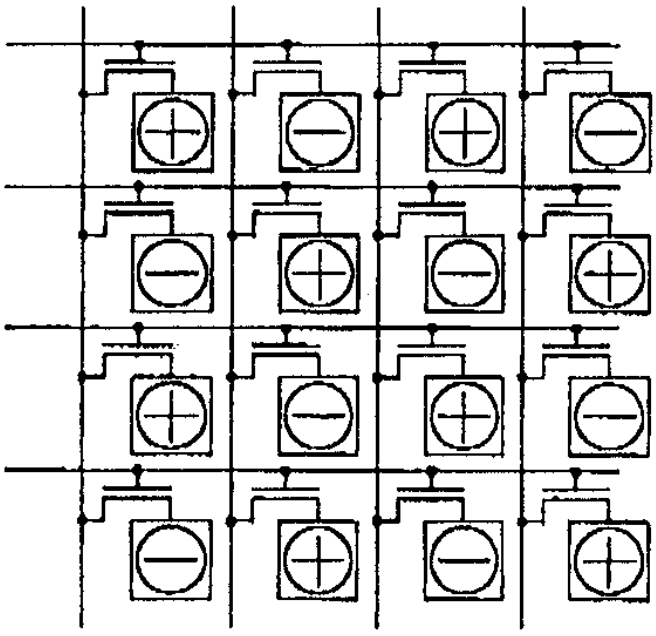
n+1 프레임째



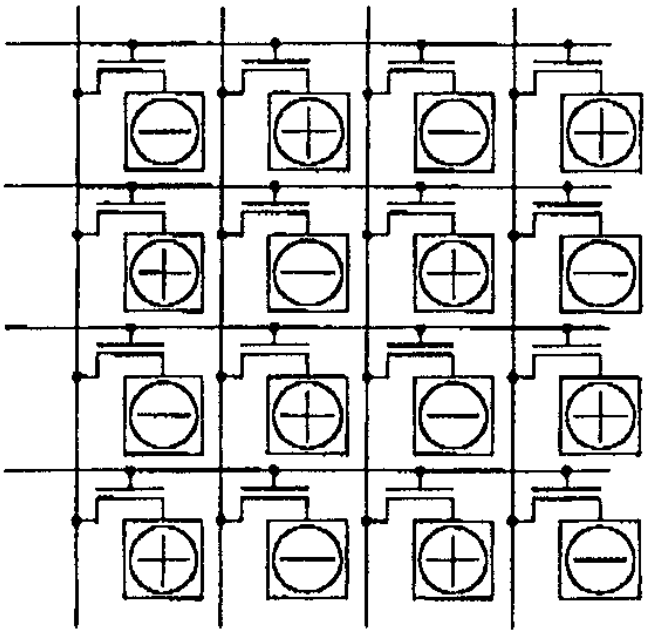
도면 6b

HV 반전 구동

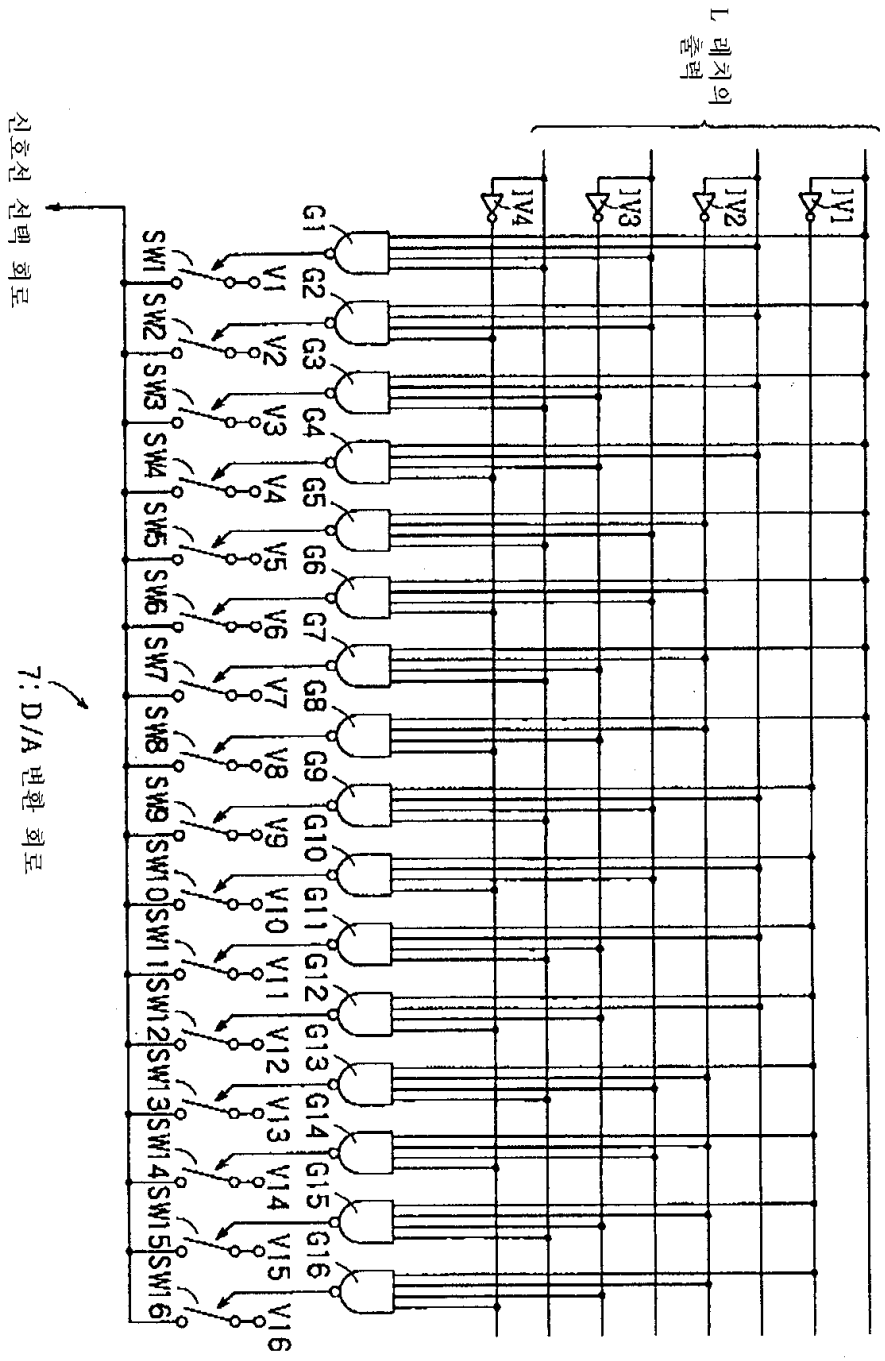
n 프레임째



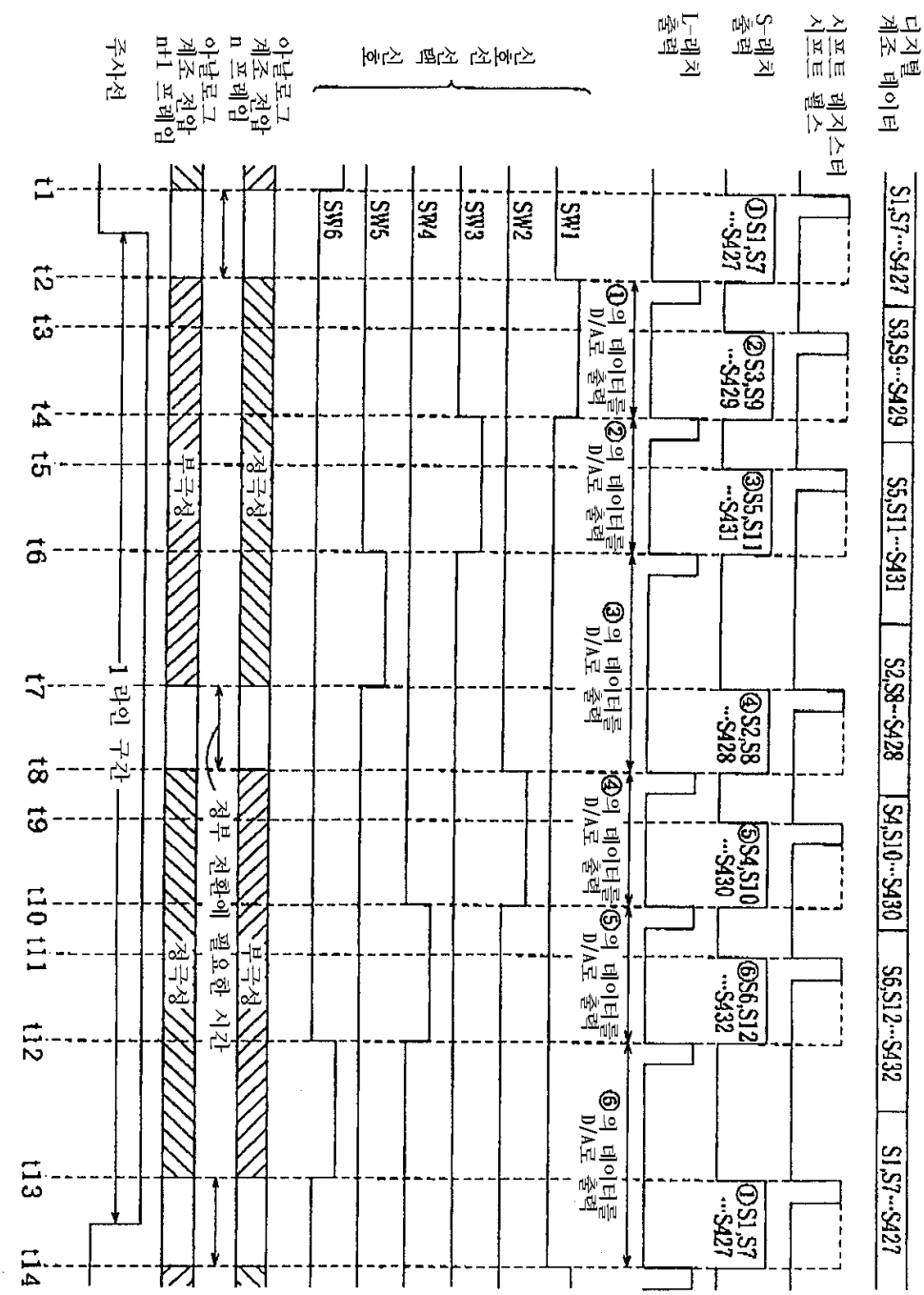
n+1 프레임째



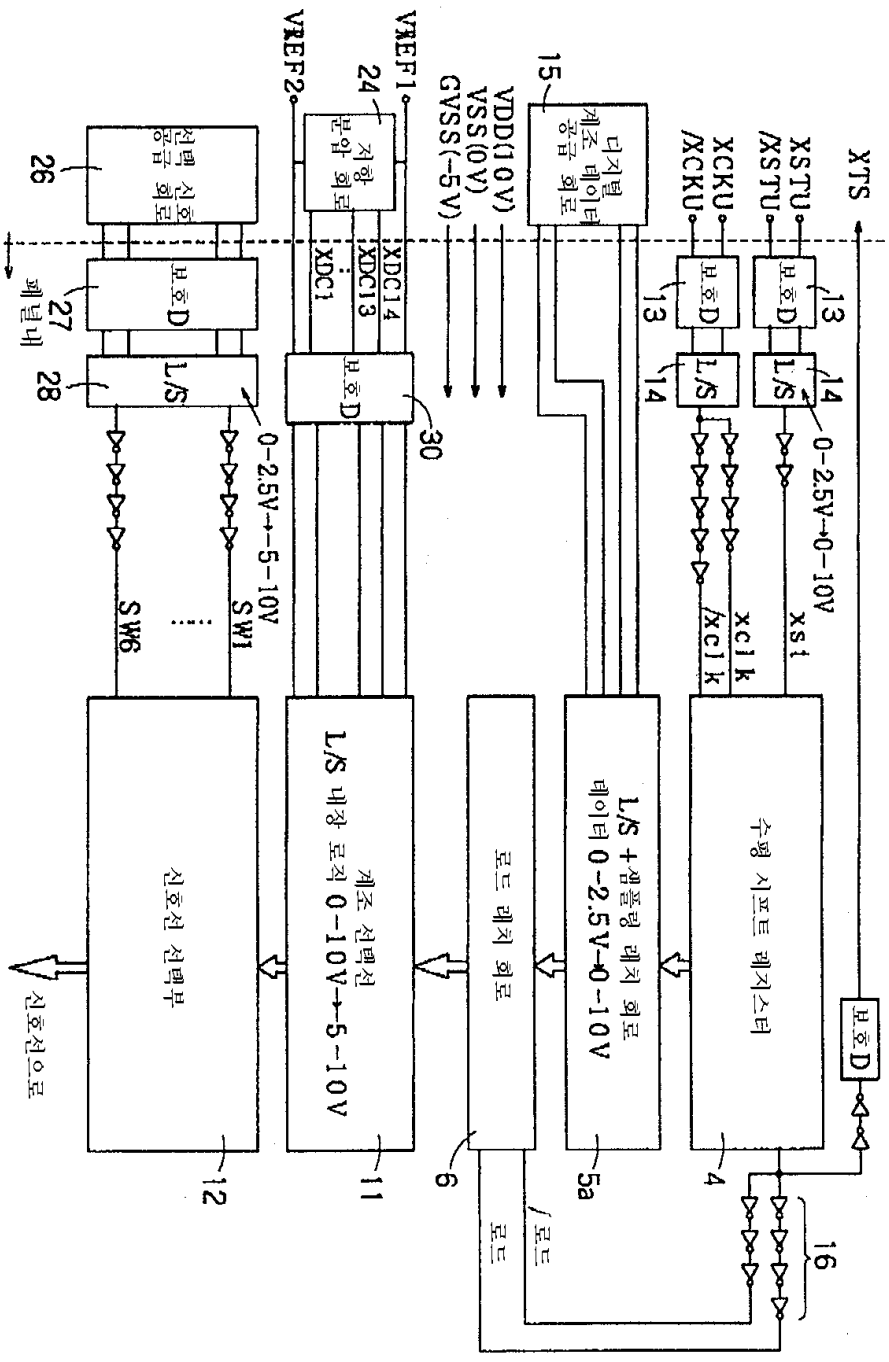
도면 7


L 레치의 출력
JV1
JV2
JV3
JV4
G1
G2
G3
G4
G5
G6
G7
G8
G9
G10
G11
G12
G13
G14
G15
G16
V1
V2
V3
V4
V5
V6
V7
V8
V9
V10
V11
V12
V13
V14
V15
V16
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
SW9
SW10
SW11
SW12
SW13
SW14
SW15
SW16
신호선 선택 회로
7: D/A 변환 회로

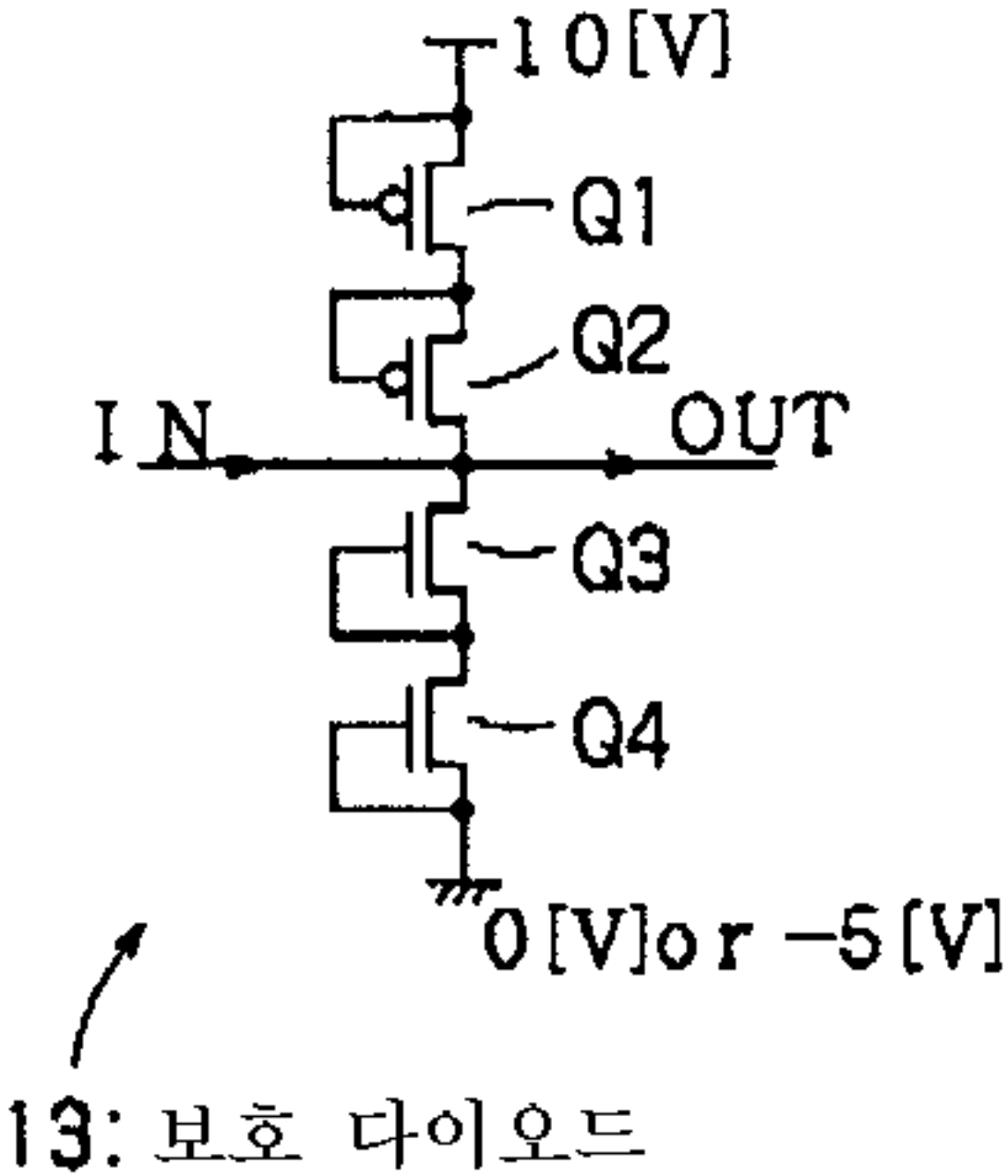
도면 8


디지털 계조 데이터
S1,S7···S427
S3,S9···S429
S5,S11···S431
S2,S8···S428
S4,S10···S430
S6,S12···S432
S1,S7···S427
시프트 레지스터 시프트 펄스
S-레지 출력
L-레지 출력
①S1,S7 ···S427
②S3,S9 ···S429
③S5,S11 ···S431
④S2,S8 ···S428
⑤S4,S10 ···S430
⑥S6,S12 ···S432
①S1,S7 ···S427
①의 데이터를 D/A로 출력
②의 데이터를 D/A로 출력
③의 데이터를 D/A로 출력
④의 데이터를 D/A로 출력
⑤의 데이터를 D/A로 출력
⑥의 데이터를 D/A로 출력
출력선택 신호
SW1
SW2
SW3
SW4
SW5
SW6
아날로그 계조 전압 n 프레임
아날로그 계조 전압 n+1 프레임
정극성
부극성
정부 전환에 필요한 시간
1 라인 구간
주사선
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14

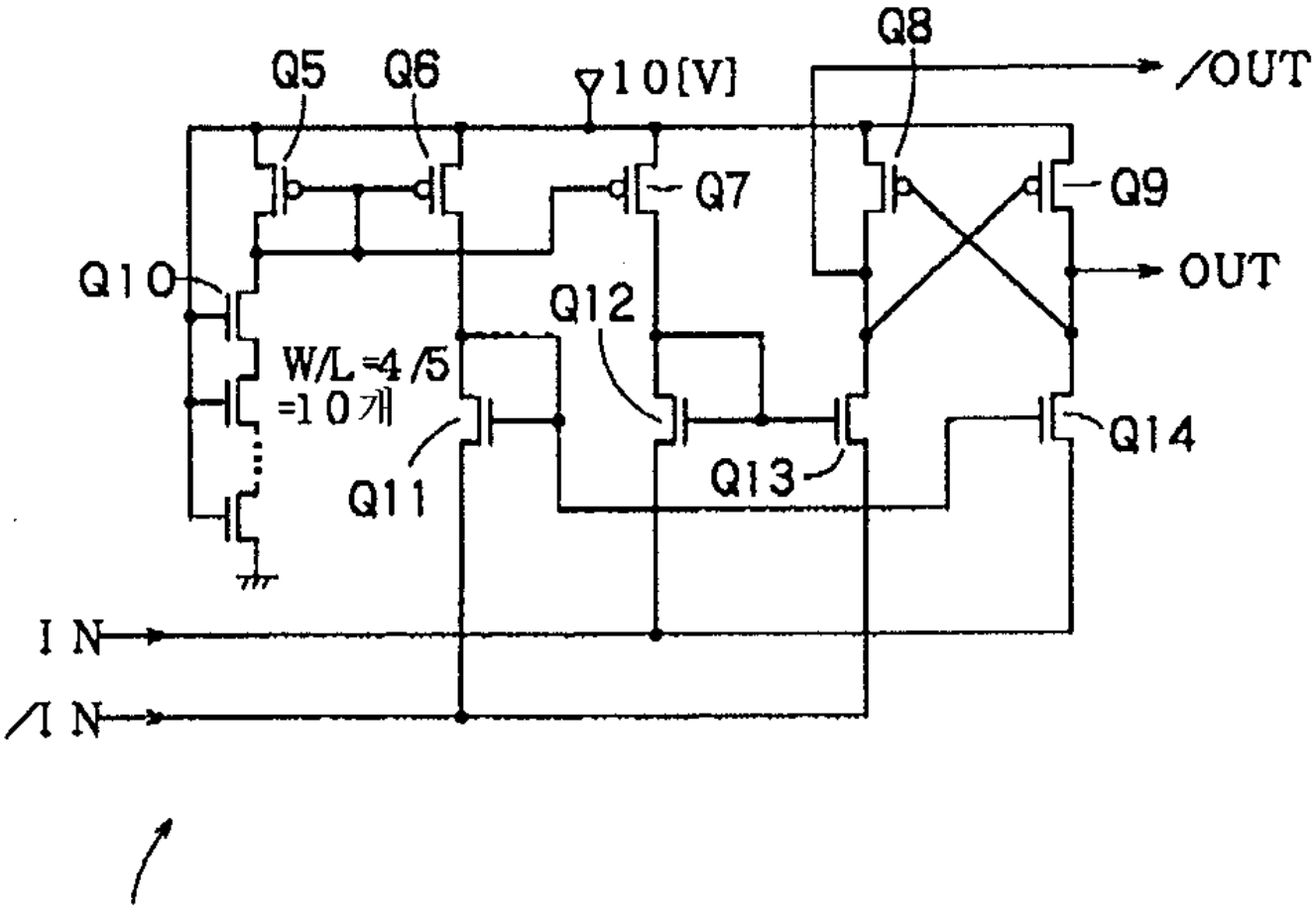
도면 9


XTS
XSTU
/XSTU
XCKU
/XCKU
보호D
L/S
0-2.5V→0-10V
xst
xclk
/xclk
수평 시프트 레지스터
4
16
로드
/로드
5a
L/S + 샘플링 래치 회로
데이터 0-2.5V→0-10V
6
로드 래치 회로
11
계조 선택선
L/S 내장 로직 0-10V→-5-10V
12
신호선 선택부
신호선으로
SW1
SW6
0-2.5V→-5-10V
28
27
패널내
26
선택 신호 공급 회로
24
저항 분압 회로
30
XDC14
XDC13
XDC1
VREF1
VREF2
VDD(10V)
VSS(0V)
GVSS(-5V)
15
디지털 계조 데이터 공급 회로
13
14

도면 10

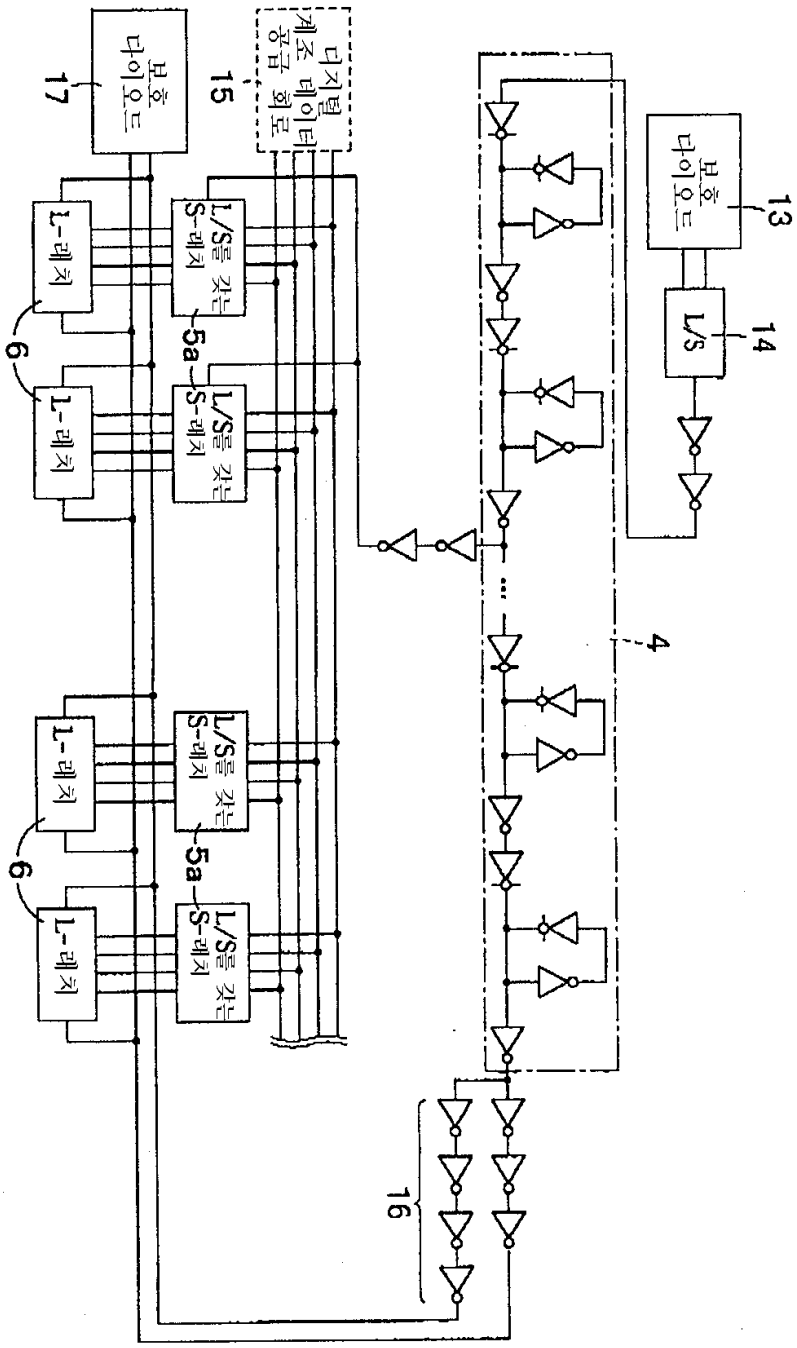


도면 11

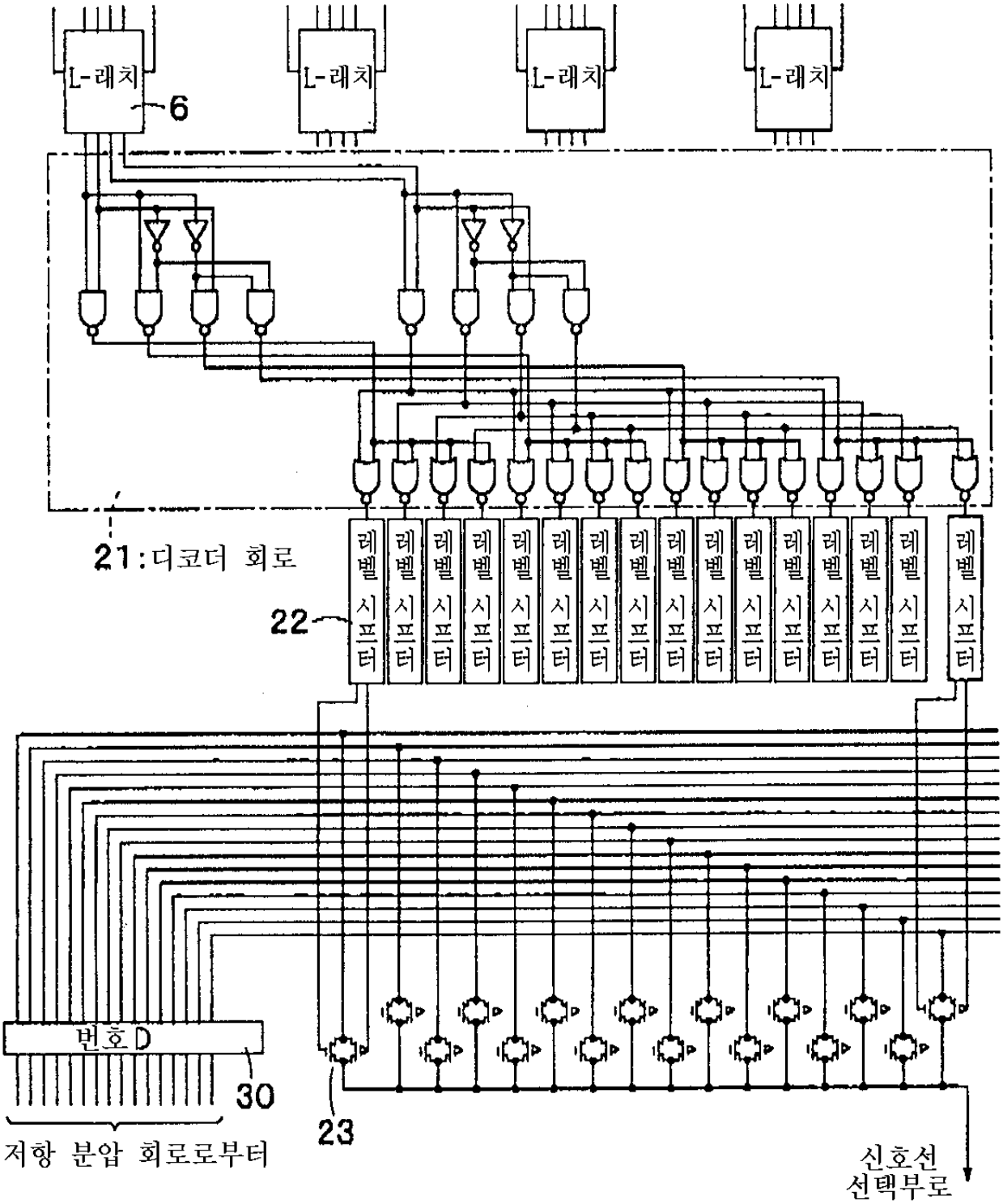


14: 레벨 변환 회로

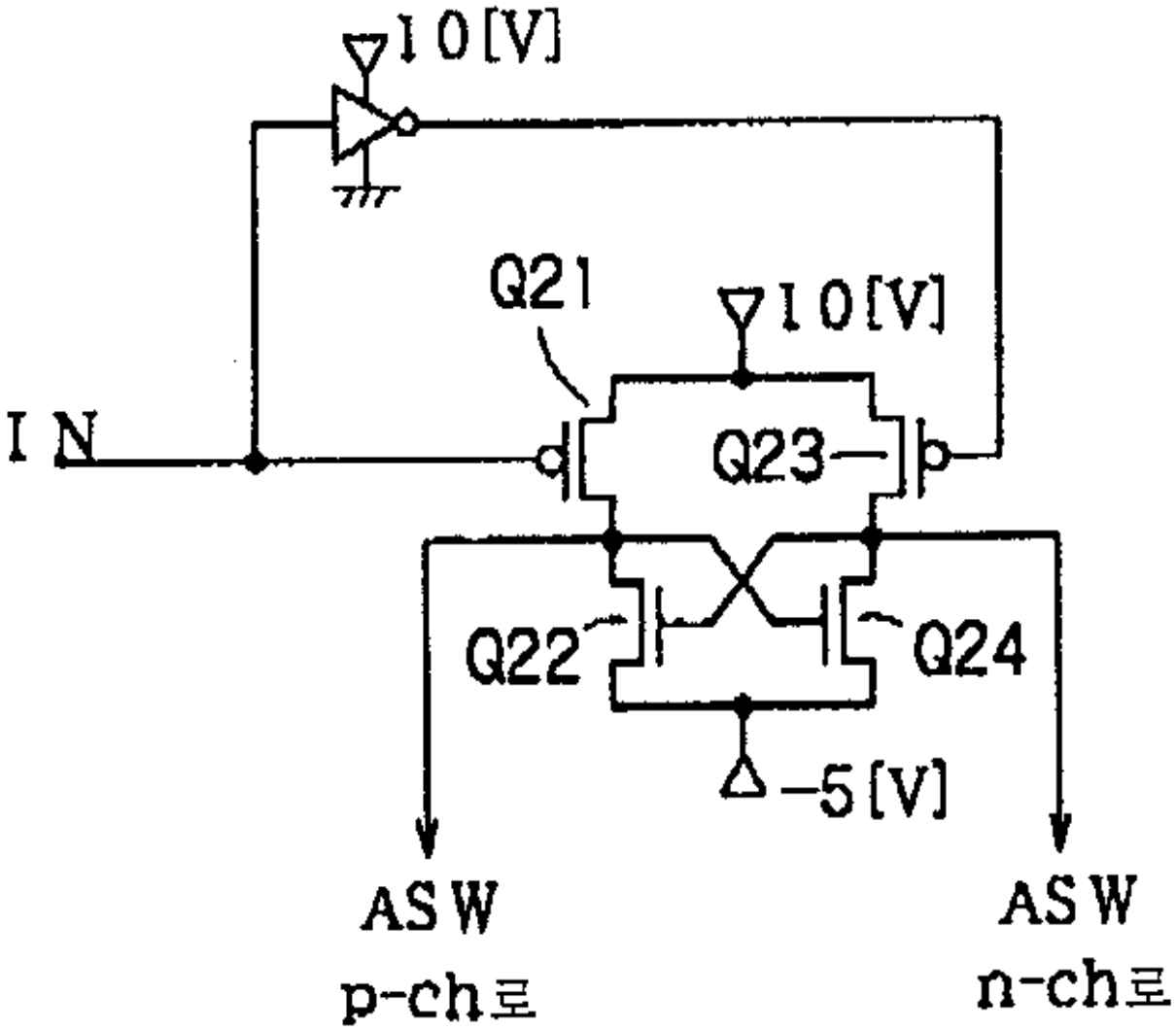
도면 12


보호 다이오드
13
L/S
14
4
보호 다이오드
17
디지털 계조 데이터 공급 회로
15
L-레치
L/S를 갖는 S-레치
5a
6
16

도면 13

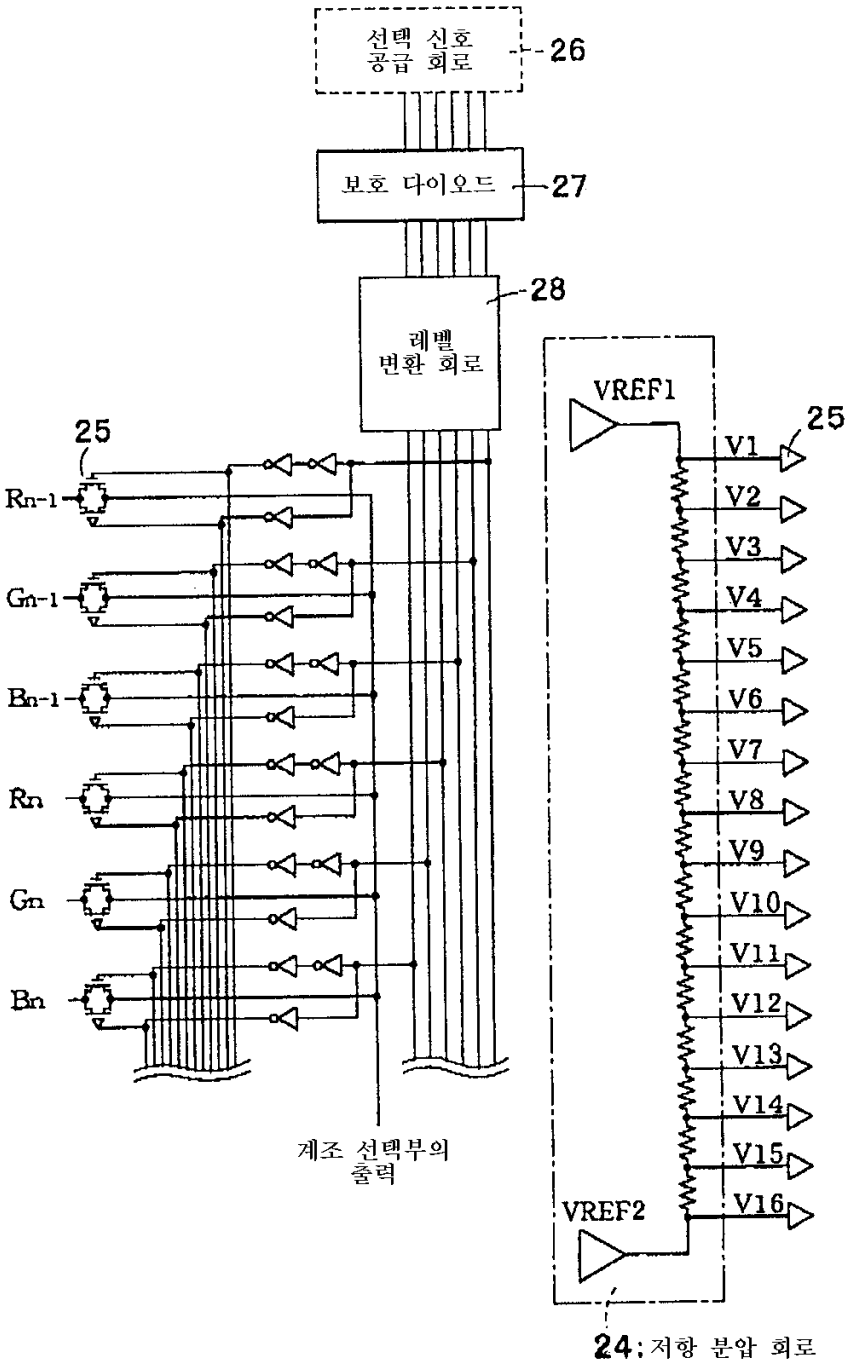

L-래치
6
L-래치
L-래치
L-래치
21:디코더 회로
22
레벨 시프터
번호 D
30
23
저항 분압 회로로부터
신호선 선택부로

도면 14

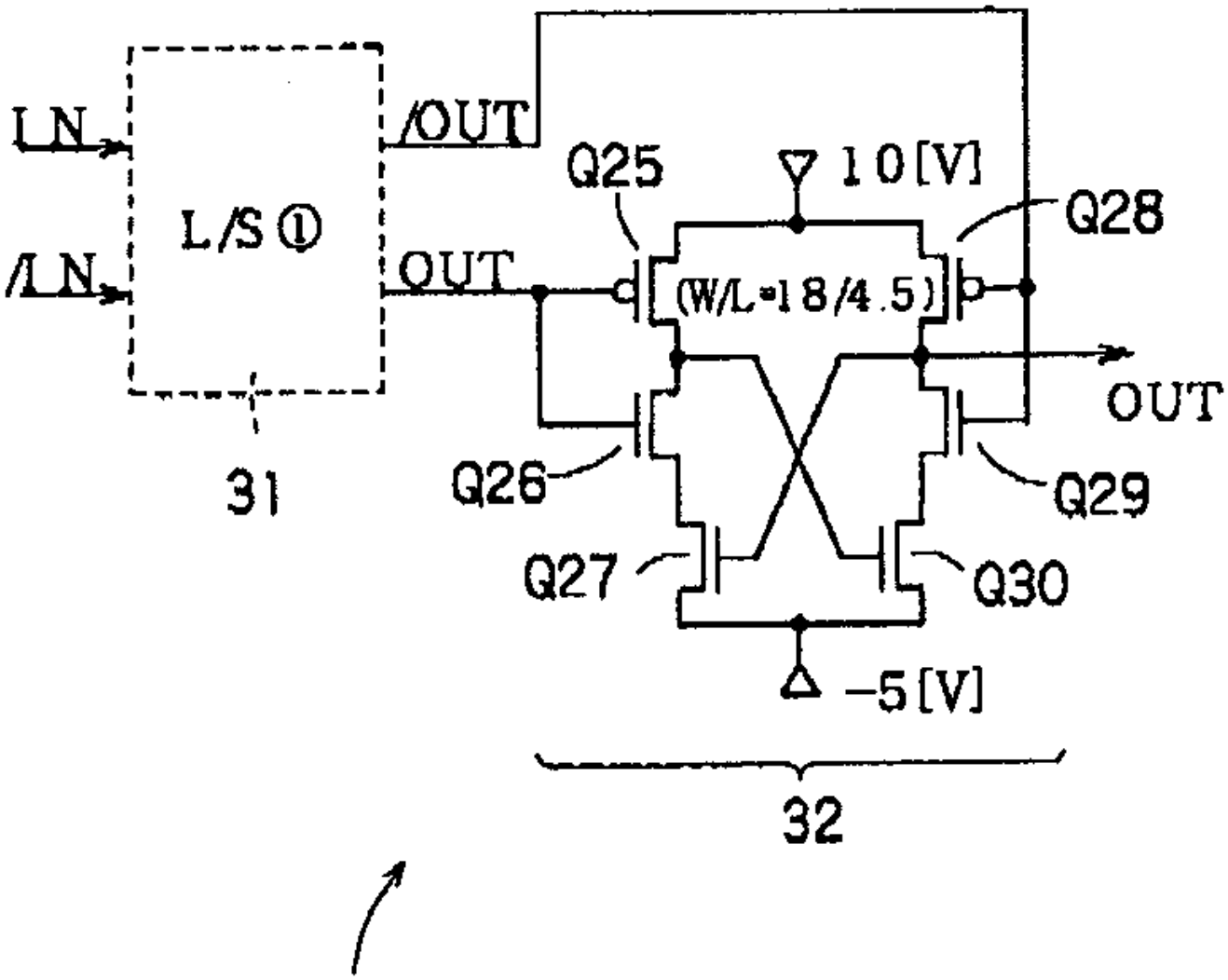


22: 레벨 변환 회로

도면 15

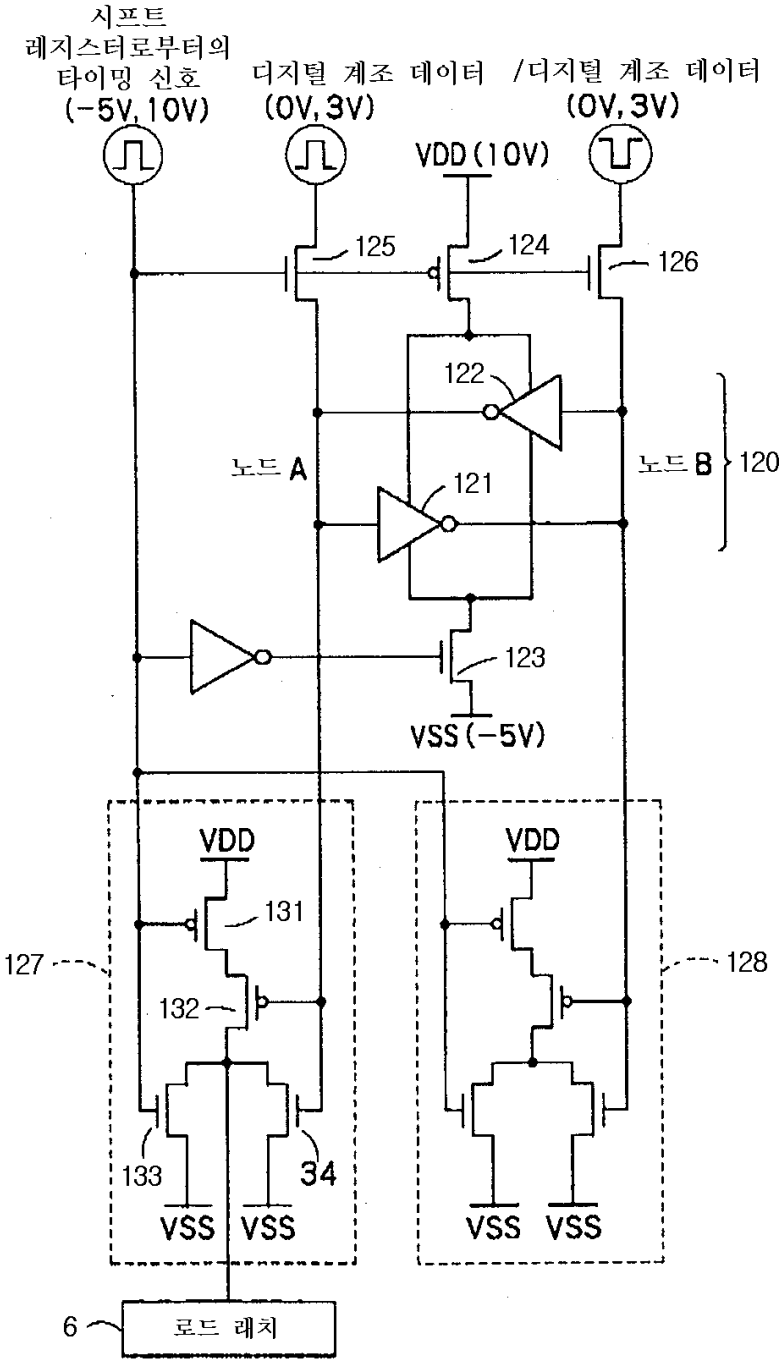

선택 신호
공급 회로
26
보호 다이오드
27
28
레벨
변환 회로
25
Rn-1
Gn-1
Bn-1
Rn
Gn
Bn
계조 선택부의
출력
VREF1
25
V1
V2
V3
V4
V5
V6
V7
V8
V9
V10
V11
V12
V13
V14
V15
V16
VREF2
24: 저항 분압 회로

도면 16

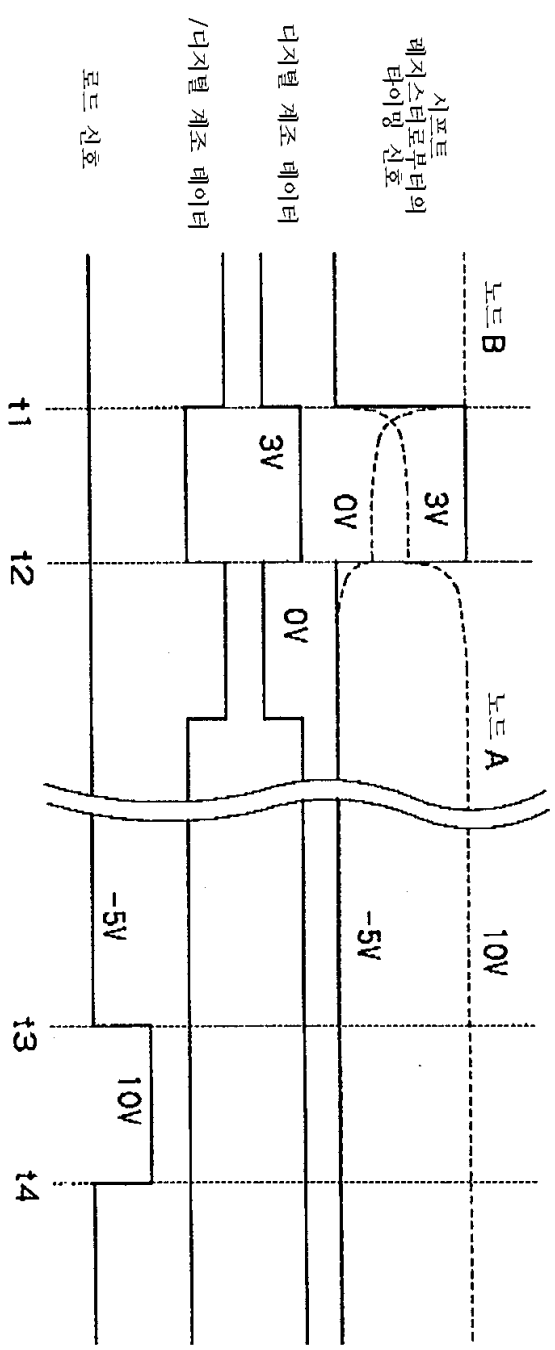


28: 레벨 변환 회로

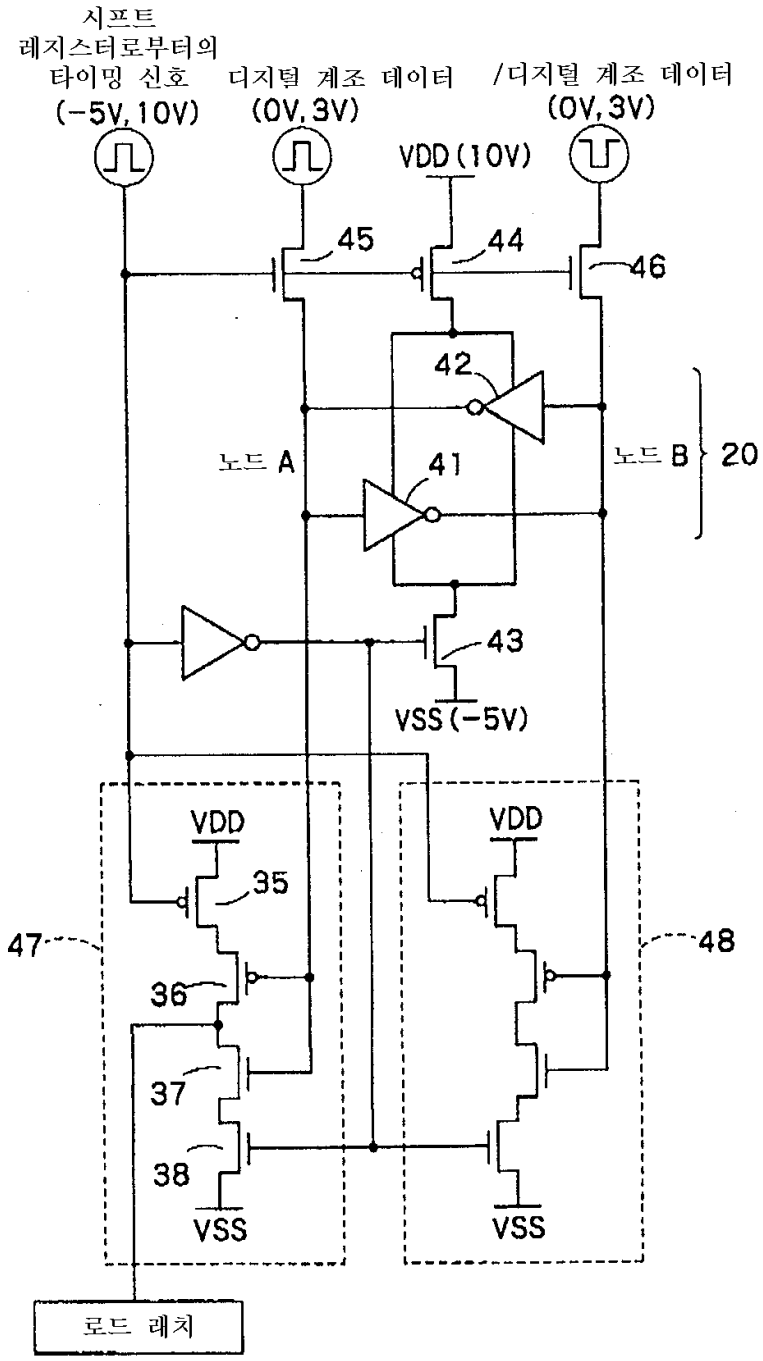
도면 17


시프트
레지스터로부터의
타이밍 신호
(-5V, 10V)
디지털 계조 데이터
(0V, 3V)
/디지털 계조 데이터
(0V, 3V)
VDD (10V)
125
124
126
122
노드 A
121
노드 B
120
123
VSS (-5V)
VDD
131
127
132
133
34
VSS
VSS
VDD
128
VSS
VSS
6
로드 래치

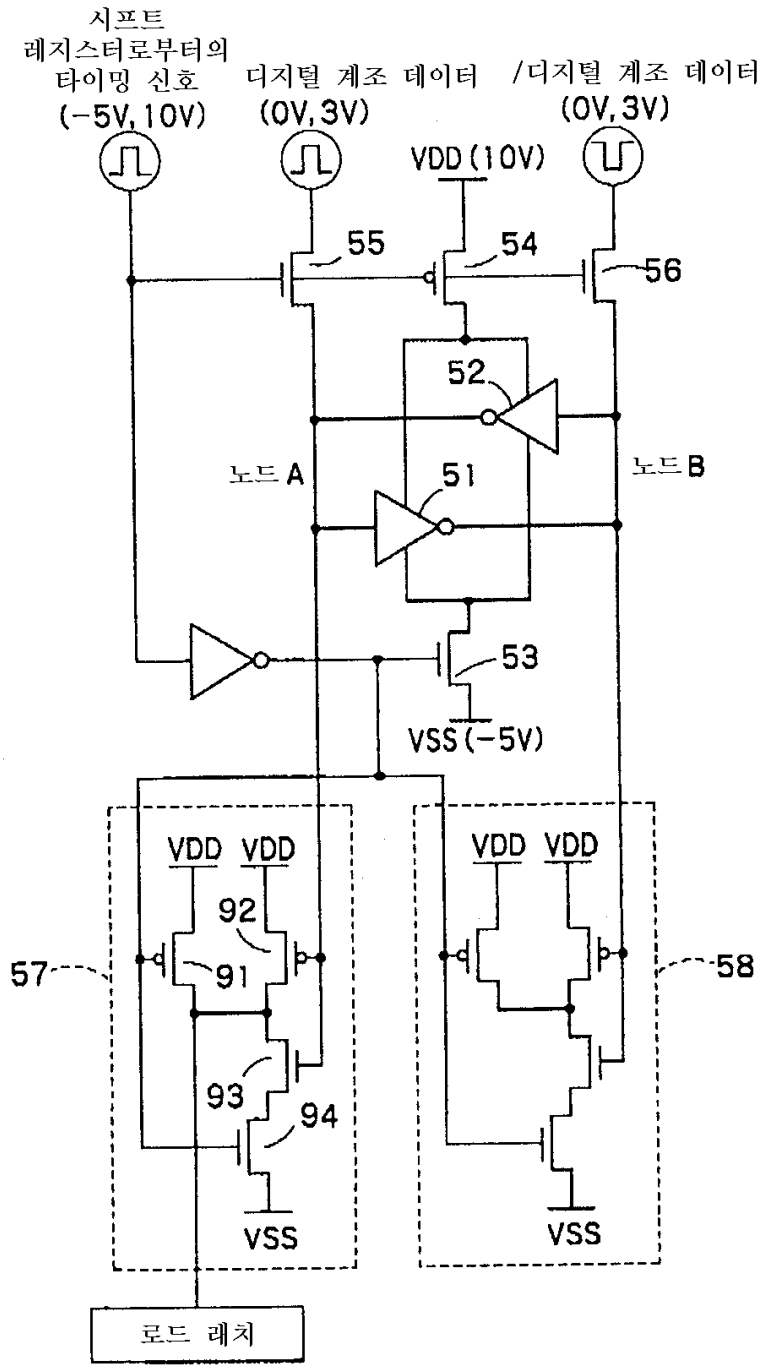
도면 18


시프트 레지스터로부터의 타이밍 신호
디지털 계조 데이터
/디지털 계조 데이터
로드 신호
노드 B
노드 A
t1
t2
t3
t4
3V
0V
3V
0V
-5V
-5V
10V
10V

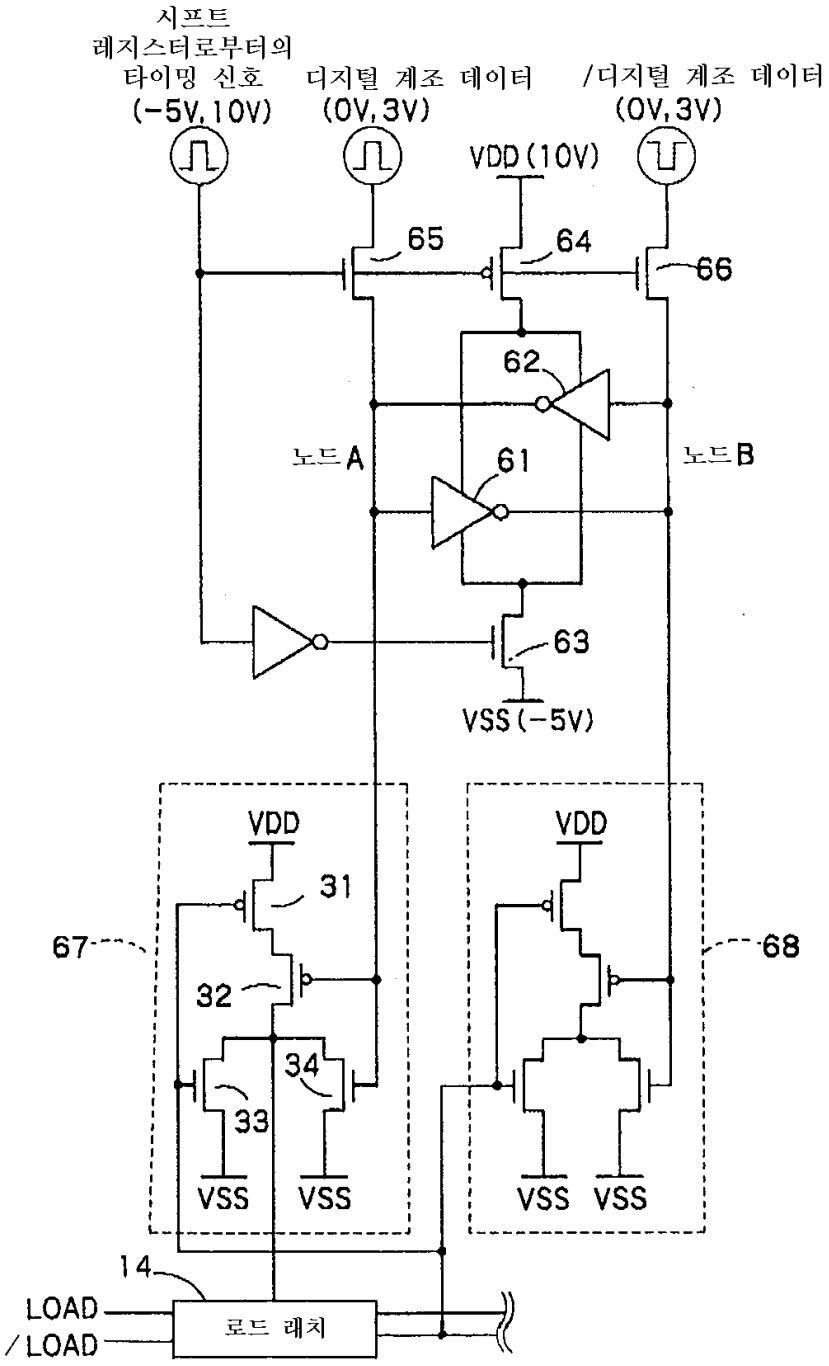
도면 19


시프트
레지스터로부터의
타이밍 신호
(-5V, 10V)
디지털 계조 데이터
(0V, 3V)
/디지털 계조 데이터
(0V, 3V)
VDD (10V)
45
44
46
42
노드 A
41
노드 B
20
43
VSS (-5V)
VDD
35
47
36
37
38
VSS
VDD
48
VSS
로드 래치

도면 20


시프트
레지스터로부터의
타이밍 신호
(-5V, 10V)
디지털 계조 데이터
(0V, 3V)
/디지털 계조 데이터
(0V, 3V)
VDD (10V)
55
54
56
52
노드 A
51
노드 B
53
VSS (-5V)
VDD VDD
92
91
57
93
94
VSS
VDD VDD
58
VSS
로드 레치

도면 21


시프트
레지스터로부터의
타이밍 신호
(-5V,10V)
디지털 계조 데이터
(0V,3V)
/디지털 계조 데이터
(0V,3V)
VDD(10V)
65
64
66
62
노드A
61
노드B
63
VSS(-5V)
VDD
VDD
31
67
68
32
34
33
VSS
VSS
VSS
VSS
14
LOAD
/LOAD
로드 래치

专利名称(译)	液晶显示装置和数据锁存电路		
公开(公告)号	KR1020020003810A	公开(公告)日	2002-01-15
申请号	KR1020010029679	申请日	2001-05-29
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	Sikki东芝股份有限公司		
[标]发明人	MORITA TETSUO 모리따데쯔오		
发明人	모리따데쯔오		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G3/3688 G09G2310/027 G09G2310/0289 G09G2310/0294		
代理人(译)	Jangsugil		
优先权	2000158365 2000-05-29 JP 2000387063 2000-12-20 JP		
其他公开文献	KR100394055B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，以简化信号线驱动电路的配置。结构：液晶显示（LCD）装置包括像素阵列（1），该像素阵列（1）具有多条信号线和扫描线。在信号线和扫描线之间的每个横截面处形成的多个像素晶体管（100），用于驱动相应信号线的信号线驱动电路（2）和用于驱动相应扫描的扫描线驱动电路（3）线。信号线驱动电路（2）包括多个采样锁存电路（5），用于分别锁存在不同时刻由多个位组成的数字灰度数据，多个负载锁存电路（6）分别对应安装多个采样锁存电路（5）用于在同一定时锁存多个采样锁存电路（5）中的每一个的锁存数据，多个数模（D / A）转换电路（7）对应于多个加载锁存电路（6）中的每一个安装的，用于将多个加载锁存电路（6）中的每一个的锁存数据转换成模拟灰度电压和信号线选择电路（8），用于切换状态是否为每条信号线提供模拟灰阶电压，或由多条信号线驱动。©KIPO & JPO 2002