



도14는 본 발명의 제1 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 2).

도15는 본 발명의 제1 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 3).

도16은 본 발명의 제1 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 4).

도17은 1개의 마스터 TFT 기판을 사용하여 제조하는 복수의 액정 패널의 조합의 예(그 1)를 나타내는 평면도.

도18은 1개의 마스터 TFT 기판을 사용하여 제조하는 복수의 액정 패널의 조합의 예(그 2)를 나타내는 평면도.

도19는 1개의 마스터 TFT 기판을 사용하여 제조하는 복수의 액정 패널의 조합의 예(그 3)를 나타내는 평면도.

도20a, 도20b는 모두 본 발명의 제2 실시예의 액정 패널의 제조 방법을 나타내는 평면도.

도21은 본 발명의 제3 실시예의 액정 패널의 제조 방법의 개요를 나타내는 평면도.

도22는 제3 실시예의 반사형 투사 패널의 평면도.

도23은 마찬가지로 그 반사형 투사 패널의 단면도.

도24는 본 발명의 제4 실시예의 액정 패널의 제조 방법에 의해 제조하는 액정 패널을 나타내는 모식도.

도25는 제4 실시예의 액정 패널의 제조 방법의 개요를 나타내는 평면도.

도26은 제4 실시예의 액정 패널의 제조 방법을 나타내는 플로차트(그 1).

도27은 제4 실시예의 액정 패널의 제조 방법을 나타내는 플로차트(그 2).

도28은 제4 실시예의 액정 패널의 제조 방법을 나타내는 플로차트(그 3).

도29는 제4 실시예의 액정 패널의 제조 방법을 나타내는 플로차트(그 4).

도30은 제4 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 1).

도31은 제4 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 2).

도32는 제4 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 3).

도33은 제4 실시예의 액정 패널의 제조 방법을 나타내는 단면도(그 4).

도34는 본 발명의 제5 실시예의 액정 패널의 제조 방법을 나타내는 평면도.

도35는 제5 실시예의 액정 패널에 내장하는 2차원 이미지 센서의 단면도.

도36은 제5 실시예를 1차원 밀착형 이미지 센서 내장 액정 패널의 제조에 적용한 예를 나타내는 평면도.

(부호의 설명)

10, 60, 70, 120, 140 …마스터TFT 기판

10a~10d, 120a…서브TFT 기판

11a~11d, 61a~61d, 71a~71d, 121a~121d, 141a~141d…블록

12a~12d, 62~65, 72a~72d…디바이스 형성 영역

16…제1 제조 라인

17…제2 제조 라인

21, 134, 153…게이트 전극

23, 26, 131…비정질 실리콘막

29, 45…화소 전극

30, 100, 6143…액정 패널

32, 42, 92, 102…TFT

35, 105…데이터 라인

36, 106…주사 라인

37…게이트 드라이버용LSI

38…데이터 드라이버용LSI

40…TFT 기판

41, 51, 81, 150…유리 기판

47, 56…배향막

- 48, 57…편광판  
 49…액정  
 50 …CF기판  
 52…블랙 매트릭스  
 53…컬러 필터  
 55…대향 전극  
 59…실재  
 82, 151…실리콘막  
 83…게이트 라인  
 87…코몬 전극  
 89…하부 용량 전극  
 90…평탄화막  
 91…반사 전극  
 107…게이트 드라이버  
 108…데이터 드라이버  
 122a, 122b…구동 회로 내장형 액정 패널  
 125…레이저빔  
 142…2차원 이미지 센서  
 157…센서 셀 전극  
 158…광전 변환층  
 159…공통 투명 전극

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 1매의 마스터 유리 기판을 사용하여 복수의 액정 패널을 제조하는 액정 패널의 제조 방법, 그 제조 방법에 의해 제조된 액정 패널 및 액정 패널의 제조 시스템에 관한 것이다.

액티브 매트릭스 방식의 액정 패널을 이용한 표시 장치는 비선택시에 오프 상태가 되어 신호를 차단하는 스위치를 각 화소에 설치함으로써 크로스토크를 방지하는 것이고, 단순 매트릭스 방식의 액정 패널을 이용한 표시 장치에 비하여 뛰어난 표시 특성을 나타낸다. 특히, 스위치로서 TFT(Thin Film Transistor)를 사용한 액정 표시 장치는 TFT의 구동 능력이 높기 때문에, CRT(Cathode-Ray Tube)에 필적할 정도로 뛰어난 표시 특성을 나타낸다.

일반적으로, 액정 패널은 2매의 투명 기판 사이에 액정을 봉입한 구조를 갖고 있다. 이들 투명 기판의 서로 대향하는 2개의 면중, 한편의 면측에는 대향 전극, 컬러 필터 및 배향막 등이 형성되고, 다른 쪽의 면측에는 TFT, 화소 전극 및 배향막 등이 형성되어 있다. 또한 각 투명 기판의 대향면과 반대측의 면에는 각각 편광판이 접착되어 있다. 이들 2매의 편광판은 예를 들면 편광판의 편광축이 서로 직교하도록 배치되고, 이에 의하면, 전계를 걸지 않는 상태에서는 광을 투과하고, 전계를 인가한 상태에서는 차광하는 모드, 즉 노멀리화이트 모드가 된다. 그 반대로, 2매의 편광판의 편광축이 평행인 경우에는 노멀리블랙 모드가 된다. 이하 TFT 및 화소 전극이 형성된 투명 기판, 또는 이들로부터 TFT 및 화소 전극이 형성되는 투명 기판을 TFT 기판 이라고 부르고, 대향 전극 및 컬러 필터가 형성된 투명 기판을 대향 기판이라고 부른다.

근년, 노트형 퍼스널 컴퓨터(이하 PC이라고 함), 데스크톱형PC 및 워크스테이션 등으로 사용되는 액티브 매트릭스형 액정 패널의 사이즈가 매년 대형화하고 있다.

일반적으로, 액정 패널의 제조에는 마스터 유리라고 불리는 대형의 기판을 사용하고 있다. 그리고 마스터 유리 기판을 복수의 액정 패널 형성 영역으로 구획하여, 각 영역에 TFT나 화소 전극 등을 형성하고, 그 후 마스터 유리 기판(TFT 기판) 위에 스페이서를 산포하고, 스페이서를 끼워서 마스터 유리 기판과 CF기판을 접합한 후, 마스터 유리 기판을 분할하여 개개의 액정 패널로 하고 있다. 액정 패널의 대형화에 동반하여, 마스터 유리 기판의 사이즈도 매년 대형화하는 경향에 있다. 또 제조 비용을 저감하기 위해서, 1매의 마스터 유리 기판으로 제조하는 액정 패널의 수(모따기수)도 많아지고 있다.

하기 표1에, 액티브 매트릭스 방식의 액정 패널의 제조 라인의 세대와 마스터 TFT 기판 사이즈와의 대응을 나타낸다. 또 도1에 각 세대의 마스터 TFT 기판의 크기의 비교를 나타낸다.

[표 1]

라인세대	기판사이즈	10형	11형	12형	13형	15형
제1.0기	300×400mm	2 모따기	2 모따기	1 모따기	1 모따기	1 모따기
제2.0기	360×465mm	4 모따기	2 모따기	2 모따기	2 모따기	1 모따기
제2.5기	400×500mm		4 모따기	2 모따기	2 모따기	2 모따기
제3.0기	550×600mm			6 모따기	4 모따기	4 모따기
제3.5기	600×720mm				6 모따기	4 모따기
제4.0기	960×1000mm				12 모따기	9 모따기

표1에 나타내는 바와 같이, 제1기(Phase1)의 제조 라인은 마스터 유리 기판의 사이즈가  $300 \times 400\text{mm}$ 이고, 10형 대각선의 길이가 10. 4인치 또는 11형 대각선의 길이가 11. 4인치의 액정 패널을 2매 동시에 형성하는 것이 가능하다. 이에 대해서, 현재 각 메이커에서 검토중인 제4기(Phase4)의 제조 라인에서는 마스터 유리 기판의 사이즈가  $960 \times 1000\text{mm}$ 이고, 제1기의 마스터 유리 기판의 8배의 면적을 갖고 있다. 이 제4기의 마스터 유리 기판에서는 13형 대각선의 길이가 13. 3인치 또는 14형 대각선의 길이가 14. 1인치의 액정 패널을 12매 동시에 제조할 수 있다.

또 근년, 액정 패널에 대한 수요도 다양화하고 있다. 당초, 액정 패널은 주로 노트형PC의 디스플레이 장치로서 사용되고 있었지만, 디스크 톱형PC나 워크스테이션의 디스플레이 장치로서 사용하는 대형 액정 패널, 이동 통신기나 휴대형 정보 기기 등의 모바일 기기용의 중형 또는 소형의 액정 패널, 텔레비전(TV), 비디오(VTR) 및 디지털 카메라 등의 영상 기기용의 액정 패널의 시장도 매년 확대하고 있다.

종래, 액정 패널의 제조 라인은 기본적으로 어느 특정의 치수의 액정 패널을 상정하여 구축되고 있다. 예를 들면, 도2, 도3에 나타내는 바와 같이, 제1기의 제조 라인에서는 10형의 액정 패널의 2모따기를 상정하여 마스터 유리 기판의 사이즈가 결정되고, 그 마스터 유리 기판에 맞추어 제조 라인이 구축되었다. 이와 마찬가지로, 제2기의 제조 라인은 10형의 액정 패널의 4모따기를 상정하여 구축되고, 제2. 5기의 제조 라인은 10형 또는 11형의 액정 패널의 4모따기를 상정하여 구축되고, 제3기의 제조 라인은 12(형 대각선의 길이가 12. 1인치)의 액정 패널의 4모따기를 상정하여 구축되고, 제3. 5기의 제조 라인은 13형의 액정 패널의 6모따기를 상정하여 구축되고 있다. 또 제4기의 제조 라인은 13형 또는 14형의 액정 패널의 12모따기, 또는 15형 이상의 액정 패널의 4~6모따기를 상정하여 구축된다.

### 발명이 이루고자 하는 기술적 과제

본원 발명자는 종래의 액정 패널의 제조 방법에서는 이하의 3개의 문제점이 있다고 생각한다.

제1 문제점은 생산성이 액정 패널의 치수에 의하여 대폭적으로 변동하는 것이다. 도4에, 제3기 제조 라인(마스터 유리 기판 사이즈가  $550 \times 650\text{mm}$ )의 패널 사이즈와 모따기수와의 관계를 나타낸다. 제3기 제조 라인에서는 11형 또는 12형 액정 패널이라면 6모따기, 13형~15형 액정 패널이라면 4모따기, 16형~19형 액정 패널이라면 2모따기, 20형~24형 액정 패널이라면 1모따기가 된다.

하기 표2에, 생산성을 반영하는 유효 기판 이용률의 패널 모따기수 및 패널 치수에 대한 의존성을 나타낸다.

[표 2]

패널 치수 (또는 대각선 인치)	모따기후	유효 기판 이용률
12형	6 모따기	0.86
13형	4 모따기	0.67
15형	4 모따기	0.87
16형	2 모따기	0.51
19형	2 모따기	0.72
20형	1 모따기	0.40
24형	1 모따기	0.57

단, 가장자리의 핸들링 영역을 없앤 마스터 유리 기판의 면적을 기판 유효 면적으로 하고, 액정 패널의 표시 영역의 면적을 패널 면적으로 하여, 유효 이용 면적=패널 면적×모따기수로 하고, 유효 기판 이용률=유효 이용 면적/기판유효 면적이라고 정의한다.

표2로부터 명백한 바와 같이, 패널 사이즈가 16형으로부터 19형까지 사이에서 바뀌어도, 동시에 제조할 수 있는 액정 패널의 수는 2개로 바뀌지 않기 때문에, 유효 기판 이용률이 0. 51로부터 0. 72까지 사이에서 변동한다. 확인하면, 어느 제조 라인에서 일정한 모따기수로 유효 기판 이용률이 최대로 되는 패널 사이즈가 있다. 예를 들면, 제3기 제조 라인의 경우는 유효 기판 이용률이 최대가 되는 패널 사이즈는 6 모따기에서는 12형, 4모따기에서는 15형, 2모따기에서는 19형, 1모따기에서는 24형이다. 이 중, 유효 기판 이용률이 가장 높은 것은 12형4모따기의 0. 86이고, 유효 기판 이용률이 가장 낮은 것은 20형1모따기의 0. 4다. 즉 종래의 방법에서는 제조하는 액정 패널의 사이즈에 의해서 유효 기판 이용률이 0. 4~0. 87이 되고, 2배 이상 변동한다.

제2 문제점은 액정 패널의 제조 라인의 투자가 방대해지고, 제품의 다양화에 대응할 수 없게 되는 것이다. 근년, 노트(서브노트를 포함함)형PC, 디스크 듀얼PC나 워크스테이션의 디스플레이 장치, 모바일 기기의 디스플레이 장치 및 영상 기기 등에 액정 패널의 용도가 확대되고 있다. 그러나 종래에는 ①특정의 제조 라인에서 특정의 사이즈의 액정 패널을 제조한다, ②특정의 룻트에서 특정의 품종을 투입한다,라는 생각이 기본에 있다.

따라서 액정 패널의 다양화에 대응하기 위해서는 액정 패널의 사이즈나 품종에 따른 복수의 제조 라인을 구축할 필요가 있다. 예를 들면, 제1 제조 라인에서는 노트형PC용 액정 패널을 제조하고, 제2 제조 라인에서는 모바일 기기 및 영상 기기용 액정 패널을 제조하며, 제3 제조 라인에서는 모니터용 액정 패널을 제조하는 것처럼, 종래에는 제조하는 액정 패널에 맞추어 제조 라인을 구축하고 있다.

제품의 종류가 적을 때는 액정 패널의 사이즈나 품종에 따라서 제조 라인을 구축하는 것이 비교적 용이 했지만, 향후에는 마스터 유리 기판 사이즈가 거대화하고, 제품도 다양화하여 가므로, 각 제품마다 제조 라인을 구축하면 설비 투자가 방대해지고, 다양화하는 제품에 대응할 수 없게 된다.

제3 문제점은 종래 방법에서는 시장 수요의 변화에 대하여 대응할 수 없다는 것이다. 예를 들면, 1994년경, 액정 패널의 각 메이커에서는 노트형PC용 액정 패널의 사이즈는 10형이 될 것이라고 예측하고, 10형 액정 패널의 4모따기를 상정한 제2기 제조 라인을 구축했다. 그러나 1년이 채 안되는 사이에 노트형PC용 액정 패널의 패널 사이즈의 주류가 11형으로 바뀌었기 때문에, 이미 구축한 제조 라인의 대부분이 이 수요에 대응할 수 없게 되고, 11형의 2모따기로 변경되어 생산성이 반감되었다.

또 다음 해인 1995년에는 액정 패널의 패널 사이즈의 주류가 12형으로 바뀌었기 때문에, 모처럼 구축한 2. 5기의 제조 라인이 12형의 액정 패널의 2모따기의 제조 라인이 되어 버렸다. 여기에서도, 생산성이 반감되었다.

이상으로부터 본 발명의 목적은 마스터 유리 기판의 사이즈를 변경해도 종래의 설비도 효율 좋게 사용하고, 다양화하는 시장의 요구에 용이하게 대응할 수 있어, 제조 비용의 저감을 도모할 수 있는 액정 패널의 제조 방법, 그 제조 방법에 의해 제조된 액정 패널 및 액정 패널의 제조 시스템을 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

상기한 과제는 도5에 예시하는 바와 같이, 액티브 매트릭스 방식의 액정 패널의 제조 방법에 있어서, 마스터TFT 기판(마스터 유리 기판)(10)을 복수의 블록(11a~11d)으로 구획하고, 또한 각 블록(11a~11d)을 1 또는 복수의 디바이스 형성 영역(12a~12d)으로 구획하여, 상기 디바이스 형성 영역(12a~12d)에 TFT가 되는 도전막, 절연막 및 반도체막을 형성하는 어레이 공정과, 상기 마스터TFT 기판(10)을 상기 블록(11a~11d)마다 절단하여 복수의 서브TFT 기판으로 하는 1차 컷 공정과, 각 서브TFT 기판에, 제조할 디바이스에 따른 가공을 실시하는 서브TFT 기판 가공 공정과, 상기 서브TFT 기판을 상기 디바이스 형성 영역(12a~12d)마다 절단하는 2차 컷 공정을 갖는 것을 특징으로 하는 액정 패널의 제조 방법에 의해 해결한다.

상기한 과제는 도6에 예시하는 바와 같이, 마스터TFT 기판(마스터 유리 기판)을 복수의 블록으로 구획하고, 또한 각 블록을 1 또는 복수의 디바이스 형성 영역으로 구획하여, 상기 디바이스 형성 영역의 적어도 1개에 TFT를 형성하는 복수의 제조 장치로 구성되는 제1 제조 라인(16)과, 상기 마스터TFT 기판을 상기 블록마다 복수의 서브TFT 기판으로 분할한 1차 컷 공정 후의 상기 서브TFT 기판에 대해서, 제조할 디바이스에 따른 가공을 실시하는 복수의 제조 장치로 구성되는 제2 제조 라인(17)을 갖는 것을 특징으로 하는 액정 패널의 제조 시스템에 의하여 해결한다.

상기한 과제는 도7, 도9에 나타내는 바와 같이, 마스터TFT 기판(10) 위에 TFT(42)가 되는 도전막, 절연막 및 반도체막을 형성하고, 상기 마스터TFT 기판(10)을 1차 컷하여 복수의 서브TFT 기판(10a~10d)으로 분할하고, 상기 서브TFT 기판(10a~10d)의 상태에서 화소 전극(45) 및 제1 배향막(47)을 형성하고, 이들 화소 전극(45) 및 제1 배향막(47)이 형성된 기판(40)과, 컬러 필터(53), 대향 전극(55) 및 제2 배향막(56)을 갖는 컬러 필터 기판(50)을 접합하고, 상기 서브TFT 기판(10a~10d)을 2차 컷한 후, 상기 기판(40)과 상기 컬러 필터 기판(50) 간에 액정(49)을 봉입하여 형성된 것을 특징으로 하는 액정 패널에 의하여 해결한다.

이하 본 발명의 작용에 대해서 설명한다.

액티브 매트릭스 방식의 액정 패널의 제조 공정에서는 일반적으로, 마스터TFT 기판 위에 TFT를 형성하는 어레이 공정, 화소 전극이나 배향막을 형성하고, CF기판과 접합하는 서브TFT 기판 가공 공정, 마스터TFT 기판을 절단하는 컷 공정을 이 순서로 실시한다. 액정 패널의 제조 공정에서는 품종이 차이가 나도 어레이 공정의 내용은 기본적으로 동일하다. 즉 어레이 공정에서는 액정 패널의 품종이 차이가 나도 절연막, 반도체막 및 도전막을 형성하는 차례나 각 막의 두께 및 재료는 거의 동일하다. 한편, 서브TFT 기판 가공 공정으로 형성하는 배향막의 재료나 셀 캡 및 액정 재료는 품종에 따라 다르다.

그런데 본 발명에서는 마스터TFT 기판(마스터 유리 기판)을 복수의 블록으로 구획하고, 각 블록을 또한 1 또는 복수의 디바이스 형성 영역으로 구획하여, 마스터TFT 기판의 상태에서 TFT형성 공정을 실시하여 적어도 1개의 디바이스 형성 영역에 TFT가 되는 도전막, 절연막 및 반도체막을 형성한다. 이와 같이 본 발명에서는 액정 패널의 종류에 관계없이 공정의 공통의 가공을 마스터 TFT 기판의 상태에서 실시한다. 이 때, 마스터TFT 기판의 상태에서 처리가 가능한 대형의 성막 장치, 노광 장치, 현상 장치, 에칭 장치 등으로 구성되는 제1 제조 라인을 사용한다.

다음에 1차 컷 공정에서 마스터TFT 기판을 각 블록마다의 서브TFT 기판으로 절단한다. 그리고 각 서브TFT 기판에 대해서 제조할 디바이스에 따른 가공을 실시한다. 즉 액정 패널의 품종에 따른 재료를 이용하여 배향막을 형성하거나, 셀 갭을 조정한다. 이 경우, 마스터TFT 기판보다도 작은 서브TFT 기판의 상태에서 처리하므로, 제1 제조 라인보다도 소형의 성막 장치, 노광 장치, 현상 장치, 에칭 장치 등의 장치로 구성되는 제2 제조 라인, 환연하면 제1 제조 라인보다도 전세대의 제조 라인을 사용할 수 있다. 그 후, 2차 컷 공정에서 서브TFT 기판을 소정의 패널 사이즈로 절단하고, 패널 내에 액정 패널의 사양에 따른 액정을 봉입한다.

본 발명에 의하면, 1차 컷 공정에서 마스터 TFT 기판을 복수의 서브TFT 기판으로 분할하고, 그 후 서브TFT 기판 가공 공정을 실시하므로, 전세대의 설비를 효율 좋게 사용할 수 있고, 설비 투자의 비용을 삭감할 수 있다. 또 1매의 마스터 TFT 기판(마스터 유리 기판)을 사용하여 제조하는 액정 패널의 조합을 적절히 선택함으로써, 유효 기판 이용률을 향상시킬 수 있음과 동시에, 시장 수요의 변화에 용이하게 대응할 수 있다.

본 발명에서는 예를 들면, 1개의 블록 내에 동일 사이즈의 액정 패널만을 형성해도 좋다. 또 유효 이용률이 높아지도록, 1개의 블록 내에 다른 사이즈의 2종 이상의 액정 패널을 형성해도 좋다. 또한 어느 블록에 직시형 액정 패널을 형성하고, 다른 블록에 투사형 액정 패널을 형성하는 것도 가능하다. 또한 어느 블록에 투과형 액정 패널을 형성하고, 다른 블록에 반사형 투사 패널을 형성하는 것도 가능하다.

본 발명에서는 마스터 TFT 기판의 상태에서 TFT를 형성하므로, 어레이 공정 내에 반도체막을 형성하는 공정을 포함하고 있다. 그러나 또한 서브TFT 기판 가공 공정에서 서브TFT 기판 상에 반도체막을 형성해도 좋다. 예를 들면, 광통신용 수광 센서, 1차원 비밀착형 이미지 센서, 2차원 비밀착형 이미지 센서, 1차원 밀착형 이미지 센서 또는 2차원 밀착형 이미지 센서 등의 광전 변환 소자를 내장한 액정 패널을 제조하는 경우, 수광 센서 또는 이미지 센서 부분의 실리콘막은 비교적 두껍게 형성할 필요가 있다. 마스터TFT 기판의 상태에서 매엽(枚葉)형의 성막 장치를 사용하여 실리콘막을 두껍게 형성하는 것보다도, 서브TFT 기판으로 분리한 후에 배치형의 성막 장치를 사용하여 복수의 서브TFT 기판에 동시에 실리콘막을 형성하는 편이 성막 효율이 높게 된다. 따라서 광통신용 수광 센서 또는 이미지 센서를 내장하는 액정 패널을 형성하는 경우, 서브TFT 기판 가공 공정 내에 반도체막을 형성하는 공정을 갖는 것이 바람직하다.

또한 일본 특개평9-325328호 공보에는 마스터TFT 기판에 사이즈가 다른 액정 패널을 형성하고, 그 후 마스터 TFT 기판을 개개의 액정 패널로 절단하는 것이 개시되어 있다. 그러나 일본 특개평9-325328호 공보에 개시된 기술에서는 1매의 마스터 유리 기판에서 복수의 액정 패널을 동시에 형성하고, 액정을 봉입하는 공정의 직전에 마스터 유리 기판을 절단하여 개개의 액정 패널로 분리하고 있다. 따라서 기판을 절단하는 공정이 1개 밖에 없고, 개개의 액정 패널에 분리할 때까지는 마스터 TFT 기판을 처리하기 위한 대형의 제조 라인이 필요하다. 이 때문에, 일본 특개평9-325328호 공보에 개시된 기술에서는 마스터 유리 기판의 이용 효율을 향상시킬 수는 있지만, 전세대의 제조 라인을 사용할 수 없어, 설비를 효율 좋게 사용한다는 점에서 충분하지 않다. 또 일본 특개평9-325328호 공보에 개시된 기술에서는 배향막의 재질이나 셀 갭이 동일한 액정 패널밖에 동시에 제조할 수 없고, 1개의 마스터 유리 기판을 사용하여 배향막의 재질이나 셀 갭 등이 다른 액정 패널을 제조할 수는 없다.

한편, 본 발명에서는 마스터TFT 기판에서 실시되는 공정은 각 액정 패널에서 공통이지만, 서브TFT 기판으로 절단한 뒤에는 서브TFT 기판 가공 공정에서는 각 액정 패널에 고유의 공정을 실시하는 것이 가능하다. 따라서 1개의 마스터 TFT 기판을 이용하여 다른 구조의 액정 패널을 효율 좋게 제조할 수 있다.

#### (실시예)

이하 본 발명의 실시예에 대해서, 첨부한 도면을 참조하여 설명한다.

#### (제1 실시예)

도5는 본 발명의 제1 실시예의 액정 패널의 제조 방법의 개요를 나타내는 평면도, 도6은 액정 패널의 제조 시스템을 나타내는 모식도, 도7은 마스터 TFT 기판 및 서브TFT 기판을 나타내는 평면도다.

본 실시예에서는 사이즈가  $960 \times 1000\text{mm}$ 의 마스터 TFT 기판(마스터 유리 기판)을 사용하고, 도5에 나타낸 바와 같이, 마스터TFT 기판(10)을 4개의 블록(11a~11d)으로 구획하고, 예를 들면 제1 블록(11a)에는 20형의 액정 패널을 형성하기 위한 1개의 디바이스 형성 영역(12a), 제2 블록(11b)에는 12~15형의 액정 패널을 형성하기 위한 2개의 디바이스 형성 영역(12b), 제3 블록(11c)에는 10~11형의 액정 패널을 형성하기 위한 4개의 디바이스 형성 영역(12c), 제4 블록(11d)에는 2형~3형의 휴대 전화용 액정 패널을 형성하기 위한 다수(도에서는 6개)의 디바이스 형성 영역(12d)을 확보한다.

또한 후술하는 서브TFT 기판 가공 공정에서 각 서브TFT 기판을 핸들링할 필요상, 각 블록(11a~11d)의 가장자리에는 10~15mm의 폭으로 핸들링 영역을 확보하는 것이 필요하다.

또 본 실시예에서는 도6에 나타내는 바와 같이, 제1 제조 라인(16)과 제2 제조 라인(17)의 2종류의 제조 라인을 사용한다. 제1 제조 라인(16)은  $960 \times 1000\text{mm}$ 의 마스터 TFT 기판(10)을 처리 가능한 대형의 세정 장치, 성막 장치, 노광 장치, 현상 장치 및 에칭 장치 등의 장치군으로 구성되고, 이 제1 제조 라인(16)을 이용하여, 마스터TFT 기판(10)의 각 블록(11a~11d)에, TFT가 되는 실리콘막이나 절연막 및 도전막을

형성한다. 그 후, 1차 컷 공정에서 도5 및 도7a에 파선으로 나타내는 위치에서 마스터 TFT 기판(10)을 절단하고, 도7b에 나타내는 바와 같이 각 블록(11a~11d)마다의 서브TFT 기판(10a~10d)으로 분할한다. 이들 서브TFT 기판(10a~10d)의 사이즈는 모두  $480 \times 500\text{mm}$ 다. 제1 제조 라인(16)에는 TFT의 활성층이 되는 반도체막을 형성하기 위한 성막 장치, 예를 들면 PECVD(Plasma Enhanced Chemical Vapor Deposition) 장치가 포함되어 있다.

도6에 나타내는 제2 제조 라인(17)은 사이즈가  $480 \times 500\text{mm}$ 의 서브TFT 기판(10a~10d)을 처리 가능한 비교적 소형의 세정 장치, 성막 장치, 노광 장치, 현상 장치 및 에칭 장치 등의 장치군으로 구성되어 있다. 환언하면, 제2 제조 라인(17)은 제1 제조 라인(16)보다도 전세대의 제조 라인을 사용할 수 있다. 이 제2 제조 라인(17)에서 서브TFT 기판(10a~10d)에 대하여 제조하는 각 액정 패널에 따른 처리를 실시한다.

제2 제조 라인(17)에는 ITO(indium-tin Oxide:인듐산화주석)로 되는 화소 전극을 형성하기 위한 성막 장치, 예를 들면 스퍼터 장치가 포함되어 있다.

그 후, 서브TFT 기판(10a~10d)과 CF기판을 접합한 뒤, 2차 컷 공정에서 서브TFT 기판(10a~10d)을 절단하여 소망의 패널 사이즈로 한다. 그리고 TFT 기판과 CF기판 간에 액정을 봉입한다.

도8은 제1 실시예의 액정 패널의 제조 방법에 의해 제조하는 액정 패널을 나타내는 모식도다. 이 도8에 나타내는 바와 같이, 액정 패널(30)에는 매트릭스 상으로 배치된 복수(도에서는 1개만 도시)의 화소(31)와, 각 화소(31) 사이를 통과하는 주사 라인(35) 및 데이터 라인(36)이 형성되어 있다. 각 화소(31)는 화소 전극, 대향 전극 및 이를 전극 간의 액정으로 구성되는 투과 광량 제어부(33)와, TFT(32)와, 보조 용량(34)으로 구성되어 있다.

액정 패널(30)에는 게이트 드라이버용LSI(Large Scale Integrated Circuit)(37) 및 데이터 드라이버용LSI(38)가 접속된다. 게이트 드라이버용LSI(37)로부터 주사 라인(35)에 소정의 타이밍으로 주사 신호가 공급되고, 데이터 드라이버용LSI(38)로부터 데이터 라인(36)에 소정의 타이밍으로 표시 데이터가 공급된다.

도9는 제1 실시예에서 제조하려고 하는 직시형 액정 패널(30)의 단면도다. 액정 패널(30)은 스페이서(도시하지 않음)를 끼워서 배치된 TFT 기판(40) 및 CF기판(50)과, TFT 기판(40)과 CF기판(50)을 접합하는 실재(59)와, TFT(40)과 CF기판(50) 간에 봉입된 액정(49)으로 구성되고, TFT 기판(40)의 하측 및 CF기판(50)의 상측에 각각 편광판(48, 57)이 배치된다.

TFT 기판(40)은 유리 기판(41)과, 그 위에 형성된 TFT(42), 데이터 라인 및 주사 라인 등의 배선(43), 층간 절연막(44), 화소 전극(45), 인출 단자(46) 및 배향막(47)으로 구성되어 있다. 또 CF기판(50)은 유리 기판(51)과, 그 하측 면 측에 형성된 블랙 매트릭스(52), 컬러 필터(53), 층간 절연막(54), 대향 전극(55) 및 배향막(56)으로 구성되어 있다.

도10~도12는 제1 실시예의 액정 표시 장치의 제조 방법을 나타내는 플로차트이고, 도10은 마스터 TFT 기판의 상태에서의 공정 플로를 나타내고, 도11은 서브 기판의 상태에서의 공정 플로, 도12는 패널 공정을 나타낸다.

이하 도10~도12의 플로차트, 도7에 나타내는 마스터 TFT 기판 및 서브TFT 기판의 평면도 및 도13~도16의 제조 방법을 공정순으로 나타내는 단면도를 참조하여, 제1 실시예를 보다 상세하게 설명한다. 이 예에서는 마스터TFT 기판(10)을 4개의 블록(11a~11d)으로 나누지만, 미리 도7a에 나타내는 바와 같이, 마스터TFT 기판(10)의 좌측 상의 코너부에는 기판의 방 gid을 결정하기 위한 오리엔테이션 플랫(13)이 설치되어 있고, 다른 코너부에는 코너 컷(14)이 설치되어 있다. 오리엔테이션 플랫(13)은 도면중 x1으로 나타내는 부분의 길이가 2. 0mm, y1으로 나타내는 부분의 길이가 5. 0mm의 노치이고, 코너 컷(14)은 도면중 x2, y2로 나타내는 부분의 길이가 모두 1. 5mm의 노치이다. 또 각 블록(11a~11d)의 각 코너부의 근방에는 위치 맞춤용의 기준 마크(15)가 마련된다.

먼저 도10의 플로차트의 스텝(S11)에서 마스터TFT 기판(10)의 표면을 세정하는 기판 세정 공정을 실시한다. 다음에 스텝(S12)에서 마스터TFT 기판(10)의 한쪽면(이하 상면이라고 함)에 Cr(크롬)을 스퍼터링하여, 두께가 0. 15~0. 2 $\mu\text{m}$ 의 Cr막을 형성한다. 다음에 스텝(S13)으로 이행하여, 포토레지스트를 사용하여 Cr막 위에 소정의 패턴의 레지스트막을 형성한다. 그리고 스텝(S14)에서 Cr막을 에칭하고, 도13a에 나타내는 바와 같이, TFT의 게이트 전극(21)과, 상기 게이트 전극(21)과 동일한 배선층의 주사 라인 등의 배선(도시하지 않음)을 형성한다. 그 후, 레지스트막을 제거한다.

다음에 도13b에 나타내는 바와 같이, 스텝(S15)에서 기판 세정 처리를 실시하고, 스텝(S16)에서 마스터TFT 기판(10)의 상측에  $\text{SiN}_x$ 를 0. 3~0. 4 $\mu\text{m}$ 의 두께로 퇴적시켜 게이트 절연막(22)을 형성한다. 또 게이트 절연막(22) 위에 TFT의 채널 영역이 되는 비정질 실리콘(a-Si)막(23)을 0. 03~0. 1 $\mu\text{m}$ 의 두께로 형성한다. 또한 비정질 실리콘막(23) 위에  $\text{SiN}_x$ 를 0. 2~0. 5 $\mu\text{m}$ 의 두께로 퇴적시켜 채널 보호막(24)을 형성한다.

다음에 스텝(S17)에서 채널 보호막(24) 위에 포토레지스트를 도포하여 포토레지스트막을 형성하고, 상기 포토레지스트막을 마스터 TFT 기판(10)의 하측 면측으로부터 노광한다.

그리고 현상 처리를 실시하고, 도13c에 나타내는 바와 같이, 게이트 전극(21)의 윗쪽에만 레지스트막(25)을 남긴다.

다음에 스텝(S18)에서 레지스트막(25)을 마스크로 해서 채널 보호막(24)을 에칭한다. 그 후, 도14a에 나타내는 바와 같이, 포토레지스트막(25)을 제거한다. 이에 따라 게이트 전극(21)의 윗쪽에만 채널 보호막(24)이 잔존한다.

다음에 스텝(S19)에서 기판 세정 공정을 실시한다. 그리고 도14b에 나타내는 바와 같이, 마스터TFT 기

판(10)의 상측에 TFT의 소스 드레인 영역이 되는 n형 불순물을 도프한 비정질 실리콘막(26)을 약 0.02~0.03μm의 두께로 형성한다. 그 후, 스텝(S20)에서 실리콘막(26) 위에 두께가 0.05~0.1μm의 Ti(티탄)막, 두께가 0.1~0.2μm의 Al(알루미늄)막, 두께가 0.05~0.1μm의 Ti막을 차례로 형성하고, 이를 Ti막, Al막 및 Ti막의 적층 구조로 되는 도전막(27)을 형성한다.

이어서, 스텝(S21)에서 마스터TFT 기판(10)을 1차 컷하여, 도7b에 나타내는 바와 같이, 4개의 서브TFT 기판(10a~10d)으로 분할한다. 그리고 각 서브TFT 기판(10a~10d)에 단면 가공을 실시하고, 위치 맞춤용의 오리엔테이션 플랫(도7b에 실선의 원으로 나타냄)과 코너 컷(도7b에 파선의 원으로 나타냄)을 설치한다.

지금까지의 공정은 도6에 나타내는 제1 제조 라인(16)에서 실시하고, 그 이후의 공정은 도6에 나타내는 제2 제조 라인(17)에서 실시한다. 또 지금까지의 공정에서는 패턴 형성시의 마스크 위치 맞춤은 마스터TFT 기판(10)의 네 귀퉁이에 설치된 기준 마크(15)를 이용하여 한다.

이하의 공정에서는 서브TFT 기판(10a)에 대한 공정만 설명하지만, 다른 서브TFT 기판(10b~10d)에 대해서도 기본적으로 동일하다.

스텝(S22)에서 1차 컷 후의 서브TFT 기판(10a)에 대하여 기판 세정 공정을 실시한다. 그 후, 스텝(S23)에서 포토레지스트를 사용하여 도전막(27) 위에 소정의 패턴에서 레지스트막(도시하지 않음)을 형성한다. 그리고 스텝(S24)에서 이 레지스트막을 마스크로 해서 도전막(27)을 에칭하고, 도15a에 나타내는 바와 같이, TFT의 소스 전극, 드레인 전극 및 이들과 동일 배선층의 배선(데이터 라인 등)을 형성한다. 또 TFT의 채널이 되는 영역 위의 실리콘막(26)을 에칭에 의하여 제거한다.

그 후, 스텝(S25)에서 기판 세정 공정을 실시한 후, 스텝(S26)에서 도15b에 나타내는 바와 같이, 서브TFT 기판(10a)의 상측에 SiN<sub>x</sub>로 되는 층간 절연막(28)을 0.3~0.4μm의 두께로 형성한다. 그리고 포토레지스트를 사용하여 층간 절연막(28) 위에 콘택홀 패턴을 갖는 레지스트막(도시하지 않음)을 형성하고, 스텝(S27)에서 상기 레지스트막을 마스크로 해서 층간 절연막(28)을 에칭하여, 도16a에 나타내는 바와 같이 콘택홀(28a)을 형성한다. 그 후, 레지스트막을 제거한다.

다음에 스텝(S28)에서 기판 세정 공정을 실시한다. 그 후, 스텝(S29)에서 서브TFT 기판(10a)의 상측에 ITO막을 스퍼터 성막한다. 그리고 스텝(S30)에서 포토레지스트를 사용하여 ITO막 위에 소정의 패턴의 레지스트막(도시하지 않음)을 형성한다. 그 후, 스텝(S31)에서 레지스트막을 마스크로 해서 ITO막을 에칭하고, 도16b에 나타내는 바와 같이 화소 전극(29) 및 인출 단자를 형성한다. 그 후, 레지스트막을 제거한다. 또한 스텝(S22)으로부터 스텝(S31)까지의 공정에서 패턴 형성시의 마스크 위치 맞춤은 서브마스터 기판(10a)의 네 귀퉁이에 설치된 기준 마크(15)를 사용하여 한다.

이어서 스텝(S32)에서 기판 세정 공정을 실시한다. 그 후, 스텝(S33)에서 화소 전극(29) 위에 폴리이미드로 되는 배향막(도시하지 않음)을 0.05~0.1μm의 두께로 형성하고, 스텝(S34)에서 배향막의 표면을 배향 처리한다. 배향 처리로서는 포제(布製)의 롤러에 의하여 배향막의 표면을 일방향으로 문지르는 러빙 처리가 일반적이다. 또한 배향막의 재료나 두께 및 배향 처리의 방법은 제조하는 액정 패널의 사양에 맞추어 적당히 선택한다.

그리고 스텝(S35)에서 서브TFT 기판(10a)의 상측에 유리 또는 플라스틱으로 되는 구형 또는 원주형의 스페이서를 산포하고, 스텝(S36)에서 CF기판과 맞붙인다(도9 참조). 단, 후속 공정에서 TFT 기판(서브TFT 기판(10a))과 CF기판 간에 액정을 주입하기 위해서, 액정 주입구를 설치하여 두는 것이 필요하다. CF기판의 형성 방법은 종래와 동일하므로, 여기서는 설명을 생략한다.

그 후, 스텝(S37)에서 2차 컷 공정을 실시한다. 즉 서브TFT 기판(10a)을 절단하여 소정의 사이즈의 액정 패널로 한다.

이어서, 스텝(S38)에서 서브TFT 기판(10a)과 CF기판 간에 액정을 주입하고, 액정 주입구를 수지로 봉지한다. 액정의 종류도 제조하는 액정 패널의 사양에 맞추어 적당히 선택한다. 이와 같이 하여, 도9에 나타내는 구조의 액정 패널의 제조가 완료된다. 또한 도9의 유리 기판(41)이 도16b의 서브TFT 기판(10a)에 대응하고, 도9의 TFT(42)는 도16b의 게이트 전극(21), 게이트 절연막(22), 실리콘막(23, 26)으로 구성되는 TFT에 대응하고, 도9의 화소 전극(45)은 도16b의 화소 전극(29)에 대응하고 있다.

본 실시예에서는 1매의 마스터 TFT 기판(10)을 사용하여 사이즈가 다른 4종류의 액정 패널을 제조할 때에, 화소마다의 TFT를 형성하는 어레이 공정까지 마스터 TFT 기판(10)의 상태에서 제1 제조 라인(16)을 사용하여 실시하고, 그 후, 마스터TFT 기판(10)을 1차 컷하여 4개의 서브TFT 기판(10a~10d)에 분리한다. 그리고 그 이후, CF기판을 접합하는 공정까지는 서브TFT 기판(10a~10d)의 상태에서 제2 제조 라인(17)을 사용하여 실시한다.

이와 같이 본 실시예에서는 마스터TFT 기판의 상태에서 처리가 가능한 대형의 장치군으로 되는 제1 제조 라인(16)을 사용하는 것은 어레이 공정까지이고, 그 후의 공정은 마스터 TFT 기판의 1/4의 사이즈의 기판의 처리가 가능한 제2 제조 라인(17)에서 실시한다. 따라서 대형의 장치가 적어도 되고, 설비 투자의 비용이 삐감된다. 또 제2 제조 라인(17)으로서, 예를 들면 전세대의 제조 라인을 사용할 수 있으므로, 설비의 이용 효율이 높다. 또한 1매의 마스터 TFT 기판을 사용하여 사이즈가 다른 복수 종류의 액정 패널을 형성하므로, 각 액정 패널의 사이즈를 적절히 조합시킴으로써, 마스터TFT 기판의 이용 효율을 향상시킬 수 있다. 이들 효과가 힘을 합쳐서, 본 실시예에서는 액정 패널의 제조 비용을 대폭적으로 저감할 수 있다. 또 본 실시예에서는 1개의 마스터 TFT 기판에서 제조하는 액정 표시 패널의 종류를 적절히 선택함으로써, 생산성을 떨어뜨리는 일이 없이 시장 수요의 변화에 유연하게 대응할 수 있다.

또 본 실시예에서는 마스터TFT 기판(10)의 상태에서 하는 마스크 위치 맞춤에는 마스터 TFT 기판(10)의 네 귀퉁이에 설치된 기준 마크(15)를 사용하고, 서브TFT 기판(10a)의 상태에서 하는 마스크 위치 맞춤에는 서브TFT 기판(10a)의 네 귀퉁이에 설치된 기준 마크(15)를 사용하므로 위치 맞춤 정밀도가 높다. 예

를 들면, 종래와 같이 마스터 유리 기판의 상태에서 TFT나 화소 전극을 형성하는 경우는 마스터 유리 기판의 슈링키지 및 열이력에 의하여 위치 맞춤 정밀도가 저하되어 버린다. 그러나 본 실시예에서는 소스 또는 드레인과 배선과의 콘택 부분이나 화소 전극과 TFT와의 콘택 부분 등 높은 위치 맞춤 정밀도가 요구되는 공정은 서브TFT 기판의 상태에서 서브TFT 기판의 네 귀퉁이에 설치된 기준 마크를 사용하여 하므로, 위치 맞춤 정밀도를  $2\sim3\mu\text{m}$ 으로 할 수 있다. 즉 본 발명 방법을 이용하여 제조한 액정 표시 장치에서는 슈링키지에 의한 위치 맞춤 정밀도가 마스터 유리 기판의 슈링키지를 및 가공시의 열이력으로 추측한 값보다도 작아진다. 또한 도6에서는 제1 제조 라인(16) 및 제2 제조 라인(17)이 각각 1개밖에 도시하고 있지 않지만, 1개의 제1 제조 라인(16)에 대하여 복수의 제2 제조 라인(17)을 설치해도 되는 것은 물론이다.

도17~도19는 1개의 마스터 TFT 기판을 사용하여 제조하는 복수의 액정 패널의 조합의 예를 나타내는 평면도다. 도17은 상기의 예와 마찬가지로, 사이즈가  $960\times1000\text{mm}$ 의 마스터 TFT 기판(10)을 사용하고, 마스터TFT 기판(10)을 4개의 블록(11a~11d)으로 구획하여, 블록(11a)에는 20형 액정 패널을 형성하기 위한 1개의 디바이스 형성 영역(12a), 블록(11b)에는 12형의 액정 패널을 형성하기 위한 2개의 디바이스 형성 영역(12b), 블록(11c)에는 10형의 액정 패널을 형성하기 위한 4개의 디바이스 형성 영역을 설치하고, 블록(11d)에 투사형 액정 패널을 형성하기 위한 디바이스 형성 영역(12e)을 복수 확보한다.

도18a는  $850\times1060\text{mm}$ 의 마스터 TFT 기판을 사용하여, 16형~23형의 액정 패널을 4개 제조하는 경우의 예, 도18b는  $850\times1060\text{mm}$  마스터 기판을 사용하여 13형~15형의 액정 기판을 8개 제조하는 예, 도19a는  $850\times1060\text{mm}$ 의 마스터 TFT 기판을 사용하여 12형의 액정의 패널을 16개 제조하는 경우의 예, 도19b는  $850\times1060\text{mm}$ 의 마스터 TFT 기판을 사용하여 8, 4형의 액정 패널을 24개 제조하는 경우의 예다. 어느 경우도, 상술한 제1 실시예와 마찬가지로, 마스터TFT 기판의 상태에서 어레이 공정까지를 실시하고, 도면 중 파선으로 나타내는 부분에서 마스터 TFT 기판을 1차 컷하여 서브TFT 기판으로 분할한다. 그리고 서브TFT 기판의 상태에서 화소 전극 및 배향막 등을 형성한 후, CF기판을 접합하고, 서브TFT 기판(TFT 기판)을 2차 컷하여 소정의 액정 패널 사이즈로 한다. 그 후, TFT 기판과 CF기판 간에 액정을 봉입한다.

### (제2 실시예)

도20a, 도20b는 모두 본 발명의 제2 실시예의 액정 패널의 제조 방법을 나타내는 도면이다.

본 실시예에서는 마스터TFT 기판(60)을 4개의 블록(61a~61d)으로 구획하여, 도20a에 나타내는 예에서는 각 블록(61a~61d)에, 예를 들면 15형의 모니터용 액정 패널을 형성하는 디바이스 형성 영역(62)을 1개와, 2~3형의 휴대 전화기용 액정 패널을 형성하는 디바이스 형성 영역(63)을 복수 확보한다.

또 도20b에 나타내는 예에서는 각 블록(61a~61d)에, 예를 들면 15형의 모니터용 액정 패널을 형성하는 디바이스 형성 영역(64)을 1개와, 6~8형의 모바일 기기용 액정 패널을 형성하기 위한 디바이스 형성 영역(65)을 2개 확보한다.

즉 제1 실시예에서는 제조하는 액정 패널의 사이즈마다 블록을 나누고 있는데 대해서, 본 실시예에서는 각 블록(61a~61d)에 다른 사이즈의 액정 패널을 2종류 이상 형성한다. 또 각 블록(61a~61d)의 구성은 동일하다.

본 실시예에서도 제1 실시예와 마찬가지로, 제1 제조 라인(도6 참조)을 사용하여 사이즈가  $960\times1000\text{mm}$ 의 마스터 TFT 기판(60) 위에 TFT가 되는 도전막, 절연막 및 반도체막을 형성한다. 그 후, 1차 컷 공정을 실시하여, 마스터TFT 기판(60)을 도20a, 도20b에 파선으로 나타내는 부분으로 절단하여, 사이즈가  $480\times500\text{mm}$ 의 4개의 서브TFT 기판으로 분할한다. 그 후, 제2 제조 라인을 사용하여 그 후의 공정을 실시한다. 그리고 CF기판을 접합한 후에 2차 컷 공정을 실시한 후, TFT 기판과 CF기판 간에 액정을 봉입한다. 본 실시예에서도 제1 실시예와 마찬가지의 효과가 얻어진다.

### (제3 실시예)

도21은 본 발명의 제3 실시예의 액정 패널의 제조 방법의 개요를 나타내는 평면도다. 본 실시예에서는 마스터TFT 기판(70)을 4개의 블록(71a~71d)으로 구획하고, 블록(71a)에는 20형 액정 패널을 형성하기 위한 디바이스 형성 영역(72a)을 1개, 블록(71b)에는 12~15형 액정 패널을 형성하기 위한 디바이스 형성 영역을 2개, 블록(71c)에는 10~11형 액정 패널을 형성하기 위한 디바이스 형성 영역(71c)을 4개, 블록(71d)에는 1, 8형 반사형 투사형 패널을 형성하기 위한 디바이스 형성 영역(72d)을 다수 확보한다. 블록(71a~71c)에 형성하는 액정 표시 패널의 구조는 도9에 도시한 것과 동일하다.

도22는 블록(71d)에 형성하는 반사형 투사 패널의 평면도, 도23은 마찬가지로 그 단면도다. 유리 기판(81) 위에는  $\text{SiO}_2$ 로 되는 하지막(도시하지 않음)이 형성되어 있고, 이 하지막 상에는 실리콘막(82)이 선택적으로 형성되어 있다. 이 실리콘막(82) 위에는 게이트 절연막(도시하지 않음)을 통해서 게이트 라인(83)이 형성되어 있다. 실리콘막(82)과 그 위를 통과하는 게이트 라인(83)에 의해서, 1개의 화소마다 2개의 TFT(92)가 구성된다. 또 하지막 위에는  $\text{SiO}_2$  및  $\text{SiN}_x$ 로 되는 층간 절연막(84)이 형성되어 있고, 이 층간 절연막(84)에 의하여 실리콘막(82) 및 게이트 라인(83)이 피복되어 있다. 층간 절연막(84) 위에는  $\text{Ti}$  및  $\text{Al}$ 으로 되는 전극(85a) 및 신호선(85b)이 형성되어 있고, 전극(85a)은 층간 절연막(84)에 형성된 콘택홀을 통해서 실리콘막(82)에 전기적으로 접속되어 있다.

층간 절연막(84) 위에는  $\text{SiN}_x$ 로 되는 층간 절연막(86)이 형성되어 있고, 이 층간 절연막(86)에 의하여 전극(85a) 및 신호선(85b)이 피복되어 있다. 또 층간 절연막(86) 위에는  $\text{Ti}$ 로 되는 코론 전극(87)이 소정의 패턴으로 형성되어 있다. 층간 절연막(86) 위에는  $\text{SiN}_x$ 로 되는 층간 절연막(88)이 형성되어 있고, 그 위에는  $\text{Ti}$ 로 되는 하부 용량 전극(89)이 형성되어 있다.

또한 하부 용량 전극(89) 위에는 수지 평탄화막(90)이 형성되어 있고, 수지 평탄화막(90) 위에는 AI로 되는 반사 전극(91)이 형성되어 있다.

본 실시예에서는 제1 실시예와 마찬가지로, TFT(92)의 도전막(게이트 라인(83) 및 전극(85a)), 절연막(게이트 절연막) 및 반도체막(실리콘막(82))을 형성할 때까지의 공정은 마스터 TFT 기판의 상태에서 실시한다. 그리고 1차 컷 공정에서 마스터 TFT 기판을 각 블록(71a~71d)마다 절단하여 각 서브TFT 기판으로 분리한 후, 블록(71a~71c)의 서브TFT 기판에 대해서는 제1 실시예와 마찬가지의 공정을 거쳐서 액정 패널을 제조한다. 또 반사형 투사 패널에 대해서는 서브TFT 기판 가공 공정에서 기판(서브TFT 기판)(81) 위에 층간 절연막(86), 코본 전극(87), 층간 절연막(88), 하부 용량 전극(89), 평탄화막(90) 및 반사 전극(91)을 차례로 형성한다.

본 실시예에 나타내는 바와 같이, 본 발명에서는 서브TFT 기판으로 분리한 후에 제조할 디바이스에 따른 처리를 실시하여, 구조가 다른 디바이스를 제조할 수 있다.

#### (제4 실시예)

도24는 본 발명의 제4 실시예의 액정 패널의 제조 방법에 의해 제조하는 액정 패널을 나타내는 모식도다.

도24에 나타내는 바와 같이, 본 실시예에서 제조하는 액정 패널(100)에는 매트릭스 상으로 배치된 복수(도에서는 1개만 도시)의 화소(101)와, 특정의 화소(101)에 소정의 타이밍으로 표시 데이터를 공급하는 주사 라인(105) 및 데이터 라인(106)이 형성되어 있다. 각 화소(101)는 직렬 접속된 2개의 저온 폴리실리콘 TFT(102)와, 화소 전극, 대향 전극 및 이들 간의 액정으로 구성되는 투과 광량 제어부(103)와, 보조 용량(104)으로 구성되어 있다. 또 화소(101)가 매트릭스 상으로 배치된 표시 영역이 외측에는 p형 TFT 및 n형 TFT로 구성되는 내장형 게이트 드라이버(107) 및 내장형 데이터 드라이버(108)와, 정전 방지/리페어 회로(109) 및 입력 단자(110)가 형성되어 있다.

또한 저온 프로세스에서 TFT를 형성하는 경우는 기판으로서 염가의 유리판을 사용할 수 있다는 이점이 있다. 또 비정질 실리콘 TFT에 비하여 폴리실리콘 TFT는 구동 능력이 높고 소형화를 할 수 있으므로, 개 구율이 향상되어 밝은 화상이 얻어진다는 이점도 있다. 또한 비정질 실리콘 TFT의 경우는 구동 속도가 늦기 때문에, 구동용IC를 별도로 준비하여 액정 패널과 접속할 필요가 있었지만, 폴리실리콘 TFT는 구동 속도가 빠르기 때문에, 구동(드라이버)회로를 유리 기판 상에 형성할 수 있다는 이점이 있다.

도25는 본 실시예의 액정 패널의 제조 방법의 개요를 나타내는 평면도다. 본 실시예에서도 사이즈가 960 × 1000mm의 마스터 TFT 기판(120)을 사용하고, 이 마스터 TFT 기판(120)을 4개의 블록(121a~121d)으로 구획하고, 블록(121a, 121b)에는 예를 들면 16형의 구동 회로 내장형 액정 패널(122a)을 형성하는 디바이스 형성 영역을 각각1개, 블록(121c, 121d)에는 예를 들면 5형의 구동 회로 내장형 액정 패널(122b)을 형성하는 디바이스 형성 영역을 각각4개 확보한다. 또 본 실시예에서도 도6에 나타내는 바와 같이, 마스터TFT 기판을 처리하는 제1 제조 라인(16)과, 1차 컷 후의 서브TFT 기판을 처리하는 제2 제조 라인(17)을 사용한다.

도26~도29는 본 실시예의 액정 패널의 제조 방법을 나타내는 플로차트이고, 도26, 도27은 마스터 TFT 기판의 상태에서 하는 공정을 나타내고, 도28, 도29는 서브TFT 기판의 상태에서 하는 공정을 나타내고 있다. 또 도30~도33은 주변 회로(데이터 드라이버 및 주사 드라이버)의 p형 TFT 및 n형 TFT 및 화소 내의 n형 TFT의 부분의 단면을 제조 공정순으로 나타내는 도면이다.

먼저 도26의 플로차트의 스텝(S51)에서 도30a에 나타내는 바와 같이, 마스터TFT 기판(120)의 표면을 세정하는 기판 세정 공정을 실시한 후, 마스터TFT 기판(120) 위에 하지막(도시하지 않음)으로서  $\text{SiO}_2$ 를 0.2~0.3 $\mu\text{m}$ 의 두께로 형성한다. 또한 하지막으로서, SiN을 0.05 $\mu\text{m}$ 의 두께로 형성하고, 그 위에  $\text{SiO}_2$ 를 0.2 $\mu\text{m}$ 의 두께로 형성해도 좋다. 그 후, 하지막 위에 비정질 실리콘막(131)을 0.03~0.05 $\mu\text{m}$ 의 두께로 형성한다.

다음에 스텝(S52)에서 도30b에 나타내는 바와 같이, 비정질 실리콘막(131)에 레이저광을 조사하고, 비정질 실리콘을 폴리실리콘으로 변화시켜, 폴리실리콘막(132)을 얻는다. 본 실시예에서는 파장이 308nm의 XeCl 엑시머 레이저를 사용하고, 도25에 나타내는 바와 같이 직사각형의 레이저빔(125)을 그 빔의 길이 방향으로 직교하는 방향으로 스캔한다. 본 실시예에서는 레이저빔(125)의 스캔 방향(도면중, 화살표로 나타냄)에 대해서, 각 액정 패널(122a, 122b)의 방면이 동일하게 되도록 한다. 즉 도25에 나타내는 바와 같이 각 액정 패널(122a, 122b)의 주변 회로(게이트 드라이버 및 데이터 드라이버), 데이터 라인 및 주사 라인의 방면이 각 액정 패널에서 동일하게 되도록 한다. 이와 같이 각 액정 패널의 방면을 일치시킴으로써, 패널 간의 실리콘의 결정성의 산포를 저감하고, 수율과 표시 성능을 향상시킬 수 있다. 특히, 레이저 스캔 레이싱의 억제에 효과가 있다. 또 외부 회로에서 표시 특성을 보정하는 경우에서도 보정이 용이해진다.

다음에 스텝(S53)에서 포토레지스트를 사용하여 폴리실리콘막(132) 위에 소정 패턴의 레지스트막(도시하지 않음)을 형성하고, 스텝(S54)에서 레지스트막을 마스크로 해서 폴리실리콘막(132)을 에칭하고, 도30c에 나타내는 바와 같이, 마스터TFT 기판(120) 상에 폴리실리콘막(132)을 선택적으로 남긴다. 그 후, 레지스트막을 제거한다.

다음에 스텝(S56)에서 도30d에 나타내는 바와 같이, 플라즈마CVD법에 의해 마스터TFT 기판(120)의 상 측 전면에  $\text{SiO}_2$ 로 되는 게이트 절연막(133)을 0.1~0.15 $\mu\text{m}$ 의 두께로 형성한다. 또한 게이트 절연막으로는  $\text{SiO}_2$ 와 SiN의 2층 구조로 하여도 좋다. 이 경우, 예를 들면  $\text{SiO}_2$ 의 두께를 0.09 $\mu\text{m}$ 으로 하고, SiN의 두께를 0.03 $\mu\text{m}$ 으로 한다. SiN의 두께는 게이트 절연막 전체의 두께의 1/4정도로 하는 것이 바람직하다. 그리고 스텝(S57)에서 스퍼터 장치를 사용하고, 게이트 절연막(133) 위에, 게이트 전극이 되는 AlNd(알루미늄-네오디뮴)막을 0.3~0.4 $\mu\text{m}$ 의 두께로 형성한다.

다음에 스텝(S58)에서 AlNd막 위에 포토레지스트막(도시하지 않음)을 형성하고, 상기 포토레지스트막을 노광 및 현상 처리하여, 소정의 게이트 패턴 형상으로 패터닝한다. 그 후, 스텝(S59)에서 도31a에

나타내는 바와 같이, AInd막을 에칭하여 레지스트막의 하방의 부분에만 AInd막을 잔존시켜 게이트 전극(134)을 형성한다.

그리고 스텝(S60)에서 레지스트막을 제거한다.

다음에 스텝(S61)에서 도31b에 나타내는 바와 같이, 실리콘막(132) 중n형 TFT의 소스 드레인이 되는 영역(132a)에 n형 불순물을 고농도로 도입한다. 또 스텝(S62)에서 실리콘막(132)에 n형 불순물을 저농도로 도입한다. 그 후, 스텝(S63)에서 포토레지스트를 사용하여 게이트 절연막(133) 위에 소정의 패턴의 마스크를 형성하고, 스텝(S64)에서 이 마스크의 개구부를 통해서 실리콘막(132) 중의 p형 TFT의 소스 드레인이 되는 영역(132b)에 p형 불순물을 도입한다. 그 후, 스텝(S65)에서 마스크를 제거한 후, 스텝(S66)에서 열처리를 실시하여, 불순물을 활성화한다. 이와 같이 하여, 표시 영역의 n형 TFT와, 주변 회로부의 p형 TFT 및 n형 TFT를 사용한 소정의 회로(데이터 드라이버 및 주사 드라이버)를 형성한다.

다음에 스텝(S67)에서 도31c에 나타내는 바와 같이, 마스터TFT 기판(120)의 상측 전면에 SiNx 및 SiO<sub>2</sub>를 차례로 퇴적시켜 층간 절연막(135)을 형성한다. 여기까지의 공정은 도6에 나타내는 제1 제조 라인(16)을 사용하여 실시한다.

다음에 스텝(S68)에서 마스터TFT 기판(120)을 1차 컷하여, 4개의 서브TFT 기판으로 분할한다. 그리고 각 서브TFT 기판에 단면 가공을 실시하고, 오리엔테이션 플랫 및 코너 컷을 형성한다(도7 참조). 그 이후는 도6의 제2 제조 라인(17)에 의하여 처리한다. 이하, 4개로 분할된 가운데 1개의 서브TFT 기판(120a)의 처리에 대해서만 설명하지만, 다른 서브TFT 기판에 대해서도 마찬가지로 처리를 한다.

다음에 스텝(S69)에서 서브TFT 기판(120a)을 세정하는 기판 세정 공정을 실시한다. 그리고 스텝(S70)에서 서브TFT 기판(120a)상의 층간 절연막(85) 위에 포토레지스트를 사용하여 소망의 콘택홀의 패턴을 갖는 마스크 형성하고, 스텝(S71)에서 도32a에 나타내는 바와 같이, 층간 절연막(135)을 에칭하여 콘택홀(135a)을 형성한다. 그 후, 스텝(S72)에서 마스크를 제거한다.

다음에 스텝(S73)에서 서브TFT 기판(120a)을 세정하는 기판 세정 공정을 실시한다. 그리고 스텝(S74)에서 서브TFT 기판(120a)의 상측에 Ti, Al 및 Ti를 차례로 퇴적시켜 콘택홀(135a)을 이들 금속으로 매립함과 동시에, 층간 절연막(135) 위에 도전막을 형성한다.

다음에 스텝(S75)에서 도전막 위에 포토레지스트를 도포하고, 노광 및 현상 처리를 실시하여, 배선 패턴을 형성한다. 그리고 스텝(S76)에서 포토레지스트를 마스크로 해서 도전막을 에칭하고, 도32b에 나타내는 바와 같이, 층간 절연막(135) 위에 배선 및 전극(136)을 형성한다. 그 후, 스텝(S77)에서 포토레지스트막을 제거한다.

다음에 스텝(S78)에서 서브TFT 기판(120a)을 세정하는 기판 세정 공정을 실시한다. 그리고 스텝(S79)에서 도33a에 나타내는 바와 같이, 서브TFT 기판(120a)의 상측 전면에 플라즈마CVD법으로 SiNx로 되는 층간 절연막(137)을 형성한다.

그 후, 스텝(S80)에서 포토레지스트를 사용하여 층간 절연막(137) 위에 소정의 콘택홀 패턴을 갖는 마스크(도시하지 않음)를 형성한다. 그리고 스텝(S81)에서 층간 절연막(137)을 에칭하여 콘택홀(137a)을 형성한다. 그 후, 스텝(S82)에서 레지스트막을 제거한다.

다음에 스텝(S83)에서 서브TFT 기판(120a)을 세정하는 기판 세정 공정을 실시한 후, 스텝(S84)에서 스퍼터 장치를 사용하고, 서브TFT 기판(120a)의 상측에 화소 전극이 되는 ITO막을 형성한다. 그리고 스텝(S85)에서 포토레지스트를 사용하여 ITO막 위에 소정의 화소 전극 패턴의 레지스트막을 형성한다.

다음에 스텝(S86)에서 레지스트막을 마스크로 해서 ITO막을 에칭하고, 도33b에 나타내는 바와 같이 화소 전극(138)을 형성한다. 그 후, 스텝(S87)에서 레지스트를 제거한다.

이어서 제1 실시예와 마찬가지로, 화소 전극(138) 위에 배향막을 형성하고, 상기 배향막의 표면을 러빙 처리한다. 그리고 배향막 위에 스페이서를 산포하고, 종래방법과 마찬가지로 하여 형성한 CF기판과 맞붙인다. 그 후, 2차 컷하여 각 액정 패널을 서로 분리한다. 그 후, TFT 기판과 CF기판 간에 액정을 봉입한다.

본 실시예에서도 제1 제조 라인(16)(도6 참조)을 사용하고, 마스터TFT 기판(120)의 상태에서 TFT를 형성하고, 그 후 1차 컷 공정에서 마스터 TFT 기판(120)을 복수의 서브TFT 기판으로 절단한다. 이를 서브TFT 기판의 상태에서는 제2 제조 라인(17)을 사용하여 CF기판과 맞붙이는 공정까지 실시하고, 그 후, 2차 컷하여 각 액정 패널에 분리한다. 본 실시예에서도 제1 실시예와 마찬가지의 효과가 얻어진다.

#### (제5 실시예)

도34는 본 발명의 제5 실시예의 액정 패널의 제조 방법을 나타내는 도면이다.

본 실시예에서는 마스터TFT 기판(140)을 4개의 블록(141a~141d)으로 구획하고, 각 블록(141a~141d)에 각각2차원 비밀착형 이미지 센서(디지털 카메라)(142)를 갖는 액정 패널(143)을 1개씩 형성한다.

도35는 액정 패널(143)에 내장하는 2차원 이미지 센서(142)의 단면도다. 이미지 센서 형성 영역에서는 유리 기판(150) 위에 실리콘막(151), 게이트 절연막(152), 게이트 전극(153)이 형성되어 있고, 이들에 의하여 TFT가 구성되어 있다. 게이트 절연막(152) 상에는 SiO<sub>2</sub> 및 SiNx로 되는 층간 절연막(154)이 형성되어 있고, 그 위에는 소스 드레인 전극(155)이 형성되어 있다. 이들 소스 드레인 전극(155)은 층간 절연막(154)에 설치된 콘택홀을 통해서 실리콘막(151)의 소스 드레인 영역에 접속되어 있다. 층간 절연막(154) 상에는 SiNx로 되는 층간 절연막(156)이 형성되어 있고, 상기 층간 절연막(156)에 의하여 소스 드레인 전극(155)이 피복되어 있다. 층간 절연막(156) 위에는 센서 셀 전극(157)이 형성되어 있고, 그 위에는 비정질 실리콘으로 되는 광전 변환층(158)이 형성되어 있다. 그리고 광전 변환층(158) 위에는

ITO로 되는 공통 투명 전극(159)이 형성되어 있다.

이 도35으로부터 명백한 바와 같이, 이미지 센서(142)도 TFT를 형성할 때까지의 공정은 기본적으로 액정 패널을 형성하는 공정과 동일하다. 그래서 본 실시예에서는 제1 실시예와 마찬가지로, 마스터TFT 기판의 상태에서 표시 영역 및 이미지 센서의 TFT가 되는 도전막, 절연막 및 반도체막을 형성하고, 1차 컷 공정에서 마스터 TFT 기판을 절단하여 4개의 서브TFT 기판으로 분할한다. 그 후, 서브TFT 기판 위에  $\text{SiO}_2$ 로 되는 층간 절연막(156)을  $0.5\text{ }\mu\text{m}$ 의 두께로 형성한다. 층간 절연막(156)은 폴리이미드 등의 수지를  $1.5\text{ }\mu\text{m}$ 의 두께로 코팅함으로써 형성해도 좋다.

다음에 층간 절연막(156)에 콘택홀을 선택적으로 형성한 후, Ti 등으로 되는 센서 셀 전극(157)을  $0.1\text{ }\sim\text{ }0.2\mu\text{m}$ 의 두께로 형성한다. 그 후, 플라즈마CVD(PECVD(Plasma Enhanced Chemical Vapor Deposition)법)으로 비정질 실리콘으로 되는 광전 변환층(158)을  $0.5\text{ }\sim\text{ }2.0\mu\text{m}$ 의 두께로 형성하고, 그 위에 ITO로 되는 공통 투명 전극(159)을  $0.05\text{ }\sim\text{ }0.1\mu\text{m}$ 의 두께로 형성한다. 그 후, 제1 실시예와 마찬가지로, 서브TFT 기판(TFT 기판)에 CF기판을 접합하고, 2차 컷 공정을 실시하여 서브TFT 기판을 소정의 패널 사이즈로 절단한다. 그 후, TFT 기판과 CF기판 간에 액정을 봉입한다.

이에 따라 2차원 비접촉형 이미지 센서를 갖는 액정 패널을 효율 좋게 형성할 수 있다.

서브TFT 기판 가공 공정에서 실시하는 공정수가 적고, 포토리소그래피 공정의 정밀도에 대해서는 높은 정밀도가 요구되지 않는 경우, 마스터TFT 기판의 상태에서 셀 전극(157)이나 광전 변환층(158)을 형성하는 것보다도, 서브TFT 기판의 상태에서 셀 전극(157)이나 광전 변환층(158)을 형성하는 편이 투자액과 제조 비용의 삭감의 면에서 유리하다.

예를 들면, 이미지 센서(142)의 광전 변환층(158)은 두께가  $0.2\text{ }\sim\text{ }2.0\mu\text{m}$ 의 비정질 실리콘으로 형성된다. 이와 같이 비정질 실리콘막을 비교적 두껍게 형성하는 경우는 매엽형PECVD성막 장치로 형성하는 것은 효율이 지극히 나쁘다. 따라서 본 실시예에서는 제1차 컷 공정 후에 배치형PECVD장치를 이용하여, 비정질 실리콘막을 형성한다. 이와 같이 배치형PECVD장치를 사용하여 동시에 복수의 서브TFT 기판 위에 비정질 실리콘막을 성막함으로써, 제조 효율이 향상된다. 마스터TFT 기판의 상태에서 배치형PECVD장치를 사용하려고 하면 대형의 PECVD장치가 필요해지고, 설비 투자액이 지극히 높게 된다. 따라서 두꺼운 실리콘막을 형성하려고 하는 경우는 본 실시예와 같이, 1차 컷 후에 형성하는 것이 바람직하다.

도36은 제5 실시예를 1차원 밀착형 이미지 센서(스캐너) 내장 액정 패널의 제조에 적용한 예를 나타내는 평면도다. 이 경우에서도 도36에 나타내는 바와 같이, 마스터TFT 기판(140)을 4개의 블록(141a~14d)으로 구획하고, 각 블록(141a~141d)에 각각 1차원 밀착형 이미지 센서(147)를 내장한 액정 패널(148)의 형성 영역을 확보한다.

그리고 제1 제조 라인을 사용하여 어레이 공정을 실시하고, 마스터TFT 기판(140) 위에 TFT가 되는 도전막, 절연막 및 반도체막을 형성한다. 그 후, 마스터TFT 기판(140)을 1차 컷하여 4개의 서브TFT 기판으로 분할하고, 제2 제조 라인을 사용하여 각 서브TFT 기판에 1차원 밀착형 이미지 센서, 화소 전극 및 배향막 등을 형성하고, CF기판을 접합한다. 그 후, 서브TFT 기판을 2차 컷하여 소정의 액정 패널의 사이즈로 하고, TFT 기판(서브TFT 기판)과 CF기판 간에 액정을 봉입한다. 이와 같이 하여, 1차원 밀착형 이미지 센서내장 액정 패널을 제조할 수 있다.

태양 전지 내장 액정 패널, 1차원 밀착형 이미지 센서 또는 2차원 밀착형 이미지 센서 내장 액정 패널, 1차원 비밀착형 이미지 센서 또는 2차원 비밀착형 이미지 센서 내장 액정 패널, 광통신 수광 센서 내장의 인텔리전트 패널 등의 경우, 광전 변환 소자를 상층부에 형성한다. 이와 같은 센서 내장 액정 패널을 형성하는 경우, 본 실시예와 같이 1차 컷 공정 후의 서브TFT 기판 가공 공정에서 광전 변환 소자를 형성함으로써, 센서 내장 액정 패널을 효율 좋게 형성할 수 있다. 본 실시예는 비밀착형2차원 이미지 센서(디지털 카메라) 내장PC나, 밀착형 라인 센서(스캐너)를 내장한 복사 기능 장착 휴대 정보 기기 등의 제조에 적용할 수 있다.

### 발명의 효과

이상 설명한 바와 같이, 본 발명의 액정 패널의 제조 방법에 의하면, 마스터TFT 기판의 상태에서 TFT공정을 실시하고, 그 후 1차 컷 공정에서 마스터 TFT 기판을 복수의 서브TFT 기판으로 절단하여, 각 서브TFT 기판에 제조하려고 하는 디바이스에 따른 가공을 실시하므로, 1매의 마스터 TFT 기판을 사용하여 다른 사양의 액정 패널을 제조할 수 있다. 또 1매의 마스터 TFT 기판을 사용하여 제조하는 액정 패널의 조합을 적절히 선택함으로써, 유효 기판 이용률을 향상시킬 수 있음과 동시에, 시장 수요의 변화에 용이하게 대응할 수 있다.

또 본 발명에서는 제1 제조 라인을 사용하여 마스터 TFT 기판 위에 TFT가 되는 도전막, 절연막 및 반도체막을 형성하고, 1차 컷 공정에서 마스터 TFT 기판을 서브TFT 기판으로 절단한 후, 제2 제조 라인을 사용하여 서브TFT 기판을 가공한다. 이 때문에, 제1 제조 라인에는 대형의 장치가 필요하지만, 제2 제조 라인에는 비교적 소형의 전세대의 장치를 사용할 수 있다. 따라서 설비 투자의 비용을 삭감할 수 있다.

### (57) 청구의 범위

#### 청구항 1

액티브 매트릭스 방식의 액정 패널의 제조 방법에 있어서,

마스터TFT 기판을 복수의 블록으로 구획하고, 또한 각 블록을 1 또는 복수의 디바이스 형성 영역으로 구획하여, 상기 디바이스 형성 영역에 TFT(박막 트랜지스터)가 되는 도전막, 절연막 및 반도체막을 형성하는 어레이 공정과,

상기 마스터TFT 기판을 상기 블록마다 절단하여 복수의 서브TFT 기판으로 하는 1차 컷 공정과,  
 각 서브TFT 기판에, 제조할 디바이스에 따른 가공을 실시하는 서브TFT 기판 가공 공정과,  
 각 서브 TFT 기판을 상기 디바이스 형성 영역마다 절단하는 2차 컷 공정을 갖는 것을 특징으로 하는 액정 패널의 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 마스터TFT 기판의 각 블록에, 각각 동일 사이즈의 액정 패널만을 제조하는 것을 특징으로 하는 액정 패널의 제조 방법.

#### 청구항 3

제1항에 있어서,

상기 마스터TFT 기판의 각 블록에, 각각 서로 다른 사이즈의 2종류 이상의 액정 패널을 제조하는 것을 특징으로 하는 액정 패널의 제조 방법.

#### 청구항 4

마스터TFT 기판 위에 TFT가 되는 도전막, 절연막 및 반도체막을 형성하고, 상기 마스터TFT 기판을 1차 컷하여 복수의 서브TFT 기판으로 분할하고, 상기 서브TFT 기판의 상태에서 화소 전극 및 제1 배향막을 형성하며, 컬러 필터, 대향 전극 및 제2 배향막을 갖는 컬러 필터 기판을 상기 서브TFT 기판과 접합하고, 상기 서브TFT 기판을 2차 컷한 후, 상기 서브TFT 기판과 상기 컬러 필터 기판 간에 액정을 봉입하여 형성된 것을 특징으로 하는 액정 패널.

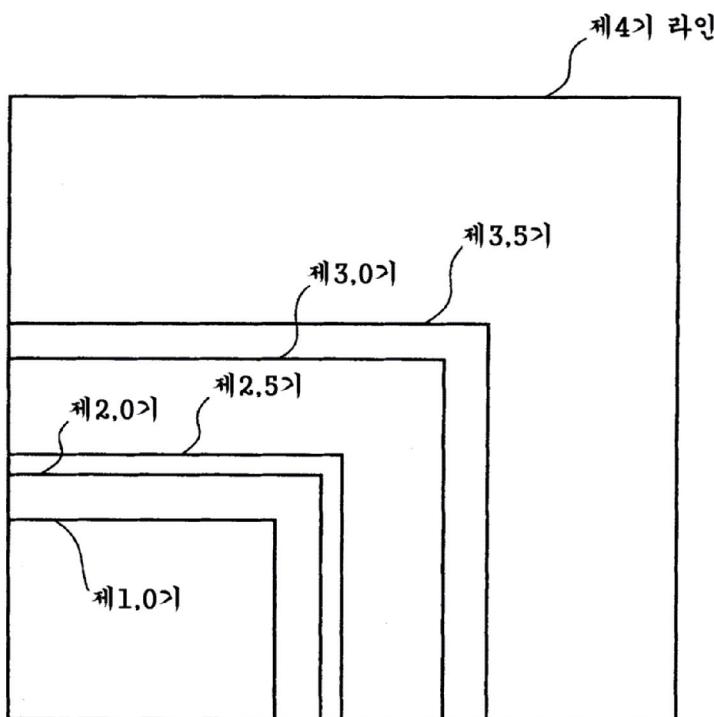
#### 청구항 5

마스터TFT 기판을 복수의 블록으로 구획하고, 또한 각 블록을 1 또는 복수의 디바이스 형성 영역으로 구획하여, 상기 디바이스 형성 영역의 적어도 1개에 TFT를 형성하는 복수의 제조 장치로 구성되는 제1 제조 라인과,

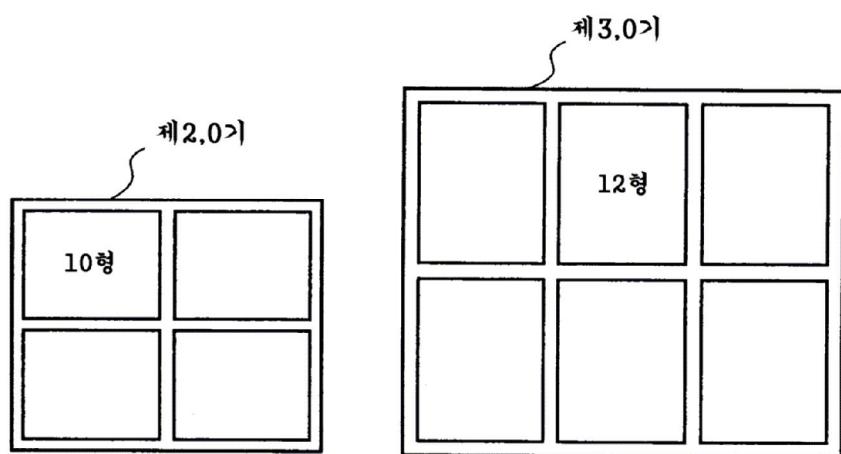
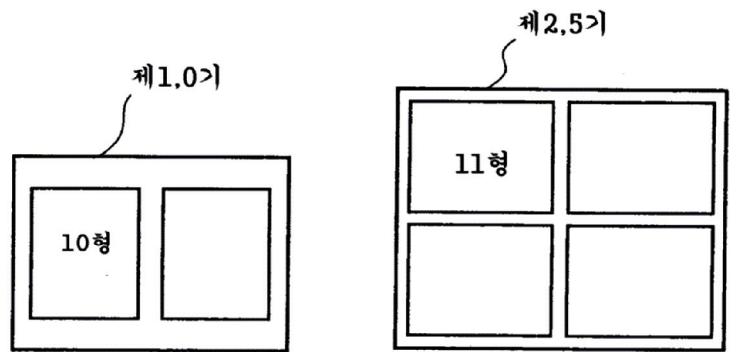
상기 마스터TFT 기판을 상기 블록마다 복수의 서브TFT 기판으로 분할한 1차 컷 공정 후의 상기 서브TFT 기판에 대해서, 제조할 디바이스에 따른 가공을 실시하는 복수의 제조 장치로 구성되는 제2 제조 라인을 갖는 것을 특징으로 하는 액정 패널의 제조 시스템.

#### 도면

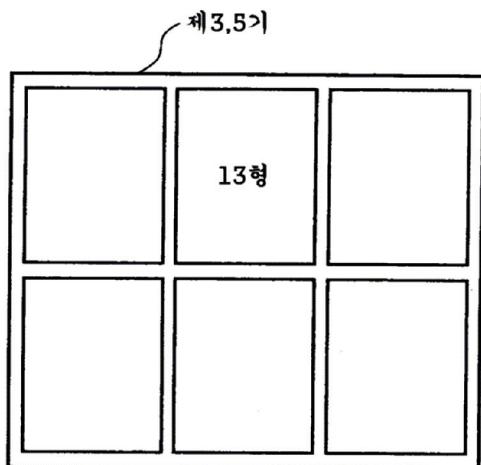
##### 도면1



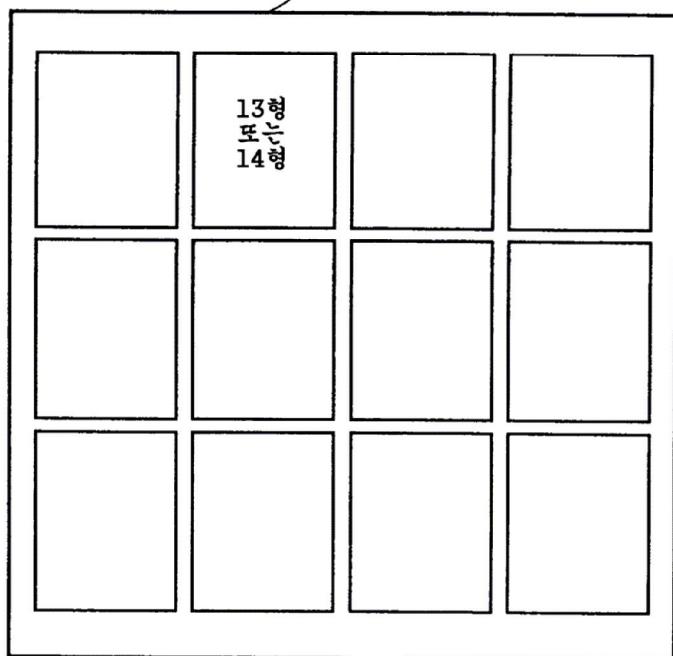
## 도면2



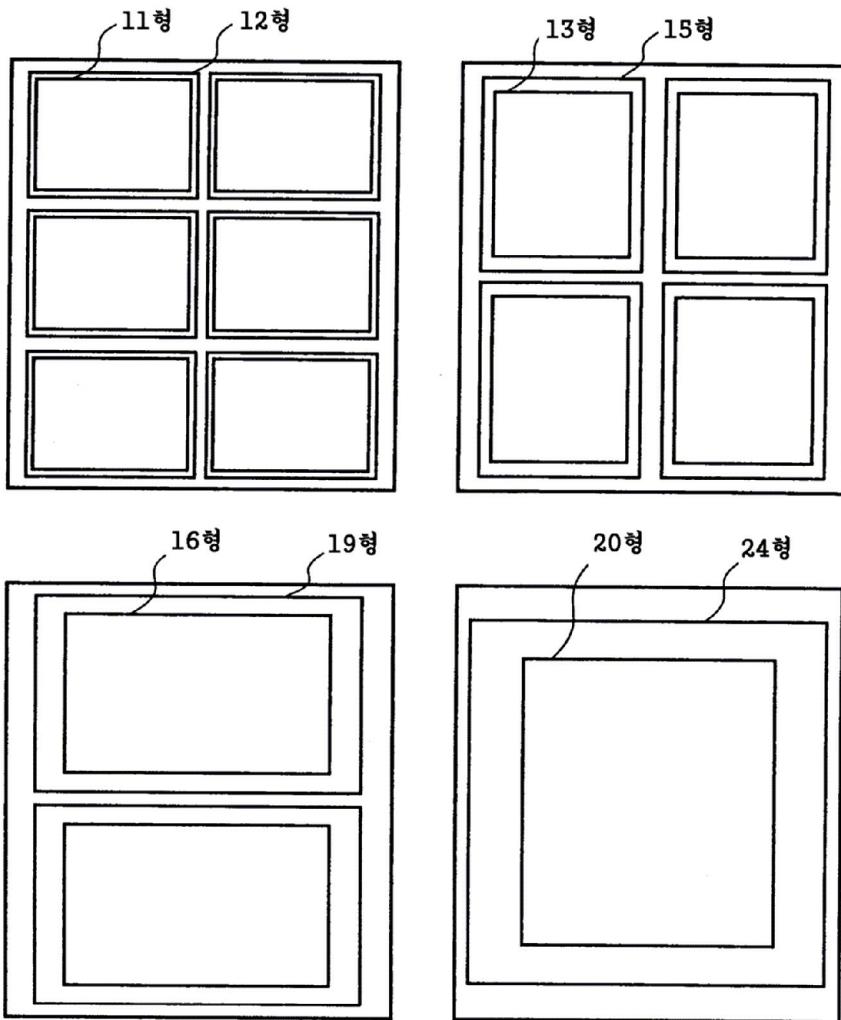
도면3



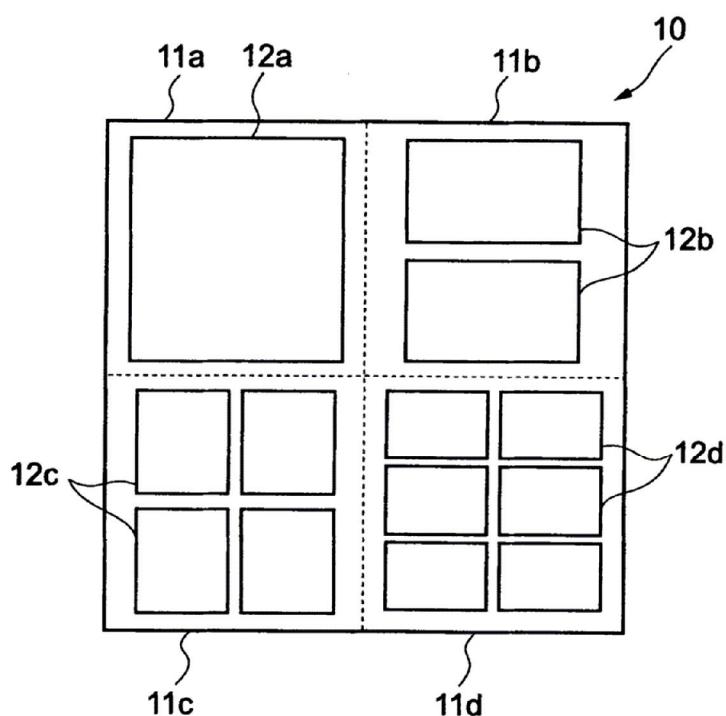
제4가) 라인



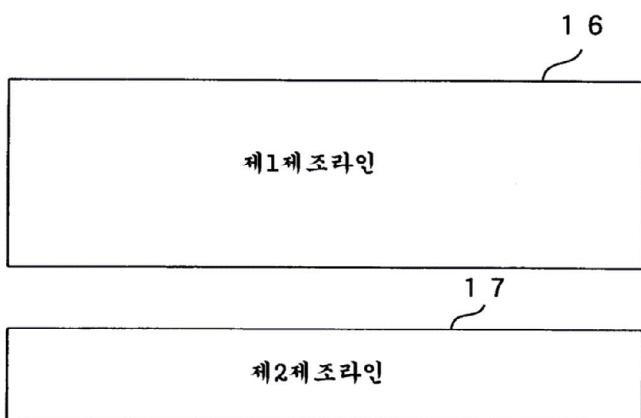
## 도면4



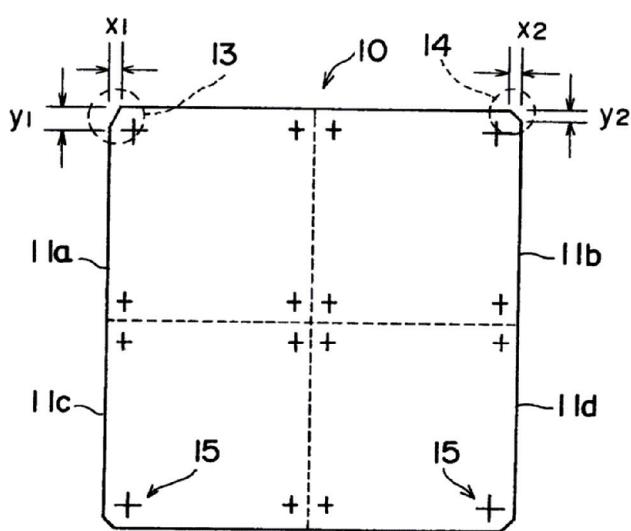
## 도면5



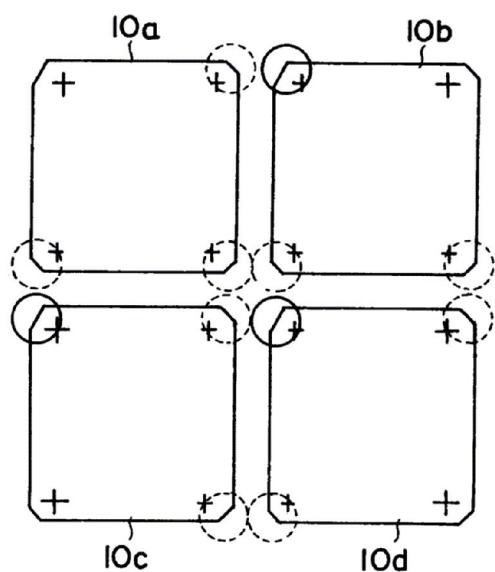
도면6



도면7a



도면7b



专利名称(译)	液晶面板的制造方法，液晶面板和液晶面板制造系统		
公开(公告)号	<a href="#">KR1020000062516A</a>	公开(公告)日	2000-10-25
申请号	KR1020000005086	申请日	2000-02-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	ZHANG HONGYUNG 장홍용		
发明人	장홍용		
IPC分类号	G09F9/00 G02F1/1333 G02F1/136 G02F1/1368		
CPC分类号	G02F1/133351 G02F1/1368		
代理人(译)	MOON, KI桑		
优先权	1999072272 1999-03-17 JP		
其他公开文献	KR100660580B1		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明主要改变用作高效的常规设备的玻璃的大小，并且可以容易地对市场需求的多样化，能够减少在液晶面板的制造成本和液晶面板的方法响应提供制造系统。基板10被分成多个块11a至11d，并且块11a至11d中的每一个被分成一个或多个器件形成区域12a至12d。通过使用第一生产线，在基板10的状态下在器件形成区域12a至12d中形成要成为TFT的绝缘膜和半导体膜。此后，在第一切割步骤中，针对块11a至11d中的每一个切割基板10，以形成多个子TFT基板。然后切成每第二个使用一条生产线，每个子TFT经受根据液晶面板的规格，制作基材，在器件形成区域中的第二切断工序(图12A~12D)的副TFT基板处理之后。五指数方面主要切割工艺，二次切割工艺，器件成型区域

