



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년09월26일

(11) 등록번호 10-1443380

(24) 등록일자 2014년09월16일

(51) 국제특허분류(Int. C1.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0120233

(22) 출원일자 2007년11월23일

심사청구일자 2012년11월14일

(65) 공개번호 10-2009-0053393

(43) 공개일자 2009년05월27일

(56) 선행기술조사문헌

JP10206869 A\*

KR1019980070909 A\*

KR1020060029369 A\*

JP2006106745 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박준호

경기 성남시 중원구 갈마치로 176

(74) 대리인

서교준

전체 청구항 수 : 총 14 항

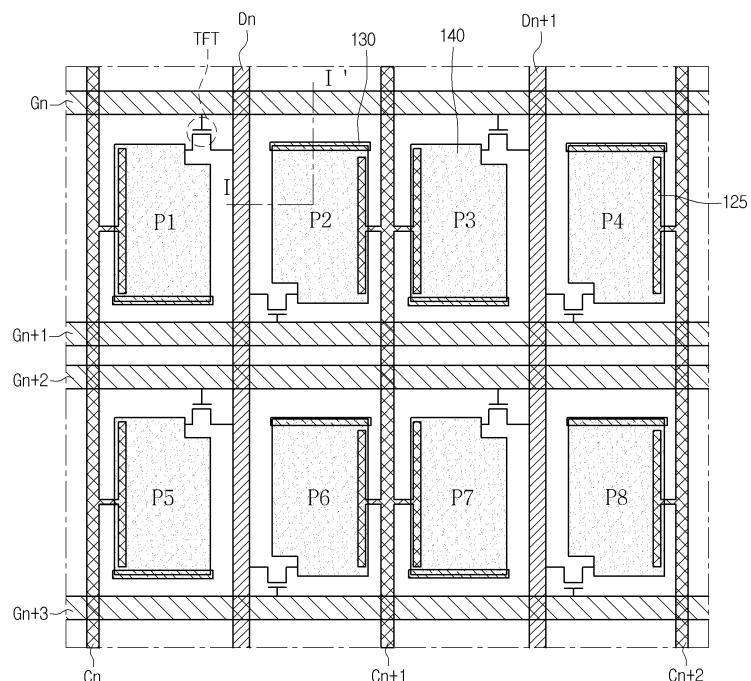
심사관 : 양성지

(54) 발명의 명칭 액정표시장치

### (57) 요 약

본 발명은 액정표시장치에 관한 것으로, 다수의 화소들이 정의된 기판, 상기 기판상에 제 1 방향으로 배열되며, 상기 다수의 화소들 중 2개씩 분할하는 다수의 데이터 배선들, 상기 기판상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 복수의 게이트 배선, 상기 각 화소상에 배치된 화소전극, 및 절연막을 사이에 두고 상기 게이트 배선과 인접하는 상기 화소전극과 중첩되어 상기 화소전극과 상기 게이트 배선사이의 기생 캐패시턴스를 줄이기 위한 보상전극을 포함하여, 액정표시장치의 데이터 배선 수를 감소시키며 화질 특성이 저하되는 것을 방지할 수 있다.

대 표 도 - 도2a



## 특허청구의 범위

### 청구항 1

기판;

상기 기판 상에 제 1 방향으로 배열되는 복수의 데이터 배선들;

상기 데이터 배선들과 교차하도록 제 2 방향으로 배치된 복수의 제1 및 제2 게이트 배선들;

상기 제 1 및 제 2 게이트 배선들과 교차하며, 상기 데이터 배선들과 교대로 배치되어 화소 영역들을 정의하는 복수개의 공통 배선들;

상기 데이터 배선과 상기 제1 및 제2 게이트 배선의 교차 영역에 각각 배치된 박막 트랜지스터;

상기 각각의 화소 영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극;

상기 공통배선으로부터 양측의 화소 영역의 중앙으로 인출되고, 상기 공통배선과 평행한 스토리지 전극부; 및

상기 제 2 방향을 따라 상기 제 1 및 제 2 게이트 배선들 사이에 정의된 각각의 화소 영역에서 상기 제 1 및 제 2 게이트 배선들에 교대로 인접하게 배치된 보상전극을 포함하고,

상기 박막 트랜지스터는 상기 제 2 방향을 따라 정의된 각각의 화소 영역에서 상기 제 1 및 제 2 게이트 배선들과 교대로 연결되며,

상기 보상전극은 인접한 제 1 또는 제 2 게이트 배선과 평행하게 이격 배치되고, 절연막을 사이에 두고 상기 제 2 방향과 대응되는 화소 전극 모서리와 중첩되며,

상기 스토리지 전극부는 절연막을 사이에 두고 상기 공통 배선과 마주하는 상기 화소 전극 모서리와 중첩되는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 보상전극은 상기 게이트 배선 및 데이터 배선 중 어느 하나와 동일한 층에 배치되는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 1 항에 있어서,

상기 스토리지 전극부 및 상기 공통배선은 일체로 이루어진 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 1 항에 있어서,

상기 보상전극과 스토리지 전극부는 화소 영역 내에서 서로 수직한 방향으로 상기 화소 전극과 중첩된 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 1 항에 있어서, 상기 각각의 화소 영역에 배치된 보상전극은 화소 전극을 사이에 두고 상기 박막 트랜지스터와 서로 대향하게 배치된 것을 특징으로 하는 액정표시장치.

### 청구항 6

기판;

상기 기판 상에 제 1 방향으로 배열되는 복수의 데이터 배선들;

상기 데이터 배선들과 교차하도록 제 2 방향으로 배치되어, 2개씩 화소 영역을 분할 정의하는 복수의 제1 및

제2 게이트 배선들;

상기 데이터 배선들과 교차하며 상기 제 1 및 제 2 게이트 배선들과 평행하게 교차하도록 상기 화소 영역들 중앙에 배치된 복수개의 공통 배선들;

상기 데이터 배선과 상기 제1 및 제2 게이트 배선의 교차 영역에 배치된 박막 트랜지스터;

상기 각각의 화소 영역에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극;

상기 공통배선과 일체로 제 1 방향으로 형성되고, 상기 화소 전극과 중첩된 스토리지 전극부; 및

상기 스토리지 전극부와 일체로 제 2 방향으로 형성되고, 상기 화소 전극과 중첩된 보상전극을 포함하고,

상기 박막 트랜지스터는 상기 제 2 방향을 따라 정의된 각각의 화소 영역에서 상기 제 1 및 제 2 게이트 배선들과 교대로 연결되며,

상기 보상전극은 상기 제 1 및 제 2 게이트 배선들 사이에 정의된 각각의 화소 영역에서 상기 제 1 및 제 2 게이트 배선들과 교대로 인접하게 배치된 액정표시장치.

#### 청구항 7

제 6 항에 있어서,

상기 보상전극은 상기 게이트 배선 및 데이터 배선 중 어느 하나와 동일한 층에 배치되는 것을 특징으로 하는 액정표시장치.

#### 청구항 8

제 6 항에 있어서,

상기 보상전극, 스토리지 전극부 및 상기 공통배선은 일체로 이루어진 것을 특징으로 하는 액정표시장치.

#### 청구항 9

제 6 항에 있어서,

상기 보상전극과 스토리지 전극부는 화소 영역 내에서 서로 수직한 방향으로 상기 화소 전극과 중첩된 것을 특징으로 하는 액정표시장치.

#### 청구항 10

제 6 항에 있어서,

상기 공통 배선의 스토리지 전극부는 상기 공통 배선과 게이트 배선들을 사이에 두고 배치된 인접한 공통 배선의 스토리지 전극부와 연결패턴에 의해 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

#### 청구항 11

제 10 항에 있어서,

상기 연결패턴은 상기 화소전극과 동일한 층상에 배치되는 것을 특징으로 하는 액정표시장치.

#### 청구항 12

제 6 항에 있어서, 상기 각각의 화소 영역에 배치된 보상전극은 상기 화소 전극을 사이에 두고 박막 트랜지스터와 서로 대향하게 배치된 것을 특징으로 하는 액정표시장치.

#### 청구항 13

제 6 항에 있어서, 상기 스토리지 전극부와 보상전극은 상기 화소 전극의 둘레 모서리를 따라 배치된 것을 특징으로 하는 액정표시장치.

#### 청구항 14

제 13 항에 있어서, 상기 스토리지 전극부와 보상전극은 상기 박막 트랜지스터와 전속되는 화소 전극의 일측

면 영역에서 개방된 구조로 형성된 것을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 액정표시장치에 관한 것으로, 더욱 구체적으로 화질 품질을 유지하며 제조 비용을 절감할 수 있는 액정표시장치에 관한 것이다.

#### 배경기술

[0002] 오늘날, 액정 표시 장치(Liquid Crystal Display device ; LCD)는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display) 소자로 각광받고 있다.

[0003] 액정표시장치는 액정의 광학적 이방성을 이용한 표시장치로써, 액정에 전계를 인가하여 액정의 광투과율을 조절함으로써, 다양한 영상을 표시한다.

[0004] 도 1은 종래 액정표시장치의 개략적인 평면도이다.

[0005] 도 1을 참조하면, 액정표시장치는 영상을 표시하는 액정패널(10), 상기 액정패널(10)에 주사신호를 인가하는 게이트 구동부(20) 및 상기 액정패널(10)에 화상전압을 인가하는 데이터 구동부(30)를 포함한다.

[0006] 상기 액정패널(10)은 서로 마주하는 제 1 및 제 2 기판과 상기 제 1 및 제 2 기판사이에 개재된 액정층을 포함한다.

[0007] 상기 제 1 기판상에 다수의 게이트 배선(21)들과 다수의 데이터 배선(31)들이 서로 교차하며 정의된 다수의 화소(P)들을 포함한다. 상기 게이트 배선(21)은 상기 게이트 구동부(20)와 전기적으로 연결되어 있다. 상기 데이터 배선(31)은 상기 데이터 구동부(30)와 전기적으로 연결되어 있다.

[0008] 상기 게이트 구동부(20)는 상기 게이트 배선(21)에 순차적으로 주사신호를 출력하며, 상기 데이터 구동부(30)는 상기 게이트 배선(21)에 주사신호가 인가되는 구간에 대응하여 선택된 게이트 배선(21)에 전기적으로 접속된 화소(P)들에 화상전압을 공급한다.

[0009] 상기 게이트 배선(21)과 데이터 배선(31)의 갯수들은 액정표시장치의 해상도에 따라 변한다. 예컨대, 액정표시장치의 해상도가  $1024 \times 768$ 일 경우, 데이터 배선(31)은  $1024 \times 3$ 개가 제 1 기판상에 배치된다. 또한, 게이트 배선(21)은 768개가 제 1 기판상에 배치된다.

[0010] 최근, 상기 액정표시장치의 해상도는 증가하는 추세이므로, 상기 액정표시장치에 구비된 데이터 배선도 점점 증가하게 된다. 이와 더불어, 상기 게이트 배선(21)과 데이터 배선(31)의 수와 동일한 수의 채널을 갖도록 데이터 IC 및 게이트 IC의 수도 증가하게 된다. 이로써, 상기 액정표시장치의 해상도를 증가시킴에 따라, 제작 비용이 증가하게 되는 문제점이 있다.

[0011] 또한, 상기 액정표시장치에서 수직방향으로 형성되는 데이터 배선(31)은 상기 게이트 배선(21)에 비해 많은 수가 밀하게 배열되므로, 상기 데이터 배선(31)들간의 간격확보가 어려우며, 상기 액정표시장치의 오동작을 일으킬 수 있다.

#### 발명의 내용

##### 해결 하고자하는 과제

[0012] 본 발명의 하나의 과제는 데이터 배선의 수를 감소시켜 제조 비용을 줄일 수 있는 액정표시장치를 제공함에 있다.

[0013] 본 발명의 또 하나의 과제는 상기 액정표시장치의 화질 품질을 유지할 수 있는 액정표시장치를 제공함에 있다.

## 과제 해결수단

- [0014] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 액정표시장치를 제공한다. 상기 액정표시장치는 다수의 화소들이 정의된 기판, 상기 기판상에 제 1 방향으로 배열되며, 상기 다수의 화소들 중 2개씩 분할하는 다수의 데이터 배선들, 상기 기판상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 복수의 게이트 배선들, 상기 각 화소상에 배치되며, 상기 게이트 배선과 데이터 배선과 전기적으로 연결된 박막트랜지스터, 상기 각 화소상에 배치되며, 상기 박막트랜지스터와 전기적으로 연결된 화소전극, 및 절연막을 사이에 두고 상기 게이트 배선과 인접하는 상기 화소전극과 중첩되어 상기 화소전극과 상기 게이트 배선사이의 기생캐패시턴스를 줄이기 위한 보상전극을 포함한다.
- [0015] 상기 액정표시장치는 공통배선을 더 포함할 수 있다.
- [0016] 상기 공통배선은 상기 데이터 배선에 의해 분할된 두 화소사이에 상기 데이터 배선과 평행하며, 절연막을 사이에 두고 상기 화소전극과 중첩되어 스토리지 캐패시턴스를 형성하는 스토리지 전극부를 구비할 수 있다. 또는, 상기 공통배선은 상기 게이트 배선과 평행하며 절연막을 사이에 두고 상기 화소전극과 중첩되어 스토리지 캐패시턴스를 형성하는 스토리지 전극부를 구비할 수 있다.
- [0017] 상기 공통배선과 상기 보상전극은 일체로 이루어질 수 있다.
- [0018] 상기 공통배선은 메쉬 형태를 가질 수 있다.

## 효과

- [0019] 본 발명의 액정표시장치는 하나의 데이터 배선에 2개의 화소가 접속됨에 따라 종래에 비해 데이터 배선 수를 절반으로 줄일 수 있으며, 이와 더불어 데이터 IC의 수도 줄게 되어 액정표시장치의 제조 비용을 줄일 수 있다.
- [0020] 또한, 본 발명의 액정표시장치는 절연막을 사이에 두고 게이트 배선과 인접한 화소전극의 일부와 중첩되는 보상전극을 구비함에 따라, 상기 게이트 배선과 상기 화소전극사이에 형성되는 기생캐패시턴스를 줄일 수 있다. 이로써, 상기 액정표시장치의 모든 화소들에 일정한 킥백전압( $\Delta V_p$ )을 가질 수 있어, 상기 액정표시장치의 화질불량을 방지할 수 있다.
- [0021] 또한, 본 발명의 액정표시장치의 보상전극은 게이트 배선, 데이터 배선, 공통배선 중 어느 하나와 동일한 층에 형성함에 따라, 상기 보상전극을 형성하기 위한 별도의 공정을 추가하지 않아도 된다.
- [0022] 또한, 본 발명의 액정표시장치의 보상전극은 공통배선과 일체로 형성하며, 상기 공통배선은 메쉬 타입으로 형성함에 따라, 상기 공통배선의 저항을 낮출 수 있다.

## 발명의 실시를 위한 구체적인 내용

- [0023] 이하, 본 발명의 실시예들은 액정표시장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0024] 도 2a 및 도 2b는 본 발명의 제 1 실시예에 따른 액정표시장치의 설명하기 위해 도시한 도면들이다. 도 2a는 본 발명의 제 1 실시예에 따른 액정표시장치의 일부 화소를 도시한 평면도이다. 도 2b는 도 2a에 도시된 I-I'선을 따라 절단한 단면도이다.
- [0025] 도 2a 및 도 2b를 참조하면, 액정표시장치는 액정패널(미도시)과 상기 액정패널에 외부 전기적 신호를 공급하는 데이터 드라이버(미도시) 및 게이트 드라이버를 포함한다.
- [0026] 상기 액정패널은 영상을 표시하기 위한 다수의 화소(P1~P6)들을 포함한다. 또한, 상기 액정패널은 제 1 기판

(100), 제 2 기판(미도시) 및 상기 제 1 및 제 2 기판사이에 개재된 액정을 포함한다.

[0027] 상기 제 1 기판(100)상에 제 1 방향으로 배열된 다수의 데이터 배선(Dn, Dn+1)들이 배치되어 있다. 상기 데이터 배선(Dn, Dn+1)은 다수의 화소(P1~P6)들 중 적어도 2개씩 분할한다. 예를 들면, 제 1 데이터 배선(Dn)은 좌우 접속된 2개의 화소인 제 1 및 제 2 화소(P1, P2)에 데이터 신호를 인가할 수 있다. 이로써, 상기 데이터 배선(Dn, Dn+1)은 동일 해상도의 액정표시장치에 구비된 데이터 배선들의 갯수에 비해 절반으로 줄일 수 있다.

[0028] 상기 제 1 기판(100)상에 상기 제 1 방향과 교차하는 제 2 방향으로 배열된 다수의 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)들이 배치되어 있다. 즉, 상기 데이터 배선(Dn, Dn+1)들과 다수의 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)들은 서로 교차하며, 다수의 화소(P1~P6)들을 정의할 수 있다. 예를 들면, 제 1 및 제 2 데이터 배선(Dn, Dn+1)과 제 1 및 제 2 게이트 배선(Gn, Gn+1)들에 의해 구획된 영역에는 2개의 제 2 및 제 3 화소(P2, P3)가 배치된다. 즉, 상기 제 1 및 제 2 게이트 배선(Gn, Gn+1)들 사이에 상기 제 2 및 제 3 화소(P2, P3)가 배치된다.

[0029] 상기 각 화소(P1~P6)에는 박막트랜지스터(TFT) 및 상기 박막트랜지스터(TFT)와 전기적으로 연결된 화소전극(140)이 배치되어 있다.

[0030] 상기 박막트랜지스터(TFT)는 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)으로부터 분기된 게이트 전극, 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩된 반도체 패턴, 상기 반도체 패턴상에 배치되며 상기 데이터 배선(Dn, Dn+1)과 전기적으로 연결된 소스전극, 상기 반도체 패턴상에 배치되며 상기 소스전극과 이격된 드레인 전극을 포함한다.

[0031] 여기서, 동일한 행에 속한, 예컨대 제 1, 제 2, 제 3 및 제 4 화소(P1, P2, P3, P4)들은 박막트랜지스터(TFT)를 통해 인접한 제 1 및 제 2 게이트 배선(Gn, Gn+1)에 교번하며 연결된다.

[0032] 이때, 동일한 행에 속한, 예컨대 제 1, 제 2, 제 3 및 제 4 화소(P1, P2, P3, P4)들은 전기적으로 접속된 제 1 및 제 2 게이트 배선(Gn, Gn+1)을 통해 순차적으로 인가되는 주사신호에 의해 선택되고, 상기 제 1 및 제 2 데이터 배선(Dn, Dn+1)들은 상기 주사신호에 의해 선택된 화소로 데이터 신호를 공급한다.

[0033] 그러나, 동일한 행에 속한, 예컨대, 제 1, 제 2, 제 3 및 제 4 화소(P1, P2, P3, P4)들은 다른 킥백 전압( $\Delta Vp$ )을 가질 수 있다. 여기서, 상기 킥백 전압( $\Delta Vp$ )은 상기 데이터 신호에 의해 공급된 화소전압과 화소에 실질적으로 인가된 화소전압의 차이를 말한다.

[0034] 이는 동일한 행에 속한 화소들, 예컨대, 제 1, 제 2, 제 3 및 제 4 화소(P1, P2, P3, P4)들은 상기 제 1 게이트 배선(Gn)과 인접하는 화소전극(140)을 갖는 제 2 및 제 4 화소(P2, P4)와 상기 제 2 게이트 배선(Gn+1)과 인접하는 화소전극(140)을 갖는 제 1 및 제 3 화소(P1, P3)를 가지기 때문이다. 즉, 상기 제 1 게이트 배선(Gn)과 제 2 및 제 4 화소(P2, P4)의 화소전극(140)사이에 형성하는 기생 캐패시턴스와 상기 제 2 게이트 배선(Gn+1)과 제 2 및 제 4 화소(P2, P4)의 화소전극(140)사이에 형성하는 기생 캐패시턴스의 차이가 발생하기 때문에 동일한 행에 속한 화소들에 발생하는 킥백전압( $\Delta Vp$ )의 차이가 발생한다. 이로 인해, 액정표시장치는 플리커 현상 및 색감차와 같은 화질이 저하될 수 있다.

[0035] 상기 각 화소(P1~P8)들의 킥백전압( $\Delta Vp$ )의 차이를 줄이기 위해, 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 인접하는 상기 화소전극(140)사이에 발생하는 기생 캐패시턴스를 줄여야 한다.

[0036] 이를 위해, 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)들과 상기 각 화소(P1~P8)에 배치된 화소전극(140)의 간격을 증가시킬 수 있으나, 이로 인해 개구율이 저하될 수 있다.

[0037] 이로써, 개구율의 감소를 방지하며, 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 인접하는 상기 화소전극(140)사이에 발생하는 기생 캐패시턴스를 줄이기 위해, 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 인접하는 상기 화소전극(140)상에 보상전극(130)을 형성한다. 상기 보상전극(130)은 상기 화소전극(140)과 절연막을 사이에 두고 중첩된다. 이때, 상기 보상전극(130)은 상기 화소전극(140)의 에지부를 덮도록 한다. 상기 보상전극(130)은 플로팅되어 있을 수 있다. 이로써, 상기 보상전극(130)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 인접하는 상기 화소전극(140)사이에 배치되어, 그 사이에서 발생하는 전계를 차폐함에 따라 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 인접하는 상기 화소전극(140)사이에 발생하는 기생캐패시턴스의 형성을 줄이거나 방지하는 역할을 한다.

[0038] 또한, 상기 보상전극(130)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)을 사이에 두고 서로 이웃한 화소 전극

(140)들간의 기생 캐패시턴스의 형성을 방지할 수 있다.

- [0039] 상기 보상전극(130)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3) 및 상기 데이터 배선(Dn, Dn+1) 중 어느 하나와 동일한 층에 배치될 수 있다.
- [0040] 상기 보상전극(130)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 동일한 층에 배치될 경우, 상기 절연막은 게이트 절연막(110)과 보호막(120)일 수 있다. 즉, 상기 보상전극(130)은 상기 제 1 기판(100)상에 배치될 수 있다. 상기 보상전극(130)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 동일한 층으로 이루어질 수 있다.
- [0041] 이와 달리, 상기 보상전극(130)은 상기 데이터 배선(Dn, Dn+1)과 동일한 층에 배치될 경우, 상기 절연막은 보호막(120)일 수 있다. 즉, 상기 보상전극(130)은 상기 게이트 절연막(110)상에 배치될 수 있다. 상기 보상전극(130)은 상기 데이터 배선(Dn, Dn+1)과 동일한 층으로 이루어질 수 있다.
- [0042] 이로써, 상기 보상전극(130)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3) 및 상기 데이터 배선(Dn, Dn+1) 중 어느 하나를 형성하는 공정에서 형성할 수 있도록 설계됨에 따라, 상기 보상전극(130)을 형성하기 위한 별도의 공정을 추가하지 않아도 된다.
- [0043] 이에 더하여, 상기 데이터 배선(Dn, Dn+1)에 의해 분할된 두 화소사이에 상기 데이터 배선(Dn, Dn+1)과 평행하는 공통배선(Cn, Cn+1, Cn+2)가 더 배치되어 있을 수 있다. 상기 공통배선(Cn, Cn+1, Cn+2)은 상기 데이터 배선(Dn, Dn+1)과 동일한 층, 예컨대 보호막(120)상에 배치될 수 있다.
- [0044] 상기 공통배선(Cn, Cn+1, Cn+2)은 상기 보호막(120)을 사이에 두고 상기 화소전극(140)과 중첩되어 스토리지 캐패시턴스를 형성하는 스토리지 전극부(125)를 구비할 수 있다.
- [0045] 도면에는 도시되지 않았으나, 상기 제 2 기판의 내측면에 특정한 파장을 필터링하는 컬러필터 패턴과, 상기 화소전극(140)과 상기 액정을 구동하기 위한 전계를 형성하는 공통전극이 배치되어 있을 수 있다.
- [0046] 따라서, 본 발명의 실시예에 따른 액정표시장치는 데이터 배선을 종래에 비해 절반으로 감소시킬 수 있어, 제조 비용을 줄일 수 있다.
- [0047] 또한, 본 발명의 실시예에 따른 액정표시장치는 보상전극을 구비하여, 상기 게이트 배선과 상기 화소전극사이에 형성되는 기생캐패시턴스를 줄일 수 있다. 이로써, 상기 액정표시장치의 모든 화소들에 일정한 킥백전압( $\Delta V_p$ )을 가질 수 있어, 상기 액정표시장치의 화질불량을 방지할 수 있다.
- [0048] 본 발명의 실시예에서, 각 화소에 배치된 박막트랜지스터(TFT)는 지그재그 형태로 배열되는 것으로 설명하였으나, 이에 한정되는 것은 아니며 다양한 형태로 배열될 수 있다.
- [0049] 도 3a 및 도 3b는 본 발명의 제 2 실시예에 따른 액정표시장치를 설명하기 위해 도시한 도면들이다. 도 3a는 본 발명의 제 2 실시예에 따른 액정표시장치의 일부 화소를 도시한 평면도이다. 도 3b는 도 3a에 도시된 II-II'선을 따라 절단한 단면도이다. 본 발명의 제 2 실시예는 보상전극 및 공통배선을 제외하고 앞서 설명한 본 발명의 제 1 실시예에 따른 액정표시장치와 동일한 구성을 가진다. 따라서, 본 발명의 제 2 실시예는 본 발명의 제 1 실시예와 반복되는 설명은 생략하기로 하며, 동일한 구성에 대해서는 동일한 참조부호를 부여한다.
- [0050] 도 3a 및 도 3b를 참조하면, 액정표시장치는 다수의 화소들이 정의된 제 1 기판(100)을 포함한다. 상기 제 1 기판(100)상에 상기 다수의 화소들 중 2개씩 분할하는 다수의 데이터 배선들을 구비하여, 액정표시장치는 같은 해상도를 갖는 종래의 액정표시장치에 비해 데이터 배선의 갯수를 절반으로 줄일 수 있다.
- [0051] 액정표시장치는 상기 화소전극(140)과 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)사이의 기생 캐패시턴스를 줄이기 위한 보상전극(230)을 포함한다. 이로써, 상기 액정표시장치의 모든 화소들에 일정한 킥백전압( $\Delta V_p$ )을 가질 수 있어, 상기 액정표시장치의 화질불량을 방지할 수 있다.
- [0052] 액정표시장치는 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 평행하는 공통배선(Cn, Cn+1)을 포함한다. 상기 공통배선(Cn, Cn+1)은 상기 게이트 배선(Gn, Gn+1, Gn+2, Gn+3)과 동일한 층에 동일한 층으로 이루어질 수 있다.
- [0053] 상기 공통배선(Cn, Cn+1)은 절연막, 예컨대 게이트 절연막(110) 및 보호막(120)의 이중막을 사이에 두고 상기 화소전극(140)과 중첩되어 스토리지 캐패시턴스를 형성하는 스토리지 전극부(225)를 구비한다. 상기 스토리지 전극부(225)는 상기 화소전극(140)의 에지부에 배치될 수 있다.

[0054] 상기 스토리지 전극부(225)는 상기 보상전극(235)과 일체로 이루어질 수 있다. 즉, 상기 보상전극(230)은 상기 공통배선( $C_n, C_{n+1}$ )과 일체로 이루어질 수 있다. 이로써, 상기 보상전극(230)은 상기 화소전극(140)과 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )사이에 형성된 기생 캐패시턴스를 줄이며, 상기 각 화소에 스토리지 캐패시턴스를 형성할 수 있다.

[0055] 따라서, 본 발명의 실시예에 따른 보상전극(230)은 상기 공통배선( $C_n, C_{n+1}$ )과 일체로 형성하여, 상기 화소전극(140)과 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )사이에 형성된 기생 캐패시턴스를 줄이며 이와 동시에 상기 각 화소에 화소전압을 충전하는 역할을 동시에 수행할 수 있다.

[0056] 도 4a 및 도 4b는 본 발명의 제 3 실시예에 따른 액정표시장치를 설명하기 위해 도시한 도면들이다. 도 4a는 본 발명의 제 3 실시예에 따른 액정표시장치의 일부 화소를 도시한 평면도이다. 도 4b는 도 4a에 도시된 III-III'선을 따라 절단한 단면도이다. 본 발명의 제 3 실시예는 연결패턴을 제외하고 앞서 설명한 본 발명의 제 2 실시예에 따른 액정표시장치와 동일한 구성을 가진다. 따라서, 본 발명의 제 3 실시예는 본 발명의 제 2 실시예와 반복되는 설명은 생략하기로 하며, 동일한 구성에 대해서는 동일한 참조부호를 부여한다.

[0057] 도 4a 및 도 4b를 참조하면, 액정표시장치는 상기 화소전극(140)과 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )사이의 기생 캐패시턴스를 줄이기 위한 보상전극(230)을 포함한다. 상기 보상전극(230)은 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )과 평행하는 공통배선( $C_n, C_{n+1}$ )과 일체로 이루어질 수 있다.

[0058] 상기 공통배선( $C_n, C_{n+1}$ )은 상기 각 화소를 가로지르며 배치될 수 있다. 즉, 상기 공통배선( $C_n, C_{n+1}$ )은 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )을 사이에 두고 이웃한 두 화소에 각각 배치된다.

[0059] 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )을 사이에 두고 서로 인접하여 배치된 스토리지 전극부(225)들을 서로 전기적으로 연결시킨다. 상기 게이트 배선( $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ )을 사이에 두고 서로 인접한 상기 공통배선( $C_n, C_{n+1}$ )은 연결패턴(250)에 의해 서로 전기적으로 연결시킬 수 있다. 상기 공통배선( $C_n, C_{n+1}$ )은 메쉬 형태를 가질 수 있다. 이로써, 상기 공통배선( $C_n, C_{n+1}$ )의 저항성을 낮출 수 있어, 상기 공통배선( $C_n, C_{n+1}$ )의 스토리지 전극부(225)와 상기 화소전극(140)사이에 형성되는 스토리지 캐패시턴스를 향상시킬 수 있다.

[0060] 상기 연결패턴(250)은 상기 화소전극(140)과 동일한 층상에 배치될 수 있다. 또한, 상기 화소전극(140)과 동일한 재질로 이루어질 수 있다. 이로써, 상기 연결패턴(250)은 상기 화소전극(140)과 동일한 공정에서 형성할 수 있도록 설계됨에 따라, 별도의 공정 추가 없이 스토리지 캐패시턴스를 향상시킬 수 있다.

[0061] 본 발명의 실시예에서, 상기 공통배선( $C_n, C_{n+1}$ )의 메쉬단위는 8개의 화소 예컨대, 제 1 내지 제 8화소(P1~P8)을 포함하는 것으로 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 공통배선( $C_n, C_{n+1}$ )의 메쉬단위는 2개의 화소 또는 4개의 화소를 포함할 수도 있다.

### 도면의 간단한 설명

[0062] 도 1은 종래 액정표시장치의 개략적인 평면도이다.

[0063] 도 2a는 본 발명의 제 1 실시예에 따른 액정표시장치의 일부 화소를 도시한 평면도이다.

[0064] 도 2b는 도 2a에 도시된 I-I'선을 따라 절단한 단면도이다.

[0065] 도 3a는 본 발명의 제 2 실시예에 따른 액정표시장치의 일부 화소를 도시한 평면도이다.

[0066] 도 3b는 도 3a에 도시된 II-II'선을 따라 절단한 단면도이다.

[0067] 도 4a는 본 발명의 제 3 실시예에 따른 액정표시장치의 일부 화소를 도시한 평면도이다.

[0068] 도 4b는 도 4a에 도시된 III-III'선을 따라 절단한 단면도이다.

[0069] (도면의 주요 부분에 대한 참조 부호의 설명)

[0070] 100 : 제 1 기판

[0071] 110 : 게이트 절연막

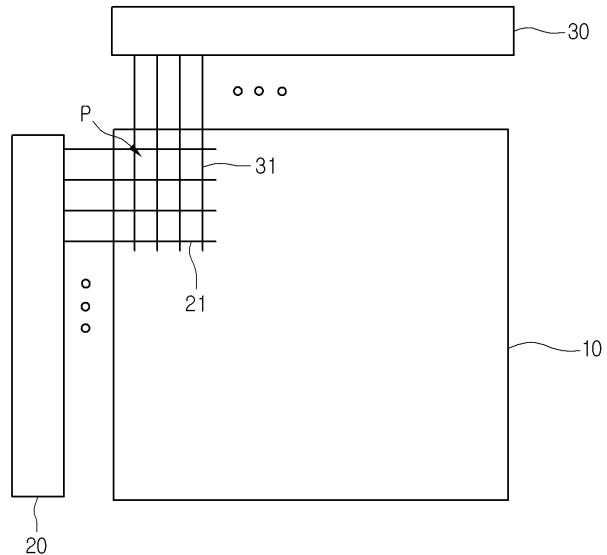
[0072] 120 : 보호막

[0073] 130, 230 : 보상전극

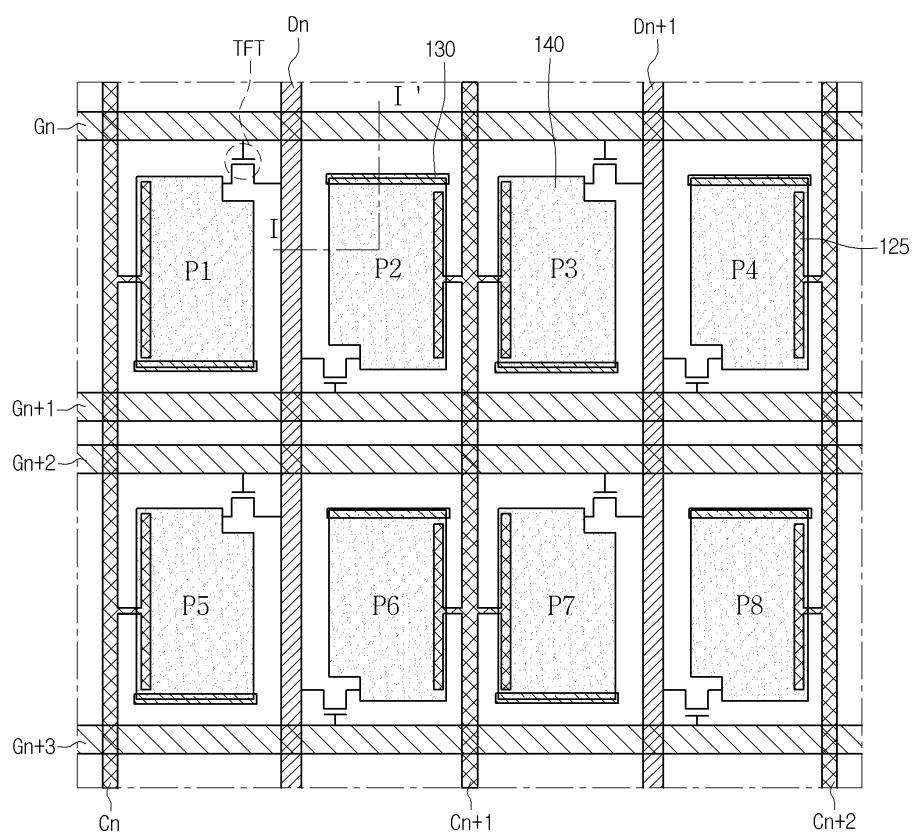
- [0074] 140 : 화소전극  
 [0075] 125, 225 : 스토리지 전극부  
 [0076] Dn, Dn+1 : 데이터 배선  
 [0077] Gn, Gn+1, Gn+2, Gn+3 : 게이트 배선

### 도면

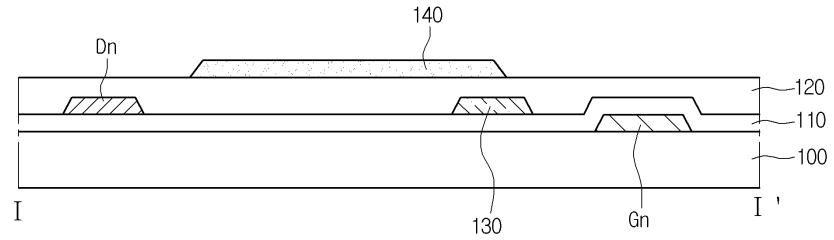
#### 도면1



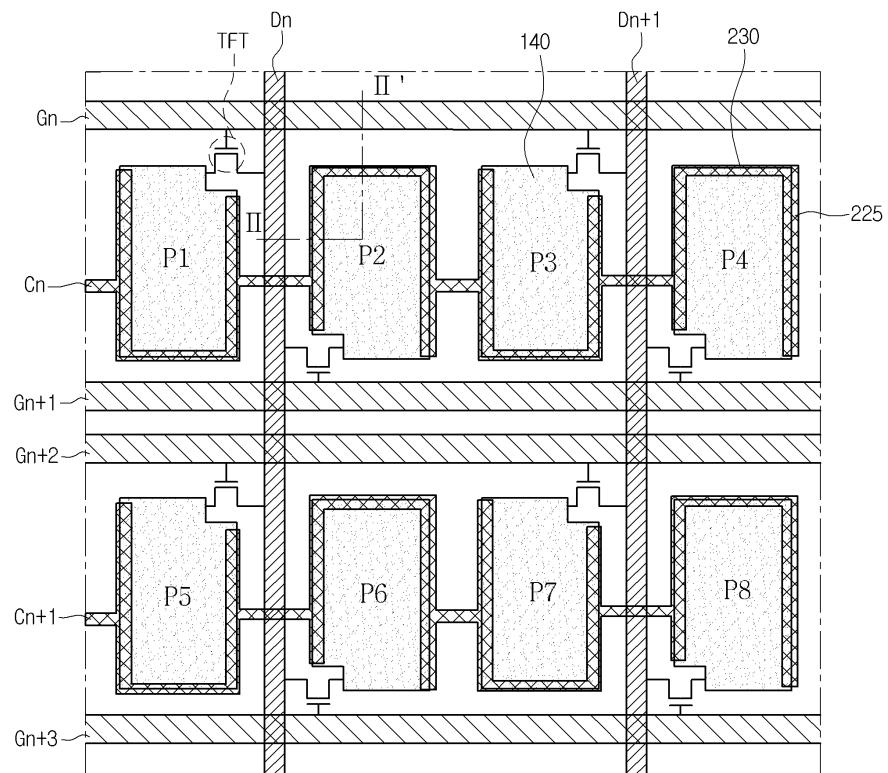
#### 도면2a



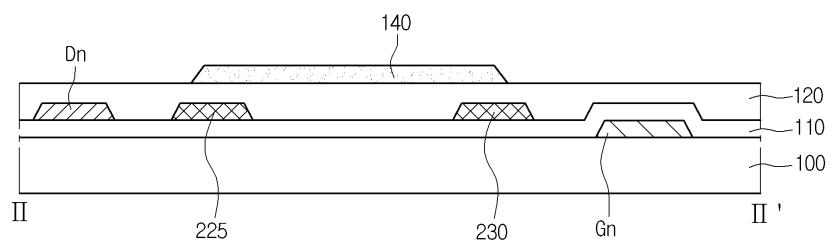
## 도면2b



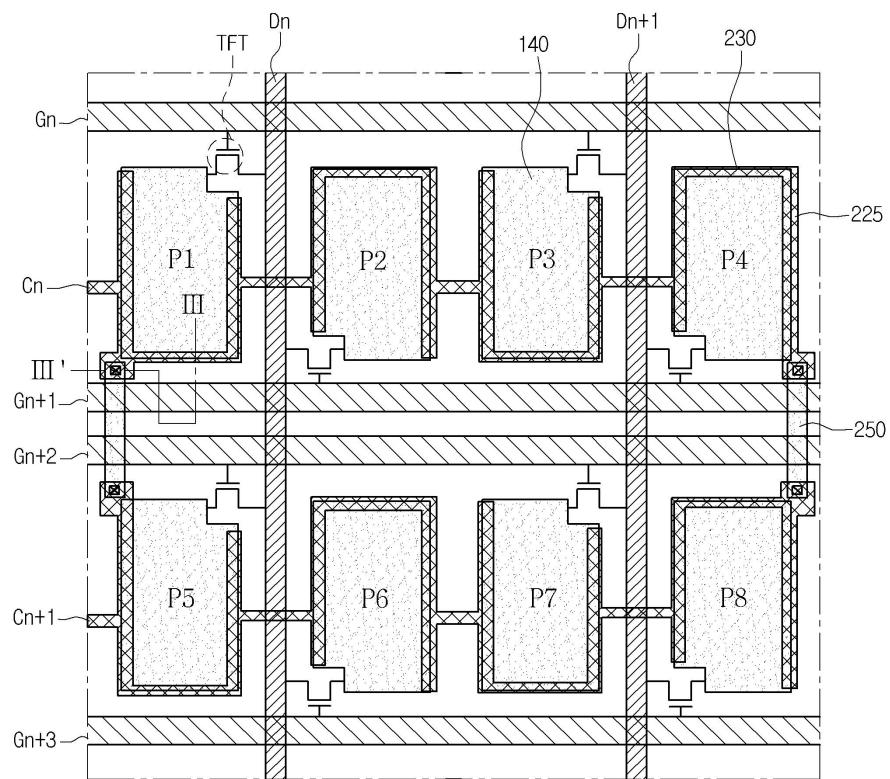
## 도면3a



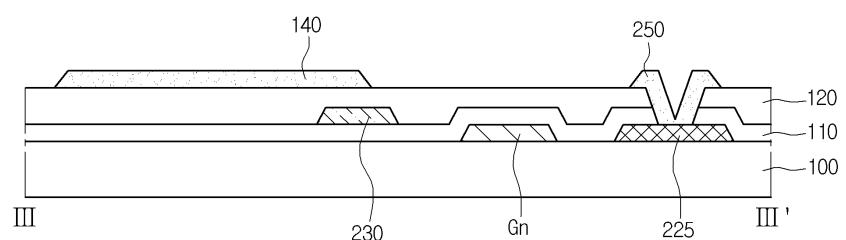
## 도면3b



도면4a



도면4b



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR101443380B1</a>	公开(公告)日	2014-09-26
申请号	KR1020070120233	申请日	2007-11-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JUNE HO		
发明人	PARK, JUNE HO		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G09G2320/0219 G02F1/136286 G09G3/3648 G09G2300/0426 G02F2001/136218 G09G2300/043 G02F2001/13606		
其他公开文献	KR1020090053393A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，更具体地说，涉及一种液晶显示装置，其具有在其上限定多个像素的基板，在基板上沿第一方向排列并由多个像素中的两个划分的多条数据线，沿与第一方向交叉的第二方向布置的多条栅极线，布置在像素上的像素电极，以及经由绝缘膜与栅极线相邻的像素电极，以及用于减小栅极布线之间的寄生电容的补偿电极，从而减少了液晶显示装置的数据线的数量并防止了图像质量特性的劣化。

