



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월01일
(11) 등록번호 10-1412740
(24) 등록일자 2014년06월20일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0125332
(22) 출원일자 2006년12월11일
심사청구일자 2011년12월09일
(65) 공개번호 10-2008-0053596
(43) 공개일자 2008년06월16일
(56) 선행기술조사문헌
JP2005316211 A*
JP2006139288 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
전상의
경기도 용인시 기흥구 용구대로 1842, 10103동
1702호 (보라동, 현대모닝사이드2차아파트)
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 18 항

심사관 : 윤성주

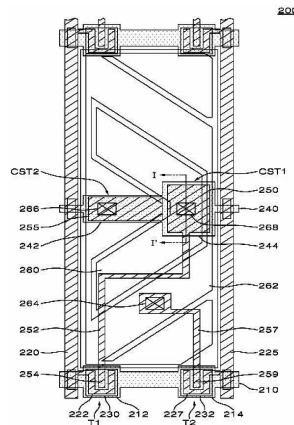
(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 정전기에 의한 박막 트랜지스터의 채널 쇼트 현상을 방지하는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

본 발명의 액정 표시 장치는, 제1 데이터 라인으로부터 입력되는 고계조 데이터 신호를 제1 화소 전극으로 인가하는 제1 박막 트랜지스터, 제1 콘택홀을 통하여 제1 화소 전극과 연결되며 제1 박막 트랜지스터와 직접 연결되는 상부 전극을 포함하며, 고계조 데이터 신호를 축적하는 제1 축적 용량, 제2 데이터 라인으로부터 입력되는 저계조 데이터 신호를 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터 및 제3 콘택홀을 통하여 상기 제2 화소 전극과 연결되는 상부 전극을 포함하며, 저계조 데이터 신호를 축적하는 제2 축적 용량을 포함한다.

대표도 - 도2a



특허청구의 범위

청구항 1

제1 데이터 라인으로부터 입력되는 고계조 데이터 신호 전압을 제1 화소 전극으로 인가하는 제1 박막 트랜지스터;

제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되며 상기 제1 박막 트랜지스터와 직접 연결되어 상기 고계조 데이터 신호 전압을 수신하는 제1 단자 전극 및 상기 제1 단자 전극과 절연되고 축적 용량 라인에 연결된 제2 단자 전극을 포함하며, 상기 고계조 데이터 신호 전압을 축적하는 제1 축적 용량;

제2 데이터 라인으로부터 입력되고 상기 고계조 데이터 신호 전압보다 낮은 레벨의 저계조 데이터 신호 전압을 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및

제3 콘택홀을 통하여 상기 제2 화소 전극과 연결되어 상기 저계조 데이터 신호 전압을 수신하는 제3 단자 전극 및 상기 제3 단자 전극과 절연되고 상기 축적 용량 라인에 연결된 제4 단자 전극을 포함하며, 상기 저계조 데이터 신호 전압을 축적하는 제2 축적 용량을 포함하고,

상기 제1 콘택홀은 상기 제1 단자 전극 및 상기 제2 단자 전극에 중첩하고, 상기 제3 콘택홀은 상기 제3 단자 전극 및 상기 제4 단자 전극에 중첩하며, 상기 제1 콘택홀 및 상기 제3 콘택홀은 상기 축적 용량 라인의 연장선에 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 고계조 데이터 신호 전압과 상기 저계조 데이터 신호 전압은 서로 다른 계조 전압 커브에 의해 생성되는 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 제1 박막 트랜지스터는,

상기 제1 데이터 라인에 연결되는 소스 전극과 상기 제1 축적 용량의 상기 제1 단자 전극에 직접 연결되는 드레인 전극을 포함하는 액정 표시 장치.

청구항 4

제 3 항에 있어서, 상기 제2 박막 트랜지스터는,

상기 제2 데이터 라인에 연결되는 소스 전극과 상기 제2 화소 전극에 연결되는 드레인 전극을 포함하는 액정 표시 장치.

청구항 5

제 4 항에 있어서, 상기 제1 축적 용량은,

상기 제2 축적 용량보다 용량이 큰 액정 표시 장치.

청구항 6

제 5 항에 있어서, 상기 제1 박막 트랜지스터는,

상기 고계조 데이터 신호 전압을 한 수평 주기 중 일정 기간 동안 상기 제1 화소 전극으로 인가하고, 상기 제2 박막 트랜지스터는 상기 저계조 데이터 신호 전압을 상기 한 수평 주기 중 일정 기간의 나머지 기간 동안 상기 제2 화소 전극으로 인가하는 액정 표시 장치.

청구항 7

제1 데이터 라인에 고계조 데이터 신호 전압을 인가하고, 제2 데이터 라인에 상기 고계조 데이터 신호 전압보다 낮은 레벨의 저계조 데이터 신호 전압을 인가하는 데이터 드라이버;

게이트 라인에 게이트 구동 신호를 인가하는 게이트 드라이버;

상기 게이트 구동 신호에 응답하여 상기 고계조 데이터 신호 전압을 제1 화소 전극으로 인가하는 제1 박막 트랜지스터;

제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되며, 상기 제1 박막 트랜지스터와 직접 연결되어 상기 고계조 데이터 신호 전압을 수신하는 제1 단자 전극 및 상기 제1 단자 전극과 절연되고 축적 용량 라인에 연결된 제2 단자 전극을 포함하며, 상기 고계조 데이터 신호 전압을 축적하는 제1 축적 용량;

상기 게이트 구동 신호에 응답하여 상기 저계조 데이터 신호 전압을 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및

제3 콘택홀을 통하여 상기 제2 화소 전극과 연결되어 상기 저계조 데이터 신호 전압을 수신하는 제3 단자 전극 및 상기 제3 단자 전극과 절연되고 상기 축적 용량 라인에 연결된 제4 단자 전극을 포함하며, 상기 저계조 데이터 신호 전압을 축적하는 제2 축적 용량을 포함하고,

상기 제1 콘택홀은 상기 제1 단자 전극 및 상기 제2 단자 전극에 중첩하고, 상기 제3 콘택홀은 상기 제3 단자 전극 및 상기 제4 단자 전극에 중첩하며, 상기 제1 콘택홀 및 상기 제3 콘택홀은 상기 축적 용량 라인의 연장선에 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제 7 항에 있어서,

상기 고계조 데이터 신호 전압과 상기 저계조 데이터 신호 전압은 서로 다른 계조 전압 커브에 의해 생성되는 액정 표시 장치.

청구항 9

제 8 항에 있어서,

상기 고계조 데이터 신호 전압 생성을 위한 고계조 감마 전압과 상기 저계조 데이터 신호 전압 생성을 위한 저계조 감마 전압을 상기 데이터 드라이버로 공급하는 감마 전압부를 더 포함하는 액정 표시 장치.

청구항 10

제 9 항에 있어서, 상기 데이터 드라이버는,

상기 고계조 데이터 신호 전압을 한 수평 주기 중 일정 기간 동안 상기 제1 박막 트랜지스터로 인가하고, 상기 저계조 데이터 신호 전압을 상기 한 수평 주기 중 일정 기간의 나머지 기간 동안 상기 제2 박막 트랜지스터로 인가하며,

상기 게이트 드라이버는 상기 한 수평 주기 동안 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터로 상기 게이트 구동 신호를 인가하는 액정 표시 장치.

청구항 11

고계조 데이터 신호 전압을 전달하는 복수의 제1 데이터 라인, 상기 고계조 데이터 신호 전압보다 낮은 레벨의 저계조 데이터 신호 전압을 전달하는 복수의 제2 데이터 라인 및 게이트 구동 신호를 전달하는 복수의 게이트 라인에 의해 정의되는 복수의 화소를 포함하는 액정 표시 장치로서,

상기 화소는,

상기 고계조 데이터 신호 전압을 표시하는 제1 화소 전극;

상기 고계조 데이터 신호 전압을 상기 제1 화소 전극으로 인가하는 제1 박막 트랜지스터;

제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되고, 상기 제1 박막 트랜지스터와 직접 연결되어 상기 고계조 데이터 신호 전압을 수신하는 제1 단자 전극 및 상기 제1 단자 전극과 절연되고 축적 용량 라인에 연결된 제2 단자 전극을 포함하며, 상기 고계조 데이터 신호 전압을 축적하는 제1 축적 용량;

상기 저계조 데이터 신호 전압을 표시하는 제2 화소 전극;

제2 콘택홀을 통하여 상기 제2 화소 전극과 연결되며, 상기 저계조 데이터 신호 전압을 상기 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및

제3 콘택홀을 통하여 상기 제2 화소 전극과 연결되어 상기 저계조 데이터 신호 전압을 수신하는 제3 단자 전극 및 상기 제3 단자 전극과 절연되고 상기 축적 용량 라인에 연결된 제4 단자 전극을 포함하며, 상기 저계조 데이터 신호 전압을 축적하는 제2 축적 용량을 포함하고,

상기 제1 콘택홀은 상기 제1 단자 전극 및 상기 제2 단자 전극에 중첩하고, 상기 제3 콘택홀은 상기 제3 단자 전극 및 상기 제4 단자 전극에 중첩하며, 상기 제1 콘택홀 및 상기 제3 콘택홀은 상기 축적 용량 라인의 연장선에 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제 11 항에 있어서,

상기 고계조 데이터 신호 전압과 상기 저계조 데이터 신호 전압은 서로 다른 계조 전압 커브에 의해 생성되는 액정 표시 장치.

청구항 13

제 12 항에 있어서, 상기 제1 축적 용량의 상기 제1 단자 전극과 상기 제2 단자 전극은 상기 제2 축적 용량의 상기 제3 단자 전극과 상기 제4 단자 전극보다 각각 면적이 큰 것을 특징으로 하는 액정 표시 장치.

청구항 14

제 11 항에 있어서, 상기 제2 화소 전극은,

상기 제1 화소 전극과 분리되어 형성되며, 상기 제1 화소 전극을 둘러싸며 형성되는 액정 표시 장치.

청구항 15

유리 기판 상에 제1 및 제2 게이트 전극이 포함된 게이트 라인과 제1 및 제2 단자 전극이 포함된 축적 용량 라인을 형성하는 게이트 라인 형성 단계;

상기 게이트 라인과 축적 용량 라인이 형성된 유리 기판 상에 게이트 절연막을 사이에 두고 상기 제1 및 제2 게이트 전극에 각각 중첩되게 활성층을 형성하는 활성층 형성 단계;

고계조 데이터 신호 전압 및 상기 고계조 데이터 신호 전압보다 낮은 레벨의 저계조 데이터 신호 전압을 각각 전달하는 제1 데이터 라인 및 제2 데이터 라인, 상기 제1 데이터 라인에 연결되는 제1 트랜지스터의 제1 소스 전극과 제1 드레인 전극, 상기 제2 데이터 라인에 연결되는 제2 트랜지스터의 제2 소스 전극과 제2 드레인 전극, 상기 제1 및 제2 단자 전극에 대향하는 제3 및 제4 단자 전극 및 상기 제1 드레인 전극과 상기 제3 단자 전극을 연결하는 드레인 라인을 포함하는 소스/드레인 패턴을 형성하는 소스/드레인 형성 단계;

상기 소스/드레인 패턴이 형성된 유리 기판상에 유기 절연막을 형성하고, 형성된 유기 절연막을 일부 제거하여, 상기 제3 단자 전극을 노출시키는 제1 콘택홀, 상기 제2 드레인 전극에 연결되는 드레인 라인을 노출시키는 제2 콘택홀 및 상기 제4 단자 전극을 노출시키는 제3 콘택홀을 형성하는 콘택홀 형성 단계; 및

상기 제1 내지 제3 콘택홀이 형성된 유리 기판상에 상기 고계조 데이터 신호 전압을 표시하고 상기 제1 콘택홀에 연결되는 제1 화소 전극과 상기 저계조 데이터 신호 전압을 표시하고 상기 제2 콘택홀과 상기 제3 콘택홀에 연결되는 제2 화소 전극을 투명 도전성 패터닝에 의해 형성하는 화소 전극 형성 단계를 포함하고,

상기 제1 콘택홀은 상기 제1 단자 전극 및 상기 제3 단자 전극에 중첩하고, 상기 제3 콘택홀은 상기 제2 단자 전극 및 상기 제4 단자 전극에 중첩하며, 상기 제1 콘택홀 및 상기 제3 콘택홀은 상기 축적 용량 라인의 연장선에 중첩하는 것을 특징으로 하는 액정 표시 장치 제조 방법.

청구항 16

제1 게이트 구동 신호에 응답하여 데이터 라인으로부터 입력되는 고계조 데이터 신호 전압을 제1 화소 전극으로 인가하는 제1 박막 트랜지스터;

제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되며 상기 제1 박막 트랜지스터와 직접 연결되어 상기 고계조

데이터 신호 전압을 수신하는 제1 단자 전극 및 상기 제1 단자 전극에 절연되고 축적 용량 라인에 연결된 제2 단자 전극을 포함하며, 상기 고계조 데이터 신호 전압을 축적하는 제1 축적 용량;

제2 게이트 구동 신호에 응답하여 상기 데이터 라인으로부터 입력되고, 상기 고계조 데이터 신호 전압보다 낮은 레벨의 저계조 데이터 신호 전압을 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및

제3 콘택홀을 통하여 상기 제2 화소 전극과 연결되며 상기 저계조 데이터 신호 전압을 수신하는 제3 단자 전극 및 상기 제3 단자 전극에 절연되고 상기 축적 용량 라인에 연결된 제4 단자 전극을 포함하며, 상기 저계조 데이터 신호 전압을 축적하는 제2 축적 용량을 포함하고,

상기 제1 콘택홀은 상기 제1 단자 전극 및 상기 제2 단자 전극에 중첩하고, 상기 제3 콘택홀은 상기 제3 단자 전극 및 상기 제4 단자 전극에 중첩하며, 상기 제1 콘택홀 및 상기 제3 콘택홀은 상기 축적 용량 라인의 연장선에 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 17

제 16 항에 있어서,

상기 고계조 데이터 신호 전압과 상기 저계조 데이터 신호 전압은 서로 다른 계조 전압 커브에 의해 생성되는 액정 표시 장치.

청구항 18

제 17 항에 있어서,

상기 제1 게이트 구동 신호와 상기 제2 게이트 구동 신호는 한 수평 주기 시간 동안 순차적으로 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 인가되는 액정 표시 장치.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 액정 표시 장치에 관한 것으로, 특히 정전기에 의한 박막 트랜지스터의 채널 쇼트 현상을 방지하는 액정 표시 장치 및 그 제조 방법에 관한 것이다.
- [0013] 일반적으로 액정 표시 장치는 전계에 따라 액정 분자를 구동시켜 광투과율을 조절함으로써 화상을 표시하는 장치를 말한다. 액정 표시 장치는 액정에 의하여 차폐되지 않은 방향으로 광이 투과되어 화상을 표시하기 때문에 상대적으로 다른 표시 장치에 비하여 시야각이 좁다.
- [0014] 액정 표시 장치의 대표적인 광시야각 기술로는 수직 배향(Vertical Alignment) 모드가 이용된다. 수직 배향 모드는 음의 유전율 이방성을 갖는 액정 분자들이 수직으로 배향되고 전계 방향에 수직하게 구동되어 광투과율을 조절한다. 이러한 수직 배향 모드 기술은 도메인 형성 방법에 따라, MVA(Multi-domain Vertical Alignment) 기술, PVA(Patterned-ITO Vertical Alignment) 기술 및 S-PVA(S-Patterned-ITO Vertical Alignment) 기술로 구분된다.
- [0015] MVA(Multi-domain Vertical Alignment) 기술은 돌기를 이용한 VA 모드로서, 상하판에 돌기를 형성하여 액정 분자들이 그 돌기를 기준으로 대칭된 프리-틸트(Pre-tilt)를 형성한 상태에서 전압을 인가하여 프리-틸트된 방향으로 구동되게 함으로써 멀티-도메인을 형성한다.
- [0016] PVA(Patterned-ITO Vertical Alignment) 기술은 슬릿 패턴을 이용한 VA 모드로서, 상하판의 공통 전극 및 화소 전극에 슬릿을 형성하여 그 슬릿에 의해 발생된 프린지 전계(Fringe Electric Field)를 이용하여 액정 분자들이 슬릿을 기준으로 대칭적으로 구동되게 함으로써 멀티-도메인을 형성한다.
- [0017] S-PVA(S-Patterned-ITO Vertical Alignment) 기술은 한 화소를 서로 다른 감마 커브(Gamma-curve)에 의해 데이터를 표현하는 고계조 서브 화소와 저계조 서브 화소로 구분하고, 각 서브 화소를 고계조 트랜지스터와 저계조 트랜지스터를 통하여 독립적으로 구동한다.
- [0018] 그런데, S-PVA 기술을 이용한 액정 표시 장치의 제조 과정에서는 정전기에 의한 채널 쇼트 불량, 특히 정전기에 의해 고계조 트랜지스터의 채널이 쇼트되어 액정 표시 장치의 제조 수율이 떨어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0019] 따라서, 본 발명의 목적은 고계조 데이터 신호를 스위칭하는 트랜지스터의 드레인 전극을 축적 용량의 상부 전극에 직접 연결시켜 드레인 전극과 고계조 화소 전극과의 콘택홀을 제거하는 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0020] 상기 목적을 달성하기 위하여, 본 발명의 액정 표시 장치는, 제1 데이터 라인으로부터 입력되는 제1 데이터 신호 전압을 제1 화소 전극으로 인가하는 제1 박막 트랜지스터; 제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되며 상기 제1 박막 트랜지스터와 직접 연결되는 단자 전극을 포함하며, 상기 제1 데이터 신호 전압을 축적하는 제1 축적 용량; 제2 데이터 라인으로부터 입력되는 제2 데이터 신호 전압을 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및 제 3콘택홀을 통하여 상기 제2 화소 전극과 연결되는 단자 전극을 포함하며, 상기 제2 데이터 신호 전압을 축적하는 제2 축적 용량;을 포함한다.
- [0021] 여기서, 상기 제1 데이터 신호 전압과 제2 데이터 신호 전압은 서로 다른 계조 전압 커브에 의해 생성되는 것이 바람직하다.
- [0022] 또한 상기 제1 박막 트랜지스터는, 상기 제1 데이터 라인에 연결되는 소스 전극과 상기 제1 축적 용량의 단자 전극에 직접 연결되는 드레인 전극을 포함한다.
- [0023] 또한 상기 제2 박막 트랜지스터는, 상기 제2 데이터 라인에 연결되는 소스 전극과 상기 제2 화소 전극에 연결되는 드레인 전극을 포함한다.
- [0024] 또한 상기 제1 축적 용량은, 상기 제2 축적 용량보다 용량이 큰 것이 바람직하다.

- [0025] 또한 상기 제1 박막 트랜지스터는, 상기 제1 데이터 신호 전압을 한 수평 주기 중 일정 기간 동안 제1 화소 전극으로 인가하고, 상기 제2 박막 트랜지스터는 상기 제2 데이터 신호 전압을 한 수평 주기 중 일정 기간의 나머지 기간 동안 제2 화소 전극으로 인가하는 것이 바람직하다.
- [0026] 또한 본 발명의 액정 표시 장치는, 제1 데이터 라인에 제1 데이터 신호 전압을 인가하고, 제2 데이터 라인에 제2 데이터 신호 전압을 인가하는 데이터 드라이버; 게이트 라인에 게이트 구동 신호를 인가하는 게이트 드라이버; 상기 게이트 구동 신호에 응답하여 상기 제1 데이터 신호 전압을 제1 화소 전극으로 인가하는 제1 박막 트랜지스터; 제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되며 상기 제1 박막 트랜지스터와 직접 연결되어, 상기 제1 데이터 신호 전압을 축적하는 제1 축적 용량; 상기 게이트 구동 신호에 응답하여 상기 제2 데이터 신호 전압을 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및 제 3콘택홀을 통하여 상기 제2 화소 전극과 연결되어, 상기 제2 데이터 신호 전압을 축적하는 제2 축적 용량;을 포함한다.
- [0027] 여기서 본 발명의 액정 표시 장치는 상기 제1 데이터 신호 전압 생성을 위한 제1 계조 감마 전압과 상기 제2 데이터 신호 전압 생성을 위한 제2 계조 감마 전압을 상기 데이터 드라이버로 공급하는 감마 전압부를 더 포함한다.
- [0028] 본 발명의 액정 표시 장치는 제1 데이터 신호 전압을 전달하는 복수의 제1 데이터 라인, 제2 데이터 신호 전압을 전달하는 복수의 제2 데이터 라인 및 게이트 구동 신호를 전달하는 복수의 게이트 라인에 의해 정의되는 복수의 화소를 포함하는 액정 표시 장치로서, 상기 화소는, 상기 제1 데이터 신호 전압을 표시하는 제1 화소 전극; 상기 제1 데이터 신호 전압을 상기 제1 화소 전극으로 인가하는 제1 박막 트랜지스터; 제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되고 상기 제1 박막 트랜지스터와 직접 연결되며, 상기 제1 데이터 신호 전압을 축적하는 제1 축적 용량; 상기 제2 데이터 신호 전압을 표시하는 제2 화소 전극; 제2 콘택홀을 통하여 상기 제2 화소 전극과 연결되며, 상기 제2 데이터 신호 전압을 상기 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및 제 3콘택홀을 통하여 상기 제2 화소 전극과 연결되며, 상기 제2 데이터 신호 전압을 축적하는 제2 축적 용량;을 포함한다.
- [0029] 여기서, 상기 제1 축적 용량은, 제1 단자 전극, 상기 제1 박막 트랜지스터와 상기 제1 화소 전극에 연결되는 제2 단자 전극 및 상기 제1 단자 전극과 제2 단자 전극 사이의 절연막을 포함한다.
- [0030] 또한 상기 제2 축적 용량은, 제1 단자 전극에 연결되는 제3 단자 전극, 상기 제2 화소 전극에 연결되는 제4 단자 전극 및 상기 제3 단자 전극과 제4 단자 전극 사이의 절연막을 포함한다.
- [0031] 또한 상기 제2 화소 전극은, 상기 제1 화소 전극과 분리되어 형성되며, 상기 제1 화소 전극을 둘러싸며 형성되는 것이 바람직하다.
- [0032] 본 발명의 액정 표시 장치는 제1 게이트 구동 신호에 응답하여 데이터 라인으로부터 입력되는 제1 데이터 신호 전압을 제1 화소 전극으로 인가하는 제1 박막 트랜지스터; 제1 콘택홀을 통하여 상기 제1 화소 전극과 연결되며 상기 제1 박막 트랜지스터와 직접 연결되는 단자 전극을 포함하며, 상기 제1 데이터 신호 전압을 축적하는 제1 축적 용량; 제2 게이트 구동 신호에 응답하여 상기 데이터 라인으로부터 입력되는 제2 데이터 신호 전압을 제2 콘택홀을 통하여 연결된 제2 화소 전극으로 인가하는 제2 박막 트랜지스터; 및 제 3콘택홀을 통하여 상기 제2 화소 전극과 연결되는 단자 전극을 포함하며, 상기 제2 데이터 신호 전압을 축적하는 제2 축적 용량;을 포함한다.
- [0033] 여기서 제1 게이트 구동 신호와 제2 게이트 구동 신호는 한 수평 주기 시간 동안 순차적으로 제1 및 제2 박막 트랜지스터에 인가되는 것이 바람직하다.
- [0034] 본 발명의 액정 표시 장치 제조 방법은, 유리 기판상에 제1 게이트 전극이 포함된 게이트 라인과 제1 단자 전극이 포함된 축적 용량 라인을 형성하는 게이트 라인 형성 단계; 상기 게이트 라인과 축적 용량 라인이 형성된 유리 기판 상에 게이트 절연막을 사이에 두고 상기 제1 게이트 전극에 중첩되게 활성층을 형성하는 활성층 형성 단계; 제1 데이터 신호 전압을 전달하는 제1 데이터 라인, 상기 제1 데이터 라인에 연결되는 제1 트랜지스터의 제1 소스 전극과 제1 드레인 전극, 상기 제1 단자 전극에 대향하는 제2 단자 전극 및 상기 제1 드레인 전극과 상기 제2 단자 전극을 연결하는 제1 드레인 라인을 포함하는 소스/드레인 패턴을 형성하는 소스/드레인 형성 단계; 및 상기 소스/드레인 패턴이 형성된 유리 기판상에 유기 절연막을 형성하고, 형성된 유기 절연막을 제거하여, 상기 제2 단자 전극을 노출시키는 제1 콘택홀을 형성하는 콘택홀 형성 단계를 포함한다.
- [0035] 여기서, 상기 게이트 라인 형성 단계는 유리 기판상에 제2 게이트 전극이 포함된 게이트 라인과 제3 단자 전극

이 포함된 축적 용량 라인을 형성하는 단계를 포함하고, 상기 활성층 형성 단계는 상기 게이트 라인과 축적 용량 라인이 형성된 유리 기판상에 게이트 절연막을 사이에 두고 상기 제2 게이트 전극에 중첩되게 활성층을 형성하는 단계를 포함하며, 상기 소스/드레인 형성 단계는 제2 데이터 신호 전압을 전달하는 제2 데이터 라인, 상기 제2 데이터 라인에 연결되는 제2 트랜지스터의 제2 소스 전극과 제2 드레인 전극, 상기 제3 단자 전극에 대항하는 제4 단자 전극, 및 제2 드레인 전극에 연결되는 제2 드레인 라인을 포함하는 소스/드레인 패턴을 형성하는 단계를 포함하며, 상기 콘택홀 형성 단계는 형성된 유기 절연막을 일부 제거하여, 상기 제2 드레인 전극에 연결되는 제2 드레인 라인을 노출시키는 제2 콘택홀 및 상기 제4 단자 전극을 노출시키는 제3 콘택홀을 형성하는 단계를 포함한다.

[0036] 또한 본 발명의 액정 표시 장치 제조 방법은 상기 콘택홀이 형성된 유리 기판상에 제1 데이터 신호 전압을 표시하는 제1 화소 전극과 상기 저계조 데이터 신호를 표시하는 제2 화소 전극을 투명 도전성 패터닝에 의해 형성하는 화소 전극 형성 단계를 더 포함한다.

[0037] 또한 상기 화소 전극 형성 단계는, 상기 제1 화소 전극을 상기 제1 콘택홀에 연결시켜 형성하고, 상기 제2 화소 전극을 상기 제2 콘택홀과 제3 콘택홀에 연결시켜 형성하는 단계를 포함한다.

[0038] 또한 상기 게이트 라인 형성 단계는 상기 제1 단자 전극이 상기 제3 단자 전극보다 큰 면적을 가지도록 상기 축적 용량 라인을 형성하고, 상기 소스/드레인 형성 단계는 상기 제2 단자 전극이 상기 제4 단자 전극보다 큰 면적을 가지도록 상기 소스/드레인 패턴을 형성하는 것이 바람직하다.

[0039] 본 발명의 액정 표시 장치 제조 방법은, 유리 기판 상에 제1 및 제2 게이트 전극이 포함된 게이트 라인과 제1 및 제2 단자 전극이 포함된 축적 용량 라인을 형성하는 게이트 라인 형성 단계; 상기 게이트 라인과 축적 용량 라인이 형성된 유리 기판 상에 게이트 절연막을 사이에 두고 상기 제1 및 제2 게이트 전극에 각각 중첩되게 활성층을 형성하는 활성층 형성 단계; 제1 및 제2 데이터 신호 전압을 각각 전달하는 제1 및 제2 데이터 라인, 상기 제1 데이터 라인에 연결되는 제1 트랜지스터의 제1 소스 전극과 제1 드레인 전극, 상기 제2 데이터 라인에 연결되는 제2 트랜지스터의 제2 소스 전극과 제2 드레인 전극, 상기 제1 및 제2 단자 전극에 대항하는 제3 및 제4 단자 전극 및 상기 제1 드레인 전극과 상기 제3 단자 전극을 연결하는 드레인 라인을 포함하는 소스/드레인 패턴을 형성하는 소스/드레인 형성 단계; 상기 소스/드레인 패턴이 형성된 유리 기판상에 유기 절연막을 형성하고, 형성된 유기 절연막을 일부 제거하여, 상기 제3 단자 전극을 노출시키는 제1 콘택홀, 상기 제2 드레인 전극에 연결되는 드레인 라인을 노출시키는 제2 콘택홀 및 상기 제4 단자 전극을 노출시키는 제3 콘택홀을 형성하는 콘택홀 형성 단계; 및 상기 콘택홀이 형성된 유리 기판상에 제1 데이터 신호 전압을 표시하고 상기 제1 콘택홀에 연결되는 제1 화소 전극과 상기 제2 데이터 신호 전압을 표시하고 상기 제2 콘택홀과 제3 콘택홀에 연결되는 제2 화소 전극을 투명 도전성 패터닝에 의해 형성하는 화소 전극 형성 단계를 포함한다.

[0040] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0041] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치를 도시한 블록도이다. 도 1에 도시된 바와 같이, 본 발명의 일실시예에 따른 액정 표시 장치(100)는 액정 패널(110)과, 액정 패널(110)의 게이트 라인(GL1, GL2)을 구동하는 게이트 드라이버(120)와, 액정 패널(110)의 데이터 라인(DL1 ~ DL4)을 구동하는 데이터 드라이버(130)와, 게이트 드라이버(120)와 데이터 드라이버(130)를 제어하는 타이밍 컨트롤러(140) 및 고계조 감마 전압과 저계조 감마 전압을 선택적으로 공급하는 감마 전압부(150)를 포함한다.

[0042] 상기 액정 패널(110)은 하나의 게이트 라인(GL1; GL2)과 두 개의 데이터 라인(DL1,DL2; DL3,DL4)으로 정의되는 복수의 화소(P1 ~ P4)를 포함한다. 하나의 화소(P1)는 저계조 영역과 고계조 영역 각각에 형성된 제1 화소 전극(VH)과 제2 화소 전극(VL), 제1 화소 전극(VH) 및 제2 화소 전극(VL) 각각에 독립적으로 연결되는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2), 및 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)에 공통으로 연결되는 게이트 라인(GL1)과 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2) 각각에 연결되는 데이터 라인(DL1, DL2)을 포함한다. 여기서 저계조 영역과 고계조 영역 각각에 형성된 제1 화소 전극(VH)과 제2 화소 전극(VL)은 서로 다른 계조 전압 커브(Gamma-curve)에 의해 생성된 계조 전압에 따라 데이터를 표현한다.

[0043] 한편 홀수 번째 게이트 라인(GL1)에 연결된 홀수 번째 화소(P1)는, 제1 박막 트랜지스터(T1)가 제1 화소 전극(VH)에 연결되고, 제2 박막 트랜지스터(T2)가 제2 화소 전극(VL)에 연결된 구조를 가지며, 홀수 번째 게이트 라인(GL1)에 연결된 짝수 번째 화소(P2)는 제1 박막 트랜지스터(T3)가 제2 화소 전극(VL)에 연결되고, 제2 박막

트랜지스터(T3)가 제1 화소 전극(VH)에 연결된 구조를 가진다.

- [0044] 또한 짝수 번째 게이트 라인(GL2)에 연결된 홀수 번째 화소(P3)는 제1 박막 트랜지스터(T5)가 제2 화소 전극(VL)에 연결되고, 제2 박막 트랜지스터(T6)가 제1 화소 전극(VH)에 연결된 구조를 가지며, 짝수 번째 게이트 라인(GL2)에 연결된 짝수 번째 화소(P4)는 제1 박막 트랜지스터(T7)가 제1 화소 전극(VH)에 연결되고, 제2 박막 트랜지스터(T8)가 제2 화소 전극(VL)에 연결된 구조를 가진다.
- [0045] 상기 타이밍 컨트롤러(140)는 외부로부터 입력된 동기 신호 및 클럭 신호를 이용하여 게이트 드라이버(120)를 제어하는 게이트 제어 신호와, 데이터 드라이버(130)를 제어하는 데이터 제어 신호를 발생하고, 외부로부터 입력되는 데이터 신호를 재정렬하여 데이터 드라이버(130)로 공급한다. 또한 타이밍 컨트롤러(140)는 감마 전압부(150)를 제어하는 스위칭 신호를 생성한다. 여기서 스위칭 신호는 한 수평 주기 기간 동안 고계조 감마 전압부(152)와 저계조 감마 전압부(154)의 출력을 스위칭하도록 감마 전압 스위치(156)를 제어한다.
- [0046] 상기 감마 전압부(150)는 다수의 고계조 감마 전압을 생성하는 고계조 감마 전압부(152)와, 다수의 저계조 감마 전압을 생성하는 저계조 감마 전압부(154)와, 고계조 감마 전압부(152)와 저계조 감마 전압부(154)의 출력을 스위칭하는 감마 전압 스위치(156)를 포함한다. 감마 전압 스위치(156)는 1/2 수평 주기 기간 동안 고계조 감마 전압부(152)로부터 고계조 감마 전압을, 나머지 1/2 수평 주기 기간 동안 저계조 감마 전압부(154)로부터 저계조 감마 전압을 스위칭하여 데이터 드라이버(130)로 공급한다.
- [0047] 상기 게이트 드라이버(120)는 타이밍 컨트롤러(140)로부터의 게이트 제어 신호에 응답하여 액정 패널(110)의 게이트 라인(GL1, GL2)에 게이트 구동 신호를 인가하여 게이트 라인(GL1, GL2)을 순차적으로 구동한다.
- [0048] 상기 데이터 드라이버(130)는 타이밍 컨트롤러(140)로부터의 데이터 제어 신호에 응답하여, 1/2 수평 주기 기간 동안 고계조 감마 전압을 이용하여 타이밍 컨트롤러(140)로부터의 데이터 신호를 고계조 데이터 신호로 변환하여 데이터 라인(DL1)에 공급하고, 나머지 1/2 수평 주기 기간 동안 저계조 감마 전압을 이용하여 타이밍 컨트롤러(140)로부터의 데이터 신호를 저계조 데이터 신호로 변환하여 데이터 라인(DL2)에 공급한다.
- [0049] 도 2a와 도 2b를 참조하여, 본 발명 일실시예에 따른 액정 표시 장치의 화소의 구조를 좀 더 자세하게 설명한다. 도 2a는 도 1의 액정 표시 장치의 화소의 구조를 도시한 평면도이다. 도 2a에 도시된 바와 같이, 본 발명의 일실시예에 따른 액정 표시 장치의 화소는 제1 화소 전극(260), 제2 화소 전극(262), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 게이트 라인(210), 제1 데이터 라인(220), 제2 데이터 라인(225), 제1 축적 용량(CST1) 및 제2 축적 용량(CST2)을 포함한다.
- [0050] 상기 제1 화소 전극(260)은 콘택홀(268)을 통하여 제1 트랜지스터(T1)의 드레인 전극(254)과 제1 축적 용량(CST1)의 상부 전극(250)에 연결된다. 제1 화소 전극(260)은 제1 트랜지스터(T1)를 통하여 제1 데이터 라인(220)으로부터 고계조 데이터 신호를 인가받아 고계조 데이터 신호를 표현한다.
- [0051] 상기 제2 화소 전극(262)은 제1 화소 전극(260)과 분리되어 제1 화소 전극(260)을 감싸는 형상으로 형성된다. 제2 화소 전극(262)은 콘택홀(264)을 통하여 제2 트랜지스터(T2)의 드레인 전극(259)과 연결되고, 콘택홀(266)을 통하여 제2 축적 용량(CST2)의 상부 전극(255)에 연결된다. 제2 화소 전극(262)은 제2 트랜지스터(T2)를 통하여 제2 데이터 라인(225)으로부터 저계조 데이터 신호를 인가받아 저계조 데이터 신호를 표현한다.
- [0052] 상기 제1 박막 트랜지스터(T1)는 게이트 라인(210)에 연결되는 게이트 전극(212), 제1 데이터 라인(220)에 연결되는 소오스 전극(222), 드레인 라인(252)에 연결되는 드레인 전극(254), 절연층을 매개로 하여 게이트 전극(212)과 중첩되는 활성층(230)을 포함한다. 제1 박막 트랜지스터(T1)는 게이트 라인(210)으로 인가되는 게이트 구동 신호에 응답하여 1/2 수평 주기 기간 동안 제1 데이터 라인(220)으로부터 공급되는 고계조 데이터 신호를 드레인 전극(254)을 통하여 드레인 라인(252)으로 인가한다.
- [0053] 상기 제2 박막 트랜지스터(T2)는 게이트 라인(210)에 연결되는 게이트 전극(214), 제2 데이터 라인(225)에 연결되는 소오스 전극(227), 드레인 라인(257)에 연결되는 드레인 전극(259), 절연층을 매개로 하여 게이트 전극(214)과 중첩되는 활성층(232)을 포함한다. 제2 박막 트랜지스터(T2)는 게이트 라인(210)으로 인가되는 게이트 구동 신호에 응답하여 나머지 1/2 수평 주기 기간 동안 제2 데이터 라인(225)으로부터 공급되는 고계조 데이터 신호를 드레인 전극(259)을 통하여 드레인 라인(257)으로 인가한다.
- [0054] 상기 게이트 라인(210)은 제1 박막 트랜지스터(T1)의 게이트 전극(212)과 제2 박막 트랜지스터(T2)의 게이트 전극(214)에 연결된다. 게이트 라인(210)은 게이트 드라이버로부터 입력되는 게이트 구동 신호를 제1 박막 트랜지

스터(T1)의 게이트 전극(212)과 제2 박막 트랜지스터(T2)의 게이트 전극(214)에 인가한다.

- [0055] 상기 제1 데이터 라인(220)은 화소의 일측에 형성되며 게이트 라인(210)에 수직으로 교차되게 형성되어, 제1 박막 트랜지스터(T1)의 소오스 전극(222)에 연결된다. 제1 데이터 라인(220)은 1/2 수평 주기 기간 동안 데이터 드라이버로부터 입력되는 고계조 데이터 신호를 제1 박막 트랜지스터(T1)의 소오스 전극(222)에 인가한다.
- [0056] 상기 제2 데이터 라인(225)은 화소의 타측에 형성되며 게이트 라인(210)에 수직으로 교차되게 형성되어, 제2 박막 트랜지스터(T2)의 소오스 전극(227)에 연결된다. 제2 데이터 라인(225)은 나머지 1/2 수평 주기 기간 동안 데이터 드라이버로부터 입력되는 저계조 데이터 신호를 제2 박막 트랜지스터(T2)의 소오스 전극(227)에 인가한다.
- [0057] 상기 제1 축적 용량(CST1)은 축적 용량 라인(240)에 연결되는 하부 전극(244)과, 절연층을 매개로 하부 전극(244)과 중첩되는 상부 전극(250)을 포함한다. 상부 전극(250)은 드레인 라인(252)을 통하여 제1 박막 트랜지스터(T1)의 드레인 전극(254)과 집적 연결된다. 제1 축적 용량(CST1)의 하부 전극(244)과 상부 전극(250)은 제2 축적 용량(CST2)의 하부 전극(242)과 상부 전극(255)보다 넓은 면적을 가지는 것이 바람직하다.
- [0058] 한편 드레인 라인(252)에 연결된 상부 전극(250)은 콘택홀(268)을 통하여 제1 화소 전극(260)에 연결된다. 따라서 제1 박막 트랜지스터(T1)의 드레인 전극(254)에 연결된 드레인 라인(252)을 통해 입력되는 고계조 데이터 신호는 제1 화소 전극(260)에 인가됨과 동시에 제1 축적 용량(CST1)에 축적될 수 있다.
- [0059] 상기 제2 축적 용량(CST2)은 축적 용량 라인(240)에 연결되는 하부 전극(242)과, 절연층을 매개로 하부 전극(242)과 중첩되는 상부 전극(255)을 포함한다. 상부 전극(255)은 제2 박막 트랜지스터(T2)의 드레인 전극(259)과 연결된 제2 화소 전극(262)과 콘택홀(266)을 통하여 연결된다. 따라서 제2 박막 트랜지스터(T2)의 드레인 전극(259)에 연결된 드레인 라인(257)을 통해 입력되는 저계조 데이터 신호는 제2 화소 전극(262)에 인가되고, 제2 축적 용량(CST2)에 축적될 수 있다.
- [0060] 제1 축적 용량(CST1)을 좀 더 자세하게 설명한다. 도 2b는 도 2a의 제1 축적 용량의 I-I' 단면도이다. 도 2b에 도시된 바와 같이, 제1 축적 용량(CST1)은 유리 기판(202)에 형성된 하부 전극(244)과, 절연층(204)을 매개로 하부 전극(244)과 중첩되어 형성된 상부 전극(250)을 포함한다. 상부 전극(250)은 드레인 라인(252)을 통하여 제1 박막 트랜지스터의 드레인 전극과 집적 연결되며, 보호막(206)에 형성된 콘택홀(268)을 통하여 제1 화소 전극(260)에 연결된다.
- [0061] 본 발명 일실시예에 따른 액정 표시 장치는 제1 박막 트랜지스터(T1)의 드레인 전극(254)과 제1 축적 용량(CST1)의 상부 전극(250) 및 제1 화소 전극(260)의 연결을 위한 제1 콘택홀(268), 제2 박막 트랜지스터(T2)의 드레인 전극(259)과 제2 화소 전극(262)의 연결을 위한 제2 콘택홀(264) 및 제2 화소 전극(262)과 제2 축적 용량(CST2)의 상부 전극(255)의 연결을 위한 제3 콘택홀(266)을 포함한다.
- [0062] 다시 설명하면, 본 발명의 일실시 예에 따른 액정 표시 장치는 제1 화소 전극(260)과 제1 축적 용량(CST1)의 상부 전극(255)의 연결을 위한 콘택홀이 제거되고, 제1 박막 트랜지스터(T1)의 드레인 전극(254)이 직접 제1 축적 용량(CST1)의 상부 전극(255)에 연결되는 구조를 가지기 때문에 액정 표시 장치의 제조 과정에서 제1 박막 트랜지스터(T1)로 정전기가 유입되는 경로가 차단되고, 발생된 정전기는 제1 박막 트랜지스터(T1)로 유입되기 전에 제1 축적 용량(CST1)에 축적될 수 있는 구조를 가진다. 따라서, 액정 표시 장치의 제조 과정에서는 정전기에 의한 채널 쇼트 불량, 특히 정전기에 의해 고계조 트랜지스터의 채널이 쇼트되는 문제점이 해결될 수 있다.
- [0063] 본 실시 예에서는 제1 화소 전극(260)과 제1 축적 용량(CST1)의 상부 전극(255)의 연결을 위한 콘택홀이 제거되고, 제1 박막 트랜지스터(T1)의 드레인 전극(254)이 직접 제1 축적 용량(CST1)의 상부 전극(255)에 연결되는 구조에 대하여 설명하였지만 이에 한정되는 것은 아니며, 제2 화소 전극(262)과 제2 축적 용량(CST2)의 연결을 위한 콘택홀이 제거되고, 제2 박막 트랜지스터(T2)의 드레인 전극(257)이 직접 제2 축적 용량(CST2)의 상부 전극(255)에 연결될 수 있다.
- [0064] 이하에서는 도 3a 내지 도 3e를 참조하여, 도 1의 액정 표시 장치의 박막 트랜지스터 기판을 제조하는 방법에 대하여 설명한다.

- [0065] 도 3a는 게이트 라인 형성 공정을 도시한다. 게이트 라인 형성 공정은 유리 기판 상에 게이트 전극(212,214)이 포함된 게이트 라인(210)과 하부 전극(242,244)이 포함된 축적 용량 라인(240)을 형성한다. 축적 용량 라인(240)은 게이트 라인(210)에 나란하게 형성한다. 구체적으로 유리 기판 상에 스퍼터링 방법 등의 방법으로 금속층을 증착한다. 금속층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr) 등과, 이들 합금의 단일층 또는 복층 구조를 가질 수 있다. 그리고 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 금속층을 패터닝하여 게이트 라인(210)과 축적 용량 라인(240)을 형성한다. 여기서 금속층 패터닝은 제1 축적 용량(CST1)의 하부 전극(244)의 면적이 제2 축적 용량(CST2)의 하부 전극(242)의 면적보다 크게 형성되도록 이루어지는 것이 바람직하다.
- [0066] 도 3b는 활성층 형성 공정을 도시한다. 활성층 형성 공정은 게이트 라인(210)과 축적 용량 라인(240)이 형성된 유리 기판 상에 게이트 절연막을 형성하고, 그 위에 제2 마스크 공정으로 활성층(230,232)을 게이트 전극(212,214)에 중첩되게 형성한다. 활성층(230,232)은 오믹 콘택층을 더 포함할 수 있다. 구체적으로 제1 마스크 공정을 거친 유리 기판 상에 플라즈마 화학 기상 증착(PECVD: Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 게이트 절연막, 비정질 실리콘층, n^+ 비정질 실리콘층을 순차적으로 형성한다. 그리고 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 비정질 실리콘층, n^+ 비정질 실리콘층을 활성층(230,232)을 형성한다. 게이트 절연막은 산화 실리콘(SiO_x), 질화 실리콘(SiN_x)과 같은 무기 절연 물질인 것이 바람직하다. 또한 활성층은 게이트 라인(210)과 데이터 라인이 교차되는 부분 또는 축적 용량 라인(240)과 데이터 라인이 교차되는 부분에도 형성될 수 있다.
- [0067] 도 3c는 소스/드레인 패턴 형성 공정을 도시한다. 소스/드레인 패턴 형성 공정은 활성층(230,232)이 형성된 게이트 절연막 상에 소스/드레인 금속 패턴을 형성한다. 소스/드레인 금속 패턴은 제1 데이터 라인(220), 제1 박막 트랜지스터의 소스 전극(222)과 드레인 전극(254), 제1 축적 용량(CST1)의 상부 전극(250), 제1 박막 트랜지스터(T1)의 드레인 전극(254)과 제1 축적 용량(CST1)의 상부 전극(250)을 연결하는 드레인 라인(252), 제2 데이터 라인(225), 제2 박막 트랜지스터(T2)의 소스 전극(227)과 드레인 전극(259), 제2 축적 용량(CST2)의 상부 전극(255) 및 제2 박막 트랜지스터(T2)의 드레인 전극(259)에 연결되는 드레인 라인(257)을 포함한다.
- [0068] 제1 데이터 라인(220)은 제1 박막 트랜지스터(T1)의 소스 전극(222)에 연결되고, 제2 데이터 라인(225)은 제2 박막 트랜지스터(T2)의 소스 전극(227)에 연결된다. 한편 제1 축적 용량(CST1)의 상부 전극(250)은 제1 축적 용량(CST1)의 하부 전극(244)에 대응하여 형성하고, 제2 축적 용량(CST2)의 상부 전극(255)은 제2 축적 용량(CST2)의 하부 전극(242)에 대응하여 형성한다. 따라서, 제1 축적 용량(CST1)의 상부 전극(250)의 면적은 제2 축적 용량(CST2)의 상부 전극(255)의 면적보다 크게 형성된다.
- [0069] 구체적으로, 제2 마스크 공정을 거친 유리 기판 상에 소스/드레인 금속층을 스퍼터링 방법으로 형성한다. 그리고 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝한다. 그리고 소스 전극(222,227)과 드레인 전극(254,259) 사이로 노출되는 오믹 콘택층을 제거하여 소스 전극(222,227)과 드레인 전극(254,259)을 분리시킨다. 이를 통하여 게이트 라인(210)과 제1 데이터 라인(220)에 연결되는 제1 박막 트랜지스터(T1)와 게이트 라인(210)과 제2 데이터 라인(225)에 연결되는 제2 박막 트랜지스터(T2)가 형성된다.
- [0070] 도 3d는 콘택홀 형성 공정을 도시한다. 콘택홀 형성 공정은 소스/드레인 금속 패턴이 형성된 게이트 절연막 상에 유기 절연막(206)을 형성하고, 제4 마스크 공정으로 유기 절연막(206)의 일부를 제거하여 제1 콘택홀(268), 제2 콘택홀(264) 및 제3 콘택홀(266)을 형성한다. 여기서 제1 콘택홀(268)은 제1 박막 트랜지스터(T1)의 드레인 전극(254)과 제1 축적 용량(CST1)의 상부 전극(250) 및 다음 공정에서 형성될 제1 화소 전극을 연결하기 위한 것이다. 제2 콘택홀(264)은 제2 박막 트랜지스터(T2)의 드레인 전극(259)과 다음 공정에서 형성될 제2 화소 전극을 연결하기 위한 것이다. 제3 콘택홀(266)은 제2 화소 전극과 제2 축적 용량(CST2)의 상부 전극(255)을 연결하기 위한 것이다.
- [0071] 구체적으로, 제3 마스크 공정을 거친 유리 기판 상에 아크릴계 유기 화합물 등과 같은 유기절연 물질을 스핀 코팅(Spin Coating), 스핀리스 코팅(Spinless Coating) 등을 방법으로 코팅하여 유기 절연막(206)을 형성한다. 그리고 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기 절연막(206)의 일부를 제거하여 제1 축적 용량(CST1)의 상부 전극(250), 제2 박막 트랜지스터(T2)의 드레인 전극(259)에 연결된 드레인 라인(257)의 말단 및 제2 축적 용량(CST2)의 상부 전극(242)을 노출시켜 제1 콘택홀(268), 제2 콘택홀(264) 및 제3 콘택홀(266)을 형성한다.
- [0072] 도 3e는 화소 전극 형성 공정을 도시한다. 화소 전극 형성 공정은, 유기 절연막 상에 투명 도전 패턴의 제1 화소 전극(260)과 제2 화소 전극(262)을 형성한다. 구체적으로 제4 마스크 공정을 거친 유리 기판 상에

ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 투명 도전 물질을 스퍼터링 등과 같은 증착 방법으로 도포한다. 그리고 제5 마스크를 이용한 포토 리소그래피 공정 및 식각 공정으로 패터닝하여 제1 화소 전극(260)과 제2 화소 전극(262)을 형성한다.

[0073] 화소 전극 형성 공정에서 제1 화소 전극(260)은 제1콘택홀(268)을 통하여 제1 축적 용량(CST1)의 상부 전극(250)과 연결된다. 또한 제2 화소 전극(262)은 제2 콘택홀(264)을 통하여 제2 박막 트랜지스터(T2)의 드레인 전극(259)에 연결된 드레인 라인(257)에 연결되고, 제3 콘택홀(266)을 통하여 제2 축적 용량(CST2)의 상부 전극(255)과 연결된다.

[0074] 상술한 방법으로 제조되는 박막 트랜지스터 기판은 공통 전극과 컬러 필터가 형성된 컬러 필터 기판과 어셈블되어 액정 표시 장치의 제조 공정에 사용될 수 있다.

[0075] 도 4는 본 발명의 다른 실시 예에 따른 액정 표시 장치를 도시한 블록도이다. 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 액정 표시 장치(300)는 액정 패널(310)과, 액정 패널(310)의 게이트 라인(GL1 ~ GL4)을 구동하는 게이트 드라이버(320)와, 액정 패널(310)의 데이터 라인(DL1, DL2)을 구동하는 데이터 드라이버(330)와, 게이트 드라이버(320)와 데이터 드라이버(330)를 제어하는 타이밍 컨트롤러(340) 및 고계조 감마 전압과 저계조 감마 전압을 선택적으로 공급하는 감마 전압부(350)를 포함한다.

[0076] 상기 액정 패널(310)은 두 개의 게이트 라인(GL1, GL2; GL3, GL4)과 하나의 데이터 라인(DL1; DL2)으로 정의되는 복수의 화소(P1 ~ P4)를 포함한다. 하나의 화소(P1)는 저계조 영역과 고계조 영역 각각에 형성된 제1 화소 전극(VH)과 제2 화소 전극(VL), 제1 화소 전극(VH) 및 제2 화소 전극(VL) 각각에 독립적으로 연결되는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2), 및 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)에 공통으로 연결되는 데이터 라인(DL1)과 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2) 각각에 연결되는 게이트 라인(GL1, GL2)을 포함한다. 여기서 저계조 영역과 고계조 영역 각각에 형성된 제1 화소 전극(VH)과 제2 화소 전극(VL)은 서로 다른 계조 전압 커브(Gamma-curve)에 의해 생성된 계조 전압에 따라 데이터를 표현한다.

[0077] 상기 타이밍 컨트롤러(340)는 게이트 제어 신호와 데이터 제어 신호를 생성하고, 한 수평 주기 기간 동안 고계조 감마 전압부(352)와 저계조 감마 전압부(354)의 출력을 스위칭하도록 감마 전압 스위치(356)를 제어한다. 상기 감마 전압부(350)는 1/2 수평 주기 기간 동안 고계조 감마 전압부(352)로부터 고계조 감마 전압을, 나머지 1/2 수평 주기 기간 동안 저계조 감마 전압부(354)로부터 저계조 감마 전압을 스위칭하여 데이터 드라이버(330)로 공급한다.

[0078] 상기 게이트 드라이버(320)는 타이밍 컨트롤러(340)로부터의 게이트 제어 신호에 응답하여 1/2 수평 주기 시간 동안 게이트 라인(GL1)에 게이트 구동 신호를 인가하고 나머지 1/2 수평 주기 시간 동안 게이트 라인(GL2)에 게이트 구동 신호를 순차적으로 인가한다.

[0079] 상기 데이터 드라이버(330)는 타이밍 컨트롤러(340)로부터의 데이터 제어 신호에 응답하여, 1/2 수평 주기 기간 동안 고계조 감마 전압을 이용하여 타이밍 컨트롤러(340)로부터의 데이터 신호를 고계조 데이터 신호로 변환하여 데이터 라인(DL1)에 공급하고, 나머지 1/2 수평 주기 기간 동안 저계조 감마 전압을 이용하여 타이밍 컨트롤러(340)로부터의 데이터 신호를 저계조 데이터 신호로 변환하여 데이터 라인(DL1)에 공급한다.

[0080] 도 5를 참조하여, 본 발명 다른 실시 예에 따른 액정 표시 장치의 화소의 구조를 좀 더 자세하게 설명한다. 도 5는 도 4에 도시된 액정 표시 장치의 화소의 구조를 도시한 평면도이다. 도 5에 도시된 바와 같이, 본 발명의 다른 실시 예에 따른 액정 표시 장치의 화소는 제1 화소 전극(460), 제2 화소 전극(462), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제1 게이트 라인(410), 제2 게이트 라인(415), 데이터 라인(220), 제1 축적 용량(CST1) 및 제2 축적 용량(CST2)을 포함한다.

[0081] 상기 제1 화소 전극(460)은 콘택홀(468)을 통하여 제1 트랜지스터(T1)의 드레인 전극(454)과 제1 축적 용량(CST1)의 상부 전극(450)에 연결된다. 제1 화소 전극(460)은 제1 트랜지스터(T1)를 통하여 데이터 라인(420)으로부터 고계조 데이터 신호를 인가받아 고계조 데이터 신호를 표현한다.

[0082] 상기 제2 화소 전극(462)은 제1 화소 전극(460)과 분리되어 제1 화소 전극(460)을 감싸는 형상으로 형성된다. 제2 화소 전극(462)은 콘택홀(464)을 통하여 제2 트랜지스터(T2)의 드레인 전극(459)과 연결되고, 콘택홀(466)을 통하여 제2 축적 용량(CST2)의 상부 전극(455)에 연결된다. 제2 화소 전극(462)은 제2 트랜지스터(T2)를 통

하여 데이터 라인(420)으로부터 저계조 데이터 신호를 인가받아 저계조 데이터 신호를 표현한다.

- [0083] 상기 제1 박막 트랜지스터(T1)는 제1 게이트 라인(410)에 연결되는 게이트 전극(412), 데이터 라인(520)에 연결되는 소오스 전극(422), 드레인 라인(452)에 연결되는 드레인 전극(454), 절연층을 매개로 하여 게이트 전극(412)과 중첩되는 활성층(430)을 포함한다. 제1 박막 트랜지스터(T1)는 제1 게이트 라인(410)으로 인가되는 게이트 구동 신호에 응답하여 1/2 수평 주기 기간 동안 데이터 라인(420)으로부터 공급되는 고계조 데이터 신호를 드레인 전극(454)을 통하여 드레인 라인(452)으로 인가한다.
- [0084] 상기 제2 박막 트랜지스터(T2)는 제2 게이트 라인(415)에 연결되는 게이트 전극(414), 데이터 라인(420)에 연결되는 소오스 전극(427), 드레인 라인(457)에 연결되는 드레인 전극(459), 절연층을 매개로 하여 게이트 전극(414)과 중첩되는 활성층(432)을 포함한다. 제2 박막 트랜지스터(T2)는 제2 게이트 라인(415)으로 인가되는 게이트 구동 신호에 응답하여 나머지 1/2 수평 주기 기간 동안 데이터 라인(420)으로부터 공급되는 고계조 데이터 신호를 드레인 전극(459)을 통하여 드레인 라인(457)으로 인가한다.
- [0085] 상기 제1 게이트 라인(410)은 제1 박막 트랜지스터(T1)의 게이트 전극(412)에 연결된다. 제1 게이트 라인(410)은 1/2 수평 주기 기간 동안 게이트 드라이버로부터 입력되는 게이트 구동 신호를 제1 박막 트랜지스터(T1)의 게이트 전극(412)에 인가한다.
- [0086] 상기 제2 게이트 라인(415)은 제2 박막 트랜지스터(T2)의 게이트 전극(414)에 연결된다. 제2 게이트 라인(415)은 나머지 1/2 수평 주기 기간 동안 게이트 드라이버로부터 입력되는 게이트 구동 신호를 제2 박막 트랜지스터(T2)의 게이트 전극(414)에 인가한다.
- [0087] 상기 데이터 라인(520)은 화소의 일측에 형성되며 제1 및 제2 게이트 라인(410,412)에 수직으로 교차되게 형성되어, 제1 박막 트랜지스터(T1)의 소오스 전극(422)과 제2 박막 트랜지스터(T2)의 소오스 전극(427)에 연결된다. 데이터 라인(420)은 1/2 수평 주기 기간 동안 데이터 드라이버로부터 입력되는 고계조 데이터 신호를 제1 박막 트랜지스터(T1)의 소오스 전극(422)에 인가하고, 나머지 1/2 수평 주기 기간 동안 데이터 드라이버로부터 입력되는 저계조 데이터 신호를 제1 박막 트랜지스터(T2)의 소오스 전극(427)에 인가한다..
- [0088] 상기 제1 축적 용량(CST1)은 축적 용량 라인(440)에 연결되는 하부 전극(444)과, 절연층을 매개로 하부 전극(444)과 중첩되는 상부 전극(450)을 포함한다. 상부 전극(450)은 드레인 라인(452)을 통하여 제1 박막 트랜지스터(T1)의 드레인 전극(454)과 직접 연결된다. 제1 축적 용량(CST1)의 하부 전극(444)과 상부 전극(450)은 제2 축적 용량(CST2)의 하부 전극(442)과 상부 전극(455)보다 넓은 면적을 가지는 것이 바람직하다.
- [0089] 한편 드레인 라인(452)에 연결된 상부 전극(450)은 콘택홀(468)을 통하여 제1 화소 전극(460)에 연결된다. 따라서 제1 박막 트랜지스터(T1)의 드레인 전극(454)에 연결된 드레인 라인(452)을 통해 입력되는 고계조 데이터 신호는 제1 화소 전극(460)에 인가됨과 동시에 제1 축적 용량(CST1)에 축적될 수 있다.
- [0090] 상기 제2 축적 용량(CST2)은 축적 용량 라인(440)에 연결되는 하부 전극(442)과, 절연층을 매개로 하부 전극(442)과 중첩되는 상부 전극(455)을 포함한다. 상부 전극(455)은 제2 박막 트랜지스터(T2)의 드레인 전극(459)과 연결된 제2 화소 전극(462)과 콘택홀(466)을 통하여 연결된다. 따라서 제2 박막 트랜지스터(T2)의 드레인 전극(459)에 연결된 드레인 라인(457)을 통해 입력되는 저계조 데이터 신호는 제2 화소 전극(462)에 인가되고, 제2 축적 용량(CST2)에 축적될 수 있다.
- [0091] 다시 설명하면, 본 발명의 다른 예에 따른 액정 표시 장치는 제1 화소 전극(460)과 제1 축적 용량(CST1)의 상부 전극(455)의 연결을 위한 콘택홀이 제거되고, 제1 박막 트랜지스터(T1)의 드레인 전극(454)이 직접 제1 축적 용량(CST1)의 상부 전극(450)에 연결되는 구조를 가지기 때문에 액정 표시 장치의 제조 과정에서 제1 박막 트랜지스터(T1)로 정전기가 유입되는 경로가 차단되고, 발생된 정전기는 제1 박막 트랜지스터(T1)로 유입되기 전에 제1 축적 용량(CST1)에 축적될 수 있는 구조를 가진다. 따라서, 액정 표시 장치의 제조 과정에서는 정전기에 의한 채널 쇼트 불량, 특히 정전기에 의해 고계조 트랜지스터의 채널이 쇼트되는 문제점이 해결될 수 있다.

발명의 효과

- [0092] 상술한 바와 같이, 본 발명에 따른 액정 표시 장치는 고계조 데이터 신호를 스위칭하는 트랜지스터의 드레인 전극을 축적 용량의 상부 전극에 직접 연결시켜 드레인 전극과 고계조 화소 전극과의 콘택홀이 제거된 구조를 가지기 때문에, 종래 콘택홀로 유입되는 정전기에 의해 고계조 데이터 신호를 스위칭하는 박막 트랜지스터의 채널

이 쇼트되는 현상이 제거되어 수율이 향상되는 효과가 있다.

[0093] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

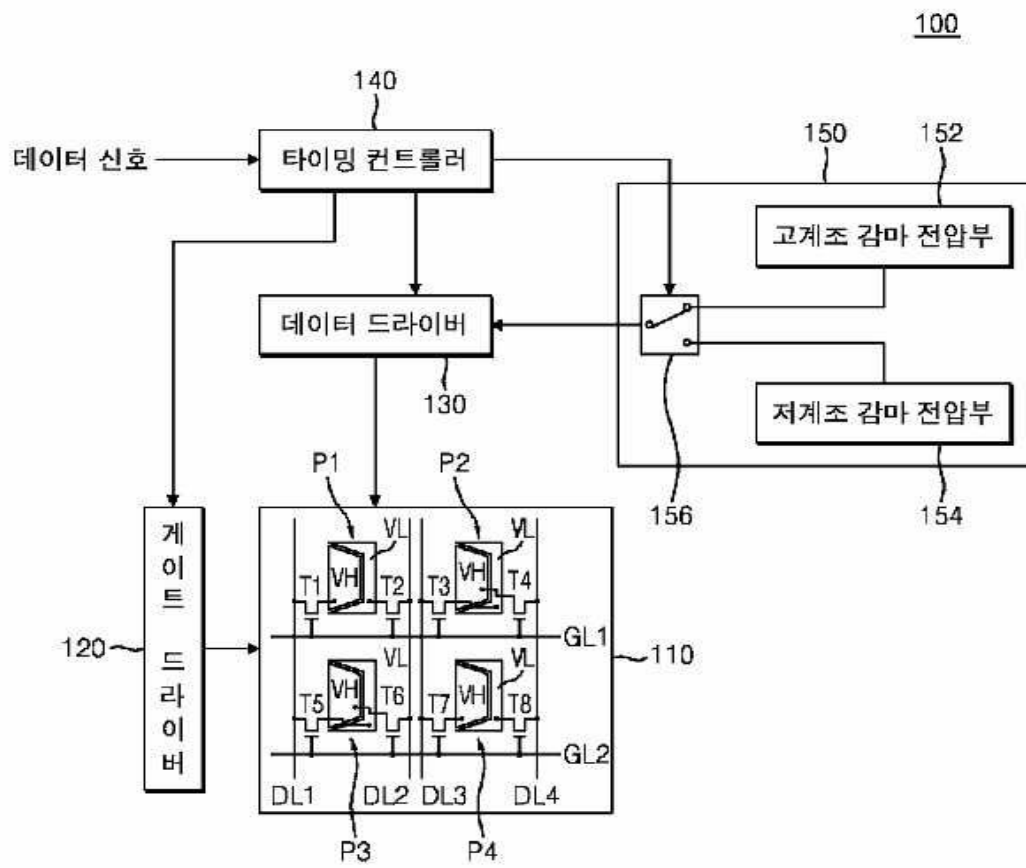
[0001] 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치를 도시한 블록도,
 [0002] 도 2a는 도 1에 도시된 액정 표시 장치의 화소의 구조를 도시한 도면,
 [0003] 도 2b는 도 2a에 도시된 제1 축적 용량의 I-I' 단면도,
 [0004] 도 3a 내지 3e는 도 1에 도시된 액정 표시 장치의 박막 트랜지스터 기판을 제조하는 방법을 설명하기 위한 도면, 및
 [0005] 도 4는 본 발명의 다른 실시 예에 따른 액정 표시 장치를 도시한 블록도, 및
 [0006] 도 5는 도 4에 도시된 액정 표시 장치의 화소 구조를 도시한 도면이다.

[0007] < 도면의 주요 부분에 대한 부호의 설명 >

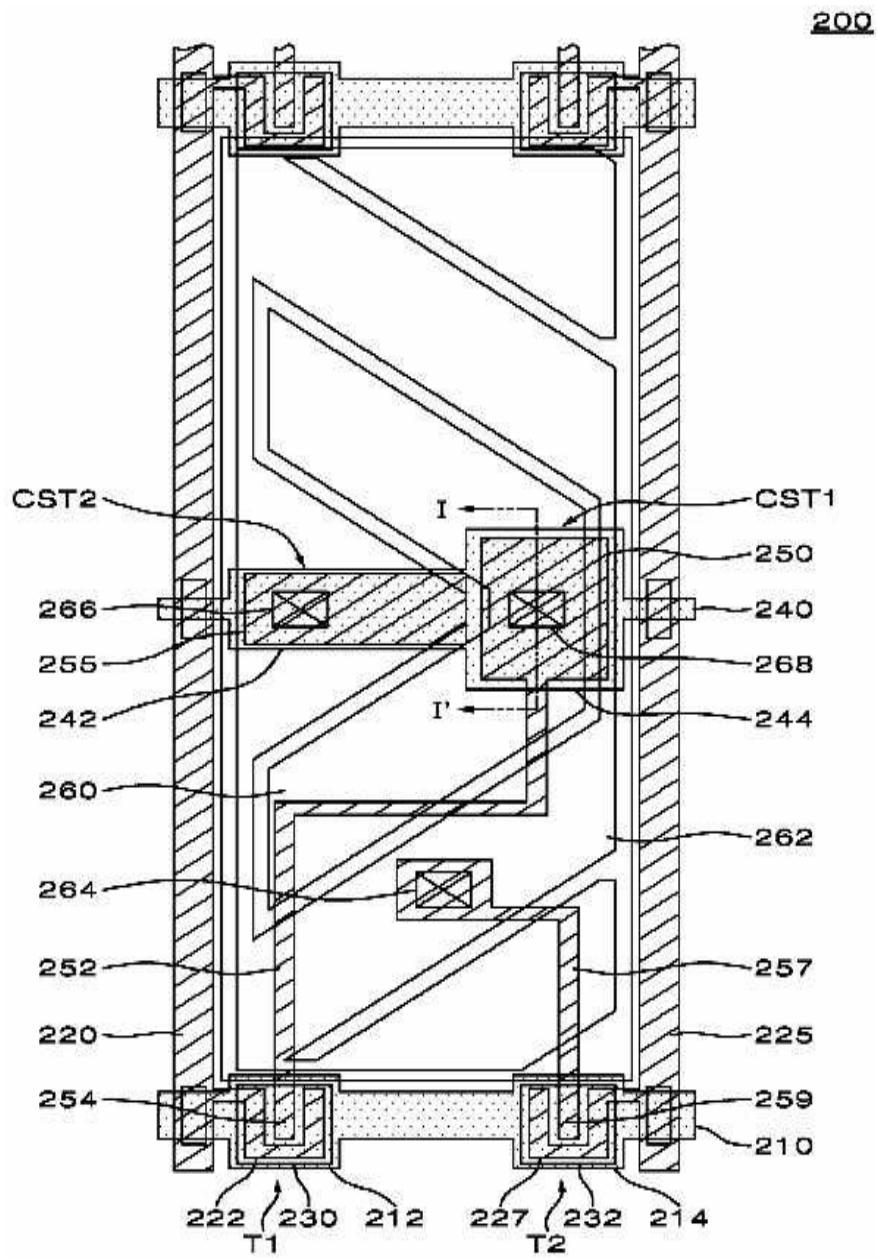
[0008] 110 : 액정 패널	120 : 게이트 드라이버
[0009] 130 : 데이터 드라이버	140 : 타이밍 컨트롤러
[0010] 150 : 감마 전압부	152 : 고계조 감마 전압부
[0011] 154 : 저계조 감마 전압부	156 : 감마 전압 스위치

도면

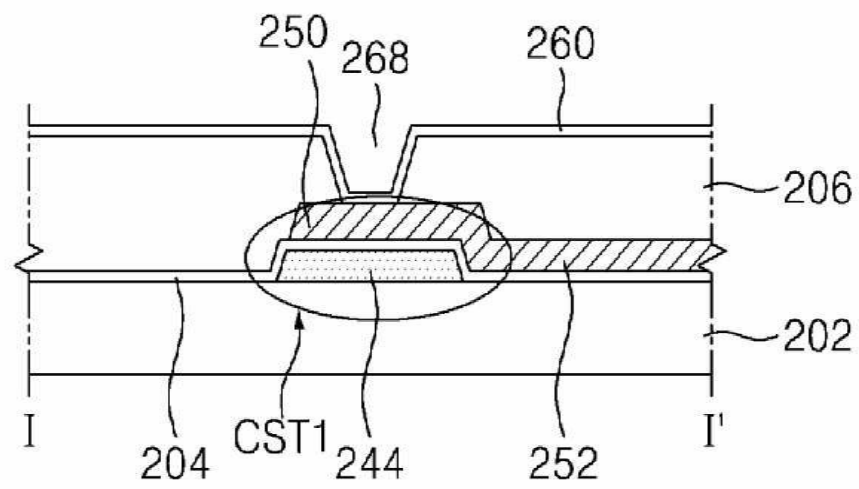
도면1



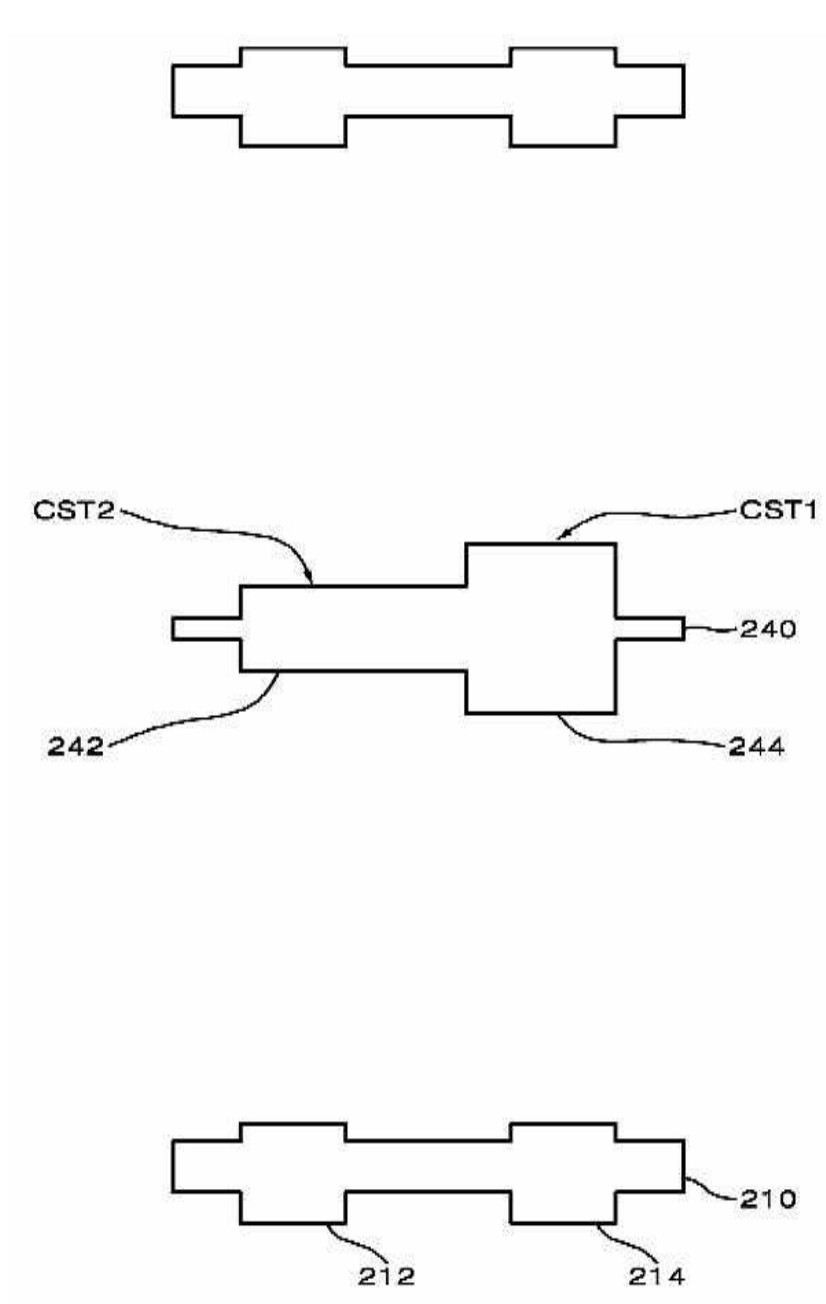
도면2a



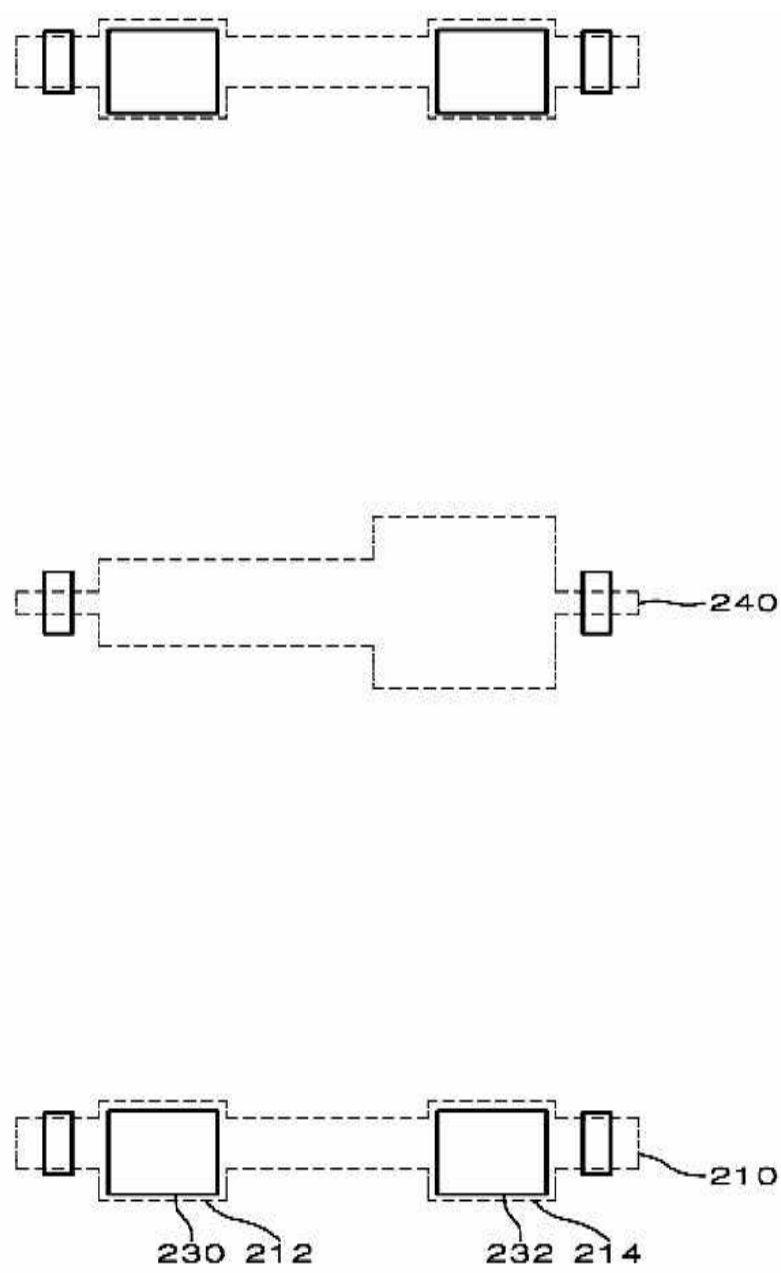
도면2b



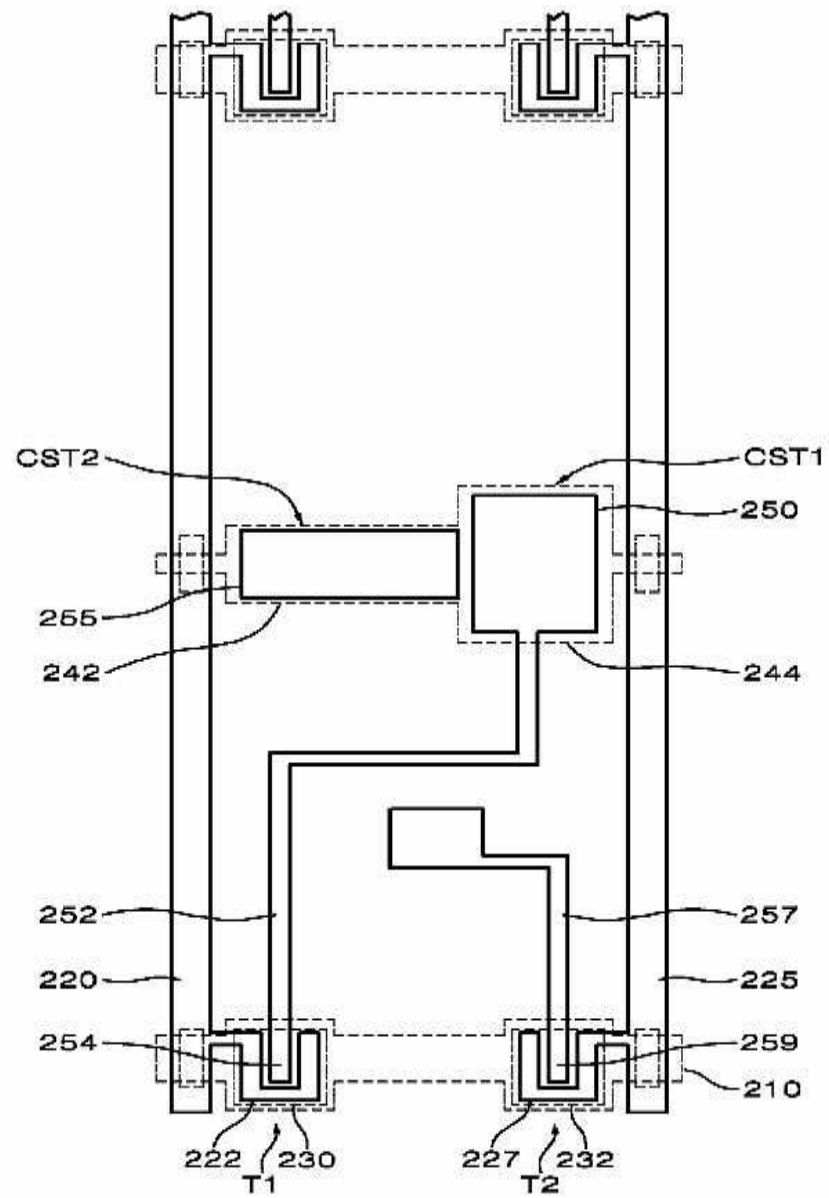
도면3a



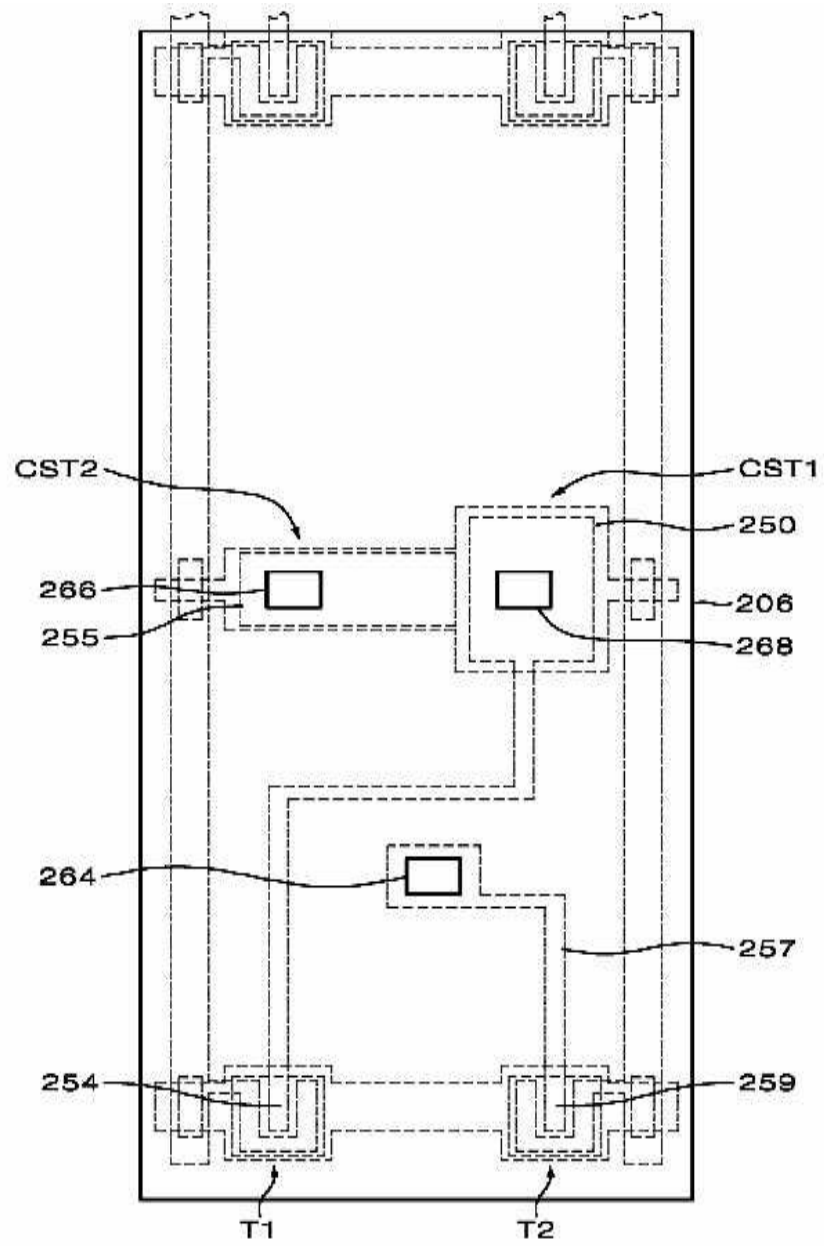
도면3b



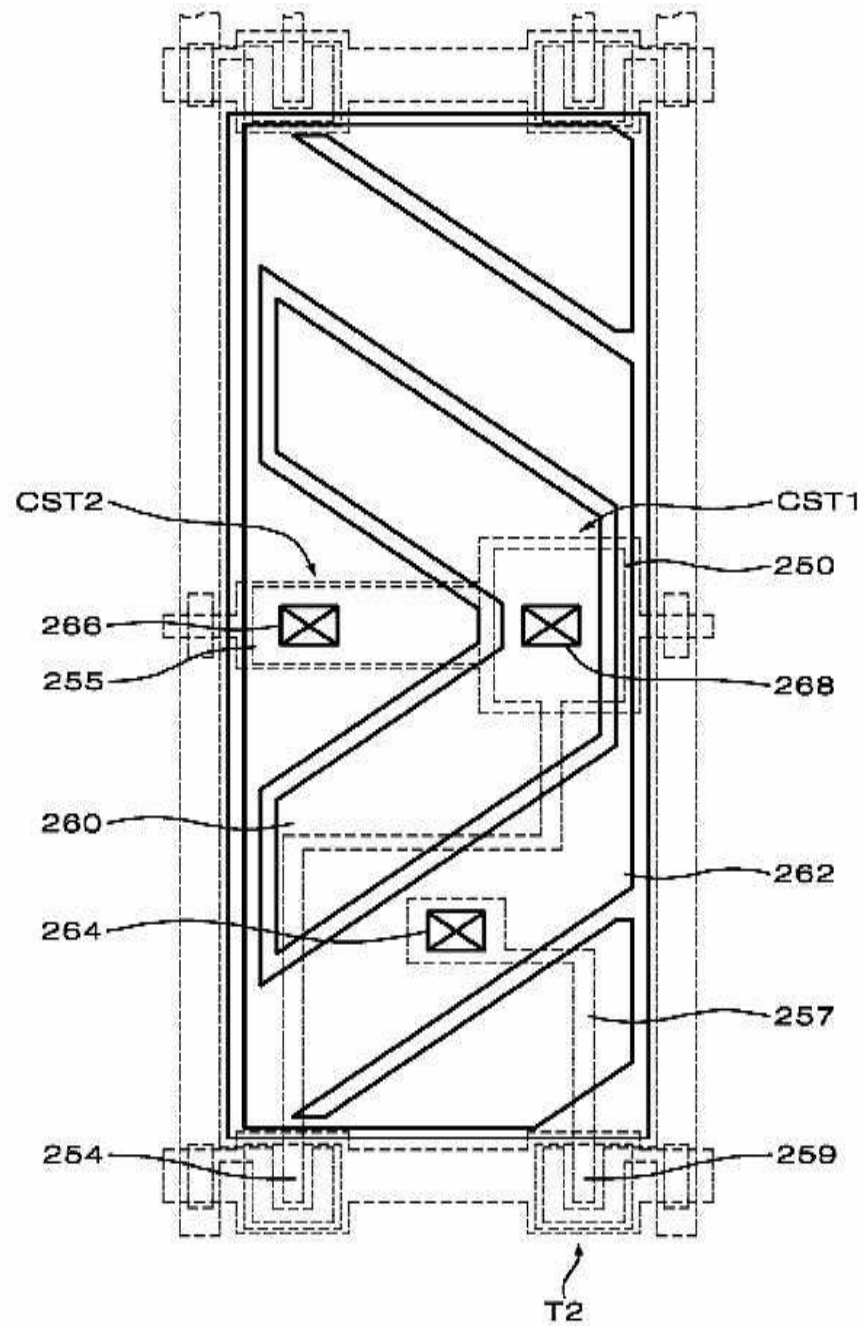
도면3c



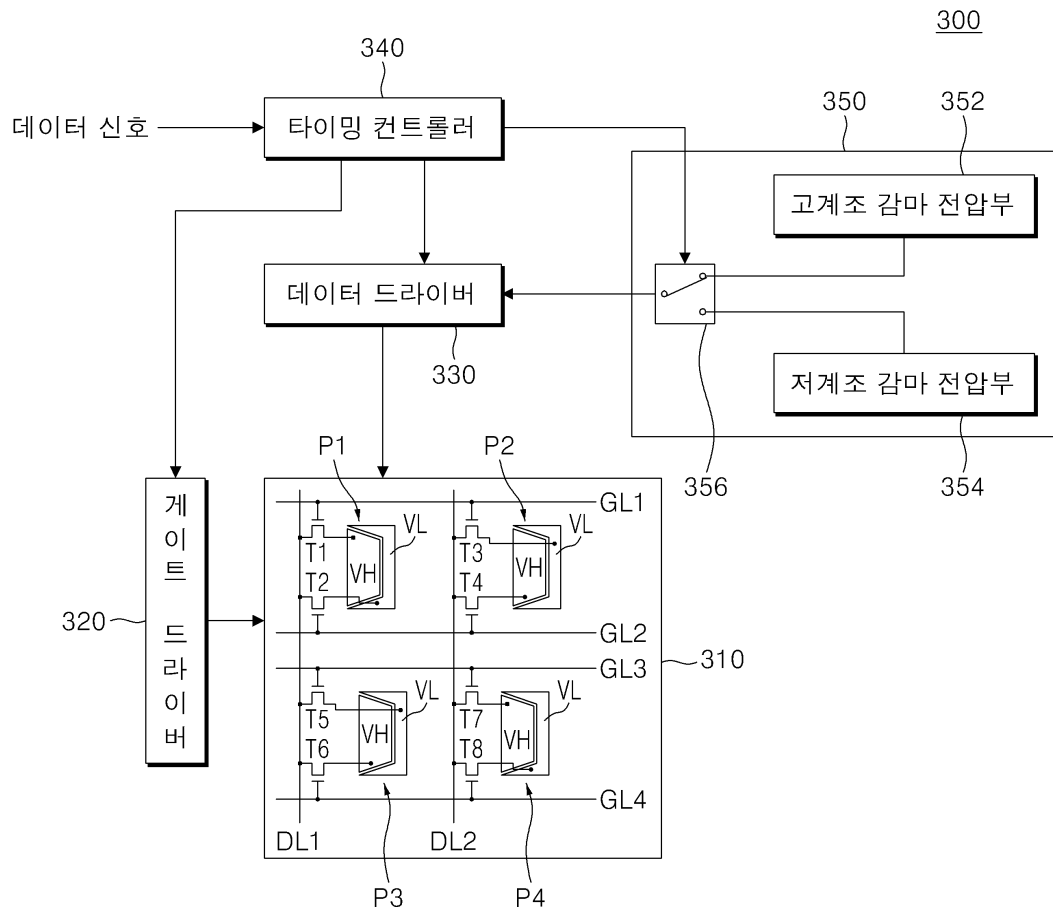
도면3d



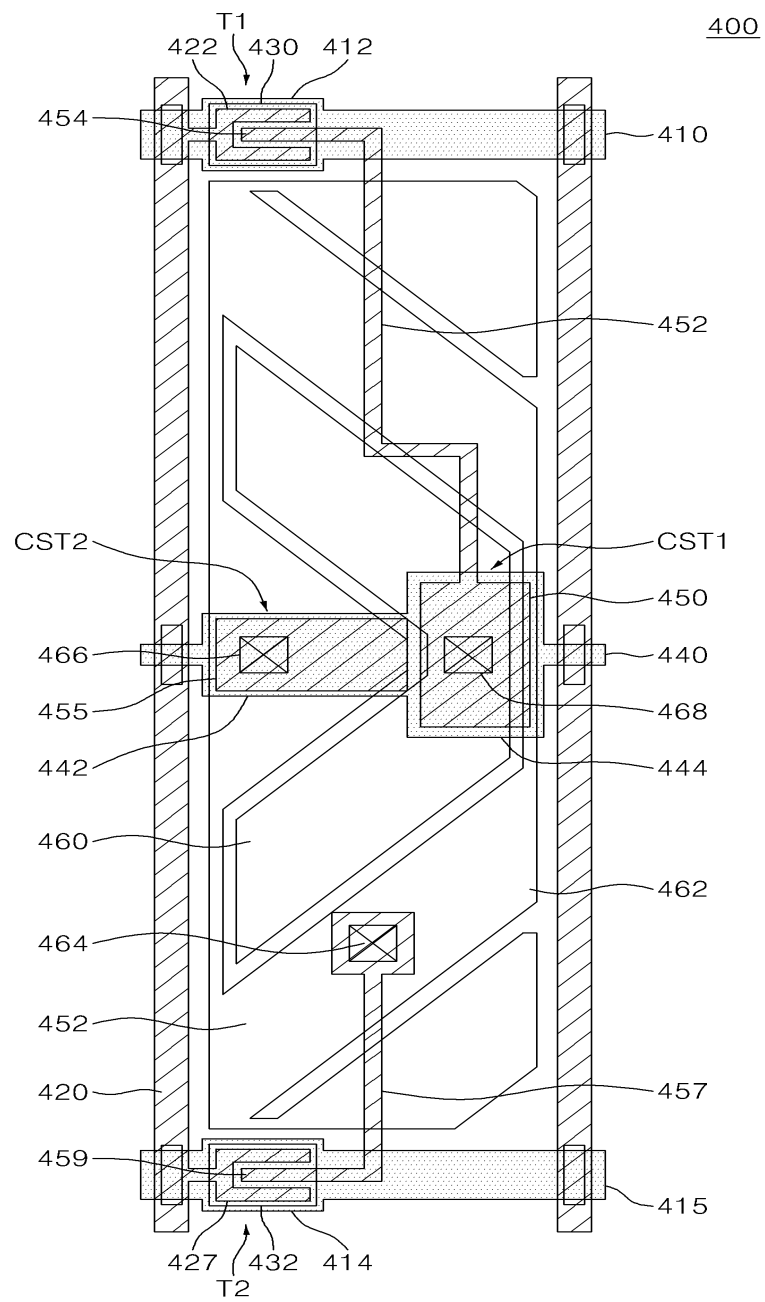
도면3e



도면4



도면5



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101412740B1	公开(公告)日	2014-07-01
申请号	KR1020060125332	申请日	2006-12-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUN SAHNG IK		
发明人	JUN, SAHNG IK		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/1343 G02F1/136213 G02F1/136286 G02F1/1368 G09G3/3685 G09G3/3696 G09G2320/0673		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
其他公开文献	KR1020080053596A		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及一种液晶显示装置及其制造方法，其通过静电防止薄膜晶体管的沟道短路。本发明的液晶显示器包括：第一薄膜晶体管，用于将从第一数据线输入的高灰度数据信号施加到第一像素电极；第一薄膜晶体管，通过第一接触孔连接到第一像素电极，第一存储电容器，用于存储高灰度数据信号；第二薄膜电容器，用于将从第二数据线输入的低灰度数据信号施加到通过第二接触孔连接的第二像素电极，并且上电极通过第三接触孔连接到第二像素电极，并包括用于存储低灰度级数据信号的第二存储电容器。

