



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월13일
(11) 등록번호 10-1327870
(24) 등록일자 2013년11월05일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2007-0026659
(22) 출원일자 2007년03월19일
심사청구일자 2012년02월29일
(65) 공개번호 10-2008-0085326
(43) 공개일자 2008년09월24일
(56) 선행기술조사문헌
KR1019940003080 A*
KR1020050015033 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유창일
서울 동대문구 답십리1동 162-4
김빈
서울특별시 양천구 목동서로 130, 목동4단지아파트 408동 2003호 (목동)
(74) 대리인
(뒷면에 계속)
김용인, 박영복

전체 청구항 수 : 총 16 항

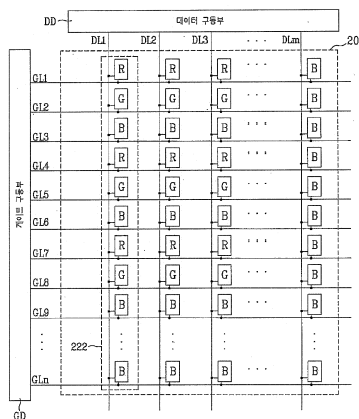
심사관 : 김영태

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 화소셀간의 휘도차를 방지하여 화상의 품질을 향상시킬 수 있는 액정표시장치에 관한 것으로, 제 1 이전 기간과 제 1 현재 기간에 데이터 라인에 공급되는 데이터 신호의 극성이 서로 다른 조건하에서, 상기 제 1 현재 기간의 데이터 신호를 공급받아 화상을 표시하는 적어도 하나의 제 1 화소셀; 제 2 이전 기간과 제 2 현재 기간에 상기 데이터 라인에 공급되는 데이터 신호의 극성이 서로 동일한 조건하에서, 상기 제 2 현재 기간의 데이터 신호를 공급받아 화상을 표시하는 적어도 하나의 제 2 화소셀; 상기 제 1 화소셀에 포함되며, 상기 데이터 라인의 데이터 신호를 상기 제 1 화소셀의 화소전극에 공급하는 제 1 박막트랜지스터; 상기 제 2 화소셀에 포함되며, 상기 데이터 라인의 데이터 신호를 상기 제 2 화소셀의 화소전극에 공급하는 제 2 박막트랜지스터를 포함하며; 상기 제 1 박막트랜지스터의 채널폭과 상기 제 2 박막트랜지스터의 채널폭이 서로 다른 것을 그 특징으로 한다.

대표도 - 도2



(72) 발명자

김해열

경기도 성남시 분당구 정자로 115, 한솔마을 두산
아파트 508동 1001호 (정자동)

문수환

경북 구미시 상모동 우방신세계타운 105동 901호

최승찬

경상북도 경산시 와촌면 계당길12길 19-2

특허청구의 범위

청구항 1

제 1 이전 기간과 제 1 현재 기간에 데이터 라인에 공급되는 데이터 신호의 극성이 서로 다른 조건하에서, 상기 제 1 현재 기간의 데이터 신호를 공급받아 화상을 표시하는 적어도 하나의 제 1 화소셀;

제 2 이전 기간과 제 2 현재 기간에 상기 데이터 라인에 공급되는 데이터 신호의 극성이 서로 동일한 조건하에서, 상기 제 2 현재 기간의 데이터 신호를 공급받아 화상을 표시하는 적어도 하나의 제 2 화소셀;

상기 제 1 화소셀에 포함되며, 상기 데이터 라인의 데이터 신호를 상기 제 1 화소셀의 화소전극에 공급하는 제 1 박막트랜지스터;

상기 제 2 화소셀에 포함되며, 상기 데이터 라인의 데이터 신호를 상기 제 2 화소셀의 화소전극에 공급하는 제 2 박막트랜지스터를 포함하며;

상기 제 1 박막트랜지스터의 채널폭과 상기 제 2 박막트랜지스터의 채널폭이 서로 다르며;

상기 제 1 화소셀은 상기 제 1 화소전극에 공급된 데이터 신호를 한 프레임 기간 동안 안정적으로 유지시키기 위한 제 1 보조용량 커패시터를 더 포함하고;

상기 제 2 화소셀은 상기 제 2 화소전극에 공급된 데이터 신호를 한 프레임 기간 동안 안정적으로 유지시키기 위한 제 2 보조용량 커패시터를 더 포함하며;

상기 제 1 보조용량 커패시터의 용량과 상기 제 2 보조용량 커패시터의 용량이 서로 다른 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 액정표시장치는 노멀리 블랙 방식의 액정표시장치며,

상기 제 1 박막트랜지스터의 채널폭이 제 2 박막트랜지스터의 채널폭보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

제 1 박막트랜지스터의 채널폭의 크기가 상기 제 2 박막트랜지스터의 채널폭의 크기보다 150% 내지 200% 더 큰 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 액정표시장치는 노멀리 화이트 방식의 액정표시장치며,

상기 제 1 박막트랜지스터의 채널폭이 제 2 박막트랜지스터의 채널폭보다 더 작은 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

제 1 박막트랜지스터의 채널폭의 크기가 상기 제 2 박막트랜지스터의 채널폭의 크기보다 150% 내지 200% 더 큰 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제 2 화소셀과 동일한 조건에서 상기 데이터 라인으로부터의 데이터 신호를 공급받아 화상을 표시하는 제

3 화소셀을 더 포함하며;

상기 제 1 화소셀, 제 2 화소셀, 및 제 3 화소셀이 서로 동일한 데이터 라인에 접속됨과 아울러, 서로 다른 게이트 라인에 개별적으로 접속되며; 그리고,

상기 제 1 화소셀, 제 2 화소셀, 및 제 3 화소셀이 서로 다른 색상의 화상을 표시하는 것을 특징으로 하는 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 제 1 화소셀은 적색에 대한 화상을 표시하고, 상기 제 2 화소셀은 녹색에 대한 화상을 표시하며, 그리고 상기 제 3 화소셀은 청색에 대한 화상을 표시하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 6 항에 있어서,

상기 제 3 화소셀은 상기 데이터 라인의 데이터 신호를 상기 제 3 화소셀의 화소전극에 공급하는 제 3 박막트랜지스터를 포함하며;

상기 제 3 박막트랜지스터의 채널폭이 상기 제 1 박막트랜지스터의 채널폭과 다른 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 제 1 및 제 3 박막트랜지스터의 채널폭이 서로 동일하고, 상기 제 1 및 제 3 박막트랜지스터의 각 채널폭이 상기 제 2 박막트랜지스터의 채널폭과 다른 것을 특징으로 하는 액정표시장치.

청구항 10

삭제

청구항 11

제 1 항에 있어서,

상기 액정표시장치는 노멀리 블랙 방식의 액정표시장치며,

상기 제 1 보조용량 커패시터의 용량이 상기 제 2 보조용량 커패시터의 용량보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

제 1 보조용량 커패시터의 용량을 제 2 보조용량 커패시터의 용량보다 120% 내지 280% 더 큰 것을 특징으로 하는 액정표시장치.

청구항 13

제 1 항에 있어서,

상기 액정표시장치는 노멀리 화이트 방식의 액정표시장치며,

상기 제 1 보조용량 커패시터의 용량이 상기 제 2 보조용량 커패시터의 용량보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 14

제 13 항에 있어서,

제 1 보조용량 커패시터의 용량을 제 2 보조용량 커패시터의 용량보다 120% 내지 280% 더 작은 것을 특징으로 하는 액정표시장치.

청구항 15

제 1 항에 있어서,

상기 제 1 화소셀의 개구율과 상기 제 2 화소셀의 개구율의 크기가 서로 다른 것을 특징으로 하는 액정표시장치.

청구항 16

제 15 항에 있어서,

상기 액정표시장치는 노멀리 블랙 방식의 액정표시장치며,

상기 제 1 화소셀의 개구율이 상기 제 2 화소셀의 개구율보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 17

제 15 항에 있어서,

상기 액정표시장치는 노멀리 화이트 방식의 액정표시장치며,

상기 제 1 화소셀의 개구율이 상기 제 2 화소셀의 개구율보다 더 작은 것을 특징으로하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 액정표시장치에 관한 것으로, 특히 화소셀간의 휘도차를 방지하여 화상의 품질을 향상시킬 수 있는 액정표시장치에 대한 것이다.
- [0014] 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 화소셀마다 스위칭소자가 형성되어 동영상 표시하기에 유리하다. 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 이용되고 있다.
- [0015] 이러한 액정표시장치는 서로 교차하도록 배열된 다수의 게이트 라인들과 다수의 데이터 라인들을 포함한다.
- [0016] 도 1은 종래의 액정표시장치의 데이터 라인에 공급되는 데이터 신호의 파형을 나타낸 도면이다.
- [0017] 2도트 구동방식으로 상기 데이터 라인을 구동할 경우, 도 1에 도시된 바와 같이, 이 데이터 라인에는 정극성의 데이터 신호(Data)와 부극성의 데이터 신호(Data)가 2H 기간을 주기로 번갈아 가며 충전된다. 이와 같은 경우, 상기 데이터 라인이 인접한 두 기간에 걸쳐 정극성의 데이터 신호(Data)로 연속하여 충전되고, 이후 연속하는 다음 두 기간에 걸쳐 부극성의 데이터 신호(Data)로 충전된다.
- [0018] 이때, 인접한 두 기간을 살펴보면, 상기 두 기간동안 데이터 라인이 서로 상반된 극성의 데이터 신호(Data)로 충전되는 제 1 경우와, 상기 두 기간동안 데이터 라인이 서로 동일한 극성의 데이터 신호(Data)로 연속하여 충전되는 제 2 경우가 있다.
- [0019] 여기서, 임의의 하나의 화소셀이 제 2 기간에 데이터 라인으로부터 자신에 해당하는 데이터 신호(Data)를 공급 받는다고 하면, 이 제 2 기간의 바로 이전 기간인 제 1 기간에 상기 데이터 라인에 충전되었던 데이터 신호(Data)가 상기 화소셀에 영향을 줄 수 있다.
- [0020] 즉, 상기 제 1 기간에 상기 데이터 라인에 공급된 데이터 신호(Data)의 극성과 상기 제 2 기간에 상기 데이터 라인에 공급된 데이터 신호(Data)의 극성이 서로 다른 경우에는, 그렇지 않은 경우에 비하여 상기 제 1 기간에 상기 화소셀에 충전되었던 데이터 신호(Data)와 제 2 기간에 상기 화소셀에 충전되는 데이터 신호(Data)간의 전압 차가 더 크다. 따라서, 상기 제 1 및 제 2 기간의 데이터 신호의 극성이 서로 다른 조건하에서 화소셀이 정

상적으로 제 2 기간에 상기 데이터 라인에 공급된 신호(Data)의 전압으로 충전되는 데 걸리는 시간이, 상기 제 1 및 제 2 기간의 데이터 신호(Data)의 극성이 서로 동일한 조건하에서 화소셀이 정상적으로 제 2 기간에 상기 데이터 라인에 공급된 신호(Data)의 전압으로 충전되는 데 걸리는 시간이 더 오래 걸리게 된다.

[0021] 다시말하면, 만약 데이터 신호(Data)가 공급되는 제 1 및 제 2 기간이 충분히 길지 않을 경우, 기 제 1 기간에 상기 데이터 라인에 공급된 데이터 신호(Data)의 극성과 상기 제 2 기간에 상기 데이터 라인에 공급된 데이터 신호(Data)의 극성이 서로 동일하다면 상기 화소셀은 정상적인 휘도의 화상을 표시하는 반면, 상기 제 1 기간에 상기 데이터 라인에 공급된 데이터 신호(Data)의 극성과 상기 제 2 기간에 상기 데이터 라인에 공급된 데이터 신호(Data)의 극성이 서로 다르다면 상기 화소셀의 충전 특성이 저하되어 상기 화소셀은 정상보다 더 높거나 낮은 휘도의 화상을 표시한다. 따라서, 동일한 색을 표시하는 화소셀이 동일한 계조의 데이터 신호를 공급받음에도 불구하고, 상기 데이터 라인의 충전조건에 따라 휘도차를 나타낼 수 있으며 이에 의해 화상의 품질이 떨어진다.

발명이 이루고자 하는 기술적 과제

[0022] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 화소셀에 포함된 박막트랜지스터의 크기를 충전조건에 따라 다르게 함으로써 서로 다른 충전조건을 갖는 화소셀들간의 휘도차를 방지할 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

[0023] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 제 1 이전 기간과 제 1 현재 기간에 데이터 라인에 공급되는 데이터 신호의 극성이 서로 다른 조건하에서, 상기 제 1 현재 기간의 데이터 신호를 공급받아 화상을 표시하는 적어도 하나의 제 1 화소셀; 제 2 이전 기간과 제 2 현재 기간에 상기 데이터 라인에 공급되는 데이터 신호의 극성이 서로 동일한 조건하에서, 상기 제 2 현재 기간의 데이터 신호를 공급받아 화상을 표시하는 적어도 하나의 제 2 화소셀; 상기 제 1 화소셀에 포함되며, 상기 데이터 라인의 데이터 신호를 상기 제 1 화소셀의 화소전극에 공급하는 제 1 박막트랜지스터; 상기 제 2 화소셀에 포함되며, 상기 데이터 라인의 데이터 신호를 상기 제 2 화소셀의 화소전극에 공급하는 제 2 박막트랜지스터를 포함하며; 상기 제 1 박막트랜지스터의 채널폭과 상기 제 2 박막트랜지스터의 채널폭이 서로 다른 것을 그 특징으로 한다.

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

[0025] 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이고, 도 3은 도 2의 제 1 데이터 라인에 공급되는 데이터 신호와, 제 1 내지 제 6 게이트 라인에 공급되는 제 1 내지 제 6 스캔펄스의 타이밍도를 나타낸 도면이다.

[0026] 본 발명의 실시예에 따른 액정표시장치는, 도 2에 도시된 바와 같이, 화상을 표시하기 위한 다수의 화소셀들(PXL)이 형성된 액정패널(200)과, 상기 액정패널(200)을 구동하기 위한 게이트 구동부(GD) 및 데이터 구동부(DD)를 갖는다.

[0027] 상기 액정패널(200)에는 서로 교차하는 다수의 게이트 라인들(GL1 내지 GLn)과 다수의 데이터 라인들(DL1 내지 DLm)이 형성되어 있다.

[0028] 상기 각 데이터 라인(DL1 내지 DLm)의 우측에는 상기 데이터 라인(DL1 내지 DLm)의 길이 방향을 따라 다수의 화소셀들(PXL)이 배열된다. 상기 데이터 라인의 길이 방향을 따라 배열된 화소셀들(PXL)은 이들의 좌측에 위치한 데이터 라인에 공통으로 접속됨과 아울러, 각각 개별적으로 게이트 라인(GL1 내지 GLn)에 접속된다.

[0029] 예를 들어, 하나의 화소열(222)에 구비된 화소셀들(PXL)은 제 1 데이터 라인(DL1)에 공통으로 접속됨과 아울러, 제 1 내지 제 n 게이트 라인(GL1 내지 GLn)에 개별적으로 접속된다. 여기서, 상기 제 1 데이터 라인(DL1)에는 화소셀들(PXL)이 상기 제 1 데이터 라인(DL1)의 상측에서부터 적색 화소셀(R), 녹색 화소셀(G), 및 청색 화소셀(B) 순서로 접속되어 있다.

[0030] 상기 적색 화소셀(R)은 적색에 해당하는 데이터 신호를 공급받아 적색에 해당하는 화상을 표시하는 화소셀을 의미하며, 상기 녹색 화소셀(G)은 녹색에 해당하는 데이터 신호를 공급받아 녹색에 해당하는 화상을 표시하는 화소셀을 의미하며, 그리고 상기 청색 화소셀(B)은 청색에 해당하는 데이터 신호를 공급받아 청색에 해당하는 화상을 표시하는 화소셀을 의미한다.

[0031] 상기 적색 화소셀(R)은 $3k+1$ 번째(k 는 0을 포함한 자연수) 게이트 라인에 접속되며, 상기 녹색 화소셀(G)은

3k+2 번째 게이트 라인에 접속되며, 그리고 상기 청색 화소셀(B)은 3k+3 번째 게이트 라인에 접속된다.

- [0032] 여기서, 기수번째 게이트 라인(GL1, GL3, ..., GLn-1)에 접속된 화소셀들(PXL)과 우수번째 게이트 라인(GL2, GL4, ..., GLn)에 접속된 화소셀들(PXL)은 서로 다른 조건하에서, 데이터 신호(Data)를 공급받는다.
- [0033] 즉, 기수번째 게이트 라인(GL1, GL3, ..., GLn-1)에 접속된 화소셀들(PXL)은 임의의 제 1 기간에 상기 데이터 라인에 공급된 데이터 신호의 극성과, 상기 제 1 기간의 바로 다음 기간인 제 2 기간에 상기 데이터 라인에 공급된 데이터 신호의 극성이 서로 다른 조건하에서 상기 제 2 기간에 상기 데이터 라인에 공급되는 데이터 신호를 화상으로 표시한다. 다시말하면, 상기 기수번째 게이트 라인(GL1, GL3, ..., GLn-1)에 접속된 화소셀들(PXL)은 상술한 제 1 경우에 따른 충전조건하에서 자신에 해당하는 데이터 신호를 공급받는다.
- [0034] 이에 대하여, 우수번째 게이트 라인(GL2, GL4, ..., GLn)에 접속된 화소셀들(PXL)은 임의의 제 1 기간에 상기 데이터 라인에 공급된 데이터 신호의 극성과, 상기 제 1 기간의 바로 다음 기간인 제 2 기간에 상기 데이터 라인에 공급된 데이터 신호의 극성이 서로 동일한 조건하에서 상기 제 2 기간에 상기 데이터 라인에 공급되는 데이터 신호를 화상으로 표시한다. 다시말하면, 상기 우수번째 게이트 라인(GL2, GL4, ..., GLn)에 접속된 화소셀들(PXL)은 상술한 제 2 경우에 따른 충전조건하에서 자신에 해당하는 데이터 신호를 공급받는다.
- [0035] 이는 각 데이터 라인(DL1 내지 DLm)에 공급되는 데이터 신호의 극성이 3기간마다 반전되기 때문이다.
- [0036] 즉, 데이터 구동부(DD)는 상기 게이트 라인(GL1 내지 GLn)이 구동되는 매 기간마다 상기 데이터 라인들(DL1 내지 DLm)에 동시에 데이터 신호를 공급하는데, 이때 상기 데이터 구동부(DD)는 각 데이터 라인(DL1 내지 DLm)에 정극성의 데이터 신호와 부극성의 데이터 신호를 3기간(3 수평기간(3H))씩 번갈아 가며 공급한다.
- [0037] 예를 들어, 제 1 데이터 라인(DL1)에는 정극성의 데이터 신호(Data)가 제1 내지 제 3 기간(T1 내지 T3)동안 공급되고, 이후 연속하는 제 4 내지 제 6 기간(T4 내지 T6)동안 부극성의 데이터 신호(Data)가 공급된다. 한편, 서로 인접한 데이터 라인에는 동일 기간에 서로 다른 극성의 데이터 신호(Data)가 공급된다.
- [0038] 임의의 프레임 기간내의 제 1 기간(T1)동안의 동작을 설명하면 다음과 같다.
- [0039] 제 1 기간(T1)에는 제 1 스캔펄스(Vout1)가 출력되어 제 1 게이트 라인(GL1)에 공급된다. 그러면, 상기 제 1 게이트 라인(GL1)에 접속된 적색 화소셀(R)이 구동된다.
- [0040] 이 제 1 기간(T1)은 제 1 데이터 라인(DL1)에 상기 적색 화소셀(R)에 해당하는 데이터 신호(Data)가 공급되는 시기로서, 이 제 1 기간(T1)에 상기 제 1 데이터 라인(DL1)에는 정극성의 데이터 신호(Data1)가 충전된다. 그러면, 이 제 1 기간(T1)에 상기 적색 화소셀(R)은 상기 제 1 데이터 라인(DL1)에 충전된 정극성의 데이터 신호(Data)를 공급받아 적색에 대한 화상을 표시한다.
- [0041] 여기서, 상기 제 1 기간(T1)의 바로 이전 기간, 즉 이 임의의 프레임 기간의 바로 이전 프레임 기간내에 포함된 기간들 중 마지막 기간인 제 n 기간(Tn)에 상기 제 1 데이터 라인(DL1)은 부극성의 데이터 신호(Data)로 충전되어 있었다.
- [0042] 따라서, 제 1 기간(T1)에 상기 제 1 데이터 라인(DL1)은 부극성에서 정극성으로 변하는 데이터 신호(Data)가 충전된다. 즉, 상기 제 1 기간(T1)에 상기 적색 화소셀(R)은 상기 제 1 경우에 따른 충전조건하에서 화상을 표시한다.
- [0043] 이어서, 상기 임의의 프레임 기간내의 제 2 기간(T2)동안의 동작을 설명하면 다음과 같다.
- [0044] 제 2 기간(T2)에는 제 2 스캔펄스(Vout2)가 출력되어 제 2 게이트 라인(GL2)에 공급된다. 그러면, 상기 제 2 게이트 라인(GL2)에 접속된 녹색 화소셀(G)이 구동된다.
- [0045] 이 제 2 기간(T2)은 제 1 데이터 라인(DL1)에 상기 녹색 화소셀(G)에 해당하는 데이터 신호(Data)가 공급되는 시기로서, 이 제 2 기간(T2)에 상기 제 1 데이터 라인(DL1)에는 정극성의 데이터 신호(Data)가 충전된다. 그러면, 이 제 2 기간(T2)에 상기 녹색 화소셀(G)은 상기 제 1 데이터 라인(DL1)에 충전된 정극성의 데이터 신호(Data)를 공급받아 녹색에 대한 화상을 표시한다.
- [0046] 여기서, 상기 제 2 기간(T2)의 바로 이전 기간, 즉 상기 제 1 기간(T1)에 상기 제 1 데이터 라인(DL1)은 정극성의 데이터 신호(Data)로 충전되어 있었다.
- [0047] 따라서, 제 2 기간(T2)에 상기 제 1 데이터 라인(DL1)은 정극성에서 정극성으로 유지되는 데이터 신호(Data)가 충전된다. 즉, 상기 제 2 기간(T2)에 상기 녹색 화소셀(G)은 상기 제 2 경우에 따른 충전조건하에서 화상을 표시

시한다.

- [0048] 이어서, 상기 임의의 프레임 기간내의 제 3 기간(T3)동안의 동작을 설명하면 다음과 같다.
- [0049] 제 3 기간(T3)에는 제 3 스캔펄스(Vout3)가 출력되어 제 3 게이트 라인(GL3)에 공급된다. 그러면, 상기 제 3 게이트 라인(GL3)에 접속된 청색 화소셀(B)이 구동된다.
- [0050] 이 제 3 기간(T3)은 제 1 데이터 라인(DL1)에 상기 적색 화소셀(R)에 해당하는 데이터 신호(Data)가 공급되는 시기로서, 이 제 3 기간(T3)에 상기 제 1 데이터 라인(DL1)에는 정극성의 데이터 신호(Data)가 충전된다. 그러면, 이 제 3 기간(T3)에 상기 청색 화소셀(B)은 상기 제 1 데이터 라인(DL1)에 충전된 정극성의 데이터 신호(Data)를 공급받아 청색에 대한 화상을 표시한다.
- [0051] 여기서, 상기 제 3 기간(T3)의 바로 이전 기간, 즉 상기 제 2 기간(T2)에 상기 제 1 데이터 라인(DL1)은 정극성의 데이터 신호(Data)로 충전되어 있었다.
- [0052] 따라서, 제 3 기간(T3)에 상기 제 1 데이터 라인(DL1)은 정극성에서 정극성으로 유지되는 데이터 신호(Data)가 충전된다. 즉, 상기 제 3 기간(T3)에 상기 청색 화소셀(B)은 상기 제 2 경우에 따른 충전조건하에서 화상을 표시한다.
- [0053] 이에 따라, 제 3k+1 게이트 라인에 접속된 적색 화소셀(R)은 상기 제 1 데이터 라인(DL1)의 데이터 신호 극성이 정극성에서 부극성으로 또는 정극성에서 부극성으로 변화하는 조건하에서 화상을 표시한다.
- [0054] 그리고, 제 3k+2 게이트 라인에 접속된 녹색 화소셀(G)은 상기 제 1 데이터 라인(DL1)의 데이터 신호 극성이 정극성에서 정극성으로 또는 부극성에서 부극성으로 유지되는 조건하에서 화상을 표시한다.
- [0055] 물론, 제 3k+3 게이트 라인에 접속된 청색 화소셀(B)도 상기 제 1 데이터 라인(DL1)의 데이터 신호 극성이 정극성에서 정극성으로 또는 부극성에서 부극성으로 유지되는 조건하에서 화상을 표시한다.
- [0056] 본 발명에서는 상기 적색 화소셀(R)과 나머지 녹색 및 청색 화소셀(G, B)간의 휘도차를 방지하기 위해서, 상기 적색 화소셀(R)에 구비된 박막트랜지스터(TFT)의 채널폭과 상기 녹색 및 청색 화소셀(B)에 구비된 박막트랜지스터(TFT)의 채널폭간의 크기를 서로 다르게 함으로써, 상기와 같은 휘도차를 방지한다.
- [0057] 이를 좀 더 구체적으로 설명하면 다음과 같다.
- [0058] 도 4는 도 2의 각 화소셀의 구조를 설명하기 위한 도면이다.
- [0059] 하나의 화소셀은, 도 4에 도시된 바와 같이, 게이트 라인(GL)으로부터의 스캔펄스에 응답하여 데이터 라인(DL)으로부터의 데이터 신호(Data)를 스위칭하는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)로부터의 데이터 신호를 공급받는 화소전극(PE)과, 상기 화소전극(PE)과 대향하여 위치한 공통전극과, 상기 화소전극(PE)과 공통전극(도시되지 않음) 사이에 위치하여 상기 두 전극 사이에서 발생하는 전계에 따라 광 투과량을 조절하는 액정층을 포함한다.
- [0060] 상기 화소전극(PE)과, 공통전극과, 상기 화소전극(PE)과 공통전극 사이에 위치한 액정층은 액정용량 커패시터(도시되지 않음)를 형성한다. 즉, 상기 화소전극(PE)은 상기 액정용량 커패시터의 제 1 전극에 해당하며, 상기 공통전극은 상기 액정용량 커패시터의 제 2 전극에 해당하며, 그리고 상기 화소전극(PE)과 상기 공통전극간에 형성된 액정층은 상기 액정용량 커패시터의 유전체에 해당한다.
- [0061] 상기 박막트랜지스터(TFT)는 게이트전극(GE), 소스전극(SE), 드레인전극(DE), 반도체층(SEMI), 및 오믹콘택층(404)을 포함한다.
- [0062] 상기 게이트전극(GE)은 게이트 라인(GL)과 일체로 구성되며, 상기 게이트 라인(GL)으로부터 돌출된다.
- [0063] 게이트 절연막(GI)은 상기 게이트 라인(GL) 및 게이트전극(GE)을 포함한 기판(401)의 전면에 형성된다.
- [0064] 상기 반도체층(SEMI)은 상기 게이트전극(GE)을 중첩하도록, 상기 게이트 절연막(GI)상에 형성된다.
- [0065] 상기 소스전극(SE)은 상기 데이터 라인과 일체로 구성되며, 상기 데이터 라인으로부터 돌출된다. 상기 소스전극(SE)은 상기 게이트전극(GE)을 중첩하도록, 상기 반도체층(SEMI)상의 일측에 형성된다.
- [0066] 상기 드레인전극(DE)은 상기 게이트전극(GE)을 중첩하도록, 상기 반도체층(SEMI)상의 타측에 형성된다.
- [0067] 상기 오믹콘택층(404)은 상기 소스전극(SE)과 상기 반도체층(SEMI)간에 형성됨과 아울러, 상기 드레인전극(DE)

과 상기 반도체층(SEMI)간에 형성된다.

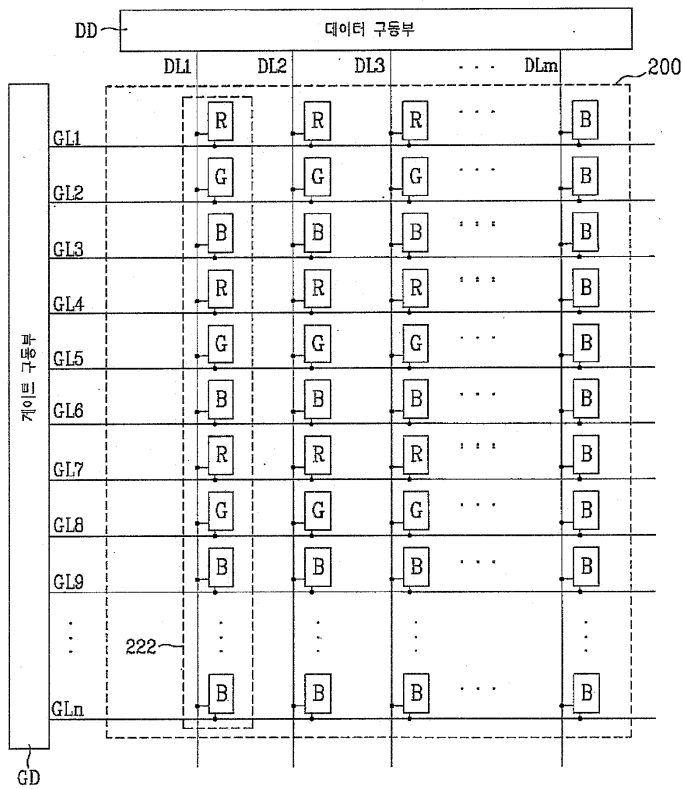
- [0068] 보호층(PSSI)은 상기 드레인전극(DE) 및 소스전극(SE)을 포함한 기판(401)의 전면에 형성된다.
- [0069] 이와 같이 이루어진 박막트랜지스터(TFT)의 드레인전극(DE)은 콘택홀(CT)을 통해 화소전극(PE)에 연결된다.
- [0070] 상기 박막트랜지스터(TFT)는 채널폭(Wt)과 채널길이(Lt)에 의해 전류(턴-온시의 전류)의 크기가 제어되는데, 상기 전류의 크기는 상기 채널폭(Wt)의 크기에 비례하고 상기 채널길이(Lt)에 반비례한다.
- [0071] 본 발명에서는 이러한 박막트랜지스터(TFT)의 전류 특성을 이용하여 상기 서로 다른 충전조건하에서 화상을 표시하는 화소셀들간의 휘도 편차를 방지할 수 있다.
- [0072] 구체적으로, 제 1 경우에 따른 충전조건을 만족하는 화소셀(이하, '제 1 화소셀'로 표기)에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기는 상기 제 2 경우에 따른 충전조건을 만족하는 화소셀(이하, '제 2 화소셀'로 표기)에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기와 다르다.
- [0073] 예를 들어, 이러한 화소셀들을 포함하는 액정표시장치가 노멀리 블랙(Normally Black), 즉 최소 데이터 신호에 의해 가장 어두운 블랙 계조를 표시하고 최대 크기의 데이터 신호에 의해 가장 밝은 화이트 계조를 표시하는 액정표시장치라고 가정하자.
- [0074] 상기 노멀리 블랙 방식에서는, 제 1 및 제 2 화소셀에 동일한 크기의 데이터 신호가 공급된다고 가정하였을 때 상기 제 1 화소셀로부터 표현되는 화상이 상기 제 2 화소셀로부터 표현되는 화상보다 더 어둡다.
- [0075] 이러한 노멀리 블랙 방식에서의 휘도 편차를 방지하기 위해, 본 발명에서는 상기 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기를 상기 제 2 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)보다 더 크게 한다. 이렇게 되면, 상기 제 1 화소셀의 박막트랜지스터(TFT)가 제 2 화소셀의 박막트랜지스터(TFT)보다 큰 크기의 전류를 흘리게 되므로, 상기 제 1 화소셀의 화소전극(PE)에는 상기 제 2 화소셀의 화소전극(PE)보다 더 큰 크기의 데이터 신호가 공급되게 된다. 이에 따라, 상기 제 1 화소셀과 제 2 화소셀간의 휘도 편차를 보상할 수 있다.
- [0076] 한편, 이러한 화소셀들을 포함하는 액정표시장치가 노멀리 화이트(Normally White), 즉 최대 데이터 신호에 의해 가장 어두운 블랙 계조를 표시하고 최소 크기의 데이터 신호에 의해 가장 밝은 화이트 계조를 표시하는 액정표시장치라고 가정하자.
- [0077] 상기 노멀리 화이트 방식에서는, 제 1 및 제 2 화소셀에 동일한 크기의 데이터 신호가 공급된다고 가정하였을 때 상기 제 1 화소셀로부터 표현되는 화상이 상기 제 2 화소셀로부터 표현되는 화상보다 더 밝다.
- [0078] 이러한 노멀리 화이트 방식에서의 휘도 편차를 방지하기 위해, 본 발명에서는 상기 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기를 상기 제 2 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)보다 더 작게 한다. 이렇게 되면, 상기 제 1 화소셀의 박막트랜지스터(TFT)가 제 2 화소셀의 박막트랜지스터(TFT)보다 작은 크기의 전류를 흘리게 되므로, 상기 제 1 화소셀의 화소전극(PE)에는 상기 제 2 화소셀의 화소전극(PE)보다 더 작은 크기의 데이터 신호가 공급되게 된다. 이에 따라, 상기 제 1 화소셀과 제 2 화소셀간의 휘도 편차를 보상할 수 있다.
- [0079] 다른 방법으로, 본 발명에서는 노멀리 블랙 방식에서 상기 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널길이(Lt)를 상기 제 2 화소셀에 구비된 박막트랜지스터(TFT)의 채널길이(Lt)보다 작게 형성하고, 상기 노멀리 화이트 방식에서 상기 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널길이(Lt)를 상기 제 2 화소셀에 구비된 박막트랜지스터(TFT)의 채널길이(Lt)보다 더 크게 형성함으로써 휘도 편차를 방지할 수 있다.
- [0080] 또 다른 방법으로, 본 발명에서는 보조용량 커패시터(Cst)의 용량을 조절함으로써 상기 휘도 편차를 방지할 수 있다.
- [0081] 즉, 상기 화소셀은 상기 액정용량 커패시터에 병렬로 접속된 보조용량 커패시터(Cst)를 더 포함한다. 상기 보조용량 커패시터(Cst)는 상기 화소전극(PE)에 인가된 데이터 신호를 한 프레임 기간동안 안정적으로 유지시키는 역할을 한다.

- [0082] 상기 보조용량 커패시터(Cst)는 다음의 두 가지 방식 중 어느 한 방식으로 형성될 수 있다.
- [0083] 제 1 방식에 따른 보조용량 커패시터(Cst)를 형성하기 위해서, 도 4에 도시된 바와 같이, 화소셀이 보조전극(AE)을 더 포함해야 한다.
- [0084] 상기 보조전극(AE)은 통상 게이트 라인(GL)과 동일한 재질로 이루어지며, 데이터 라인에 교차하도록 배열된다. 이 보조전극(AE)은 이의 상부에 위치한 화소전극(PE)의 중심부를 중첩하고 있다.
- [0085] 이 보조전극(AE)과 상기 화소전극(PE)이 중첩되는 부분에서 보조용량 커패시터(Cst)가 형성된다. 즉, 상기 보조전극(AE)이 상기 보조용량 커패시터(Cst)의 제 1 전극에 해당하며, 상기 화소전극(PE)이 상기 보조용량 커패시터(Cst)의 제 2 전극에 해당하며, 그리고 상기 보조전극(AE)과 상기 화소전극(PE)간에 형성된 절연막이 상기 보조용량 커패시터(Cst)의 유전체에 해당한다.
- [0086] 제 2 방식에 따른 보조용량 커패시터(Cst)를 형성하기 위해서는, 도면에 도시하지 않았지만, 상기 화소전극(PE)이 전단 화소셀을 구동하기 위한 게이트 라인(GL)의 일부를 중첩하도록, 상기 화소전극(PE)이 상기 게이트 라인(GL)으로 더 연장된다.
- [0087] 예를 들어, 상기 제 1 게이트 라인(GL1)과 제 2 게이트 라인(GL2) 사이에 형성된 녹색 화소셀(G)에 구비된 화소전극(PE)은, 상기 제 1 게이트 라인(GL1)의 일부를 중첩하도록 상기 제 1 게이트 라인(GL1)측으로 더 연장될 수 있다.
- [0088] 이와 같이 상기 화소전극(PE)이 게이트 라인(GL)을 중첩하는 경우, 상기 보조용량 커패시터(Cst)는 상기 화소전극(PE)과 상기 게이트 라인(GL)이 중첩하는 부분에 형성된다. 이때, 상기 화소전극(PE)은 상기 보조용량 커패시터(Cst)의 제 1 전극에 해당하며, 상기 게이트 라인(GL)이 제 2 전극에 해당하며, 그리고 상기 화소전극(PE)과 게이트전극(GE)간에 형성된 절연막이 상기 보조용량 커패시터(Cst)의 유전체에 해당한다.
- [0089] 본 발명에서는 노멀리 블랙 방식에서 상기 제 1 화소셀의 보조용량 커패시터(Cst)의 용량을 제 2 화소셀의 보조용량 커패시터(Cst)의 용량보다 크게 하고, 노멀리 화이트 방식에서 상기 제 1 화소셀의 보조용량 커패시터(Cst)의 용량을 제 2 화소셀의 보조용량 커패시터(Cst)의 용량보다 작게 함으로써 상기 휘도 편차를 방지할 수 있다.
- [0090] 즉, 상기 보조용량 커패시터(Cst)의 용량이 클수록 킥백전압(kickback voltage)이 감소하게 되며, 이 킥백전압이 감소하게 되면 화소셀의 충전 특성이 향상된다.
- [0091] 상기 보조용량 커패시터(Cst)의 용량은, 상기 보조용량 커패시터(Cst)를 이루는 보조전극(AE)의 크기, 화소전극(PE)의 크기, 및 유전체의 크기 중 어느 하나 또는 그 이상을 조절함으로써 제어할 수 있다.
- [0092] 예를 들어, 도 4에 도시된 보조전극(AE)의 폭을 증가시키거나 줄임으로써 보조용량 커패시터(Cst)의 크기를 조절할 수 있는 바, 상기 보조전극(AE)의 폭이 증가할수록 상기 용량도 증가하며, 상기 보조전극(AE)의 폭이 감소할수록 상기 용량도 감소한다.
- [0093] 또 다른 방법으로, 본 발명에서는 개구율을 조절함으로써 상기 휘도 편차를 방지할 수 있다.
- [0094] 도 5는 개구율에 따른 휘도의 변화를 설명하기 위한 도면이다.
- [0095] 도 5에서 상측에 위치한 화소셀은 상술한 제 1 화소셀을 나타내며, 하측에 위치한 화소셀은 제 2 화소셀의 구조를 나타낸다.
- [0096] 액정패널(200)은 서로 마주보는 상부 기관과 하부 기관으로 이루어져 있는데, 상기 화소전극(PE)은 상기 하부 기관에 형성된다.
- [0097] 여기서, 상기 상부 기관에는 상기 화소셀의 화소영역(게이트 라인(GL), 데이터 라인, 및 박막트랜지스터(TFT)가 형성된 영역을 제외한 영역)을 제외한 영역을 가리도록 차광층(BM)이 형성되는데, 상기 차광층(BM)의 크기를 조절함으로써 각 화소셀의 개구율을 조절할 수 있다.
- [0098] 이 개구율이 증가할수록 휘도가 증가하고, 상기 개구율이 감소할수록 휘도가 감소한다.
- [0099] 본 발명에서는 노멀리 블랙 방식에서 상기 제 1 화소셀의 개구율을 제 2 화소셀의 개구율보다 더 크게 함으로써 휘도 편차를 방지할 수 있다.

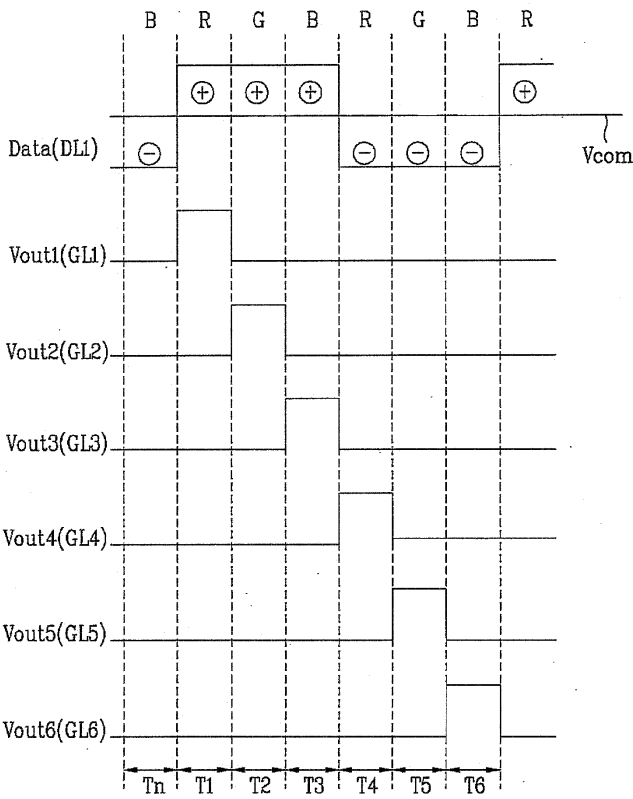
- [0100] 즉, 상기 제 1 화소셀의 화소전극(PE1)과 차광층(BM)이 중첩하는 면적이, 상기 제 2 화소셀의 화소전극(PE2)과 차광층(BM)이 중첩하는 면적보다 더 크도록 상기 차광층(BM)을 형성함으로써 상기 제 1 화소셀의 개구율을 상기 제 2 화소셀의 개구율보다 더 크게 할 수 있다.
- [0101] 도 5의 도면 Wa1은 제 1 화소셀의 화소영역의 폭을 나타낸 것이고, 도면 Wa2는 제 2 화소셀의 화소영역의 폭을 나타낸 것으로, 제 1 화소셀의 화소영역의 폭이 상기 제 2 화소셀의 화소영역의 폭보다 더 크다. 이에 의해서, 상기 제 1 화소셀의 개구율이 상기 제 2 화소셀의 개구율보다 더 크게 된다.
- [0102] 본 발명에서는 노멀리 화이트 방식에서 상기 제 1 화소셀의 개구율을 제 2 화소셀의 개구율보다 더 작게 함으로써 휘도 편차를 방지할 수 있다.
- [0103] 즉, 상기 제 1 화소셀의 화소전극(PE1)과 차광층(BM)이 중첩하는 면적이, 상기 제 2 화소셀의 화소전극(PE2)과 차광층(BM)이 중첩하는 면적보다 더 작아지도록 상기 차광층(BM)을 형성함으로써 상기 제 1 화소셀의 개구율을 상기 제 2 화소셀의 개구율보다 더 작게 할 수 있다.
- [0104] 이제까지 상술한 제 1 화소셀은 도 2의 적색 화소셀(R)에 해당하며, 제 2 화소셀은 도 2의 녹색 화소셀(G) 또는 청색 화소셀(B)에 해당한다.
- [0105] 물론, 상기 제 1 및 제 2 화소셀 각각은 적색, 녹색, 및 청색 중 어느 한 색상을 갖는 화소셀일 수 있다.
- [0106] 여기서, 상기 제 1 화소셀과 제 2 화소셀, 그리고 상기 제 2 화소셀과 동일한 충전조건하에서 화상을 표시하는 제 3 화소셀을 구비한 액정표시장치를 사용하여, 서로 다른 충전조건인 화소셀간의 휘도차가 방지되는 효과를 시뮬레이션 실험을 통해 설명하면 다음과 같다.
- [0107] 실험 조건은 다음과 같다.
- [0108] 1) 박막트랜지스터(TFT)에 인가되는 스캔펄스의 펄스폭(1H) : 10usec
- [0109] 2) 데이터 딜레이(제 1 극성 데이터 신호의 피크치로부터 제 2 극성 데이터 신호의 피크치까지 신호가 변화하는 시간): 3.5usec
- [0110] 3) 액정표시장치의 구동 방식 : 노멀리 블랙/ 블랙 계조 10V/ 공통전압 5V
- [0111] 4) 데이터 신호의 출력방식 : 3도트 인버전방식(3H를 주기로 극성 반전)
- [0112] 5) 제 2 및 제 3 화소셀에 구비된 박막트랜지스터(TFT)의 W/L (um) : 42/5
- [0113] 6) 블랙 계조와 화이트 계조간의 전압차 : 5V
- [0114] 7) 1 계조 차이를 갖는 데이터 신호간의 전압차 : 0.0195V
- [0115] 8) 3 계조 차이에 갖는 데이터 신호간의 전압차 : 0.058V
- [0116] 9) 제 1, 제 2, 및 제 3 화소셀의 색상 : 적색, 녹색, 및 청색
- [0117] 상술한 실험 조건에 따라 본 발명에 따른 액정표시장치를 구동하면 다음과 같은 결과를 얻을 수 있다.
- [0118] 도 6은 박막트랜지스터의 채널폭과 화소셀에 충전되는 전압간의 관계를 나타낸 그래프이다.
- [0119] Vdata는 제 1 데이터 라인(DL1)에 공급된 데이터 신호이다. A1 내지 A11은 상기 제 1 데이터 라인(DL1)으로부터 제 1 화소셀의 화소전극(PE)에 공급된 데이터 신호(즉, 화소전압)의 특성 곡선들을 나타낸 것이다.
- [0120] 이 특성 곡선들(A1 내지 A11) 중 X축(시간축)의 가장 우측에 위치한 제 1 특성 곡선(A1)은 42um의 채널폭(Wt)의 박막트랜지스터(TFT)를 통과하여 화소전극(PE)에 인가된 데이터 신호(즉, 화소전압)에 대한 특성 곡선이다. 이 제 1 특성 곡선(A1)의 좌측에 위치한 제 2 내지 제 11 특성 곡선들(A2 내지 A11)은, 차례로 상기 42um로부터 10%씩 증가한 채널폭(Wt)을 갖는 박막트랜지스터(TFT)를 통과하여 화소전극(PE)에 인가된 데이터 신호에 대한 특성 곡선들이다.
- [0121] 즉, 상기 제 2 내지 제 11 특성 곡선(A2 내지 A11)은 차례로, 46.2um, 50.4um, 54.6um, 58.8um, 63um, 67.2um, 71.4um, 75.6um, 79.8um, 및 84um의 채널폭(Wt)을 갖는 박막트랜지스터(TFT)를 통과하여 화소전극(PE)에 인가된 데이터 신호의 특성 곡선들이다.

- [0122] 휘도차 방지에 있어서, 도 6에 도시된 바와 같이, 상기 제 1 화소셀의 박막트랜지스터(TFT)의 채널폭(Wt)을 크게 하여 상기 제 1 화소셀의 박막트랜지스터(TFT)의 채널폭(Wt)과 상기 제 2 화소셀(또는 제 3 화소셀)이 박막트랜지스터(TFT)의 채널폭(Wt)간의 차이를 크게 하는 것이 유리하지만, 이와 같은 경우 상기 증가된 박막트랜지스터(TFT)의 채널폭(Wt)에 의해 제 1 화소셀의 개구율이 줄어들 수 있다.
- [0123] 따라서, 상기 개구율에 크게 문제가 되지 않도록 상기 박막트랜지스터(TFT)의 채널폭(Wt)을 조절하는 것이 중요하다.
- [0124] 본 실험에서는 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기를 제 2 화소셀(또는 제 3 화소셀)에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기보다 약 150% 내지 200% 정도 더 크게 하는 것이 개구율을 덜 줄이면서도 휘도차를 방지할 수 있음을 알아내었다.
- [0125] 상기와 같이 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기를 제 2 화소셀(또는 제 3 화소셀)에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기보다 약 150% 내지 200% 정도 더 크게 하면, 상기 제 1 화소셀로부터 표현되는 화상의 휘도와 제 2 화소셀(또는 제 3 화소셀)로부터 표현되는 화상의 휘도가 3계조 미만의 차이를 가진다. 보통 화소셀들간의 휘도차가 3계조 미만일 경우, 각 화소셀로부터 화상의 밝기는 거의 동일하게 관찰된다.
- [0126] 노멀리 화이트 방식에서는 상기 제 1 화소셀에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기를 제 2 화소셀(또는 제 3 화소셀)에 구비된 박막트랜지스터(TFT)의 채널폭(Wt)의 크기보다 약 150% 내지 200% 정도 더 작게 하여 상기와 같은 효과를 얻을 수 있다.
- [0127] 도 7은 보조용량 커패시터의 용량과 화소셀에 충전되는 전압간의 관계를 나타낸 그래프이다.
- [0128] Vdata는 제 1 데이터 라인(DL1)에 공급된 데이터 신호이다. B1 내지 B11은 상기 제 1 데이터 라인(DL1)으로부터 제 1 화소셀의 화소전극(PE)에 공급된 데이터 신호(즉, 화소전압)의 특성 곡선들을 나타낸 것이다.
- [0129] 이 특성 곡선들(B1 내지 B11) 중 Y축(전압축)의 가장 하측에 위치한 제 1 특성 곡선(B1)은 240×10^{-15} F의 용량의 보조용량 커패시터(Cst)를 갖는 제 1 화소셀에 인가된 데이터 신호(즉, 화소전압)에 대한 특성 곡선이다. 이 제 1 특성 곡선(B1)의 상측에 위치한 제 2 내지 제 11 특성 곡선들(B2 내지 B11)은, 차례로 상기 240×10^{-15} F로부터 10%씩 증가한 용량을 갖는 제 1 화소셀에 인가된 데이터 신호에 대한 특성 곡선들이다.
- [0130] 즉, 상기 제 2 내지 제 11 특성 곡선(B2 내지 B11)은 차례로, 264×10^{-15} F, 288×10^{-15} F, 312×10^{-15} F, 336×10^{-15} F, 360×10^{-15} F, 384×10^{-15} F, 408×10^{-15} F, 432×10^{-15} F, 456×10^{-15} F, 및 480×10^{-15} F의 용량의 보조용량 커패시터(Cst)를 갖는 제 1 화소셀에 인가된 데이터 신호의 특성 곡선들이다.
- [0131] 휘도차 방지에 있어서, 도 7에 도시된 바와 같이, 상기 제 1 화소셀에 구비된 보조용량 커패시터(Cst)의 용량을 크게 하여 상기 제 1 화소셀에 구비된 보조용량 커패시터(Cst)의 용량과 상기 제 2 화소셀(또는 제 3 화소셀)에 구비된 보조용량 커패시터(Cst)의 용량 차이를 크게 하는 것이 유리하지만, 보조전극(AE)을 사용하여 보조용량 커패시터(Cst)를 형성하는 방식에서는 상기 보조전극(AE)의 면적이 증가함에 따라 제 1 화소셀의 개구율이 줄어들 수 있다.
- [0132] 따라서, 상기 개구율에 크게 문제가 되지 않도록 상기 보조용량 커패시터(Cst)의 용량을 조절하는 것이 중요하다.
- [0133] 본 실험에서는 제 1 화소셀에 구비된 보조용량 커패시터(Cst)의 용량을 제 2 화소셀(또는 제 3 화소셀)에 구비된 보조용량 커패시터(Cst)의 용량보다 약 120% 내지 280% 정도 더 크게 하는 것이 개구율을 덜 줄이면서도 휘도차를 방지할 수 있음을 알아내었다.
- [0134] 상기와 같이 제 1 화소셀에 구비된 보조용량 커패시터(Cst)의 용량을 제 2 화소셀(또는 제 3 화소셀)에 구비된 보조용량 커패시터(Cst)의 용량보다 약 120% 내지 280% 정도 더 크게 하면, 상기 제 1 화소셀로부터 표현되는 화상의 휘도와 제 2 화소셀(또는 제 3 화소셀)로부터 표현되는 화상의 휘도가 3계조 미만의 차이를 가진다. 보통 화소셀들간의 휘도차가 3계조 미만일 경우, 각 화소셀로부터 화상의 밝기는 동일하게 관찰된다.
- [0135] 즉, 도 7에 도시된 바와 같이, 상기 보조용량 커패시터(Cst)의 용량이 클수록 킥백전압(ΔV_p)의 크기가 감소하는 것을 알 수 있다.

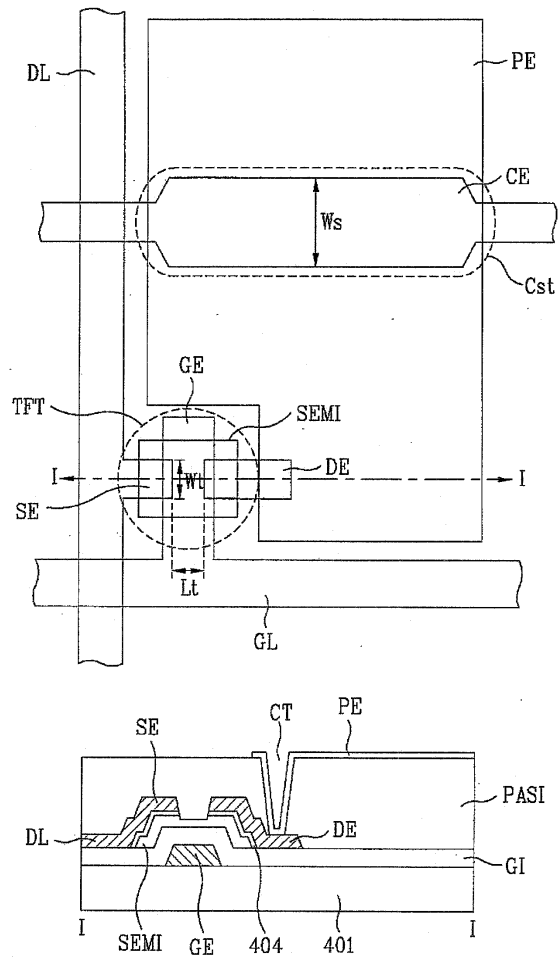
도면2



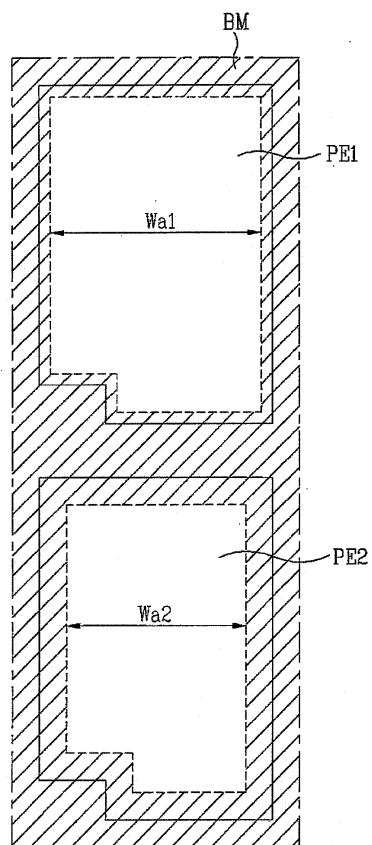
도면3



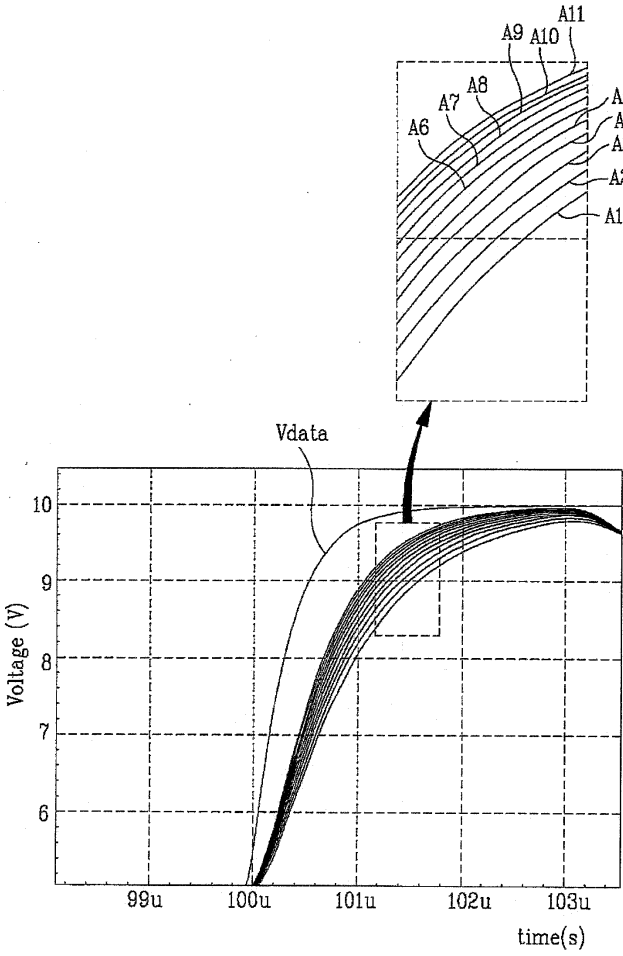
도면4



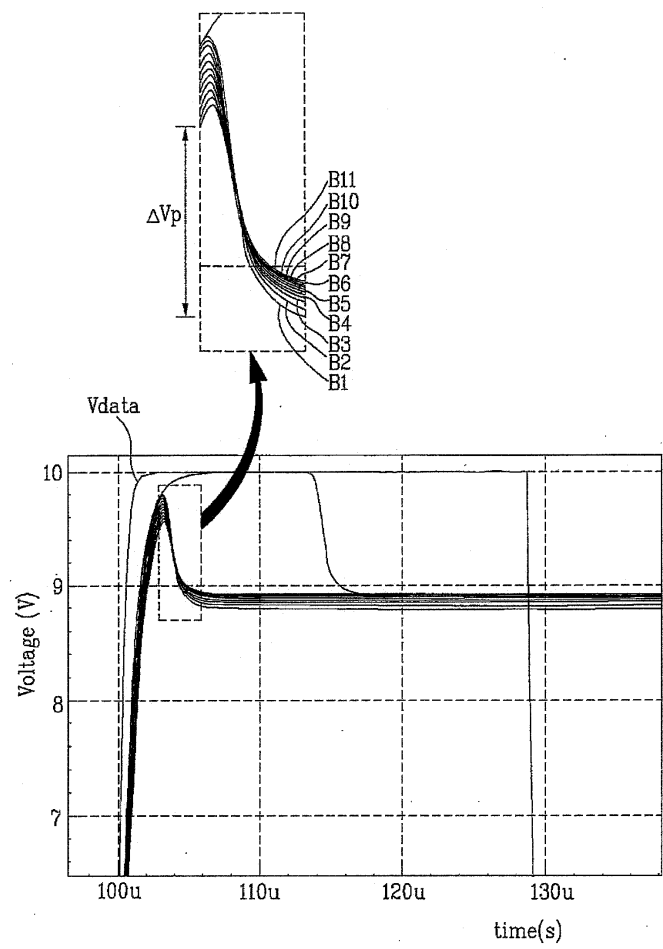
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR101327870B1	公开(公告)日	2013-11-13
申请号	KR1020070026659	申请日	2007-03-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	RYOO CHANG IL 유창일 KIM BINN 김빈 KIM HAE YEOL 김해열 MOON SU HWAN 문수환 CHOI SEUNG CHAN 최승찬		
发明人	유창일 김빈 김해열 문수환 최승찬		
IPC分类号	G02F1/136 G02F1/133 G02F		
CPC分类号	G02F1/136286 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2320/0209 G09G2320/0233		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020080085326A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种改善图像质量的液晶显示器，防止像素单元之间的亮度差异。并且由至少一个第一像素单元表征：薄膜晶体管的沟道宽度不同的物体和第二薄膜晶体管的沟道宽度，第二薄膜晶体管将数据线的的数据信号提供给第二像素的像素电极包括提供给第二在前时间段的数据信号的极性和到数据线的第二当前时段包括在至少一个第二像素单元中的第一像素单元：第一像素单元，其提供有第二当前周期的数据信号并指示在相同条件下的图像并且它包括在薄膜晶体管中：第二像素单元将数据线的的数据信号提供给第一像素单元的像素电极，第一像素单元的像素电极具有第一电流周期的数据信号，其中第一像素单元的数据信号是不同的提供给第一前一时间段和第一当前时段的数据信号的极性到数据线并指示图像。液晶显示器，像素单元，薄膜晶体管，沟道宽度，亮度差。

