



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월05일
(11) 등록번호 10-1303943
(24) 등록일자 2013년08월29일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0112798

(22) 출원일자 2006년11월15일

심사청구일자 2011년11월04일

(65) 공개번호 10-2008-0044022

(43) 공개일자 2008년05월20일

(56) 선행기술조사문헌

JP2005513572 A

JP2006184913 A

JP2003241213 A

JP2006162708 A

전체 청구항 수 : 총 18 항

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

마원석

경기도 성남시 분당구 서현로 177, 105동 1004호
(이매동, 이매촌)

(74) 대리인

오세준, 권혁수, 송윤호

심사관 : 이준석

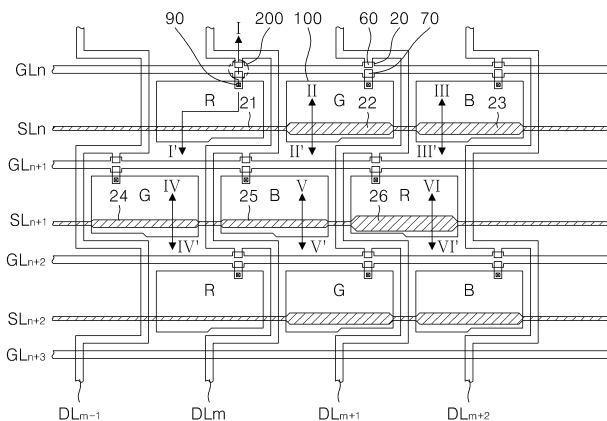
(54) 발명의 명칭 액정표시장치 및 이의 제조방법

(57) 요약

본 발명은 제2 수평라인을 따라 배치된 적색 서브 화소의 스토리지 커패시터 용량 제1 수평라인을 따라 배치된 적색 서브 화소의 스토리지 커패시터 용량보다 더 크게 하여 적색 서브 화소의 충전율 차이에 의한 세로줄 불량을 방지한 액정표시장치 및 이의 제조방법을 제공한다.

이를 위하여, 본 발명은 N(N은 자연수)번째 수평라인을 따라 적, 녹, 청색의 순서로 반복 배열되고, 상기 N번째 수평라인의 서브 화소와 엇갈려 형성되며 N+1번째 수평라인을 따라 녹, 청, 적색의 순서로 반복 배열된 서브 화소, 상기 수평라인을 따라 형성된 게이트 라인, 상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하며, 상기 엇갈리게 배열된 서브 화소를 따라 굴곡지게 형성된 데이터 라인, 상기 게이트 라인 및 데이터 라인 각각과 접속된 박막 트랜지스터, 상기 박막 트랜지스터와 접속되며, 상기 서브 화소 각각에 형성된 화소 전극, 상기 서브 화소 각각에 상기 화소 전극과 상기 게이트 절연막 및 보호막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하는 스토리지 전극을 포함하며, 상기 N+1번째 수평라인의 적색 스토리지 커패시터 용량이 상기 N번째 수평라인의 적색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 하는 액정표시장치 및 이의 제조방법을 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

N(N은 자연수)번째 수평라인을 따라 적, 녹, 청색의 순서로 반복 배열되고, 상기 N번째 수평라인의 서브 화소와 엇갈려 형성되며 N+1번째 수평라인을 따라 녹, 청, 적색의 순서로 반복 배열된 서브 화소;

상기 수평라인을 따라 형성된 게이트 라인;

상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하며, 상기 엇갈리게 배열된 서브 화소를 따라 굴곡지게 형성된 데이터 라인;

상기 게이트 라인 및 데이터 라인 각각과 접속된 박막 트랜지스터;

상기 박막 트랜지스터와 접속되며, 상기 서브 화소 각각에 형성된 화소 전극;

상기 서브 화소 각각에 상기 화소 전극과 상기 게이트 절연막 및 보호막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하는 스토리지 전극을 포함하며,

상기 N+1번째 수평라인의 적색 스토리지 커패시터 용량이 상기 N번째 수평라인의 적색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 N번째 수평라인의 녹색 및 청색 스토리지 커패시터 용량은 상기 N번째 수평라인의 적색 스토리지 커패시터 용량보다 더 크고,

상기 N+1번째 수평라인의 녹색 및 청색 스토리지 커패시터의 용량은 상기 N+1번째 적색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 N번째 수평라인 및 상기 N+1번째 수평라인 각각의 녹색 및 청색 스토리지 커패시터 용량은 서로 같고, 상기 N번째 수평라인의 녹색 및 청색 스토리지 커패시터 용량이 상기 N+1번째 수평라인의 녹색 및 청색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 N번째 수평라인의 적, 녹, 청색의 스토리지 커패시터 용량의 합과 상기 N+1번째 수평라인의 녹, 청, 적색의 스토리지 커패시터 용량의 합은 서로 같은 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 N번째 수평라인의 상기 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 크고, 상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 큰 것을 특징으로 하는 액정표시장치.

청구항 8

제 2 항에 있어서,

상기 N번째 및 N+1번째 수평라인의 적, 녹, 청색의 서브 화소에 형성된 스토리지 전극의 넓이는 동일하며,

상기 N+1번째 수평라인의 적색 서브 화소의 스토리지 전극과 상기 화소 전극 사이에 형성된 보호막의 두께가 상기 N번째 수평라인의 적색 서브 화소의 스토리지 전극과 상기 화소 전극 사이에 형성된 보호막의 두께에 대비하여 더 작은 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 N번째 수평라인의 청색 및 녹색 서브 화소에 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께가 상기 N번째 수평라인의 적색 서브 화소의 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께보다 더 작고,

상기 N+1번째 수평라인의 적색 서브 화소에 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께가 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소의 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께보다 더 작은 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 N번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께는 각각 같고, 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께는 각각 같으며,

상기 N번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께는 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께보다 더 작은 것을 특징으로 하는 액정표시장치.

청구항 11

제 1 내지 제 10 항 중 어느 한 항에 있어서,

상기 게이트 라인에 스캔신호를 공급하는 게이트 구동부; 및

상기 데이터 라인에 화소 데이터 신호를 공급하며, 복수의 데이터 라인과 하나의 출력라인이 접속된 데이터 구동회로를 포함하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 데이터 구동회로의 하나의 출력라인과 상기 복수의 데이터 라인 사이에 상기 데이터 라인과 상기 데이터 구동회로의 하나의 출력라인 각각마다 형성되어 상기 데이터 라인을 순차적으로 턴-온시키는 복수의 트랜지스터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

N(N은 자연수)번째 수평라인을 따라 적, 녹, 청색의 순서로 반복 배열되고, 상기 N번째 수평라인의 서브 화소와 엇갈려 형성되며 N+1번째 수평라인을 따라 녹, 청, 적색의 순서로 반복 배열되어 정의되는 서브 화소에 상기 수

평라인 방향으로 게이트 라인을 형성하는 단계;

상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하며, 상기 엇갈리게 배열된 서브 화소를 따라 굴곡지게 형성된 데이터 라인을 형성하는 단계;

상기 게이트 라인 및 데이터 라인 각각과 접속된 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터와 접속되며, 상기 서브 화소 각각에 형성된 화소 전극을 형성하는 단계; 및

상기 서브 화소 각각에 상기 화소 전극과 상기 게이트 절연막 및 보호막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하는 스토리지 전극을 형성하는 단계를 포함하며,

상기 N+1번째 수평라인의 적색 스토리지 커패시터 용량을 상기 N번째 수평라인의 적색 스토리지 커패시터 용량보다 더 크게 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 스토리지 전극을 형성하는 단계에서,

상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이를 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이보다 크게 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 스토리지 전극을 형성하는 단계에서,

상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이를 동일하게 형성하고,

상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이를 동일하게 형성하고,

상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이를 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 크게 형성하며,

상기 N번째 및 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극들은 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극보다는 크고, 상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극보다는 작게 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

상기 제13 항에 있어서,

상기 스토리지 전극을 형성하는 단계에서,

상기 스토리지 전극은 동일한 면적으로 형성하고,

상기 N번째 및 N+1 수평라인의 적, 녹, 청색의 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께를 각각 다르게 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 스토리지 전극을 형성하는 단계에서,

상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께를 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께보다 더 작게 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 스토리지 전극을 형성하는 단계에서,

상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극 각각과 중첩된 보호막의 두께는 서로 같고, 상기 N번째 서브 화소의 적색 서브 화소의 스토리지 전극과 중첩된 보호막의 두께보다는 작게 형성되며, 상기 N+1번째 적색 서브 화소의 스토리지 전극과 중첩된 보호막의 두께보다는 크게 형성되는 단계; 및

상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극 각각과 중첩된 보호막의 두께는 서로 같고, 상기 N번째 서브 화소의 적색 스토리지 전극과 중첩된 보호막의 두께보다는 작게 형성되며, 상기 N+1번째 수평라인의 녹색 및 적색 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께보다 더 크게 형성되는 단계를 포함하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 액정표시장치 및 이의 제조방법에 관한 것으로, 특히 델타 형태로 배열된 서브 화소를 갖는 액정표시장치의 세로줄 잡음을 방지한 액정표시장치 및 이의 제조방법에 관한 것이다.
- [0021] 현재 표시장치로 가장 많이 사용되고 있는 것은 성능 및 가격 측면에서 유리한 CRT(Cathode Ray Tube)이다. 그러나, CRT는 많은 장점에도 불구하고 경박단소화에 어려움이 있기 때문에 최근에 CRT의 대체수단으로 액정표시장치가 널리 사용되고 있다.
- [0022] 종래의 박막 트랜지스터 기판은 스캔신호를 공급하는 게이트 라인(GL1 내지 GLn)과, 데이터 신호를 공급하며 게이트 라인(GL1 내지 GLn)과 교차하여 형성된 데이터 라인(DL1 내지 DLm)과, 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm) 사이에 접속된 박막 트랜지스터와, 박막 트랜지스터와 연결되며 적, 녹, 청의 화소 영역에 형성된 화소 전극을 구비한다.
- [0023] 이때, 박막 트랜지스터는 게이트 라인과 접속된 게이트 전극, 데이터 라인과 접속된 소스 전극, 화소 전극과 접속된 드레인 전극, 게이트 전극과 게이트 절연막을 사이에 두고 중첩되어 소스 전극과 드레인 전극 사이에 채널을 형성하는 반도체층과 소스 전극 및 드레인 전극과 반도체층 사이의 오믹 접촉을 위한 오믹 콘택층을 구비한다. 이러한 박막 트랜지스터는 게이트 라인의 스캔 신호에 응답하여 데이터 라인의 화상 데이터 신호를 화소 전극에 공급하여 유지되게 한다.
- [0024] 화소 전극은 박막 트랜지스터로부터의 화상 데이터 신호가 공급되면 컬러 필터 기판의 공통 전극과의 전압차로 액정을 구동하여 광 투과율이 조절되게 한다.
- [0025] 게이트 라인은 가로방향으로 평행하게 형성되어 박막 트랜지스터에 스캔신호를 공급한다. 이러한 액정표시장치의 박막 트랜지스터 기판은 글자를 제외한 이미지를 표현하기 위해 DSC(Digital Still Camera) 등의 화상 정보가 우선시 되는 저해상도 표시장치의 경우 곡선표시에 유리한 델타 화소 배열을 갖는 박막 트랜지스터 기판이 사용되었다.
- [0026] 이때, 데이터 라인은 델타 배열로 형성된 화소 전극과 중첩되지 않도록 구부러져 형성되어 박막 트랜지스터에 화상 데이터 신호를 공급한다. 델타 배열로 형성된 화소 전극은 첫번째 수평 방향의 서브 화소 영역은 적(R1), 녹(G1), 청색(B1)으로 형성되고, 두번째 수평방향으로 서브 화소 영역은 녹(G2), 청(B2), 적색(R2)으로 형성되며, 첫번째 수평방향의 서브화소들과 두번째 수평방향으로의 서브 화소들이 반복적으로 배열되어 형성된다. 이때, 첫번째 수평방향의 적색 서브 화소와 두번째 수평방향의 녹색 및 청색 서브 화소가 하나의 화소를 이루게 된다. 이러한 델타 형태로 서브 화소가 배열된 액정표시장치의 구동시 첫번째 데이터 구동회로의 하나의 출력단에 3개의 데이터 라인이 접속되어 스캔신호가 공급될 때마다 3개의 데이터 라인에 순차적으로 화소 데이터 신호가 공급된다.
- [0027] 이렇게 3개의 데이터 라인이 하나의 데이터 구동회로의 출력단과 접속되면 첫번째 게이트 라인에 연결된 첫번째 화소 전극에 충전되는 화소 데이터 신호와 그 다음 게이트 라인의 세번째 화소 전극에 충전되는 화소 데이터 신호의 충전시간이 서로 달라 동일한 색을 표시하는 화소 전극의 충전을 차에 의해 세로줄 불량 등의 표시불량이

발생된다.

발명이 이루고자 하는 기술적 과제

- [0028] 따라서, 본 발명이 이루고자 하는 기술적 과제는 제2 수평라인을 따라 배치된 적색 서브 화소의 스토리지 커패시터 용량이 제1 수평라인을 따라 배치된 적색 서브 화소의 스토리지 커패시터 용량보다 더 크게 하여 적색 서브 화소의 충전율 차이에 의한 세로줄 불량을 방지한 액정표시장치 및 이의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- [0029] 상기의 기술적 과제를 해결하기 위하여, 본 발명은 N (N 은 자연수)번째 수평라인을 따라 적, 녹, 청색의 순서로 반복 배열되고, 상기 N 번째 수평라인의 서브 화소와 엇갈려 형성되며 $N+1$ 번째 수평라인을 따라 녹, 청, 적색의 순서로 반복 배열된 서브 화소; 상기 수평라인을 따라 형성된 게이트 라인; 상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하며, 상기 엇갈리게 배열된 서브 화소를 따라 굴곡지게 형성된 데이터 라인; 상기 게이트 라인 및 데이터 라인 각각과 접속된 박막 트랜지스터; 상기 박막 트랜지스터와 접속되며, 상기 서브 화소 각각에 형성된 화소 전극; 상기 서브 화소 각각에 상기 화소 전극과 상기 게이트 절연막 및 보호막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하는 스토리지 전극을 포함하며, 상기 $N+1$ 번째 수평라인의 적색 스토리지 커패시터 용량이 상기 N 번째 수평라인의 적색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 하는 액정표시장치를 제공한다.

- [0030] 이때, 상기 N 번째 수평라인의 녹색 및 청색 스토리지 커패시터 용량은 상기 N 번째 수평라인의 적색 스토리지 커패시터 용량보다 더 크고, 상기 $N+1$ 번째 수평라인의 녹색 및 청색 스토리지 커패시터의 용량은 상기 $N+1$ 번째 적색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 한다.

- [0031] 또한, 상기 N 번째 수평라인 및 상기 $N+1$ 번째 수평라인 각각의 녹색 및 청색 스토리지 커패시터 용량은 서로 같고, 상기 N 번째 수평라인의 녹색 및 청색 스토리지 커패시터 용량이 상기 $N+1$ 번째 수평라인의 녹색 및 청색 스토리지 커패시터 용량보다 더 큰 것을 특징으로 한다.

- [0032] 여기서, 상기 N 번째 수평라인의 적, 녹, 청색의 스토리지 커패시터 용량의 합과 상기 $N+1$ 번째 수평라인의 녹, 청, 적색의 스토리지 커패시터 용량의 합은 서로 같은 것을 특징으로 한다.

- [0033] 이때, 상기 $N+1$ 번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N 번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 큰 것을 특징으로 한다.

- [0034] 그리고, 상기 N 번째 수평라인의 상기 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N 번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 크고, 상기 $N+1$ 번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 $N+1$ 번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 큰 것을 특징으로 한다.

- [0035] 또한, 상기 N 번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 $N+1$ 번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 큰 것을 특징으로 한다.

한편, 상기 N 번째 및 $N+1$ 번째 수평라인의 적, 녹, 청색의 서브 화소에 형성된 스토리지 전극의 넓이는 동일하며, 상기 $N+1$ 번째 수평라인의 적색 서브 화소의 스토리지 전극과 상기 화소 전극 사이에 형성된 보호막의 두께가 상기 N 번째 수평라인의 적색 서브 화소의 스토리지 전극과 상기 화소 전극 사이에 형성된 보호막의 두께에 대비하여 더 작은 것을 특징으로 한다.

- [0036] 삭제

- [0037] 그리고 상기 N 번째 수평라인의 청색 및 녹색 서브 화소에 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께가 상기 N 번째 수평라인의 적색 서브 화소의 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께보다 더 작고, 상기 $N+1$ 번째 수평라인의 적색 서브 화소에 상기 화소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께가 상기 $N+1$ 번째 수평라인의 녹색 및 청색 서브 화소의 상기 화

소 전극과 상기 스토리지 전극 사이에 형성된 상기 보호막의 두께보다 더 작은 것을 특징으로 한다.

- [0038] 또한, 상기 N번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께는 각각 같고, 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께는 각각 같으며, 상기 N번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께는 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소의 상기 스토리지 전극과 상기 화소 전극 사이에 형성된 상기 보호막의 두께보다 더 작은 것을 특징으로 한다.
- [0039] 그리고 상기 게이트 라인에 스캔신호를 공급하는 게이트 구동부; 및 상기 데이터 라인에 화소 데이터 신호를 공급하며, 복수의 데이터 라인과 하나의 출력라인이 접속된 데이터 구동회로를 포함한다.
- [0040] 이때, 상기 데이터 구동회로의 하나의 출력라인과 상기 복수의 데이터 라인 사이에 상기 데이터 라인과 상기 데이터 구동회로의 하나의 출력라인 각각마다 형성되어 상기 데이터 라인을 순차적으로 턴-온시키는 복수의 트랜지스터를 더 포함한다.
- [0041] 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 N(N은 자연수)번째 수평라인을 따라 적, 녹, 청색의 순서로 반복 배열되고, 상기 N번째 수평라인의 서브 화소와 엇갈려 형성되며 N+1번째 수평라인을 따라 녹, 청, 적색의 순서로 반복 배열되어 정의되는 서브 화소에 상기 수평라인 방향으로 게이트 라인을 형성하는 단계; 상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하며, 상기 엇갈리게 배열된 서브 화소를 따라 굴곡지게 형성된 데이터 라인을 형성하는 단계; 상기 게이트 라인 및 데이터 라인 각각과 접속된 박막 트랜지스터를 형성하는 단계; 상기 박막 트랜지스터와 접속되며, 상기 서브 화소 각각에 형성된 화소 전극을 형성하는 단계; 및 상기 서브 화소 각각에 상기 화소 전극과 상기 게이트 절연막 및 보호막을 사이에 두고 중첩되어 스토리지 커패시터를 형성하는 스토리지 전극을 형성하는 단계를 포함하며, 상기 N+1번째 수평라인의 적색 스토리지 커패시터 용량을 상기 N번째 수평라인의 적색 스토리지 커패시터 용량보다 더 크게 형성하는 것을 특징으로 하는 액정표시장치의 제조방법을 제공한다.
- [0042] 그리고 상기 스토리지 전극을 형성하는 단계에서, 상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이를 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극의 넓이보다 크게 형성하는 단계를 포함한다.
- [0043] 이때, 상기 스토리지 전극을 형성하는 단계에서 상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이를 동일하게 형성하고, 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이를 동일하게 형성하고, 상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이가 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극의 넓이보다 더 크게 형성하며, 상기 N번째 및 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극들은 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극보다는 크고, 상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극보다는 작게 형성하는 단계를 포함한다.
- [0044] 한편, 상기 스토리지 전극을 형성하는 단계에서, 상기 스토리지 전극은 동일한 면적으로 형성하고, 상기 보호막을 형성하는 단계에서, 상기 N번째 및 N+1 수평라인의 적, 녹, 청색의 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께를 각각 다르게 형성하는 단계를 더 포함한다.
- [0045] 그리고 상기 보호막을 형성하는 단계에서, 상기 N+1번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께를 상기 N번째 수평라인의 적색 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께보다 더 작게 형성하는 단계를 포함한다.
- [0046] 또한 상기 보호막을 형성하는 단계에서, 상기 N+1번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극 각각과 중첩된 보호막의 두께는 서로 같고, 상기 N번째 서브 화소의 적색 서브 화소의 스토리지 전극과 중첩된 보호막의 두께보다는 작게 형성되며, 상기 N+1번째 적색 서브 화소의 스토리지 전극과 중첩된 보호막의 두께보다는 크게 형성되는 단계; 및 상기 N번째 수평라인의 녹색 및 청색 서브 화소에 형성된 스토리지 전극 각각과 중첩된 보호막의 두께는 서로 같고, 상기 N번째 서브 화소의 적색 스토리지 전극과 중첩된 보호막의 두께보다는 작게 형성되며, 상기 N+1번째 수평라인의 녹색 및 적색 서브 화소에 형성된 스토리지 전극과 중첩된 보호막의 두께보다 더 크게 형성되는 단계를 포함한다.
- [0047] 상기의 목적 외에 본 발명의 또 다른 목적 및 특징들은 후술할 본 발명의 상세한 설명을 통해 명백하게 드러나

게 될 것이다.

[0048] 이하, 본 발명의 바람직한 실시 예들을 첨부한 도면들을 참조하여 상세하게 설명하기로 한다.

[0049] 도 1은 본 발명의 제1 및 제2실시 예에 따른 박막 트랜지스터를 포함하는 액정표시장치를 도시한 블록도이다.

[0050] 도 1을 참조하면, 본 발명에 따른 액정표시장치는 액정패널, 액정패널에 스캔신호를 공급하는 게이트 구동회로(130), 액정패널에 화소 데이터 신호를 공급하는 데이터 구동회로(120)를 구비하며, 액정패널에 광을 공급하는 백라이트 유닛을 구비한다.

[0051] 여기서, 백라이트 유닛(도시하지 않음)은 램프 또는 발광 다이오드 등의 광을 발생하는 광원과, 광원에서 공급되는 광을 액정패널로 안내하는 도광판, 도광판에서 공급되는 광의 효율을 향상시키는 반사 시트, 확산 시트, 프리즘 시트 등의 각종 광학 시트를 포함한다. 여기서, 반사 시트는 도광판의 하부에 위치하여 도광판의 하부로 공급되는 광을 도광판으로 반사시켜 광이용 효율을 향상시킨다.

[0052] 게이트 구동회로(130)는 게이트 라인(GL1 내지 GLn)에 순차적으로 스캔신호를 공급하여 게이트 라인(GL1 내지 GLn)을 구동한다. 게이트 구동회로(130)는 박막 트랜지스터 기판에 에이에스지(Amorphous Silicon Gate; ASG) 형태로 집적되거나, 칩온글래스(Chip On Glass; COG) 형태로 실장될 수 있다.

[0053] 데이터 구동회로(120)는 게이트 라인(GL1 내지 GLn)에 스캔신호가 공급될 때마다 화소 데이터 신호를 데이터 라인(DL1 내지 DLm)으로 공급한다. 여기서, 데이터 구동회로(120)는 하나의 출력단이 3개로 분기되어 제1 내지 제3 트랜지스터(Tr1 내지 Tr3)를 사이에 두고 3개의 데이터 라인(DL)과 접속된다. 여기서, 제1 내지 제3 트랜지스터(Tr1 내지 Tr3)는 제어부(도시하지 않음)로부터 공급되는 제어신호(SCS)에 따라 순차적으로 턴 온되며, 도 3에 도시된 바와 같이 게이트 라인(GL)으로 스캔신호가 공급될 때 스캔신호의 1/3 주기마다 순차적으로 턴 온 된다. 따라서, m번째 데이터 라인(DLm)과 m+1번째 데이터 라인(DLm+1) 및 m+2번째 데이터 라인(DLm+2)에는 순차적으로 화소 데이터 신호가 공급된다. 여기서, 제1 내지 제3 트랜지스터(Tr1 내지 Tr3)는 박막 트랜지스터 기판 위에 집적되어 형성될 수 있다.

[0054] 이러한 데이터 구동회로(120)는 박막 트랜지스터 기판 위에 집적되어 형성되거나, COG 형태로 실장될 수 있다. 또한, 데이터 구동회로(120)는 데이터 캐리어 패키지 형태로 형성되어 회로기판과 액정패널 각각에 부착되기도 한다.

[0055] 액정패널은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 컬러필터 어레이가 형성된 컬러필터 기판 및 이들 두 기판 사이에 내재된 액정을 포함한다.

[0056] 액정은 유전율 이방성을 갖는 물질로 형성되며, 박막 트랜지스터 기판에 형성된 화소 전극(100)과 컬러필터기판에 형성된 공통전극 사이의 전압차에 의한 수직전계에 의해 회전하여 백라이트 유닛(도시하지 않음)으로부터 입사된 광의 투과율을 가변시키게 된다.

[0057] 컬러필터 기판은 박막 트랜지스터(200), 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLn)과 대응되어 빛샘을 방지하는 블랙매트릭스와 블랙매트릭스로 구획된 영역에 박막 트랜지스터 기판에 형성된 화소 전극과 대응되어 색을 표시하는 컬러필터 및 블랙매트릭스와 컬러필터 위에 형성된 공통전극을 포함한다.

[0058] 박막 트랜지스터 기판은 기판(10) 위에 박막 트랜지스터 어레이가 형성된다. 이하, 도 3 내지 도 11을 참조하여 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 상세히 설명하기로 한다.

[0059] 도 3은 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 4는 도 3에 도시된 I-I'선, II-II'선, 및 III-III'선을 따라 절단한 단면 각각을 도시한 단면도이고, 도 5는 V-V'선, VI-VI'선 및 VII-VII'선을 따라 절단한 단면 각각을 도시한 단면도이다.

[0060] 도 3 내지 도 5를 참조하면, 본 발명의 실시 예에 따른 박막 트랜지스터 기판은 스캔신호를 공급하는 N(N은 자연수)번째 수평라인을 따라 적(R1), 녹(G1), 청색(B1)의 순서로 반복 배열되고, N번째 수평라인의 서브 화소와 엇갈려 형성되며 N+1번째 수평라인을 따라 녹(G2), 청(B2), 적색(R2)의 순서로 반복 배열된 서브 화소, 수평라인을 따라 형성된 게이트 라인(GL1 내지 GLn), 게이트 라인(GL1 내지 GLn)과 게이트 절연막(30)을 사이에 두고 교차하며, 엇갈리게 배열된 서브 화소를 따라 굴곡지게 형성된 데이터 라인(DL1 내지 DLm), 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm) 각각과 접속된 박막 트랜지스터(200), 박막 트랜지스터(200)와 접속되며, 서브 화소 각각에 형성된 화소 전극(100), 서브 화소 각각에 상기 화소 전극(100)과 보호막(80)을 사이에 두고 중첩되어 스토리지 커패시터(Cst)를 형성하는 스토리지 전극(21 내지 26)을 포함한다. 이때, N+1번

제 수평라인의 적색 스토리지 커패시터 용량(GCst1)이 N번째 수평라인의 적색 스토리지 커패시터 용량(GCst6)보다 더 크게 형성된다.

[0061] 구체적으로, 서브 화소는 적(R1), 녹(G1), 청색(B1)의 순서로 순차적으로 반복 배열된 제1 수평라인과, 제1 수평라인과 엇갈리게 배열되며 녹(G2), 청(B2), 적색(R2)의 순서로 순차적으로 반복된 제2 수평라인이 반복되어 형성된다. 이를 통해, 하나의 화소를 구성하는 서브 화소 영역이 델타형태로 배열된다.

[0062] 박막 트랜지스터(200)는 게이트 라인(GL1 내지 GLn)과 접속된 게이트 전극(20), 데이터 라인(DL1 내지 DLm)과 접속된 소스 전극(60), 화소 전극(100)과 접속된 드레인 전극(70), 게이트 전극(20)과 게이트 절연막(30)을 사이에 두고 중첩되어 소스 전극(60)과 드레인 전극(70) 사이에 채널을 형성하는 반도체층(40)을 포함한다. 또한, 박막 트랜지스터(200)는 소스 전극(60) 및 드레인 전극(70)과 반도체층(40) 사이의 오믹 접촉을 위한 오믹 콘택층(50)을 포함한다. 이러한 박막 트랜지스터(200)는 게이트 라인(GL1 내지 GLn)의 스캔신호에 응답하여 데이터 라인(DL1 내지 DLm)의 화상 데이터 신호를 화소 전극(100)에 공급한다.

[0063] 화소 전극(100)은 박막 트랜지스터(200)를 덮는 보호막(80) 위에 형성되고, 보호막(80)을 관통하여 화소 콘택홀(90)을 경유하여 드레인 전극(70)과 접속된다. 화소 전극(100)은 박막 트랜지스터(200)로부터의 화상 데이터 신호가 공급되면 컬러 필터 기관의 공통 전극과의 전압차로 액정을 구동하여 광 투과율을 조절한다.

[0064] 게이트 라인(GL1 내지 GLn)은 수평방향으로 형성되어 박막 트랜지스터(200)의 게이트 전극(20)에 스캔신호를 공급한다.

[0065] 데이터 라인(DL1 내지 DLm)은 게이트 라인(GL1 내지 GLn)과 교차하여 수직방향으로 굴곡지게 형성되어 박막 트랜지스터(200)의 소스 전극(60)에 화소 데이터 신호를 공급한다. 이때, 데이터 라인(DL1 내지 DLm)은 화소 전극(100)의 주변을 따라 굴곡지게 형성된다.

[0066] 이러한 게이트 라인(GL1 내지 GLn)과 데이터 라인(DLn 내지 DLm)은 게이트 절연막(30)을 사이에 두고 교차하여 형성됨으로써 델타 형태의 서브 화소 영역을 정의한다.

[0067] 제1 내지 제6 스토리지 커패시터(21 내지 26)는 게이트 라인(GL1 내지 GLn)과 나란하게 형성된 스토리지 라인(SL1 내지 SLn)에 연결된 제1 내지 제6 스토리지 전극(21 내지 26)과 화소 전극(100)이 게이트 절연막(30)과 보호막(80)을 사이에 두고 중첩되어 형성된다. 이때, 제1 수평라인의 녹색(G1) 및 청색(B1)의 서브 화소 영역에 형성된 제2 및 제3 스토리지 전극(22, 23)의 넓이는 서로 같고, 제1 스토리지 전극(21)의 넓이는 제2 및 제3 스토리지 전극(22, 23)의 넓이보다 작게 형성된다. 그리고 제2 수평라인의 녹색(G2) 및 청색(B2)의 서브 화소 영역에 형성된 제4 및 제5 스토리지 전극(24, 25)의 넓이는 같고, 제6 스토리지 전극(26)의 넓이는 제4 및 제5 스토리지 전극(24, 25)보다 크게 형성된다.

[0068] 수학적 식 1을 통해 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 스토리지 전극의 넓이 비율을 예를 들어 설명하기로 한다.

수학적 식 1

$$Cst = \epsilon \frac{A}{d}$$

[0069] 수학적 식 1은 스토리지 커패시터 용량을 나타내는 식으로서, "A"는 스토리지 전극의 넓이를 나타내고, "d"는 스토리지 커패시터의 두 전극 사이의 거리를 나타내며, ϵ 은 두 전극 사이에 형성된 유전체의 유전율을 나타낸다. 여기서, ϵ 은 물질의 고유 특성을 나타내므로 유전체로 작용하는 게이트 절연막(30) 및 보호막(80)의 고유의 유전율에 따라 고정된 상수이다. 따라서, 스토리지 커패시터 용량(Cst)은 전극의 넓이 또는 전극 사이의 거리에 따라 결정된다. 즉, 제6 스토리지 전극(26)의 넓이가 제1 스토리지 전극(21)의 넓이와 대비하여 3배 크면, 제6 스토리지 커패시터 용량(Cst6)은 제1 스토리지 커패시터 용량(Cst1)에 대비하여 3배가 크다. 즉, 제1 수평라인의 적색(R1) 서브 화소 영역에 형성된 제1 스토리지 전극(21)과 제2 수평라인의 적색(R2) 서브 화소 영역에 형성된 제6 스토리지 전극(26)은 서로 다른 넓이로 형성되며, 바람직하게는 제6 스토리지 전극(26)의 넓이는 제1 스토리지 전극(21)의 넓이와 대비하여 3배로 형성된다. 또한, 제1 수평라인의 녹색(G1) 화소 영역에 형성된 제2 스토리지 전극(22)과 제2 수평라인의 녹색(G2) 화소 영역에 형성된 제4 스토리지 전극(24)의 넓이는 각각 다르게 형성되며, 제1 수평라인의 청색(B1) 화소 영역에 형성된 제3 스토리지 전극(23)과 제2 수평라인의 녹색

(B2) 화소 영역에 형성된 제5 스토리지 전극(25)의 넓이는 각각 다르게 형성된다.

[0071] 이에 따라, 제6 스토리지 커패시터 용량(Cst6)이 제1 스토리지 커패시터 용량(Cst1)에 비해 3배 커져 제2 수평라인의 적색(R2) 서브 화소 영역에 화소 데이터 신호의 충전 시간이 제1 수평라인의 적색(R1) 서브 화소 영역의 화소 데이터 신호의 충전 시간 보다 짧아도 충전율이 보상되어 세로줄 불량이 방지된다.

[0072] 또한, 도 6에 도시된 바와 같이 제1 수평라인의 적(R1), 녹(G1), 청색(B1)의 서브 화소 영역의 제1 내지 제3 스토리지 커패시터 용량(Cst1 내지 Cst3)의 합과 제2 수평라인의 녹(G2), 청(B2), 적색(R2)의 서브 화소 영역의 제4 내지 제6 스토리지 커패시터 용량(Cst4 내지 Cst6)의 합과 동일하게 형성되어야 한다. 이에 따라, 제2 및 제3 스토리지 커패시터 용량(Cst2, Cst3)은 제1 스토리지 커패시터 용량(Cst1)에 대비하여 2.5배로 형성되고, 제4 및 제5 스토리지 커패시터 용량(Cst4, Cst5)은 제1 스토리지 커패시터 용량(Cst1)에 대비하여 1.5 배로 형성된다.

[0073] 도 7a 내지 도 7e는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 제조방법을 마스크 공정별로 도시한 단면도이다. 여기서, 도 6a 내지 도 6e는 5마스크 공정을 도시한 도면들이다. 그러나 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관은 3 마스크 공정 또는 4 마스크 공정을 통해 제조될 수도 있다.

[0074] 도 7a는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 제조방법 중 제1 마스크 공정을 도시한 단면도이다.

[0075] 도 7a를 참조하면, 제1 마스크 공정을 통해 기관(10) 위에 게이트 라인(GL1 내지 GLn), 게이트 전극(20), 스토리지 라인(SL1 내지 SLn) 및 제1 내지 제6 스토리지 전극(21 내지 26)을 포함하는 제1 도전 패턴군이 형성된다.

[0076] 구체적으로, 유기 또는 플라스틱 등의 투명한 기관(10) 위에 제1 도전층을 스퍼터링과 같은 증착방법을 통해 형성한다. 제1 도전층은 알루미늄, 크롬, 구리 및 몰리브덴 등과 같은 금속 또는 그들의 합금이 단일층으로 형성되거나, 그들의 조합으로 이루어진 2중층 이상의 다층으로 형성된다. 이어서, 제1 마스크를 이용한 포토리소그라피 공정 및 식각 공정으로 제1 도전층을 패터닝 함으로써 게이트 라인(GL1 내지 GLn), 게이트 전극(20), 스토리지 라인(SL1 내지 SLn) 및 제1 내지 제6 스토리지 전극(21 내지 26)을 포함하는 제1 도전패턴군이 형성된다. 이때, 제1 내지 제3 스토리지 전극(21 내지 23)은 제1 수평라인의 적(R1), 녹(G1), 청색(B1)의 화소 영역에 각각 형성되며, 제3 내지 제6 스토리지 전극(23, 26)은 제2 수평라인의 녹(G2), 청(B2), 적색(R2)의 화소 영역에 각각 형성된다. 여기서, 제2 수평라인의 적색(R2) 화소 영역에 형성된 제6 스토리지 전극(26)의 넓이는 제1 수평라인의 적색(R1) 화소 영역에 형성된 제1 스토리지 전극(21)의 넓이보다 크게 형성되며, 바람직하게는 제6 스토리지 전극(26)의 넓이가 제1 스토리지 전극(21)의 넓이와 대비하여 3배의 크기로 형성된다. 그리고 제2 및 제3 스토리지 전극(22, 23)의 넓이는 제1 스토리지 전극(21)의 넓이보다 크게 형성되며 바람직하게는 1.5배가 되도록 형성된다. 또한, 제4 및 제5 스토리지 전극(24, 25)의 넓이는 제1 스토리지 전극(21)의 넓이와 대비하여 1.5배가 되도록 형성되는 것이 바람직하다. 제1 수평라인의 적(R1), 녹(G1), 청색(B1) 영역의 제1 내지 제3 스토리지 전극(21 내지 23)의 넓이의 합과 제2 수평라인의 녹(G2), 청(B2), 적색(R2) 영역의 제 4 내지 제6 스토리지 전극(24 내지 26)의 넓이와 동일하게 형성된다.

[0077] 도 7b는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 제2 마스크 공정을 도시한 단면도이다.

[0078] 도 7b를 참조하면, 제2 마스크 공정을 통해 제1 도전패턴군이 형성된 기관(10) 위에 게이트 절연막(30), 반도체층(40) 및 오믹 콘택층(50)을 차례로 형성한다.

[0079] 구체적으로, 게이트 라인(GL1 내지 GLn), 게이트 전극(20), 스토리지 라인(SL1 내지 SLn) 및 제1 내지 제6 스토리지 전극(21 내지 26)이 형성된 기관(10) 위에 게이트 절연막, 비정질 실리콘층 및 불순물 도핑된 비정질 실리콘층이 플라즈마 화학 기상 증착방법(Plasma Enhanced Chemical Vapor Deposition; PECVD), 화학 기상 증착 방법(Chemical Vapor Deposition; CVD) 등의 증착 방법을 통해 순차적으로 적층된다. 이어서, 제2 마스크를 이용한 포토리소그라피 공정 및 식각 공정으로 비정질 실리콘층 및 불순물 도핑된 비정질 실리콘층이 패터닝되어 반도체층(40) 및 오믹 콘택층(50)이 형성된다. 게이트 절연막(30)은 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연 물질이 이용된다. 여기서, 비정질 실리콘층을 레이저 결정화 또는 고상 결정화 방법등을 이용하여 채널영역에 폴리 실리콘을 형성할 수 있다. 게이트 절연막(30)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연 물질이 이용된다.

[0080] 도 7c는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 제3 마스크 공정을 도시한 단면도이다.

[0081] 도 7c를 참조하면, 제3 마스크 공정을 통해 반도체층(40), 오믹 콘택층(50) 및 게이트 절연막(30)이 형성된 기

관(10) 위에 소스 전극(60), 드레인 전극(70) 및 데이터 라인(DL1 내지 DLm)을 포함하는 제2 도전패턴군이 형성된다.

[0082] 구체적으로, 반도체층(40), 오믹 콘택층(50) 및 게이트 절연막(30)이 형성된 기판(10) 위에 제2 도전층을 스퍼터링 등의 증착방법을 통해 증착한다. 다음으로, 제3 마스크 공정을 이용한 포토리소그래피 공정 및 식각 공정으로 제2 도전층을 패터닝함으로써 제2 도전 패턴군을 형성한다. 이때, 오믹 콘택층(50)위에 소스 전극(60) 및 드레인 전극(70)이 마주하도록 형성되며, 소스 전극(60)과 접속된 데이터 라인(DL1 내지 DLm)이 형성된다. 제2 도전층으로는 알루미늄, 크롬, 구리 및 폴리브덴 등의 금속 또는 이들의 합금이 단일층으로 형성되거나, 그들의 조합으로 이루어진 다층 구조로 형성된다. 여기서, 제3 마스크는 채널이 형성될 영역에 슬릿이 형성된 슬릿 마스크 또는 반투과 마스크를 통해 미세 채널을 형성할 수 있다. 이에 따라, 채널폭을 크게 하고 채널길이를 줄여 박막 트랜지스터(200)의 특성을 향상시킬 수 있다.

[0083] 도 7d는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조방법 중 제4 마스크 공정을 도시한 단면도이다.

[0084] 도 7d를 참조하면, 제4 마스크 공정을 통해 제2 도전 패턴군이 형성된 게이트 절연막(30) 위에 화소 콘택홀(90)을 갖는 보호막(80)이 형성된다.

[0085] 구체적으로, 보호막(80)은 제2 도전 패턴군이 형성된 기판(10) 위에 PECVD, CVD 등의 증착방법을 통해 형성되고, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(80)을 관통하여 드레인 전극(70)을 노출시키는 화소 콘택홀(90)이 형성된다. 보호막(80)은 게이트 절연막(30)과 같은 무기 절연 물질이 이용되거나, 유기 절연 물질이 이용된다.

[0086] 도 7e는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조방법 중 제5 마스크 공정을 도시한 단면도이다.

[0087] 도 7e를 참조하면, 제5 마스크 공정을 통해 보호막(80) 위에 화소 전극(100)이 형성된다.

[0088] 구체적으로, 화소 전극(100)은 보호막(80) 위에 스퍼터링 등의 방법을 통해 투명 도전층을 형성한 다음 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전층을 패터닝하여 형성한다. 투명 도전층으로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 도전 물질이 이용된다. 화소 전극(100) 화소 콘택홀(90)을 통해 드레인 전극(70)과 접속된다. 화소 전극(100)은 서브 화소 영역에 독립적으로 형성되며, 제1 내지 제6 스토리지 전극(21 내지 26)과 중첩되어 형성된다. 이에 따라, 제1 내지 제6 스토리지 전극(21 내지 26)과 화소 전극(100)의 중첩으로 제1 내지 제6 스토리지 커패시터(Cst1 내지 Cst6)가 형성된다.

[0089] 도 8은 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 9 및 도 10은 도 8에 도시된 절단선들을 따라 절단한 단면을 도시한 단면도이다.

[0090] 도 8 내지 도 10은 도 3 내지 도 5와 대비하여 제1 수평라인에 형성된 제1 내지 제3 스토리지 전극(21 내지 23)과 제2 수평라인에 형성된 제4 내지 제6 스토리지 전극(24 내지 26)의 전극들 넓이가 동일하게 형성되고, 제1 및 제6 스토리지 전극(21, 26), 제2 및 제4 스토리지 전극(22, 24) 그리고 제3 및 제5 스토리지 전극(23, 25) 각각들과 화소 전극(100) 사이의 보호막(80)의 두께가 다르게 형성되고, 제2 및 제3 스토리지 전극(22, 23)과 화소 전극(100) 사이의 보호막(80)의 두께를 동일하게 형성되며, 제4 및 제5 스토리지 전극(24, 25)과 화소 전극(100) 사이의 보호막(80)의 두께를 동일하게 형성된 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다.

[0091] 도 8 내지 도 10을 참조하면, 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판은 제6 스토리지 커패시터 용량(Cst6)이 제1 스토리지 커패시터 용량(Cst1)에 비해 3배가 되도록 형성하기 위하여 제6 스토리지 전극(26)과 화소 전극(100) 간의 거리를 수학적 1에 설명한 바와 같이 1/3배로 한다. 즉, 제6 스토리지 전극(26)과 화소 전극(100) 사이에 형성된 게이트 절연막(30) 및 보호막(80)의 두께의 합이 제1 스토리지 전극(21)과 화소 전극(100) 사이에 형성된 게이트 절연막(30) 및 보호막(80)의 두께의 합과 대비하여 1/3배가 되도록 형성한다. 이를 위하여, 제6 스토리지 전극(26)과 중첩된 영역의 보호막(80)을 제거하거나, 보호막(80) 하부의 게이트 절연막(30) 중 일부를 제거하여 제1 스토리지 전극(21)과 중첩된 영역의 보호막(80) 및 게이트 절연막(30)의 두께에 대비하여 1/3가 되도록 한다. 여기서, 게이트 절연막(30)은 제6 스토리지 전극(26)과 화소 전극(100)의 절연을 위하여 모두 남겨지고 보호막(80)만 제거되는 것이 바람직하다.

- [0092] 그리고, 제2 및 제3 스토리지 커패시터 용량(Cst2, Cst3)은 제1 스토리지 커패시터 용량(Cst1)과 대비하여 2.5배가 되도록 형성해야 하므로 제2 및 제3 스토리지 전극(22, 23)과 화소 전극(100) 사이에 형성된 보호막(80) 및 게이트 절연막(30)의 두께의 합이 제1 스토리지 전극(21)과 화소 전극(100) 사이에 형성된 보호막(80) 및 게이트 절연막(30)의 두께의 합과 대비하여 1/2.5배가 되도록 형성된다. 또한, 제4 및 제5 스토리지 커패시터 용량(Cst4, Cst5)은 제1 스토리지 커패시터 용량(Cst1)과 대비하여 1.5배가 되도록 형성되어야 하므로, 제2 및 제3 스토리지 전극(22, 23)과 화소 전극(100) 사이에 형성된 보호막(80) 및 게이트 절연막(30)의 두께의 합이 제1 스토리지 전극(21)과 화소 전극(100) 사이에 형성된 보호막(80) 및 게이트 절연막(30)의 두께의 합과 대비하여 1/1.5배가 되도록 형성된다. 이때, 제1 내지 제6 스토리지 전극(21 내지 26)과 화소 전극(100) 사이에 형성된 게이트 절연막(30)은 제1 내지 제6 스토리지 전극(21 내지 26)과 화소 전극(100)의 절연을 보장하는 두께 이상으로 형성되어야 하므로 보호막(80)의 두께만을 조절하여 제1 내지 제6 스토리지 커패시터(Cst1 내지 Cst6)를 형성하는 것이 바람직하다.
- [0093] 도 11a 내지 도 11g는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조방법을 마스크 공정별로 도시한 단면도이다. 여기서, 도 11a 내지 도 11g는 5마스크 공정을 도시한 단면도들이다.
- [0094] 도 11a는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조방법 중 제1 마스크 공정을 도시한 단면도이다.
- [0095] 도 11a를 참조하면, 제1 마스크 공정을 통해 기관(10) 위에 게이트 라인(GL1 내지 GLn), 게이트 전극(20), 스토리지 라인(SL1 내지 SLn) 및 제1 내지 제6 스토리지 전극(21 내지 26)을 포함하는 제1 도전 패턴군이 형성된다.
- [0096] 구체적으로, 유기 또는 플라스틱 등의 투명한 기관(10) 위에 제1 도전층을 스퍼터링과 같은 증착방법을 통해 형성한다. 제1 도전층은 알루미늄, 크롬, 구리 및 몰리브덴 등과 같은 금속 또는 그들의 합금이 단일층으로 형성되거나, 그들의 조합으로 이루어진 2중층 이상의 다층으로 형성된다. 이어서, 제1 마스크를 이용한 포토리소그라피 공정 및 식각 공정으로 제1 도전층을 패터닝 함으로써 게이트 라인(GL1 내지 GLn), 게이트 전극(20), 스토리지 라인(SL1 내지 SLn) 및 제1 내지 제6 스토리지 전극(21 내지 26)을 포함하는 제1 도전패턴군이 형성된다. 이때, 제1 내지 제6 스토리지 전극(21 내지 26)은 모두 동일한 넓이로 형성된다.
- [0097] 도 11b는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제2 마스크 공정을 도시한 단면도이다.
- [0098] 도 11b를 참조하면, 제2 마스크 공정을 통해 제1 도전패턴군이 형성된 기관(10) 위에 게이트 절연막(30), 반도체층(40) 및 오믹 콘택층(50)을 차례로 형성한다.
- [0099] 구체적으로, 게이트 라인(GL1 내지 GLn), 게이트 전극(20), 스토리지 라인(SL1 내지 SLn) 및 제1 내지 제6 스토리지 전극(21 내지 26)이 형성된 기관(10) 위에 게이트 절연막, 비정질 실리콘층 및 불순물 도핑된 비정질 실리콘층이 플라즈마 화학 기상 증착방법(Plasma Enhanced Chemical Vapor Deposition; PECVD), 화학 기상 증착방법(Chemical Vapor Deposition; CVD) 등의 증착 방법을 통해 순차적으로 적층된다. 이어서, 제2 마스크를 이용한 포토리소그라피 공정 및 식각 공정으로 비정질 실리콘층 및 불순물 도핑된 비정질 실리콘층이 패터닝되어 반도체층(40) 및 오믹 콘택층(50)이 형성된다. 게이트 절연막(30)은 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연 물질이 이용된다. 여기서, 비정질 실리콘층을 레이저 결정화 또는 고상 결정화 방법등을 이용하여 채널영역에 폴리 실리콘을 형성할 수 있다. 게이트 절연막(30)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연 물질이 이용된다.
- [0100] 도 11c는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제3 마스크 공정을 도시한 단면도이다.
- [0101] 도 11c를 참조하면, 제3 마스크 공정을 통해 반도체층(40), 오믹 콘택층(50) 및 게이트 절연막(30)이 형성된 기관(10) 위에 소스 전극(60), 드레인 전극(70) 및 데이터 라인(DL1 내지 DLm)을 포함하는 제2 도전패턴군이 형성된다.
- [0102] 구체적으로, 반도체층(40), 오믹 콘택층(50) 및 게이트 절연막(30)이 형성된 기관(10) 위에 제2 도전층을 스퍼터링 등의 증착방법을 통해 증착한다. 다음으로, 제3 마스크 공정을 이용한 포토리소그라피 공정 및 식각 공정으로 제2 도전층을 패터닝함으로써 제2 도전 패턴군을 형성한다. 이때, 오믹 콘택층(50)위에 소스 전극(60) 및 드레인 전극(70)이 마주하도록 형성되며, 소스 전극(60)과 접속된 데이터 라인(DL1 내지 DLm)이 형성된다. 제2 도전층으로는 알루미늄, 크롬, 구리 및 몰리브덴 등의 금속 또는 이들의 합금이 단일층으로 형성되거나, 그들의 조합으로 이루어진 다층 구조로 형성된다. 여기서, 제3 마스크는 채널이 형성될 영역에 슬릿이 형성된 슬릿 마스크 또는 반투과 마스크를 통해 미세 채널을 형성할 수 있다. 이에 따라, 채널폭을 크게 하고 채널길이를 줄

여 박막 트랜지스터(200)의 특성을 향상시킬 수 있다.

- [0103] 도 11d 내지 도 11f는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조방법 중 제4 마스크 공정 상 세하게 도시한 단면도이다.
- [0104] 도 11d 내지 도 11f를 참조하면, 제4 마스크 공정을 통해 제2 도전 패턴군이 형성된 게이트 절연막(30) 위에 화소 콘택홀(90)과, 제1 내지 제6 스토리지 커패시터(Cst1 내지 Cst6)를 형성하기 위한 보호막(80)이 형성된다.
- [0105] 구체적으로, 보호막(80)은 제2 도전 패턴군이 형성된 기관(10) 위에 PECVD, CVD 등의 증착방법을 통해 형성되고, 제4 마스크(300)를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(80)을 관통하여 드레인 전극(70)을 노출시키는 화소 콘택홀(90)이 형성된다. 이때, 제1 내지 제6 스토리지 전극(21 내지 26)과 중첩된 보호막(80)은 각각 다른 높이로 형성된다. 즉, 제1 내지 제6 스토리지 전극(21 내지 26)과 중첩된 보호막(80)은 제2 내지 제6 스토리지 전극(22 내지 26)에 대응하여 슬릿이 형성된 마스크(300)를 통해 두께가 각각 다르게 형성된다.
- [0106] 도 11d를 참조하면, 제2 도전패턴이 형성된 기관 위에 무기 절연 물질을 전면으로 형성한다. 다음으로, 도 11e와 같이 무기 절연 물지 위에 포토레지스트(250)를 형성한다. 다음으로, 도 11f에 도시된 마스크(300)를 이용하여 포토레지스트(250)를 감광하여 투과영역(S12)의 포토레지스트(250)를 제거하고, 차단영역(S11) 및 슬릿영역(S13, S14, S15) 각각의 포토레지스트(250)를 남긴다. 투과영역(S12)에 의해 포토레지스트(250)가 제거되어 식각 공정을 통해 화소 콘택홀(90)이 형성된다. 그리고, 슬릿영역(S13, S14, S15)은 도 11f에 도시된 바와 같이 마스크(300)에 형성된 슬릿의 개수 또는 슬릿폭을 각각 다르게 설정하여 제2 내지 제6 스토리지 전극(22 내지 26)과 중첩된 영역의 보호막(80)을 각각 다른 두께로 형성한다. 예를 들어, 보호막(80)의 두께가 게이트 절연막(30)의 두께보다 2배 높이로 형성되는 경우에 제1 스토리지 전극(21)과 중첩되는 게이트 절연막(30)의 두께 및 보호막(80)의 두께의 합은 "d1"이 되며 이때, 보호막(80)은 제거되지 않는다. 그리고, 제2 및 제3 스토리지 전극(22, 23)과 중첩되는 게이트 절연막(30)과 보호막(80)의 두께의 합은 각각 "d2" 및 "d3"가 되며 "d2"와 "d3"는 같은 높이로 형성된다. 즉, 게이트 절연막(30) 위에 보호막(80)의 일부가 제거됨으로써 "d2" 및 "d3"는 "d1"의 1/2.5배로 형성된다. 그리고, 제4 및 제5 스토리지 전극(24, 25)과 중첩된 게이트 절연막(30)의 두께 및 보호막(80)의 두께의 합은 각각 "d4" 및 "d5"가 되며 "d4" 및 "d5"는 같은 높이로 형성된다. 이때, "d4" 및 "d5"는 "d1"에 대비하여 1/1.5배의 높이로 형성된다. 제6 스토리지 전극(26)과 중첩된 보호막(80)의 두께는 제1 스토리지 전극(21)과 중첩된 게이트 절연막(30) 및 보호막(80)의 두께의 합과 대비하여 1/3의 두께로 형성되어야 하므로 보호막(80)을 모두 제거한다. 예를 들어, 차단영역(S11)은 제1 스토리지 전극(21)과 대응되는 영역에 형성되고, 제2 및 제3 스토리지 전극(22, 23)과 대응되는 영역에는 제1 슬릿영역(S13)이 형성되며, 제4 및 제5 스토리지 전극(24, 25)과 대응되는 영역에는 제2 슬릿영역(S14)이 형성되며, 제6 스토리지 전극(26)과 대응되는 영역에는 제3 슬릿영역(S15)이 형성된다. 이때, 제2 슬릿영역(S15)에서의 슬릿 개수에 대비하여 제1 및 제3 슬릿영역(S13, S14)에서의 슬릿 개수를 더 많이 형성하여 광의 투과량을 적게 하여 제4 및 제5 스토리지 전극(24, 25)과 중첩되는 보호막(80)을 낮은 높이로 식각하도록 한다. 또한, 제1 슬릿영역(S13)의 슬릿 개수는 제2 슬릿영역(S14)의 슬릿 개수보다 적고, 제3 슬릿영역(S15)의 슬릿 개수보다 많게 형성하여 광 투과량을 더 크게 함으로써 제2 및 제3 스토리지 전극(22, 23)과 중첩된 보호막(80)을 깊게 형성한다. 그리고 제3 슬릿영역(S15)의 슬릿 개수는 가장 적게 형성하여 제6 스토리지 전극(26)과 중첩된 보호막(80)을 완전히 제거한다.
- [0107] 이러한, 보호막(80)은 게이트 절연막(30)과 같은 무기 절연 물질이 이용되거나, 유기 절연 물질이 이용된다.
- [0108] 도 11g는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조방법 중 제5 마스크 공정을 도시한 단면도이다.
- [0109] 도 11g를 참조하면, 제5 마스크 공정을 통해 보호막(80) 위에 화소 전극(100)이 형성된다.
- [0110] 구체적으로, 화소 전극(100)은 보호막(80) 위에 스퍼터링 등의 방법을 통해 투명 도전층을 형성한 다음 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전층을 패터닝하여 형성한다. 투명 도전층으로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 도전 물질이 이용된다. 화소 전극(100) 화소 콘택홀(90)을 통해 드레인 전극(70)과 접속된다. 화소 전극(100)은 서브 화소 영역에 독립적으로 형성되며, 제1 내지 제6 스토리지 전극(21 내지 26)과 중첩되어 형성된다. 이에 따라, 제1 내지 제6 스토리지 전극(21 내지 26)과 화소 전극(100)의 중첩으로 제1 내지 제6 스토리지 커패시터(Cst1 내지 Cst6)가 형성된다.
- [0111] 한편, 본 발명의 실시 예에 따른 박막 트랜지스터 기관은 제6 스토리지 커패시터 용량(Cst6)을 제1 스토리지 커패시터 용량(Cst1)에 대비하여 1/3 이하로 형성한다.

패시터 용량(Cst1)에 대비하여 3배로 형성하기 위하여 제6 스토리지 전극(26)의 넓이를 제1 스토리지 전극(21)의 넓이보다 크며, 제6 스토리지 전극(26)과 중첩된 게이트 절연막(30) 및 보호막(80)의 두께는 얇게 형성한다. 그리고 제2 내지 제5 스토리지 커패시터 용량(Cst2 내지 Cst5) 또한 제6 스토리지 커패시터 용량(Cst6)을 형성하는 것과 동일한 방법으로 형성할 수 있다.

발명의 효과

- [0112] 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 이의 제조방법은 제1 수평라인의 적, 녹, 청색의 서브 화소 영역이 반복되고, 제1 수평라인의 서브 화소 영역에 엇갈리게 배열되며 녹, 청, 적색의 서브 화소영역이 반복된 제2 수평라인이 반복적으로 형성된 델타 구조의 박막 트랜지스터 기판에서 제2 수평라인의 적색 서브 화소 영역에 형성된 제6 스토리지 커패시터 용량이 제1 수평라인의 적색 서브 화소영역에 형성된 제1 스토리지 커패시터 용량에 비해 3배 크게 형성하여 충전율을 보상하여 세로줄 불량을 방지한다.
- [0113] 또한, 데이터 구동회로의 하나의 출력단으로 3개의 데이터 라인을 구동시킴으로써 데이터 구동회로를 간단하게 구현함과 아울러 데이터 구동회로의 비용이 절감되므로 액정표시장치의 생산비용이 절감된다.
- [0114] 이상에서 상술한 본 발명은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 여러 가지 치환, 변형 및 변경이 가능하다 할 것이다. 따라서 본 발명은 상술한 다양한 실시의 예 및 첨부된 도면에 한정하지 않고 청구 범위에 의해 그 권리가 정해져야 할 것이다.

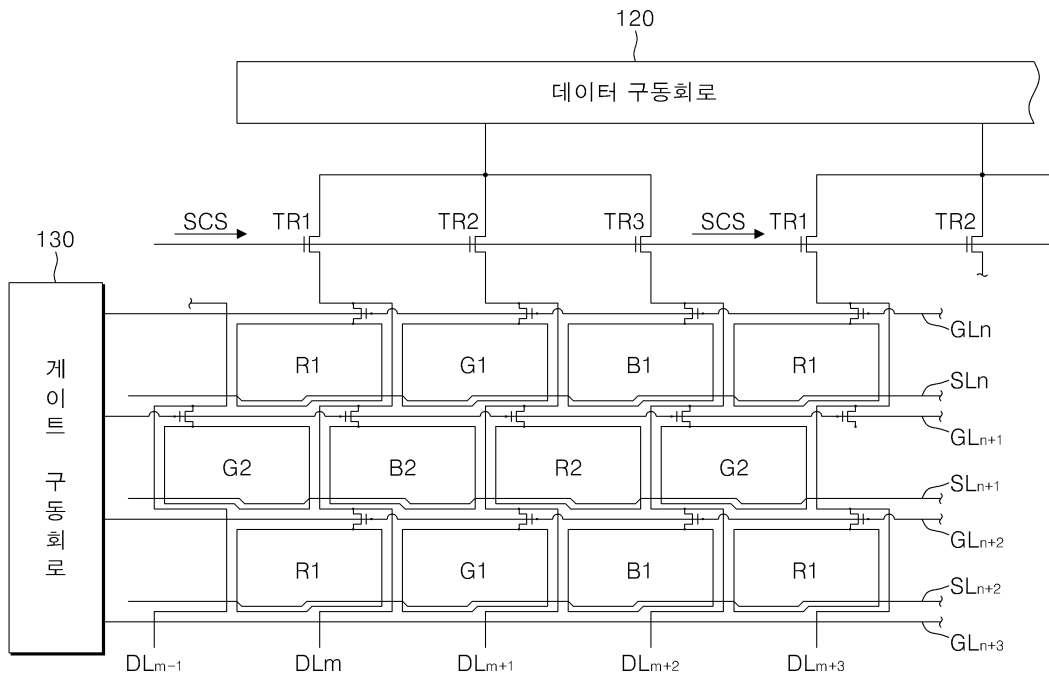
도면의 간단한 설명

- | | | |
|--------|---|------------|
| [0001] | 도 1은 본 발명의 실시 예에 따른 액정표시장치를 도시한 평면도이다. | |
| [0002] | 도 2는 도 1에 도시된 액정표시장치의 구동시 스캔신호에 대해 서브 화소에 충전되는 데이터를 도시한 파형도이다. | |
| [0003] | 도 3은 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관을 도시한 평면도이다. | |
| [0004] | 도 4는 도 3에 도시된 박막 트랜지스터 기관의 I-I'선, II-II'선 및 III-III'선을 따라 절단한 단면을 도시한 단면도이다. | |
| [0005] | 도 5는 도 3에 도시된 박막 트랜지스터 기관의 V-V'선, VI-VI'선 및 VII-VII'선을 따라 절단한 단면을 도시한 단면도이다. | |
| [0006] | 도 6은 도 4에 도시된 박막 트랜지스터 기관에서 색 배열에 대한 스토리지 커패시터의 형성 비율을 개략적으로 도시한 도면이다. | |
| [0007] | 도 7a 내지 도 7e는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 제조방법을 도시한 단면도들이다. | |
| [0008] | 도 8은 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관을 도시한 평면도이다. | |
| [0009] | 도 9는 도 8에 도시된 박막 트랜지스터 기관의 I-I'선, II-II'선 및 III-III'선을 따라 절단한 단면을 도시한 단면도이다. | |
| [0010] | 도 10은 도 8에 도시된 박막 트랜지스터 기관의 V-V'선, VI-VI'선 및 VII-VII'선을 따라 절단한 단면을 도시한 단면도이다. | |
| [0011] | 도 11a 내지 도 11d는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조방법을 도시한 단면도들이다. | |
| [0012] | <도면부호의 간단한 설명> | |
| [0013] | 10: 기관 | 20: 게이트 전극 |
| [0014] | 21 내지 26: 제1 내지 제6 스토리지 전극 | |
| [0015] | 30: 게이트 절연막 | 40: 반도체층 |
| [0016] | 50: 오믹 콘택층 | 60: 소스 전극 |

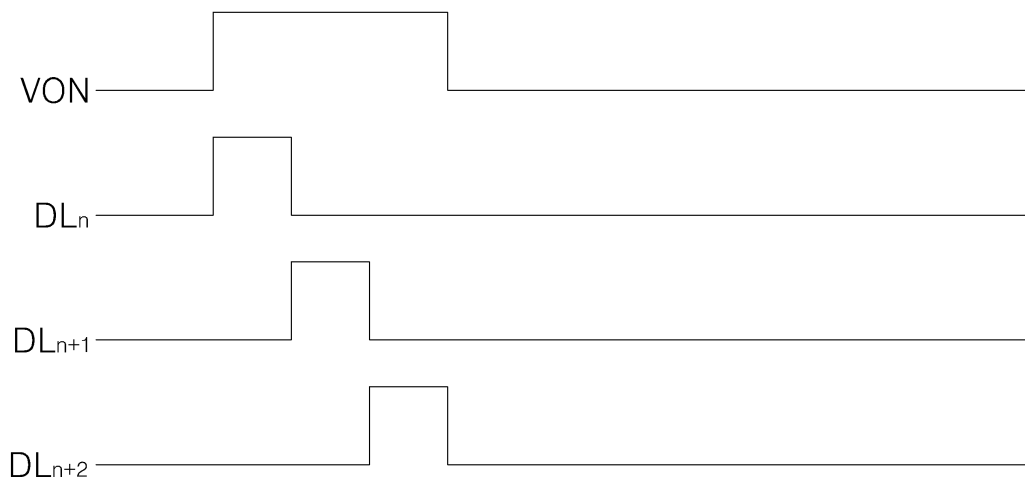
[0017]	70: 드레인 전극	80: 보호막
[0018]	90: 화소 콘택홀	100: 화소 전극
[0019]	120: 데이터 구동회로	130: 게이트 구동회로

도면

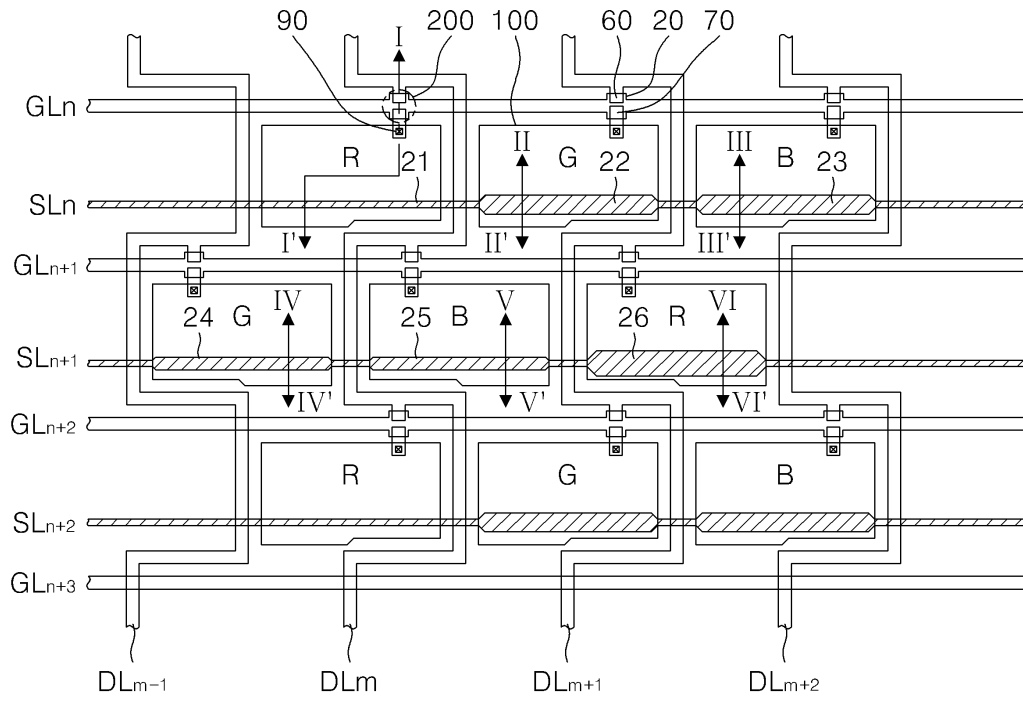
도면1



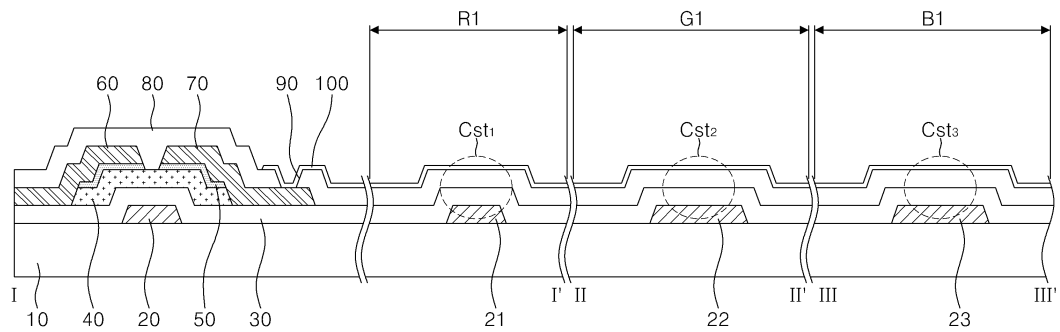
도면2



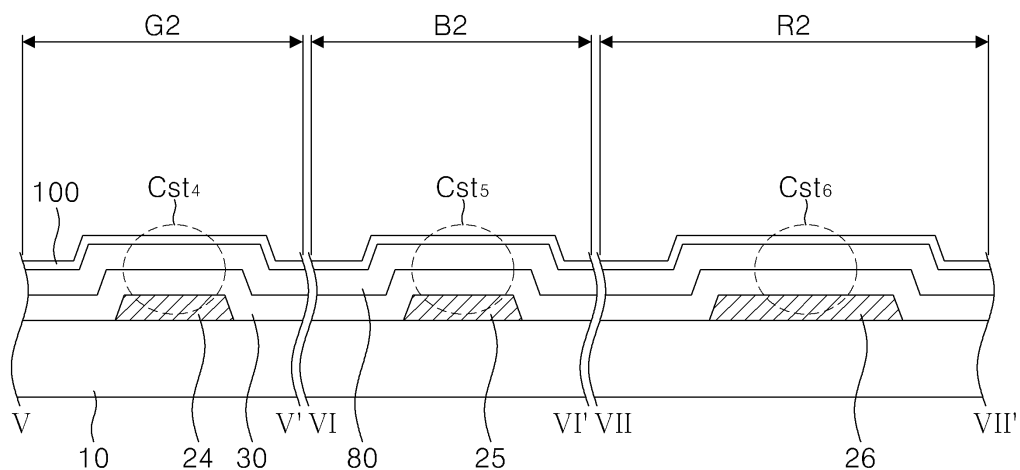
도면3



도면4



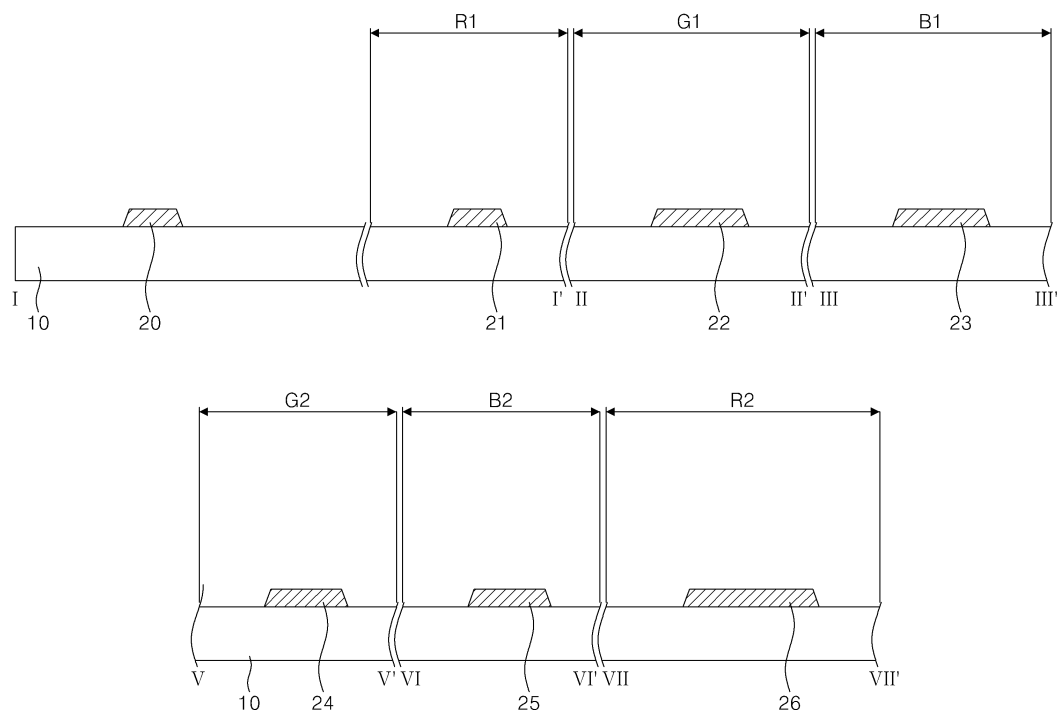
도면5



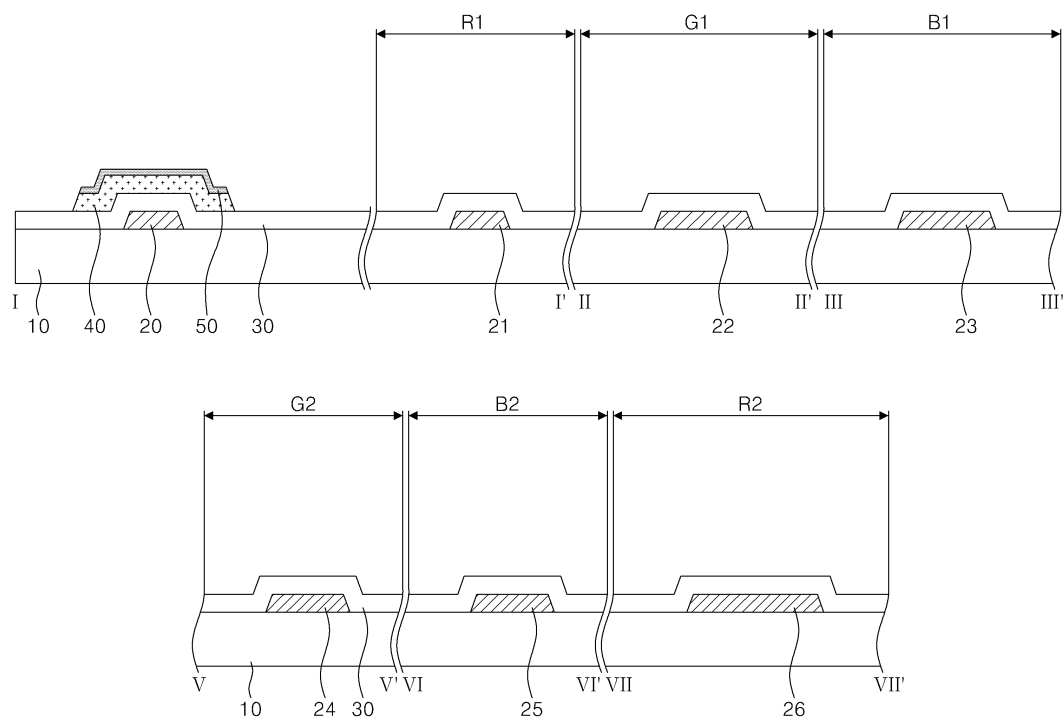
도면6

(R1) Cst ₁ =1		(G1) Cst ₂ =Cst ₁ ×2.5		(B1) Cst ₃ =Cst ₁ ×2.5	
(G2) Cst ₄ =Cst ₁ ×1.5		(B2) Cst ₅ =Cst ₁ ×1.5		(R2) Cst ₆ =Cst ₁ ×3	
(G2) Cst ₄ =Cst ₁ ×1.5		(B2) Cst ₅ =Cst ₁ ×1.5		(R2) Cst ₆ =Cst ₁ ×3	
(G1) Cst ₁ =1		(R1) Cst ₂ =Cst ₁ ×2.5		(B1) Cst ₃ =Cst ₁ ×2.5	

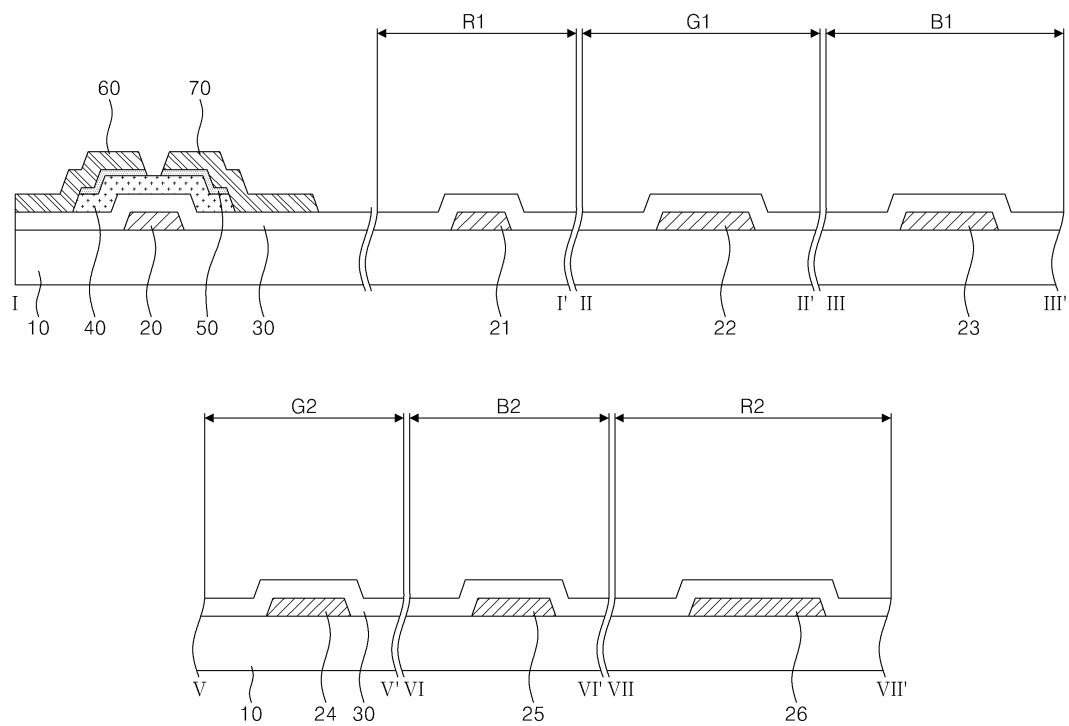
도면7a



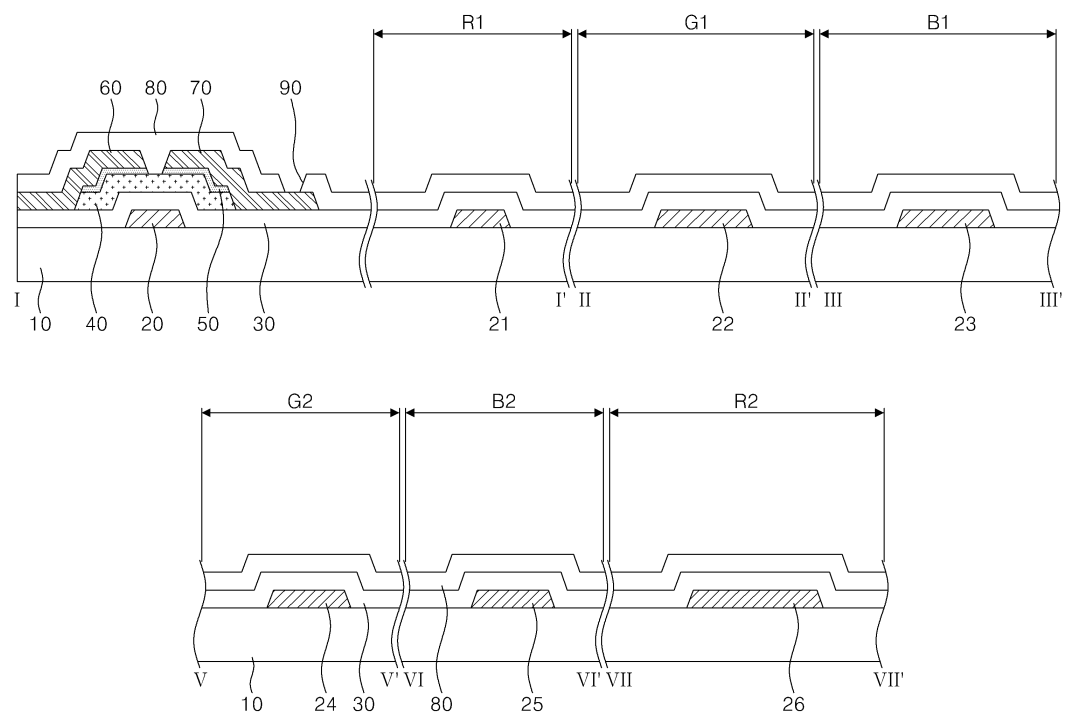
도면7b



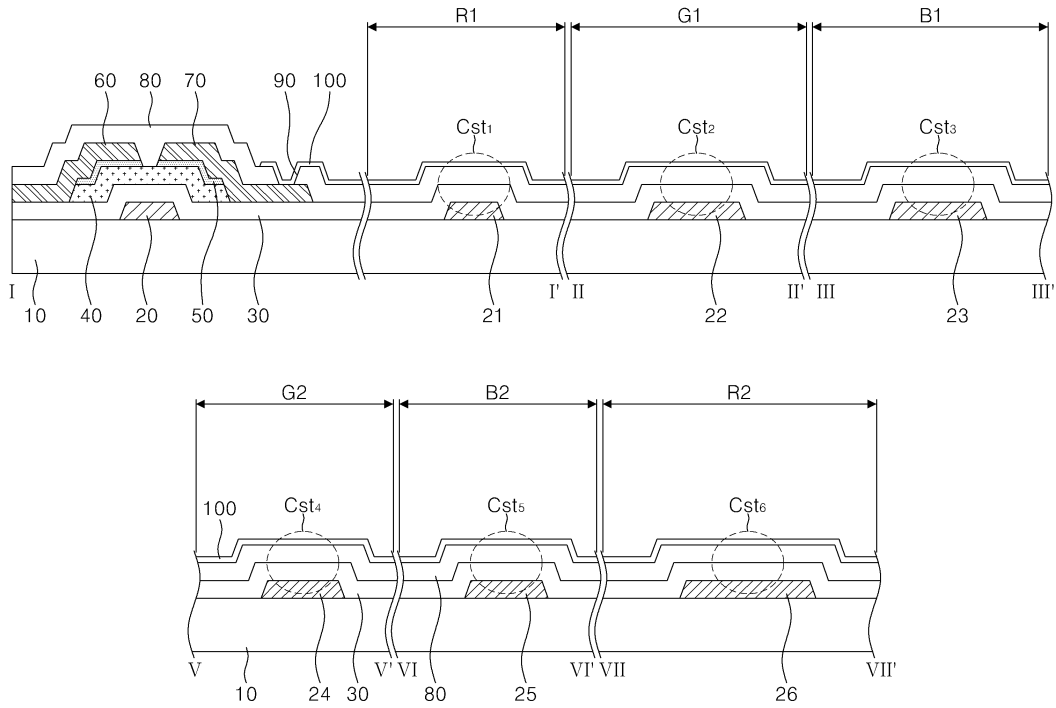
도면7c



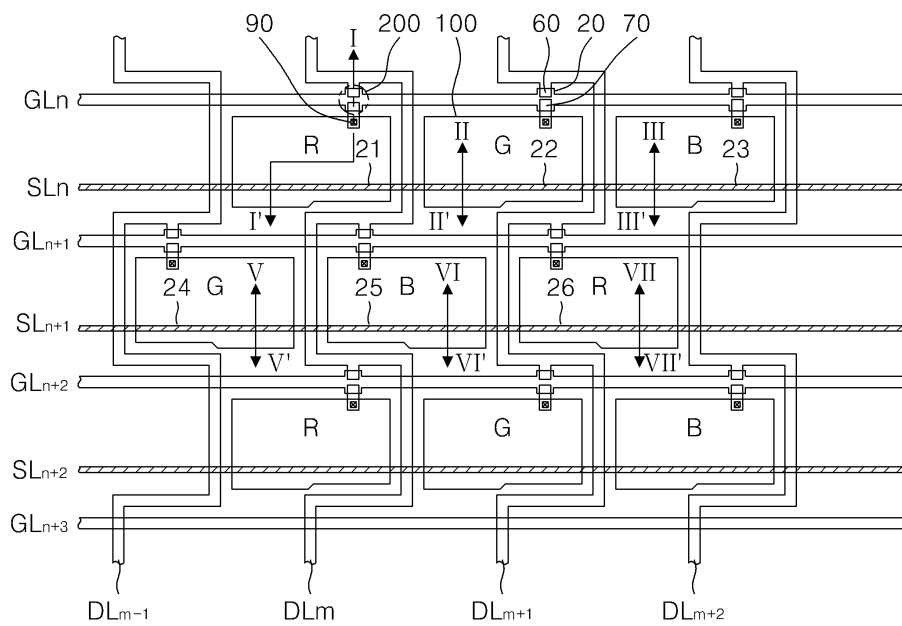
도면7d



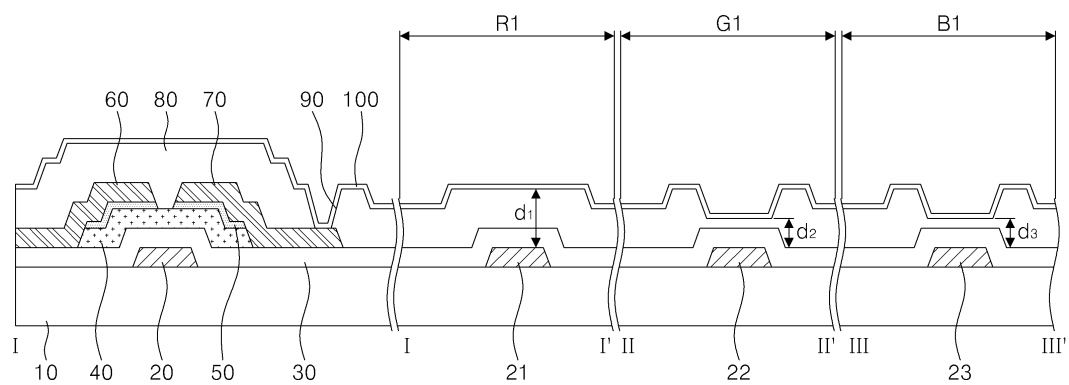
도면7e



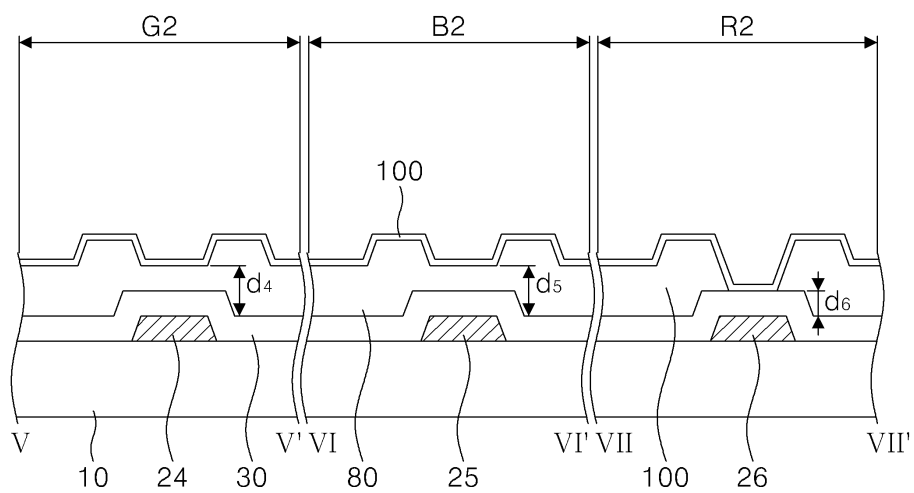
도면8



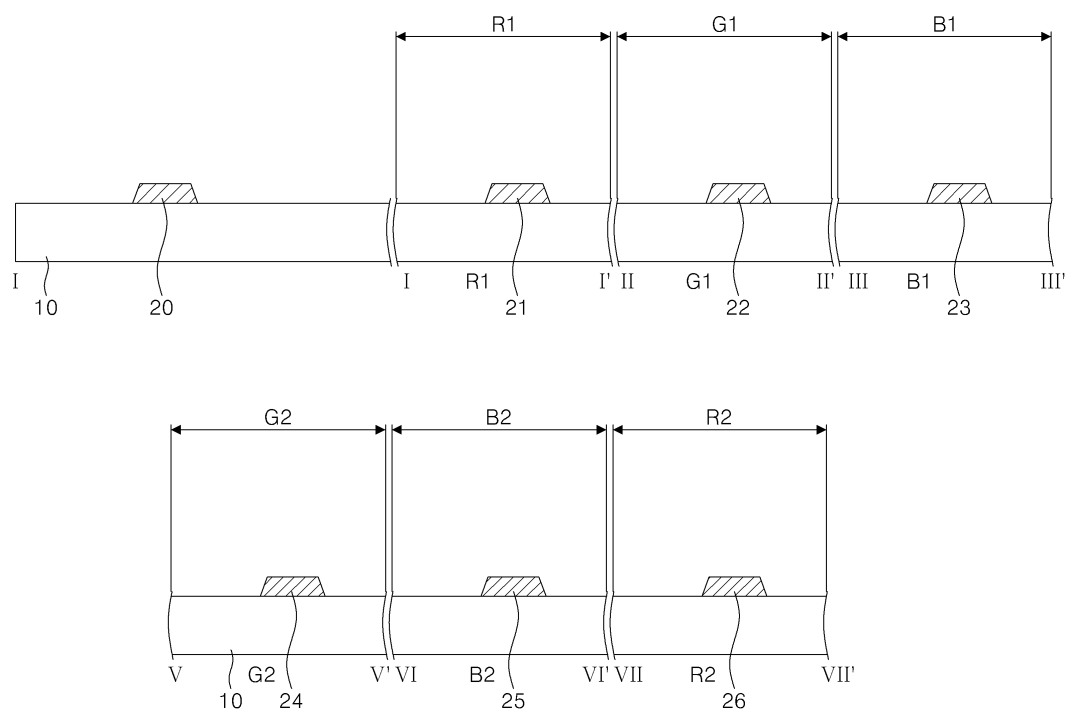
도면9



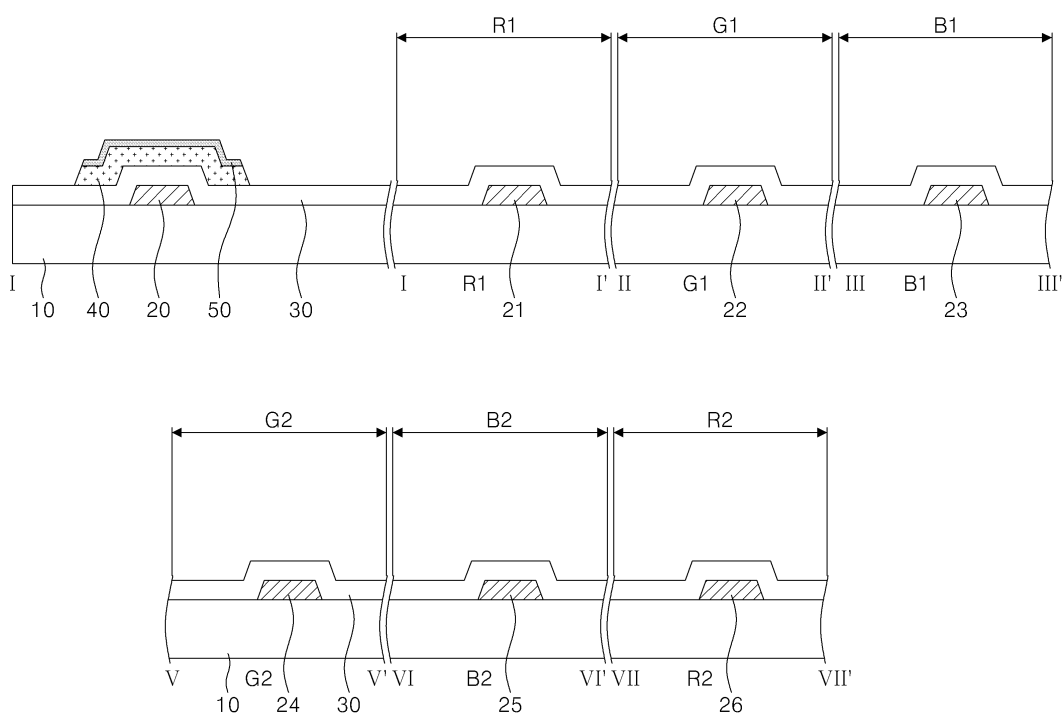
도면10



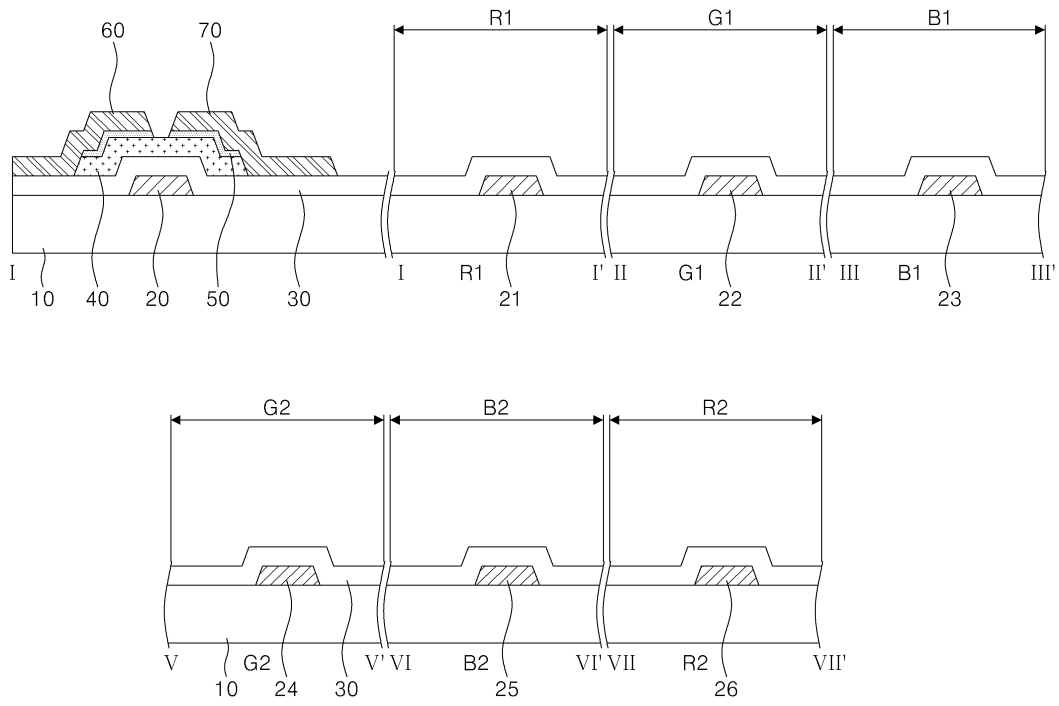
도면11a



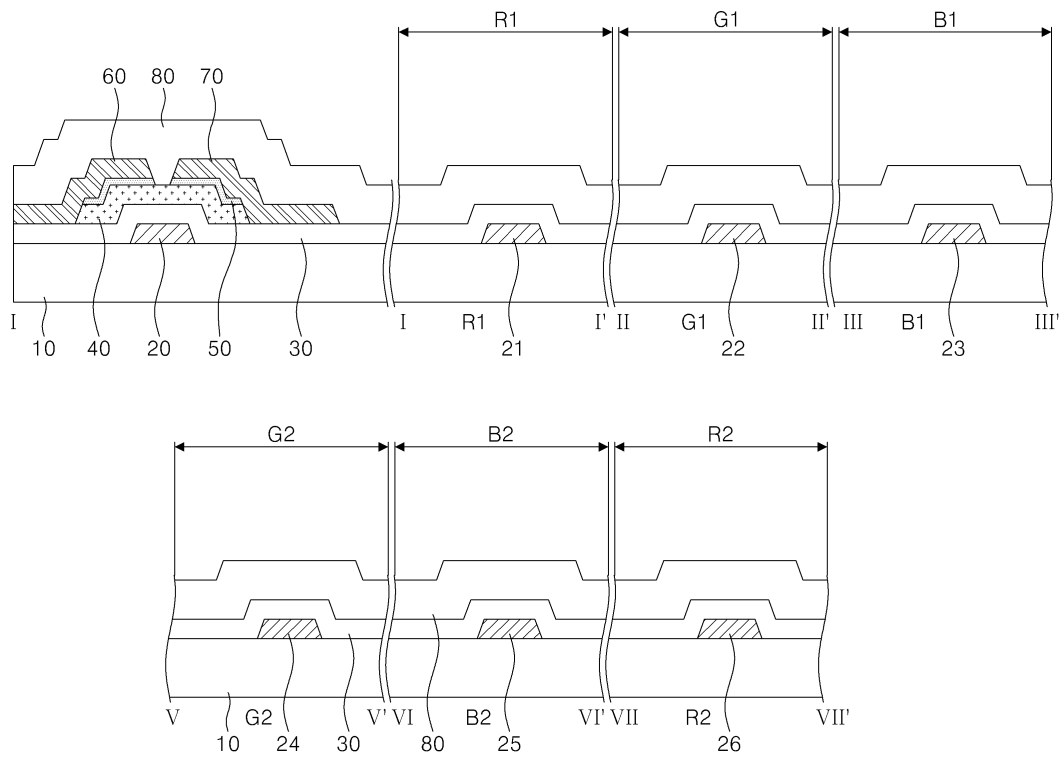
도면11b



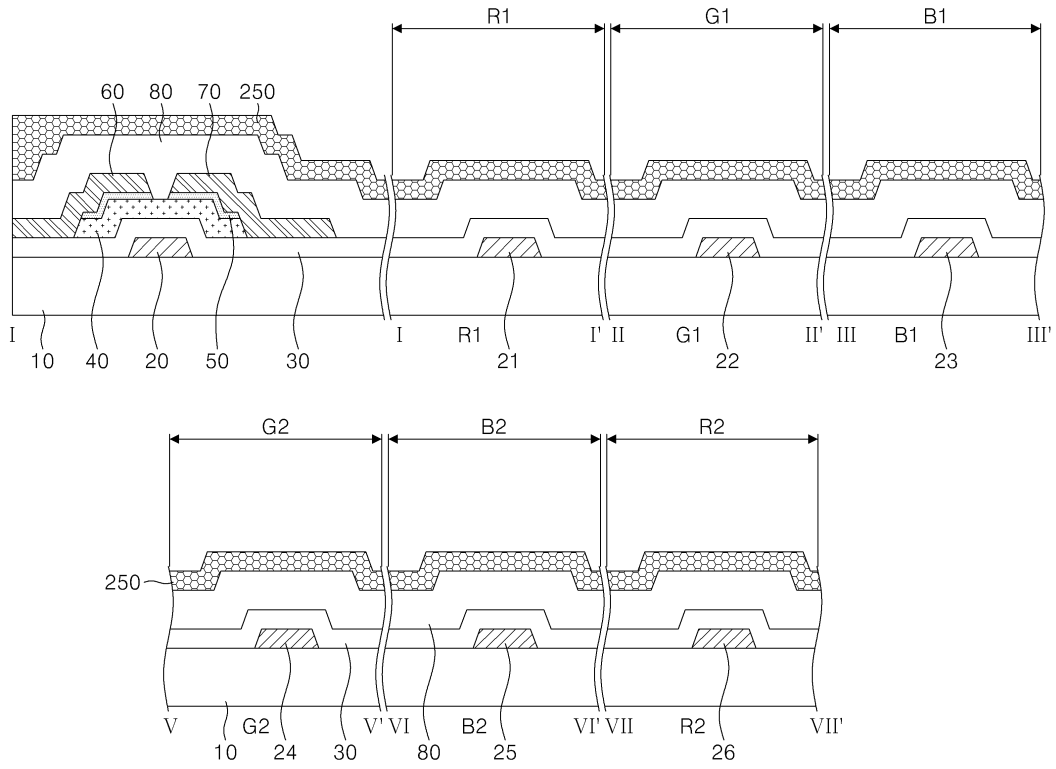
도면11c



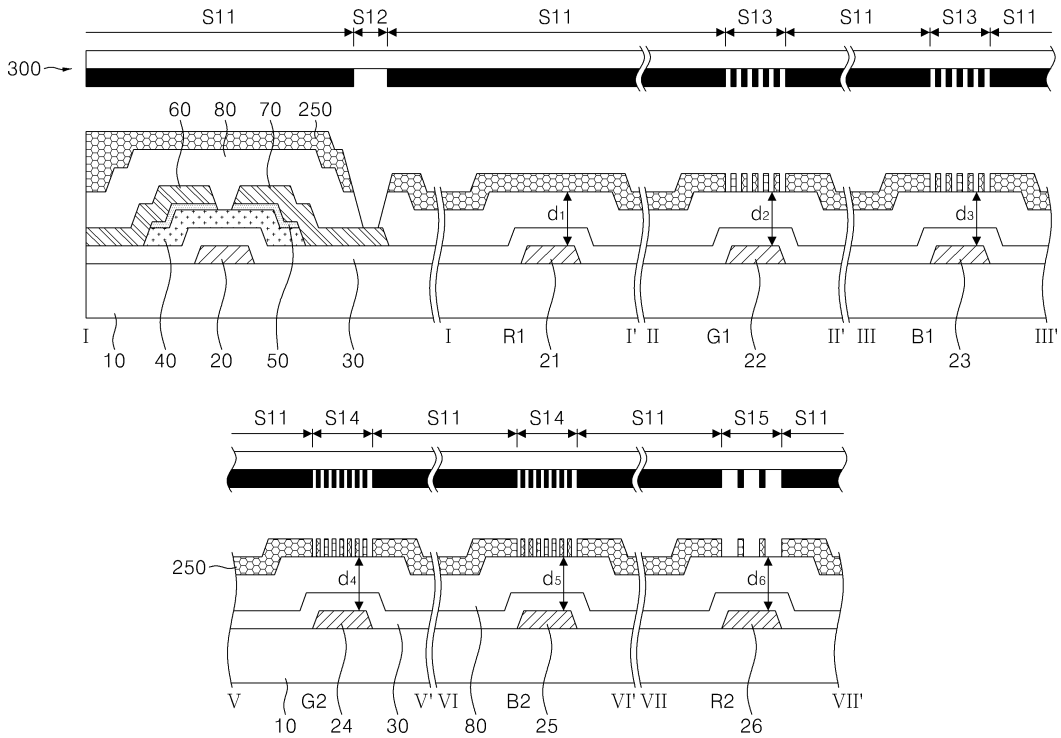
도면11d



도면11e



도면11f



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101303943B1	公开(公告)日	2013-09-05
申请号	KR1020060112798	申请日	2006-11-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MA WON SEOK		
发明人	MA, WON SEOK		
IPC分类号	G02F1/1343		
CPC分类号	G09G3/3688 G02F1/136213 G02F1/136286 G02F2001/134345 G09G3/3607 G09G2300/0426 G09G2300/0452 G09G2300/0876 G09G2310/0297 G09G2320/0233 G09G2320/0242		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋，云何		
其他公开文献	KR1020080044022A		
外部链接	Espacenet		

摘要(译)

如权利要求2所述的发明为比第一水平线沿沿着水平线，其防止垂直线缺陷设置在红色子像素的排列的红色子像素的存储电容器容量的存储电容大，由于红的子像素的充电率差提供一种液晶显示装置及其制造方法。为此，本发明沿着N（N是自然数）以红色，绿色和蓝色的顺序重复排列。形成为与第N水平线的子像素交织并且沿着第（N+1）水平线以锈，蓝和红的顺序重复排列的子像素，沿着水平线形成的栅极线，形成沿着交错的子像素弯曲的数据线，连接到栅极线和数据线中的每一个的薄膜晶体管，并且存储电极与像素电极和栅极绝缘层以及保护层重叠，以在每个子像素中形成存储电容器，其中第N+1条水平线第N水平线的红色存储电容器容量大于第N水平线的红色存储电容器容量，以及制造该红色存储电容器容量的方法。提供。

