



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월03일
(11) 등록번호 10-1302965
(24) 등록일자 2013년08월28일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0060985

(22) 출원일자 2006년06월30일

심사청구일자 2011년06월27일

(65) 공개번호 10-2008-0002271

(43) 공개일자 2008년01월04일

(56) 선행기술조사문헌

KR1020060070876 A

KR100443583 B1

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

홍현석

경기도 고양시 일산서구 대산로 106, 109동 502호
(주엽동, 강선마을)

임병호

경상북도 구미시 봉곡로23길 6-20, 영남네오빌시
터 201-1402호 (봉곡동)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 14 항

심사관 : 신창우

(54) 발명의 명칭 **횡전계 방식 액정표시장치용 어레이 기판과 그 제조방법**

(57) 요약

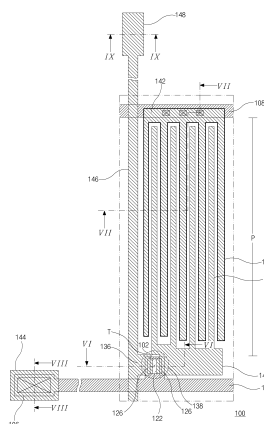
본 발명은 액정표시장치에 관한 것으로 특히, 횡전계 방식 액정표시장치와 그 제조방법에 관한 것이다.

본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은 게이트 전극과 게이트 배선과 게이트 패드와 공통 배선을 형성하는 제 1 마스크 공정단계와; 제 1 절연막의 하부로 상기 게이트 패드를 노출하고, 게이트 전극과, 게이트 전극의 상부에 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성하는 제 2 마스크 공정 단계와; 투명 금속층과 불투명한 금속층으로 적층된 소스 전극 및 드레인 전극과, 화소 전극 및 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 데이터 배선 및 데이터 패드와 화소 전극과 공통 전극을 형성하고, 제 2 절연막(보호막)을 형성하는 제 3 마스크 공정단계를 포함한다.

본 발명에 따른 횡전계 방식 액정표시장치는 게이트 전극의 상부에만 액티브층(비정질 실리콘층)이 존재하기 때문에, 상기 액티브층이 빛에 노출되지 않아 누설전류 특성 및 웨이브 노이즈(wavy noise)가 발생하지 않기 때문에 고화질을 구현할 수 있는 장점이 있다.

또한, 3 마스크 공정으로 제작 가능하여, 공정이 단순화 되는 장점이 있다.

대표도 - 도7



특허청구의 범위

청구항 1

화소 영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과;

상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와;

상기 데이터 영역에 구성되고, 투명 금속층과 불투명한 금속층이 적층되고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 영역에 구성되고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 패드와 접촉하고 투명 금속층과 불투명 금속층이 적층된 게이트 패드 전극과;

상기 화소 영역에 수직바 형태로 구성된 다수의 화소 전극과 이와 이격된 다수의 공통전극

상기 소스 전극과 드레인 전극 사이로 노출된 액티브층의 표면을 덮고, 상기 화소 전극과 공통 전극 사이에 구성된 보호막

을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 액티브층은 상기 게이트 전극 보다 작은 면적으로 구성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 공통 전극과 상기 화소 전극은 투명 금속층과 불투명 금속층이 적층된 구성인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 4

제 1 항에 있어서,

상기 게이트 배선과 평행하게 이격된 공통배선을 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 5

제 4 항에 있어서,

상기 공통 전극은 상기 공통배선과 접촉하여 구성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 6

기판에 스위칭 영역과 화소 영역과 게이트 영역과 데이터 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극의 상부에 제 1 절연막과, 액티브층과 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게

이트 패드를 노출하는 제 2 마스크 공정 단계와;

상기 버퍼 금속과 접촉하는 소스전극과 드레인 전극과, 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 연장된 수직바 형태의 다수의 화소전극과,

상기 화소 전극과 이격되어 수직바 형태로 구성된 다수의 공통전극과,

상기 데이터 영역에 위치하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 버퍼금속과 하부의 오믹 콘택층이 이격되도록 하고, 하부의 노출된 액티브층의 표면을 덮고 상기 화소 전극과 공통 전극 사이에 위치한 보호막을 형성하는 제 3 마스크 공정단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 6 항에 있어서,

상기 소스 전극과 드레인 전극과 게이트 패드 전극과 데이터 패드 및 데이터 배선과 공통 전극과 화소 전극은 투명 금속층과 불투명 금속층이 적층된 구조로 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 8

제 6 항에 있어서,

상기 제 2 마스크 공정 단계는,

상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과, 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역에서 상기 마스크의 차단부에 위치하여 식각되지 않은 감광패턴과, 상기 마스크의 차단부 외에 위치하여 상기 식각되지 않은 스위칭 영역의 감광패턴보다 낮은 높이로 식각된 감광패턴을 형성하는 단계와;

상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와;

상기 스위칭 영역에서 상기 마스크의 차단부 외에 위치하여 상기 식각되지 않은 스위칭 영역의 감광패턴보다 낮은 높이로 형성된 감광패턴을 제거함으로써 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패턴된 도전성 금속층)을 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 9

제 8 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 10

제 8 항에 있어서,

상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 11

제 6 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 스위칭 영역에 액티브층과 오믹 콘택층과 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기관의 전면에서 투명 금속층과 불투명 금속층과 감광층을 적층하는 단계와;

상기 감광층의 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 수직바 형태로 이격된 다수의 제 2 감광패턴과, 상기 게이트 패드에 대응하여 제 3 감광패턴과, 상기 데이터 영역에 대응하여 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 외부로 노출된 불투명 금속층과 그 하부의 투명 금속층을 제거하여, 상기 이격된 제 1 감광패턴의 하부에 이격된 소스 전극과 드레인 전극과, 상기 다수의 제 2 감광패턴의 하부에 수직바 형태로 이격된 다수의 화소 전극과 공통 전극과, 상기 제 3 감광패턴의 하부에 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 제 4 감광패턴의 하부에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 이격된 제 1 감광패턴 사이로 노출된 상기 버퍼금속과 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하며 이격되도록 형성하는 단계와;

상기 제1 내지 제 4 감광패턴이 남겨진 기관의 전면에서 제 2 절연막(보호막)을 증착하는 단계와;

상기 제 1 내지 제 4 감광패턴을 제거하여, 상기 노출된 액티브층을 덮고 상기 화소 전극과 공통 전극 사이에 위치한 보호막을 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 12

제 11 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하여 투과부를 중심으로 양측에 차단부가 위치하도록 구성하고, 상기 화소 영역에 대응하여 다수개의 투과부와 차단부가 교대로 위치하도록 구성하고, 상기 게이트 패드에 대응하여 차단부가 위치하도록 구성하고, 상기 데이터 영역에 대응하여 차단부가 위치하도록 구성한 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 13

제 11 항에 있어서,

상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 14

제 11 항에 있어서,

상기 제 2 절연막을 스퍼터링(sputtering) 방식으로 증착되어 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 15

제 14 항에 있어서,

상기 제 2 절연막은 실리콘산화막(SiO_2 막)인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 6 항에 있어서,

상기 제 1 마스크 공정에서, 게이트 배선과 평행하게 이격된 위치에 공통 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 공통 전극은 상기 공통 배선과 접촉하면서 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

명 세 서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

[0015] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로, 특히 고화질 고 개구율을 구현할 수 있고 공정을 단순화를 통해 제작된 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

[0016] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0017] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0018] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0019] 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판(상부기판)과 화소 전극이 형성된 어레이 기판(하부기판)과, 상부 및 하부 기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

[0020] 그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정 구동방법으로 시야각 특성이 우수한 장점을 갖고 있다.

- [0021] 이하, 도 1을 참조하여 일반적인 횡전계 방식 액정표시장치에 관해 설명한다.
- [0022] 도 1은 일반적인 횡전계 방식 액정표시장치의 단면을 도시한 확대 단면도이다.
- [0023] 도시한 바와 같이, 종래에 따른 횡전계 방식 액정표시장치(B)는 컬러필터기관(B1)과 어레이 기관(B2)이 대향하여 구성되며, 컬러필터기관 및 어레이기관 (B1,B2)사이에는 액정층(LC)이 개재되어 있다.
- [0024] 상기 어레이기관(B2)은 투명한 절연 기관(10)에 정의된 각 화소(P)마다 박막트랜지스터(T)와 공통 전극(30)과 화소 전극(32)이 구성된다.
- [0025] 상기 박막트랜지스터(T)는 게이트 전극(14)과, 게이트 전극(14) 상부에 절연막(16)을 사이에 두고 구성된 반도체층(18)과, 반도체층(18)의 상부에 서로 이격하여 구성된 소스 및 드레인 전극(20,22)을 포함한다.
- [0026] 전술한 구성에서, 상기 공통 전극(30)과 화소 전극(32)은 동일 기관(10)상에 서로 평행하게 이격하여 구성된다.
- [0027] 도시하지는 않았지만, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(미도시)과, 이와는 수직한 방향으로 연장된 데이터 배선(미도시)이 구성되고, 상기 공통 전극(30)에 전압을 인가하는 공통 배선(미도시)이 구성된다.
- [0028] 상기 컬러필터 기관(B1)은 투명한 절연 기관(10) 상에 상기 게이트 배선(미도시)과 데이터 배선(미도시)과 박막트랜지스터(T)에 대응하는 부분에 블랙매트릭스(42)가 구성되고, 상기 화소(P)에 대응하여 컬러필터(34a,34b)가 구성된다.
- [0029] 상기 액정층(LC)은 상기 공통 전극(30)과 화소 전극(32)의 수평전계(45)에 의해 동작된다.
- [0030] 이하, 도 2를 참조하여, 종래에 따른 횡전계 방식 액정표시장치용 어레이기관의 구성을 설명한다.
- [0031] 도 2는 종래의 4 마스크 공정으로 제작된 횡전계 방식 액정표시장치용 어레이 기관의 구성을 개략적으로 도시한 평면도이다.
- [0032] 도시한 바와 같이, 절연기관(50)상에 일 방향으로 연장된 게이트 배선(54)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(92)이 구성된다.
- [0033] 상기 게이트 배선(54)의 일 끝단에 게이트 패드(56)가 구성되고, 상기 데이터 배선(92)의 일 끝단에는 데이터 패드(94)가 구성된다.
- [0034] 상기 게이트 배선(54)과 평행하게 이격된 화소 영역(P)의 일 측에는 공통 배선(58)이 구성된다.
- [0035] 상기 게이트 패드(56)와 데이터 패드(94)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(GP)과, 데이터 패드 전극(DP)이 구성된다.
- [0036] 상기 게이트 배선(54)과 데이터 배선(92)의 교차지점에는 상기 게이트 배선(54)과 접촉하는 게이트 전극(52)과, 게이트 전극(52)의 상부에 위치한 액티브층(비정질 실리콘층, 84)과 오믹 콘택층(미도시)와, 상기 오믹 콘택층(미도시)의 상부에 이격되어 위치하고 상기 데이터 배선(92)과 연결된 소스 전극(88)과, 이와는 이격된 드레인 전극(90)을 포함하는 박막트랜지스터(T)가 구성된다.
- [0037] 상기 화소 영역(P)에는 상기 드레인 전극(90)과 접촉하는 화소 전극(PXL)이 구성되고, 상기 공통 배선(58)과 연결되고 상기 화소 전극(PXL)과 이격하여 구성된 공통전극(VCOM)이 구성된다.
- [0038] 이때, 종래에 따른 횡전계 방식 액정표시장치용 어레이기관은, 상기 소스 및 드레인 전극(88,90)과 데이터 배선(92)과 액티브층(84)을 동일한 마스크 공정으로 형성하기 때문에, 필연적으로 상기 액티브층(84)과 상기 소스 및 드레인 전극(88,90) 및 데이터 배선(92)이 적층된 형태가 되고, 이때, 상기 전극 및 배선 외부로 액티브층(**비정질 실리콘층; 84,72**)이 연장된 형태로 구성된다.
- [0039] 이러한 구성은, 상기 비정질 실리콘층(84,72)이 빛에 노출되어 광전류(photo-current)가 발생할 수 있으며, 이러한 광전류는 상기 박막트랜지스터(T)에서 누설전류(off current)로 작용하여 박막트랜지스터(T)의 동작 불량을 유발하게 된다.
- [0040] 또한, 상기 데이터 배선(92)의 하부에 위치한 비정질 실리콘층(72)에 의해 누설전류가 발생하게 되면, 상기 데이터 배선(92)에 근접한 전극과 커플링(coupling)이 발생하게 되어 액정(미도시)의 움직임을 왜곡하게 된다.
- [0041] 이로 인해, 액정패널의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.
- [0042] 전술한 바와 같이 박막트랜지스터의 오프 커런트(누설전류, off current) 및 화면의 웨이비 노이즈(wavy noise)

e)는 앞서 언급한 바와 같이, 소스 및 드레인 전극과 액티브층을 동시에 패터닝하는 범용적인 방식을 사용하기 때문이다.

[0043] 이하, 도면을 참조하여 종래에 따른 횡전계 방식 액정표시장치용 어레이 기판의 제조공정을 설명한다.

[0044] 도 3a 내지 도 3h와 도 4a 내지 도 4h와 도 5a 내지 도 5h와 도 6a 내지 도 6h는 도 2의 II-II, III-III, IV-IV, V-V을 따라 절단하여, 종래의 공정 순서에 따라 도시한 공정 단면도이다.

[0045] 도 3a와 도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.

[0046] 도 3a와 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(50)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 **공통신호영역(CS)**을 정의한다.

[0047] 상기 다수의 영역(S,P,G,D,CS)이 정의된 기판(50)상에 상기 게이트 영역(G)에 대응하여 일 방향으로 연장되고, 일 끝단에 게이트 패드(56)를 포함하는 게이트 배선(54)과, 상기 게이트 배선(54)과 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(52)을 형성한다.

[0048] 동시에, 상기 게이트 배선(54)과 평행하게 이격된 상기 공통신호영역(CS)에는 공통 배선(58)을 형성한다.

[0049] 이때, 상기 게이트 패드 및 게이트 배선(56,54)과 게이트 전극(52)과 공통 배선(58)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

[0050] **다음으로, 도 3b 내지 도 3f와 도 4b 내지 도 4f와 도 5b 내지 도 5f와 도 6b 내지 도 6f는 제 2 마스크 공정을 나타낸 도면이다.**

[0051] 도 3b와 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 전극(52)과 게이트 패드(56)를 포함하는 게이트 배선(54)과, 공통배선(58)이 형성된 기판(50)의 전면에 게이트 절연막(60)과, 순수 비정질 실리콘층(a-Si:H, 62)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 64)과 제 1 도전성 금속층(66)을 형성한다.

[0052] 상기 게이트 절연막(60)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)등이 포함된 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성하고, 상기 제 1 도전성 금속층(66)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

[0053] 다음으로, 상기 제 1 도전성 금속층(66)이 형성된 기판(50)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(68)을 형성한다.

[0054] 다음으로, 상기 감광층(68)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

[0055] 이때, 상기 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여, 빛의 강도를 낮추거나 빛의 투과량을 낮추어 상기 감광층을 불완전 노광할 수 있도록 하는 기능을 한다.

[0056] 또한, 상기 차단부(B2)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(B1)는 빛을 투과시켜 빛에 의해 감광층(68)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.

[0057] 한편, 상기 스위칭 영역(S)에는 반투과부(B3)와, 반투과부(B3)의 양측에 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(G)과 교차하는 방향인 상기 데이터 영역(D)에는 차단부(B2)가 위치하도록 한다.

[0058] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(66)을 노광하고 현상하는 공정을 진행한다.

[0059] 도 3c와 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)에 제 1 내지 제 2 감광층(70a,70b)을 형성한다.

[0060] 이때, 상기 제 1 감광층(70a)은 상기 게이트 전극(52)에 대응하는 중심부가 낮은 높이로 현상되어 단차진 형상인 것을 특징으로 한다.

[0061] 다음으로, 상기 제 1 내지 제 2 감광층(70a,70b)의 주변으로 노출된 상기 제 1 도전성 금속층(66)과 그 하부의 불순물 비정질 실리콘층(64)과, 순수 비정질 실리콘층(62)을 제거하는 공정을 진행한다.

[0062] 이때, 상기 제 1 도전성 금속층(66)의 종류에 따라 상기 제 1 도전성 금속층(66)과 그 하부층(64,62)이 동시에 제거될 수도 있고, 상기 금속층을 먼저 식각한 후 건식식각 공정을 통해 하부의 순수 비정질 실리콘층(62)과 불

순물이 포함된 비정질 실리콘층(64)을 제거하는 공정을 진행한다.

[0063] 도 3d와 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 감광층(70a)의 하부에는 패터닝된 비정질 실리콘층(72)과 불순물 비정질 실리콘층(74)이 적층된 제 1 반도체 패턴(76)과 상기 제 1 반도체 패턴(76)의 상부에 제 1 금속패턴(78)이 구성된다.

[0064] 상기 데이터 영역(D)에 대응하는 제 2 감광패턴(70b)의 하부에는 상기 제 1 반도체 패턴(76)에서 연장된 제 2 반도체 패턴(80)과, 상기 제 2 반도체 패턴(80)의 상부에 상기 제 1 금속패턴(78)에서 연장된 제 2 금속패턴(82)이 형성된다.

[0065] 상기 제 1 감광층(70a)중, 상기 게이트 전극(52)의 중심에 대응하여 높이가 낮은 부분을 제거하여 하부의 제 1 금속패턴(78)을 노출하기 위한 애싱 공정(ashing process)을 진행한다.

[0066] 이와 같이 하면, 도 3e와 도 4e와 도 5e와 도 6e에 도시한 바와 같이, 상기 게이트 전극(52)의 중심에 대응하는 제 1 금속패턴(78)의 일부가 노출되며 이때, 상기 제 1 내지 제 2 감광패턴(70a, 70b)의 주변으로 제 1 내지 제 2 금속패턴(78, 82)의 일부가 동시에 노출된다.

[0067] 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(78)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(74)을 제거하는 공정을 진행한다.

[0068] 도 3f와 도 4f와 도 5f와 도 6f에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(52)의 상부에 위치한 제 1 반도체 패턴(76)중 하부층(순수 비정질 실리콘층)은 액티브층(84)으로서 기능하게 되고, 상기 액티브층(84)의 상부에서 일부가 제거되어 이격된 상부층(불순물 비정질 실리콘층)은 오믹 콘택층(86)의 기능을 하게 된다.

[0069] 이때, 상기 액티브층(84)과 상부의 오믹 콘택층(86)을 제거하면서, 하부의 액티브층(84)을 과식각하여 액티브층의 표면(액티브채널, active channel)에 불순물이 남아 있지 않도록 한다.

[0070] 한편, 상기 오믹 콘택층(86)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(88)과 드레인 전극(90)이라 칭한다.

[0071] 이때, 상기 소스 전극(88)과 접촉하는 제 2 금속패턴(도 4d의 82)은 데이터 배선(92)이라 하고, 상기 데이터 배선(92)의 일 끝단은 데이터 패드(94)라 칭한다.

[0072] 다음으로, 상기 잔류한 감광층(70a, 70b)을 제거하는 공정을 진행함으로써, 제 2 마스크 공정을 완료할 수 있다.

[0073] 도 3g와 도 4g 도 5g와 도 6g는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(88, 90)과 데이터 패드(94)를 포함하는 데이터 배선(92)이 구성된 기판(50)의 전면에 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(96)을 형성한다.

[0074] 연속하여, 상기 보호막(96)을 패터닝하여 상기 드레인 전극(90)의 일부를 노출하는 드레인 콘택홀(98a)과, 상기 공통배선(58)의 일부를 노출하는 공통배선 콘택홀(98b)과 상기 게이트 패드(56)를 노출하는 게이트 패드 콘택홀(98c)과 상기 데이터 패드(94)를 노출하는 데이터 패드 콘택홀(98d)을 형성한다.

[0075] 도 3h와 도 4h와 도 5h와 도 6h는 제 4 마스크 공정을 나타낸 도면으로, 상기 보호막(96)이 형성된 기판(50)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 화소 영역(P)에 화소 전극(PXL)과 공통 전극(Vcom)을 형성한다.

[0076] 이때, 상기 화소 전극(PXL)은 상기 드레인 전극(90)과 접촉하면서 상기 화소 영역(P)에 다수의 수직부로 구성되고, 상기 공통 전극(Vcom)은 상기 공통배선(58)과 접촉하면서 상기 화소 영역(P)으로 다수의 수직부로 연장되고 상기 화소 전극(PXL)과 이격되도록 구성한다.

[0077] 다음으로, 상기 게이트 패드(56)와 접촉하는 게이트 패드전극(GP)와, 상기 데이터 패드(94)와 접촉하는 데이터 패드전극(DP)을 형성한다.

[0078] 이상으로 종래에 따른 4마스크 공정으로 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.

- [0079] 전술한 공정은, 제 2 마스크 공정에서 상기 액티브층(비정질 실리콘층, 84) 및 오믹 콘택층(불순물 비정질 실리콘층, 86)과 상부의 소스 및 드레인 전극(88, 90)과 데이터 배선(92)을 동시에 형성하는 공정에서, 상기 데이터 배선(92)의 하부에 제 2 반도체 패턴(80)이 남게 되고 특히, 제 2 반도체 패턴(80)의 하부 순수 비정질 실리콘층(72)이 상기 데이터 배선(92)의 양측으로 연장된 형태로 패턴 된다.
- [0080] 앞서 언급한 바와 같이, 상기 데이터 배선(92)의 양측에 하부 순수 비정질 실리콘층(72)이 확장된 형태이기 때문에, 이로 인해 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있다.
- [0081] 또한, 게이트 전극(52)의 상부에 위치한 액티브층(도 2의 72) 또한, 게이트 전극(52)의 외부로 연장된 형태로 구성되기 때문에, 빛에 의해 노출되어 광전류 즉, 누설전류가 발생하게 되며, 이로 인해 박막트랜지스터의 동작 불량을 유발할 수 있는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- [0082] 본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 비정질 실리콘층(액티브층)이 배선의 하부에 위치하지 않고 게이트 전극의 상부에만 선 형상으로 구성되도록 하여 광전류에 의한 박막트랜지스터의 누설전류 특성을 최소화 하는 동시에, 웨이비 노이즈를 방지하는 것을 제 1 목적으로 한다.
- [0083] 또한, 전술한 특징적인 구성을 포함하는 횡전계형 어레이기판을 3마스크 공정으로 제작함으로써, 공정 단순화를 통해 제조비용을 낮추고 제조시간을 단축하는 것을 제 2 목적으로 한다.
- [0084] 추가적으로, 상기 보호막을 형성함에 있어, 일반적인 화학기상증착방식(CVD)을 사용하지 않고 스퍼터링(sputtering)방식을 사용함으로써, 원가절감 및 생산성 개선을 제 3 목적으로 한다.
- [0085]

발명의 구성 및 작용

- [0086] 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은 화소 영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과; 상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와; 상기 데이터 영역에 구성되고, 투명 금속층과 불투명한 금속층이 적층되고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 영역에 구성되고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선과 접촉하고 투명 금속층과 불투명 금속층이 적층된 게이트 패드 전극과; 상기 화소 영역에 수직바 형태로 구성된 다수의 화소 전극과 이와 이격된 다수의 공통전극과, 상기 소스 전극과 드레인 전극 사이로 노출된 액티브층의 표면을 덮고 상기 화소 전극과 공통 전극 사이에 구성된 보호막을 포함하는 것을 특징으로 한다.
- [0087] 상기 액티브층은 상기 게이트 전극 보다 작은 면적으로 구성되는 것을 특징으로 하고, 상기 공통 전극과 상기 화소 전극은 투명 금속층과 불투명 금속층이 적층된 구성인 것을 특징으로 한다.
- [0088] 상기 게이트 배선과 평행하게 이격된 공통배선을 더욱 포함하는 것을 특징으로 하고, 상기 공통 전극은 상기 공통배선과 접촉하여 구성되는 것을 특징으로 한다.
- [0089] 본 발명의 특징에 따른 횡전계 방식 액정표시장치용 어레이기판 제조방법은 기판에 스위칭 영역과 화소 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 전극의 상부에 절연막과, 액티브층과 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와; 상기 버퍼 금속과 접촉하는 소스전극과 드레인 전극과, 상기 드레인 전극과 접촉하면서 상기 화소 영역으로 연장된 수직바 형태의 다수의 화소전극과, 상기 화소 전극과 이격되어 수직바 형태로 구성된 다수의 공통전극과, 상기 데이터 영역에 위치하고, 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 버퍼금속과 하부의 오믹 콘택층이 이격되도록 하고, 하부의 노출된 액티브층의 표면을 덮고 상기 화소 전극과 공통 전극 사이에 위치한 보호막을 형성하는 제 3 마스크 공정단계를 포함한다.
- [0090] 상기 소스 전극과 드레인 전극과 게이트 패드 전극과 데이터 패드 및 데이터 배선과 공통 전극과 화소 전극은

투명 금속층과 불투명 금속층이 적층된 구조로 형성된 것을 특징으로 한다.

- [0091] 상기 제 2 마스크 공정 단계는, 상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에서 제 1 절연막과, 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와; 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역에서 상기 마스크의 차단부에 위치하여 식각되지 않은 감광패턴과, 상기 마스크의 차단부 외에 위치하여 상기 식각되지 않은 스위칭 영역의 감광패턴보다 낮은 높이로 식각된 감광패턴을 형성하는 단계와; 상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와; 상기 스위칭 영역에서 상기 마스크의 차단부 외에 위치하여 상기 식각되지 않은 스위칭 영역의 감광패턴보다 낮은 높이로 식각된 감광패턴을 제거함으로써 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패턴된 도전성 금속층)을 형성하는 단계를 포함한다.
- [0092] 상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 한다.
- [0093] 상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 한다.
- [0094] 상기 제 3 마스크 공정 단계는 상기 스위칭 영역에 액티브층과 오믹 콘택층과 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에서 투명 금속층과 불투명 금속층과 감광층을 적층하는 단계와; 상기 감광층의 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 수직바 형태로 이격된 다수의 제 2 감광패턴과, 상기 게이트 패드에 대응하여 제 3 감광패턴과, 상기 데이터 영역에 대응하여 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 외부로 노출된 불투명 금속층과 그 하부의 투명 금속층을 제거하여, 상기 이격된 제 1 감광패턴의 하부에 이격된 소스 전극과 드레인 전극과, 상기 다수의 제 2 감광패턴의 하부에 수직바 형태로 이격된 다수의 화소 전극과 공통 전극과, 상기 제 3 감광패턴의 하부에 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 제 4 감광패턴의 하부에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 이격된 제 1 감광패턴 사이로 노출된 상기 버퍼금속과 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하며 이격되도록 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴이 남겨진 기판의 전면에서 제 2 절연막(보호막)을 증착하는 단계와; 상기 제 1 내지 제 4 감광패턴을 제거하여, 상기 노출된 액티브층을 덮고 상기 화소 전극과 공통 전극 사이에 위치한 보호막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0095] 상기 마스크는, 상기 스위칭 영역에 대응하여 투과부를 중심으로 양측에 차단부가 위치하도록 구성하고, 상기 화소 영역에 대응하여 다수개의 투과부와 차단부가 교대로 위치하도록 구성하고, 상기 게이트 패드에 대응하여 차단부가 위치하도록 구성하고, 상기 데이터 영역에 대응하여 차단부가 위치하도록 구성한 것을 특징으로 한다.
- [0096] 상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 것을 특징으로 한다.
- [0097] 상기 제 2 절연막을 스퍼터링(sputtering) 방식으로 증착되어 형성되는 것을 특징으로 한다.
- [0098] 상기 제 1 마스크 공정에서, 게이트 배선과 평행하게 이격된 위치에 공통 배선을 형성하고, 상기 공통 전극은 상기 공통 배선과 접촉하면서 형성되는 것을 특징으로 한다.
- [0099] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- [0100] -- 실시예 --
- [0101] 본 발명의 특징은, 횡전계 방식 액정표시장치용 어레이기판을 3 마스크 공정으로 제작함에 있어, 상기 액티브층을 게이트 전극의 상부에만 구성하는 것을 특징으로 한다.
- [0102] 도 7은 본 발명의 실시예에 따른 횡전계 방식 액정표시장치용 어레이기판의 일부를 확대한 평면도이다.
- [0103] 도시한 바와 같이, 절연 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)가 구성된 게이트 배

선(104)과, 게이트 배선(104)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)을 구성한다.

[0104] 동시에, 상기 게이트 배선(104)과 이격된 공통 배선(108)을 구성한다.

[0105] 이때, 상기 게이트 패드(106)는 상부에는 투명 금속층과 불투명 금속층이 적층된 형상의 게이트 패드 전극(144)을 구성한다.

[0106] 상기 게이트 배선(104)과 데이터 배선(146)의 교차부에는 게이트 전극(102)과 액티브층(122) 및 오믹 콘택층(미도시)과, 상기 오믹 콘택층과 접촉하는 버퍼 금속(126)과, 상기 버퍼금속(126)과 접촉하는 소스 전극(136)과 드레인 전극(138)을 포함하는 박막트랜지스터(T)를 구성한다.

[0107] 상기 화소 영역(P)에는 상기 드레인 전극(138)과 접촉하면서 상기 화소 영역으로 수직하게 연장된 다수의 화소 전극(140)과, 상기 공통 배선(108)과 접촉하면서 상기 화소 영역(P)으로 수직하게 연장되어 상기 화소 전극(140)과 이격된 다수의 공통전극(142)을 구성 한다.

[0108] 전술한 구성은, 새로운 3마스크 공정으로 제작된 것이며 특히, 상기 액티브층(122)(비정질 실리콘층)이 데이터 배선(146)의 하부에 존재하지 않고 게이트 전극(102)의 상부에만 이보다 작은 면적으로 구성되기 때문에, 상기 액티브층(122)이 하부광으로 부터 차폐될 수 있는 특징이 있다.

[0109] 이하, 도 8a와 도 8b와 도 8c와 도 8d를 참조하여, 본 발명에 따른 박막트랜지스터 어레이기판의 단면 구성을 살펴본다.

[0110] 도 8a와 도 8b와 도 8c와 도 8d는 각각 도 7의 VI-VI, VII-VII, VIII-VIII, IX-IX를 따라 절단한 단면도이다.

[0111] 도시한 바와 같이, 기판(100)을 다수의 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스위칭 영역(S)과 공통신호영역(CS)으로 정의한다.

[0112] 상기 스위칭 영역(S)에는 게이트 전극(102)과, 게이트 전극(102)의 상부에 제 1 절연막(110)과 액티브층(122)과 이격된 오믹 콘택층(124)과, 오믹 콘택층(124)과 각각 접촉하는 버퍼금속(126)과, 상기 버퍼금속(126)과 접촉하는 소스 및 드레인 전극(136, 138)을 포함하는 박막트랜지스터(T)를 구성한다.

[0113] 이때, 상기 소스 및 드레인 전극(136, 138)은 투명 금속층(128)과 불투명 금속층(130)이 적층된 상태로 구성되며, 상기 투명 금속층(128)과 하부의 오믹 콘택층(124)의 접촉면에서 저항이 매우 높기 때문에, 이를 낮추기 위해 상기 버퍼금속(126)을 더욱 구성하는 것이다.

[0114] 또한, 상기 소스 전극(136)과 연결되고 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)을 화소 영역(P)의 일 측에 구성하며, 상기 데이터 배선(146) 및 데이터 패드(148) 또한, 투명 금속층과 불투명 금속층(128, 130)의 적층구조로 구성하는 것을 특징으로 한다.

[0115] 또한, 상기 게이트 패드(106)의 상부에는 이와 접촉하는 게이트 패드 전극(144)을 구성하는데, 상기 게이트 패드 전극(144) 또한 투명 금속층(128)과 불투명금속층(130)이 적층된 구조인 것을 특징으로 한다.

[0116] 상기 화소 영역(P)에는 상기 드레인 전극(138)과 접촉하면서 상기 화소 영역(P)으로 수직바 형태로 연장된 다수의 화소 전극(140)과, 상기 공통 배선(108)과 접촉하면서 상기 화소 영역(P)으로 연장된 다수의 공통 전극(142)을 구성한다.

[0117] 상기 화소 전극(140)과 공통 전극(142)은 서로 일정한 이격간격을 유지하면서 엇갈려 위치하도록 구성하며 이때, 두 전극(140, 142)은 모두 투명 금속층(128)과 불투명 금속층(130)이 적층된 상태로 구성된다.

[0118] 전술한 구성에서 특징적인 구성은, 상기 액티브층(122)과 오믹 콘택층(124)과 동일한 물질인 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)이 상기 게이트 배선 및 데이터 배선(104, 146)의 하부에 존재하지 않는 것이며, 이러한 구성으로 인해 종래 4마스크 구조의 대표적인 문제점으로 작용했던 오프 커런트 특성 및 웨이비 노이즈(wavy noise) 문제가 해결될 수 있는 장점이 있다.

[0119] 또한 전술한 특징적인 구성들은 본 발명에서 제안한 3마스크 공정으로 인한 것이며 이하, 도면을 참조하여 본 발명에 따른 새로운 3마스크 공정으로 횡전계 방식 액정표시장치용 어레이 기판의 제조방법을 설명한다.

[0120] 이하, 도 9a 내지 도 9k와 도 10a 내지 도 10k와 도 11a 내지 도 11k와 도 12a 내지 도 12k는 도 7의 VI-VI, VII

-VII, VIII-VIII, IX-IX를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(이때, 도 7의 VI-VI은 박막트랜지스터 및 화소 영역의 절단선이고, VII-VII은 화소 영역을 가로방향을 절단한 절단선이고, VIII-VIII은 게이트 패드의 절단선이고, IX-IX는 데이터 패드의 절단선이다.)

- [0121] 도 9a와 도 10a와 도 11a와 도 12a는 제 1 마스크 공정을 나타낸 공정 단면도이다.
- [0122] 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 공통신호영역(CS)을 정의한다.
- [0123] 상기 다수의 영역(S,P,G,D,SC)을 정의한 기판(100)상에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 1 도전성 금속층(미도시)을 형성하고 이를 제 1 마스크 공정으로 패터하여, 상기 스위칭 영역(S)에 게이트 전극(102)을 형성하고, 상기 게이트 영역(G)에 대응하여 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(도 7의 104)을 형성한다.
- [0124] 동시에, 상기 게이트 배선(도 7의 104)과 평행하게 이격된 위치의 화소영역(P)의 일 끝단에 공통배선(108)을 형성한다.
- [0125] 이하, 도 9b 내지 도 9f와 도 10b 내지 도 10f와 도 11b 내지 도 11f와 도 12a 내지 도 12f는 제 2 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.
- [0126] 도 9b와 도 10b와 도 11b와 도 12b에 도시한 바와 같이, 상기 게이트 전극(102)과 게이트 패드 및 게이트 배선(106,도 7의 104)과 공통 배선(108)이 형성된 기판(100)의 전면에 제 1 절연막(110)과, 순수 비정질 실리콘층(a-Si:H layer, 112)과 불순물 비정질 실리콘층(n+ a-Si:H layer, 114)과 제 2 도전성 금속층(116)을 적층하고, 상기 제 2 도전성 금속층(116)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(118)을 형성한다.
- [0127] 이때, 상기 제 1 절연막(110)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성하고, 상기 제 2 도전성 금속층(116)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성할 수 있으나, 바람직하게는 건식식각이 가능한 금속이면 좋으며 이러한 금속중에는 몰리브덴(Mo)이 있다.
- [0128] 한편, 상기 감광층(118)을 형성한 후, 상기 감광층(118)이 형성된 기판(100)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- [0129] 이때, 상기 스위칭 영역(S)에 대응하여 차단부(B2)와, 차단부(B2)의 양측으로 반투과부(B3)가 위치하도록 하고, 상기 공통신호영역(CS)에 부분적으로 투과부(B1)가 위치하도록 하고, 상기 게이트 패드(106)에 대응하여 투과부(B1)가 위치하도록 하고, 그 외의 영역에는 반투과부(B3)가 위치하도록 한다.
- [0130] 이때, 상기 스위칭 영역(S)에 대응하는 차단부(B2)의 면적은 상기 게이트 전극(102)의 면적을 넘지 않는 범위내로 한정된다.
- [0131] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(118)을 노광하는 공정과, 연속한 현상공정을 진행한다.
- [0132] 이와 같이 하면, 도 9c와 도 10c와 도 11c와 12c에 도시한 바와 같이, 상기 스위칭 영역(S)에 원래의 높이대로 패터되고, 상기 공통 배선(108)의 일부와 상기 게이트 패드(106)의 일부에 대응하여 완전히 제거되어 하부의 제 2 도전성 금속층(116)을 노출하고, 나머지 영역은 낮은 높이로 패터된 감광패턴(120)이 남게 된다.
- [0133] 다음으로, 상기 게이트 패드(106)에 대응하여 노출된 제 2 도전성 금속층(116)과 그 하부의 불순물 비정질 실리콘층(114)과 순수 비정질 실리콘층(112)과 제 1 절연막(110)을 식각한다.
- [0134] 이와 같이 하면, 도 9d와 도 10d와 도 11d와 도 12d에 도시한 바와 같이, 상기 공통 배선(108)을 노출하는 공통 배선 콘택홀(CH1)과 상기 게이트 패드(106)를 노출하는 게이트 패드 콘택홀(CH2)을 형성한다.
- [0135] 다음으로, 상기 감광패턴(120)중 스위칭 영역(S)의 이외의 영역에서 낮게 패터된 부분을 애싱공정으로 완전히 제거하는 공정을 진행한다.
- [0136] 이와 같이 하면, 도 9e와 도 10e와 도 11e와 도 12e에 도시한 바와 같이, 상기 스위칭 영역(S)에는 높이가 낮게 패터된 감광패턴(120)이 남게 되고, 그 외의 영역에는 제 2 도전성 금속층(116)과 불순물 비정질 실리콘층(114)과 순수 비정질 실리콘층(112)과 상기 제 1 절연막(110)이 적층된 상태가 된다.

- [0137] 다음으로, 상기 남겨진 감광패턴(120)의 주변으로 노출된 상기 제 2 도전성 금속층(116)과 그 하부의 불순물 비정질 실리콘층(114)과 순수 비정질 실리콘층(112)을 제거하는 공정을 진행한다.
- [0138] 이와 같이 하면, 도 9f와 도 10f와 도 11f와 도 12f에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 게이트 전극(102)과 제 1 절연막(110)과 패턴된 순수 비정질 실리콘층(122, 이하 '액티브층'이라함)과, 패턴된 불순물 비정질 실리콘층(124, 이하 '오믹 콘택층'이라함)과, 패턴된 제 2 도전성 금속층(126, 이하 '버퍼금속'이라함)이 적층된 상태가 되고, 상기 공통배선(108)의 일부와 상기 게이트 패드(106)는 상기 제 1 절연막(110)에 형성한 상기 제 1 콘택홀(CH1)과 제 2 콘택홀(CH2)을 통해 외부로 노출된 상태가 된다.
- [0139] 이하, 도 9g 내지 도 9k와 도 10g 내지 도 10k와 도 11a 내지 도 11k와 도 12a 내지 도 12k는, 본 발명의 제 3 마스크 공정 단계를 공정순서에 따라 도시한 공정 단면도이다.
- [0140] 도 9g와 도 10g와 도 11g와 도 12g에 도시한 바와 같이, 상기 기판(100)의 전면에 투명 금속층(128)과 불투명 금속층(130)을 적층하고, 상기 불투명한 금속층(130)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(132)을 형성하는 공정을 진행한다.
- [0141] 상기 투명 금속층(128)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성하고, 상기 불투명한 금속층(130)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- [0142] 상기 감광층(132)의 이격된 상부에 투과부(B1)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.
- [0143] 상기 스위칭 영역(S)은 투과부(B1)를 중심으로 양측에 차단부(B2)가 위치하도록 하고, 상기 화소 영역(P)은 투과부(B1)와 차단부(B2(o), B2(e))가 교대로 구성되고, 상기 게이트 패드(106)와 데이터 영역(D)에 차단부(B2)가 위치하도록 하고, 그 외의 영역은 투과부(B1)가 위치하도록 하는 것을 특징으로 한다.
- [0144] 상기 공통신호영역(CS)의 일부에는 차단부(B2)가 위치하도록 한다.
- [0145] 이때, 도면에 나타나지는 않지만, 상기 화소 영역(P)에 대응하는 차단부(B2(o), B2(e))는 수직바 형태로 위치하고, 상기 차단부(B2(o), B2(e))중 홀수번째 차단부(B2(o))는 상기 공통신호영역(CS)의 차단부(B2)와 연결된 형태가 되고, 상기 짝수번째 차단부(B2(e))는 상기 스위칭 영역(S)의 차단부(B2)와 하나로 연결된 형태가 된다.
- [0146] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(132)을 노광한 후, 현상하는 공정을 진행한다.
- [0147] 이와 같이 하면, 도 9h와 도 10h와 도 11h와 도 12h에 도시한 바와 같이, 상기 스위칭 영역(S)에 이격된 감광패턴(134a)과, 상기 화소 영역(P)에 이격된 다수의 제 2 감광패턴(134b)과 상기 공통신호영역(CS)에 위치하고, 상기 제 2 감광패턴(134b)중 홀수번째와 연결되는 제 3 감광패턴(134c)과, 게이트 패드(106)에 대응한 제 4 감광패턴(134d)과 상기 데이터 영역(D)에 대응하여 제 5 감광패턴(134e)이 형성된다.
- [0148] 다음으로, 상기 제 1 내지 제 5 감광패턴(134a, 134b, 134c, 134d, 134e)사이로 노출된 불투명한 금속층(130)과 하부의 투명 금속층(128)을 제거하는 공정을 진행한다.
- [0149] 이와 같이 하면, 도 9i와 도 10i와 도 11i와 도 12i에 도시한 바와 같이, 상기 이격된 제 1 감광패턴(134a)의 하부에는 이격된 소스 전극(136)과 드레인 전극(138)과, 상기 제 2 감광패턴(134b)과 상기 제 3 감광패턴(134c)의 하부에는, 상기 드레인 전극(138)에서 화소 영역(P)으로 수직하게 연장된 다수의 화소 전극(140)과, 상기 공통 배선(108)과 접촉하면서 상기 화소 영역(P)으로 수직하게 연장된 다수의 공통 전극(142)이 형성된다.
- [0150] 또한, 상기 제 4 감광패턴(134d)의 하부에는 상기 게이트 패드(106)와 접촉하는 게이트 패드 전극(144)이 구성되고, 상기 제 5 감광패턴(134e)의 하부에는 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)이 구성된다.
- [0151] 이때, 상기 소스 및 드레인 전극(136, 138)과 상기 화소 전극 및 공통 전극(140, 142)과 상기 게이트 패드(106)와 상기 데이터 패드(148) 및 데이터 배선(146)은 모두 투명 금속층(128)과 불투명한 금속층(130)이 적층된 형태로 구성된다.
- [0152] 다음으로, 상기 이격된 제 1 감광패턴(134a)의 사이로 노출된 하부의 버퍼 금속(126)과 오믹 콘택층(124)을 제거하는 공정을 진행한다.
- [0153] 이와 같이 하면, 도 9j와 도 10j와 도 11j와 도 12j에 도시한 바와 같이, 상기 이격된 제 1 감광패턴(134a)의

하부로 액티브층(122)의 일부가 노출되는 형태가 된다.

[0154] 다음으로, 상기 제 1 내지 제 5 감광패턴(134a, 134b, 134c, 134d, 134e)이 남아 있는 기판(100)의 전면에 산화 실리콘(SiO_2)을 스퍼터링(sputtering)방식으로 증착하여 제 2 절연막(보호막, 150)을 형성한다.

[0155] 상기 제 2 절연막(보호막, 150)을 스퍼터링 방식으로 형성하게 되면, 일반적인 화학 기상증착법(Chemical Vapor Deposition : CVD)에 비해, 장비가 간단하며 따라서 유지보수를 줄일 수 있는 장점이 있고, 비교적 공정이 단순한 장점이 있다.

[0156] 다음으로, 상기 제 2 절연막(150)을 형성한 후, 상기 제 1 내지 제 5 감광패턴(134a, 134b, 134c, 134d, 134e)을 제거하는 공정을 진행한다.

[0157] 이와 같이 하면, 도 9k와 도 10k와 도 11k와 도 12k에 도시한 바와 같이, 상기 스위칭 영역(S)에는 상기 제 2 절연막(150)이 액티브층(122)을 덮는 형태로 남게 되고, 상기 화소 영역(P)은 상기 화소 전극(140)과 공통 전극(142)사이에 상기 제 2 절연막(150)이 채워진 형태로 남게 된다.

[0158] 이상으로 본 발명에 따른 3 마스크 공정으로 횡전계 방식 액정표시장치용 어레이 기판을 제작할 수 있다.

[0159] 이때, 상기 소스 전극(136)과 드레인 전극(138)은 노출된 액티브층의 폭(패널폭)을 넓게 확보하기 위해, 상기 소스 전극(136)을 "U"형상으로 구성하고, 상기 드레인 전극(138)은 상기 소스 전극(136)의 내부에 이와 이격된 형태로 구성할 수 있다.

[0160] 이하, 본 발명에 따른 공정을 간략히 설명하면 아래와 같다.

[0161] 제 1 마스크 공정 : 게이트 전극과 게이트 배선 및 게이트 패드와 공통배선을 형성한다.

[0162] 제 2 마스크 공정 : 제 1 절연막의 하부로 상기 게이트 패드를 노출하고, 게이트 전극과, 게이트 전극의 상부에 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성한다.

[0163] 제 3 마스크 공정 : 투명 금속층과 불투명한 금속층으로 적층된 드레인 전극과 화소 전극과 상기 게이트 패드와 접촉하는 게이트 패드 전극과 상기 데이터 배선 및 데이터 패드와 상기 화소 영역에는 화소 전극과 공통 전극을 형성하고, 상기 이격된 소스 및 드레인 전극의 사이로 노출된 액티브층을 덮으면서, 상기 화소 전극과 공통 전극의 이격공간에 채워진 형태로 구성되는 제 2 절연막(보호막)을 형성한다.

[0164] 전술한 공정을 통해, 제작된 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은, 비정질 실리콘층이 배선의 하부에 존재하지 않고 상기 게이트 전극의 상부에만 섬형상으로 구성되어 하부의 광으로부터 차단될 수 있는 특징이 있다.

발명의 효과

[0165] 따라서, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판은

[0166] 첫째, 비정질 실리콘층이 광에 노출되는 구조가 아니므로, 상기 박막트랜지스터에 누설전류가 발생하지 않아, 박막트랜지스터의 동작을 개선할 수 있는 효과가 있다.

[0167] 둘째, 웨이비 노이즈(wavy noise)가 발생하지 않아 고화질을 구현할 수 있는 효과가 있다.

[0168] 셋째, 3 마스크 공정으로 제작되므로 공정 단순화를 통해, 공정비용 및 공정시간을 단축할 수 있어 생산성을 개선할 수 있는 효과가 있다.

[0169] 넷째, 상기 제 2 절연막을 형성할 때, 스퍼터 방식으로 증착하기 때문에, 기존의 CVD방식에 비해 장비가 복잡하지 않아 유지보수를 자주 할 필요가 없고 공정이 간단하다. 이로 인해 생산비용을 낮출 수 있고 생산성을 개선할 수 있는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 횡전계 방식 액정표시장치의 일부를 개략적으로 도시한 단면도이고,

[0002] 도 2는 종래에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 도시한 확대 평면도이고,

[0003] 도 3a 내지 도 3h와 도 4a 내지 도 4h와 도 5a 내지 도 5h와 도 6a 내지 도 6h는 도 2의 II-II, III-III, IV-IV, V

-V를 따라 절단하여, 종래의 공정순서에 따라 도시한 공정 단면도이고,

[0004] 도 7은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 일부를 확대한 평면도이고,

[0005] 도 8a와 도 8b와 도 8c와 도 8d는 각각 도 7의 VI-VI, VII-VII, VIII-VIII, IX-X를 따라 절단한 단면도이다,

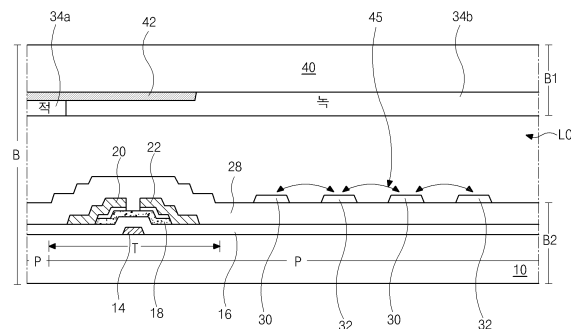
[0006] 도 9a 내지 도 9k와 도 10a 내지 도 10k와 도 11a 내지 도 11k와 도 12a 내지 도 12k는 도 7의 VI-VI, VII-VII, VIII-VIII, IX-X를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

[0007] <도면의 주요부분에 대한 간단한 설명>

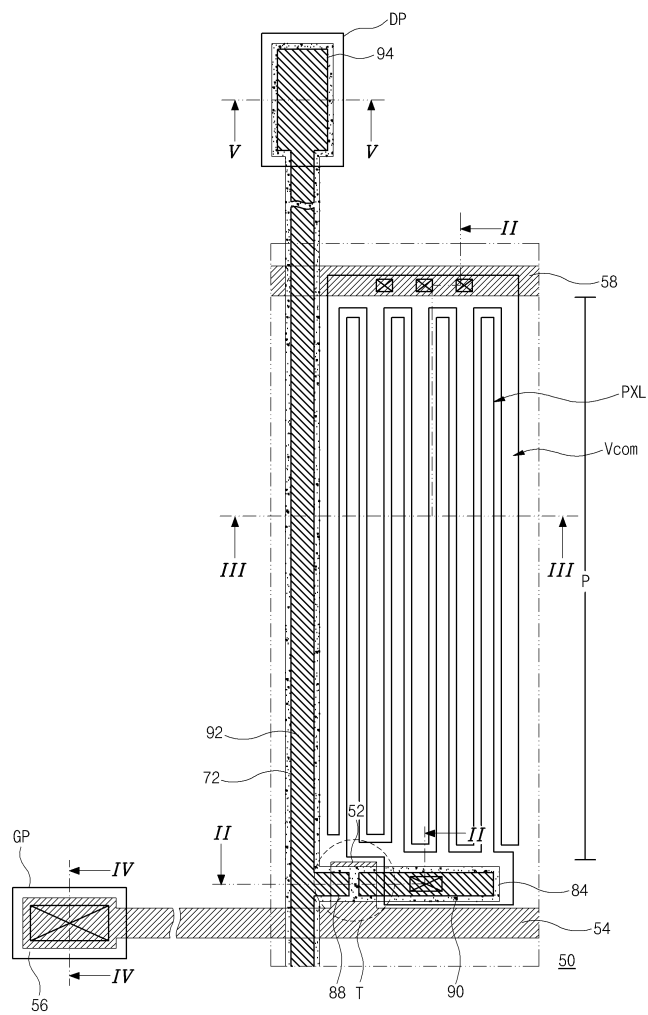
[0008]	100 : 기판	102 : 게이트 전극
[0009]	104 : 게이트 배선	106 : 게이트 패드
[0010]	108 : 공통 배선	122 : 액티브층
[0011]	126 : 버퍼금속	136 : 소스 전극
[0012]	138 : 드레인 전극	140 : 화소 전극
[0013]	142 : 공통 전극	144 : 게이트 패드 전극
[0014]	146 : 데이터 배선	148 : 데이터 패드

도면

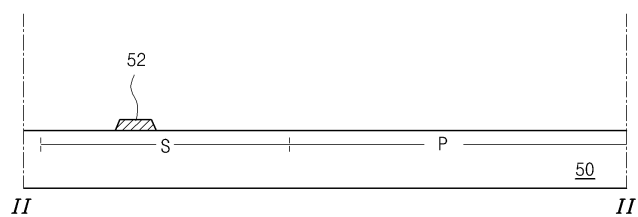
도면1



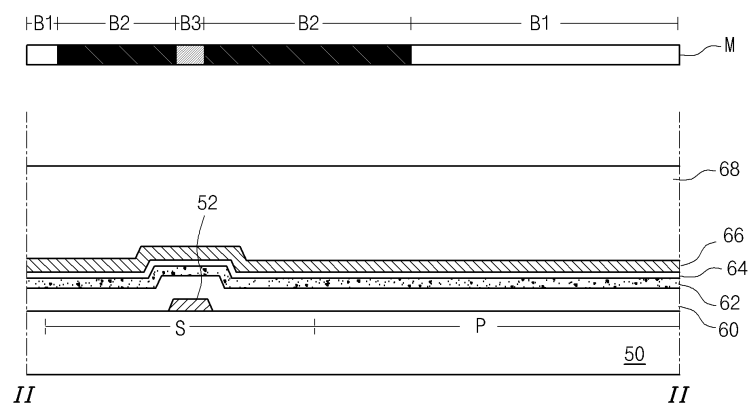
도면2



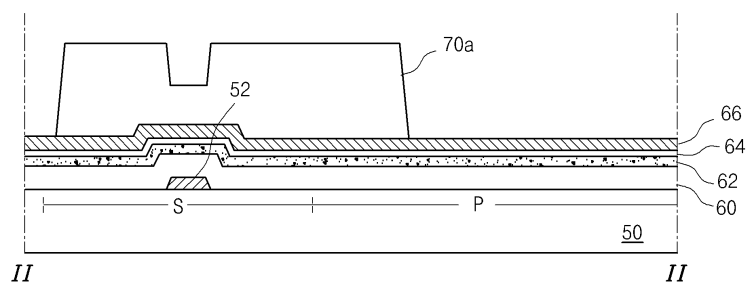
도면3a



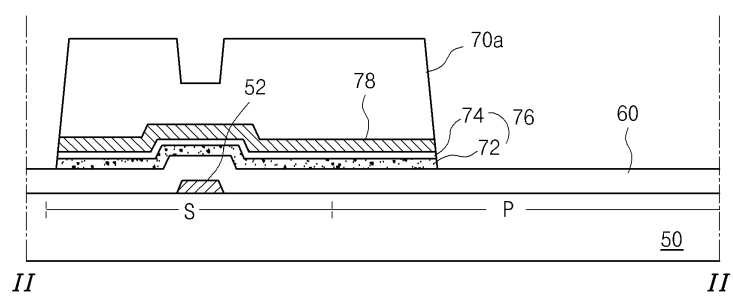
도면3b



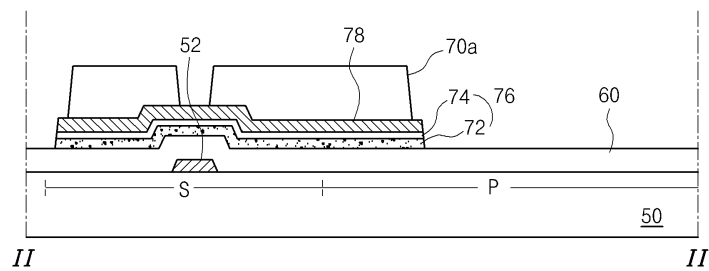
도면3c



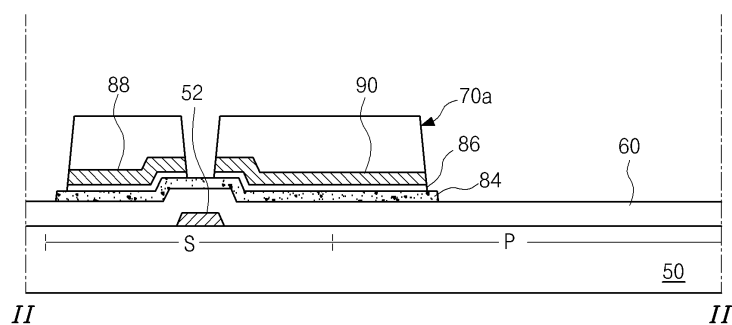
도면3d



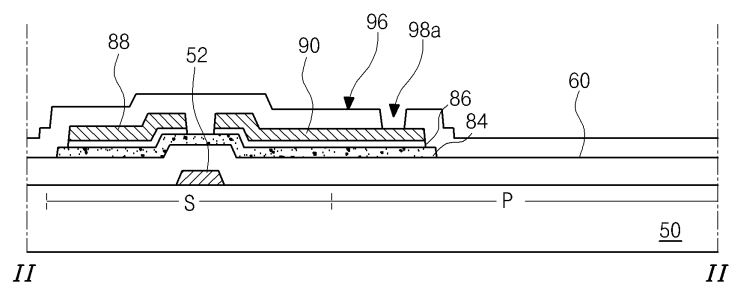
도면3e



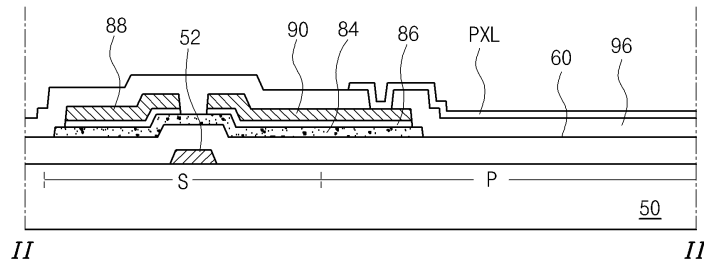
도면3f



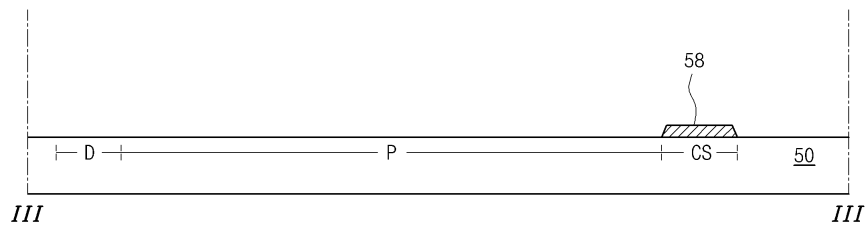
도면3g



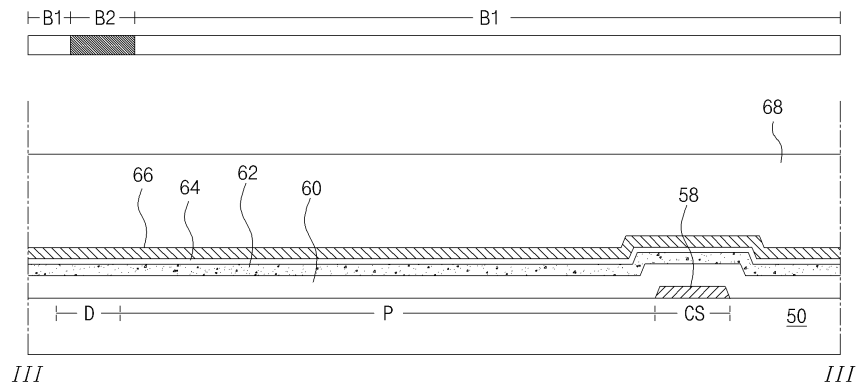
도면3h



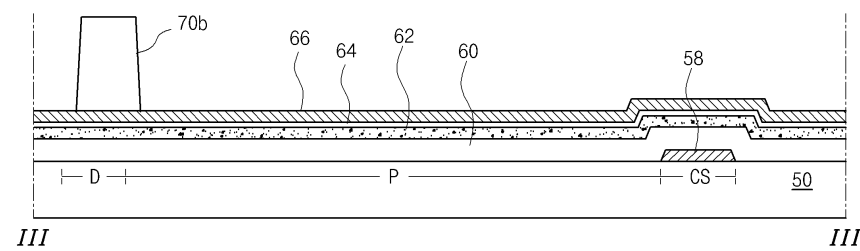
도면4a



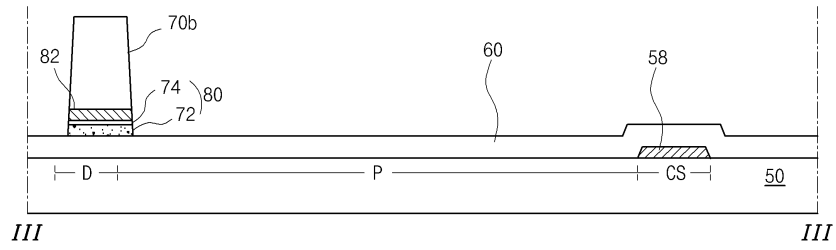
도면4b



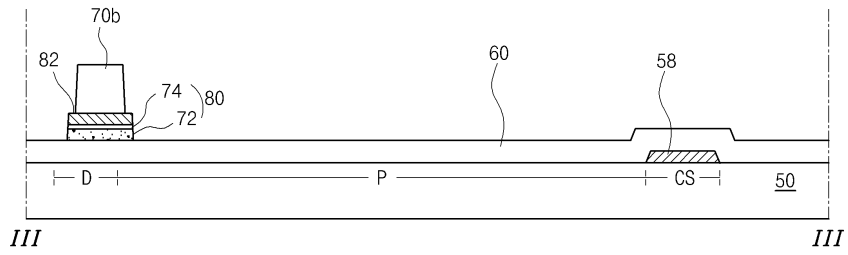
도면4c



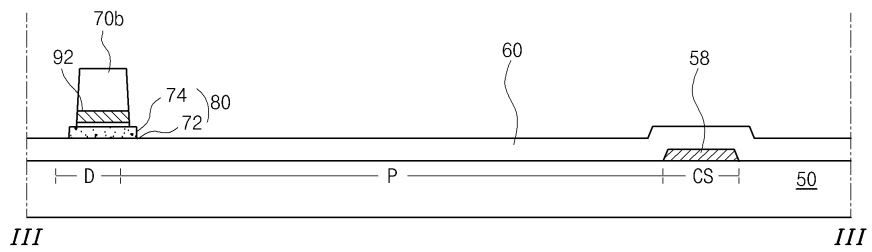
도면4d



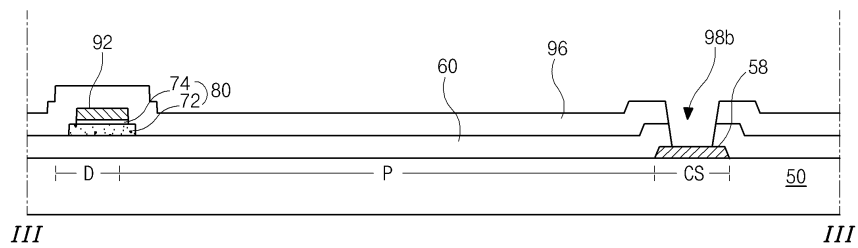
도면4e



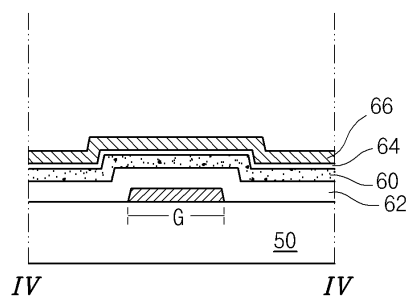
도면4f



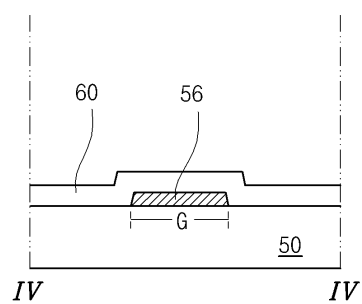
도면4g



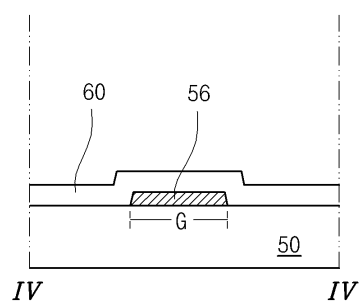
도면5c



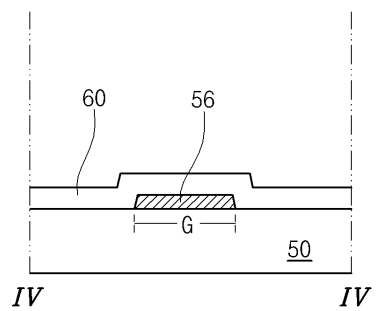
도면5d



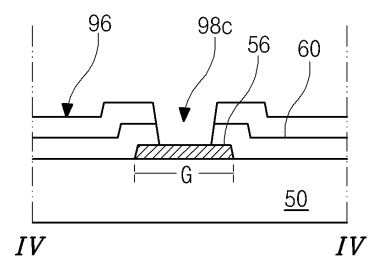
도면5e



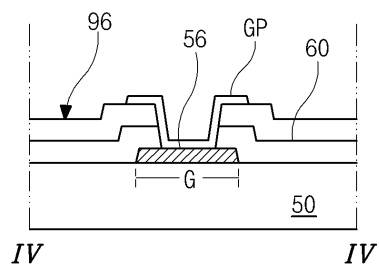
도면5f



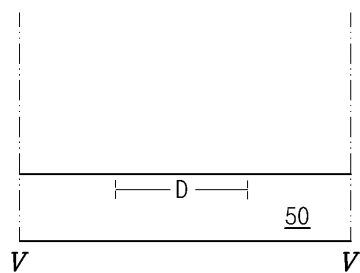
도면5g



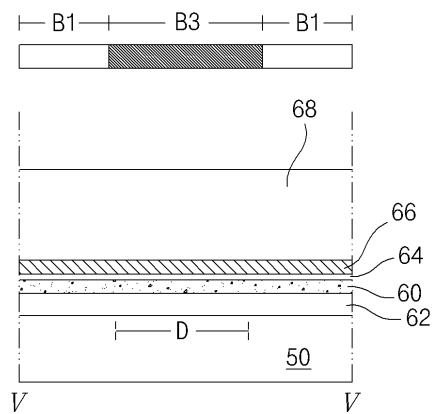
도면5h



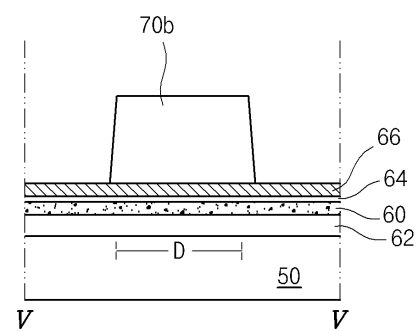
도면6a



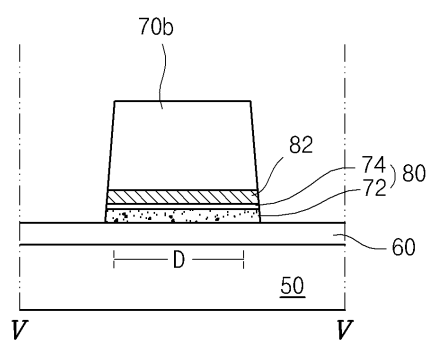
도면6b



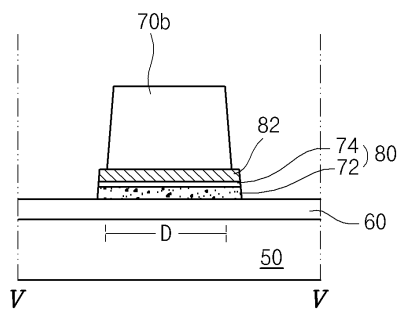
도면6c



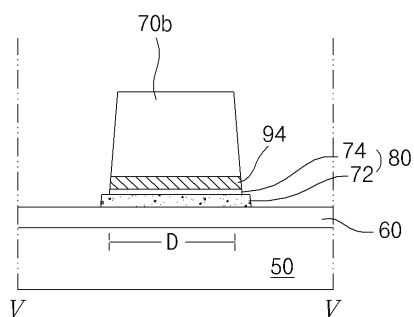
도면6d



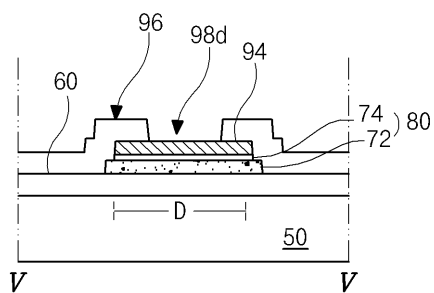
도면6e



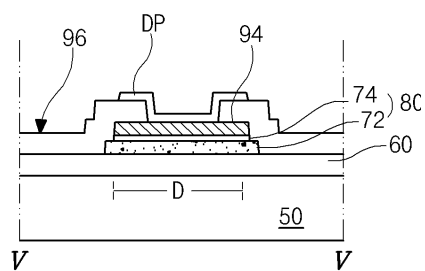
도면6f



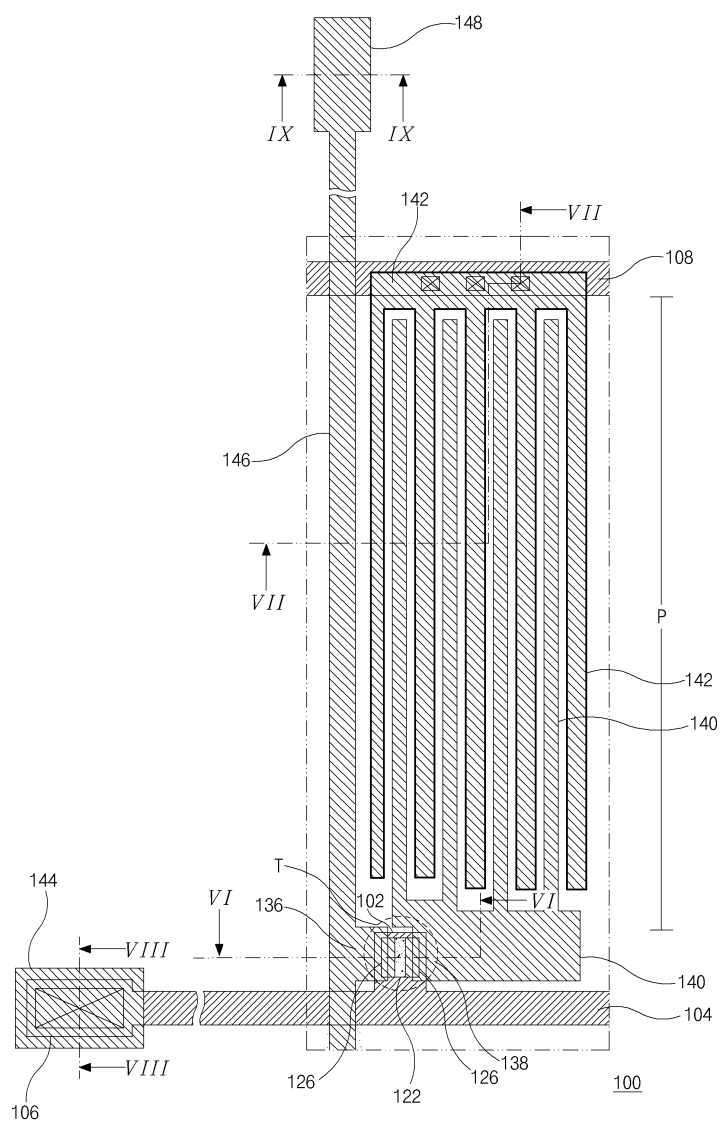
도면6g



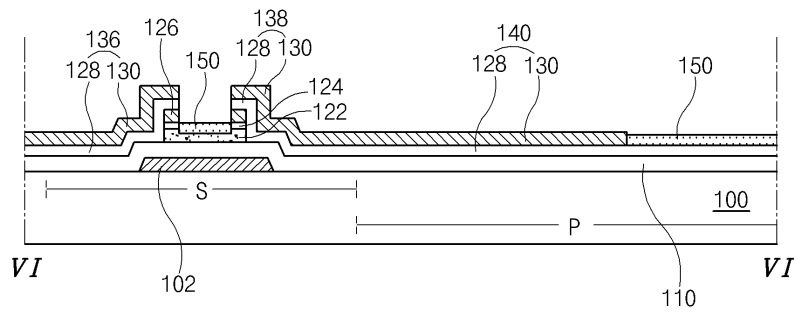
도면6h



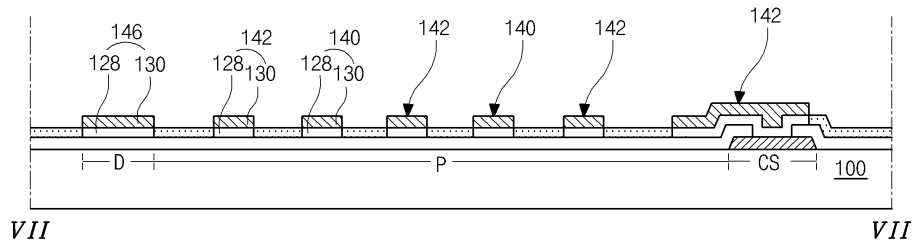
도면7



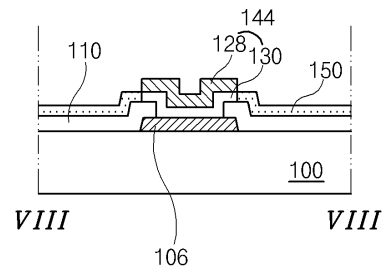
도면 8a



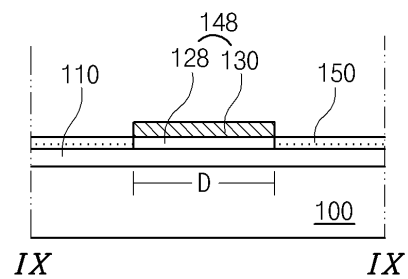
도면 8b



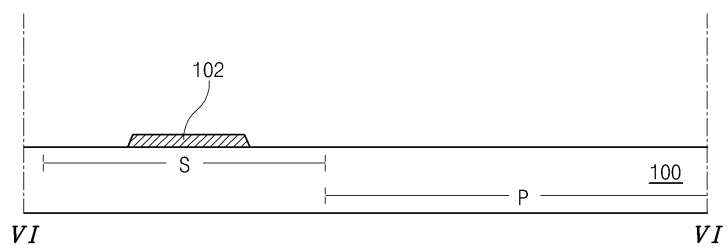
도면 8c



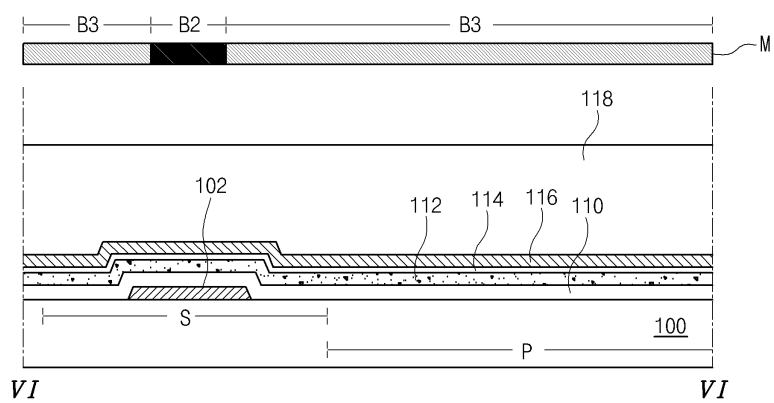
도면 8d



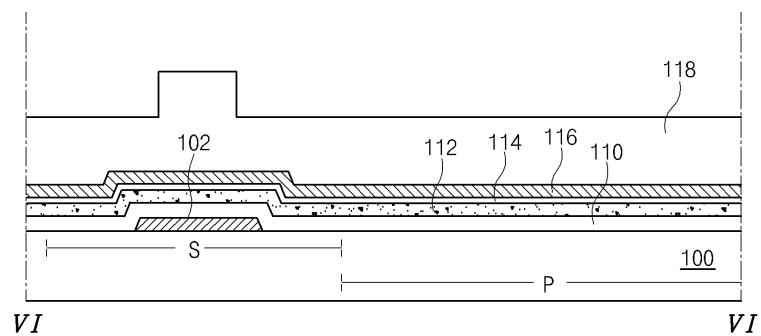
도면9a



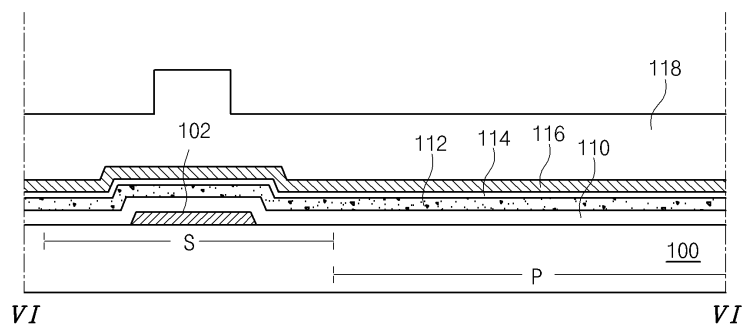
도면9b



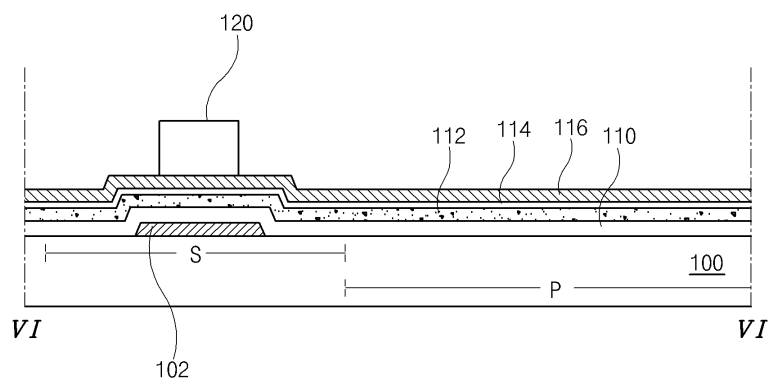
도면9c



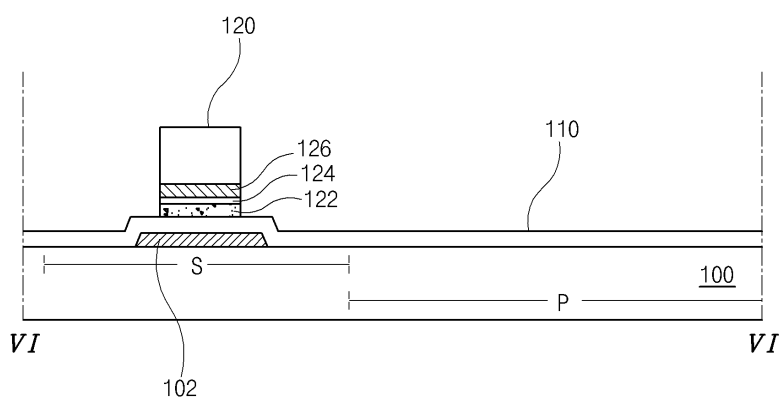
도면9d



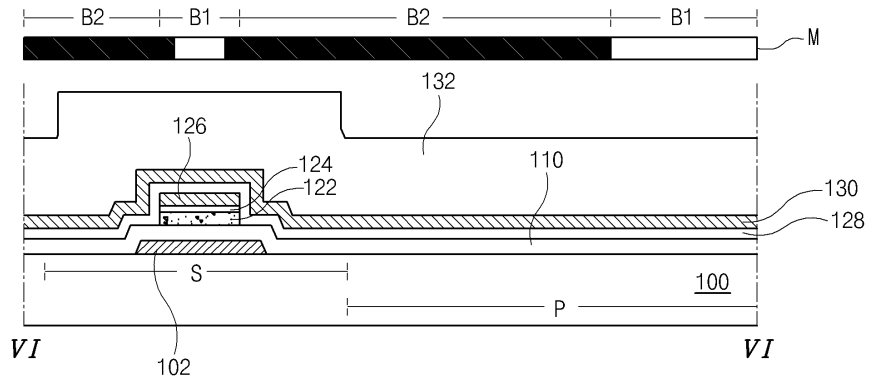
도면9e



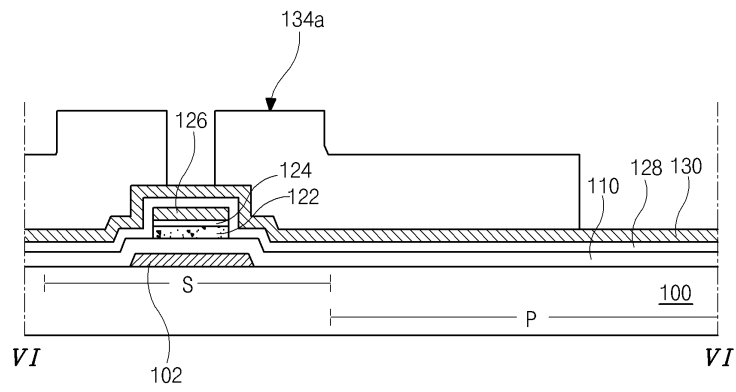
도면9f



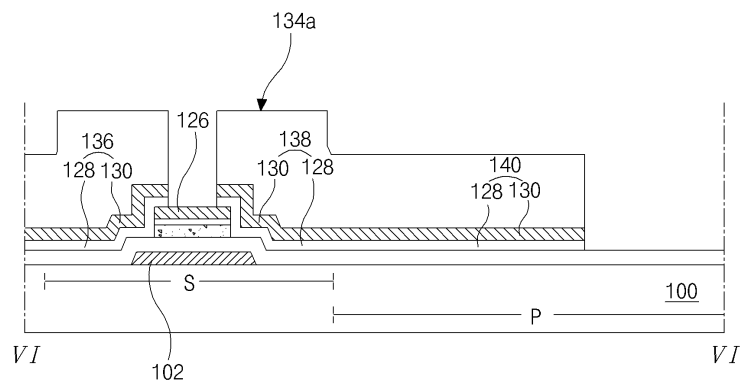
도면9g



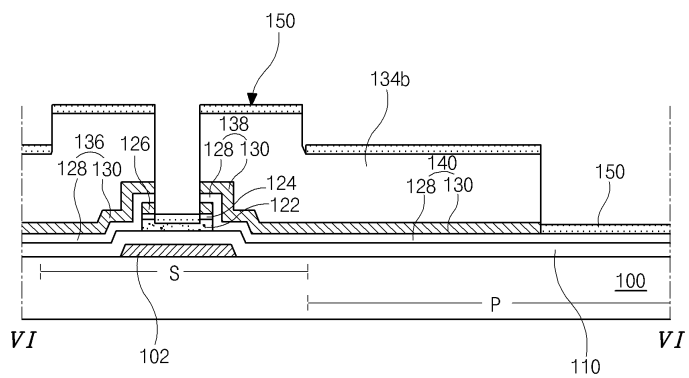
도면9h



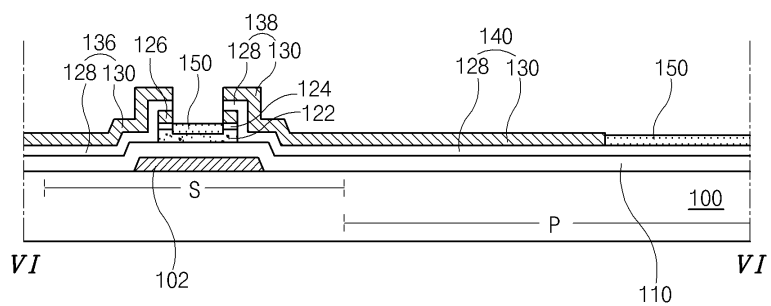
도면9i



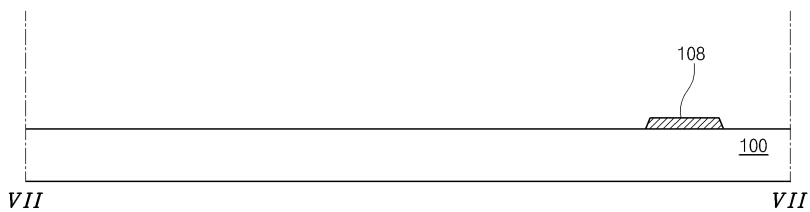
도면9j



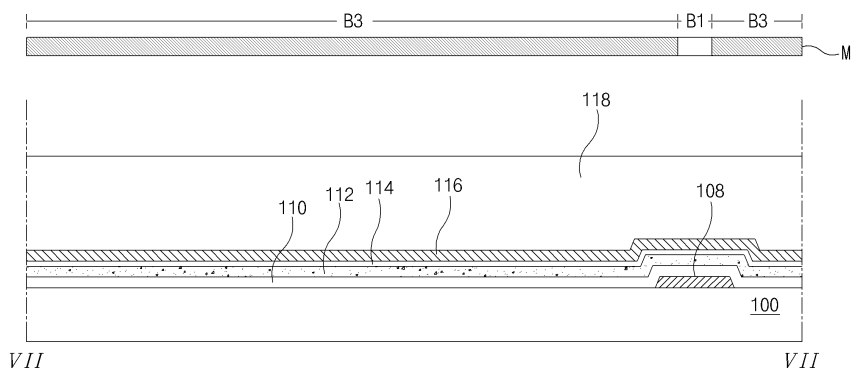
도면9k



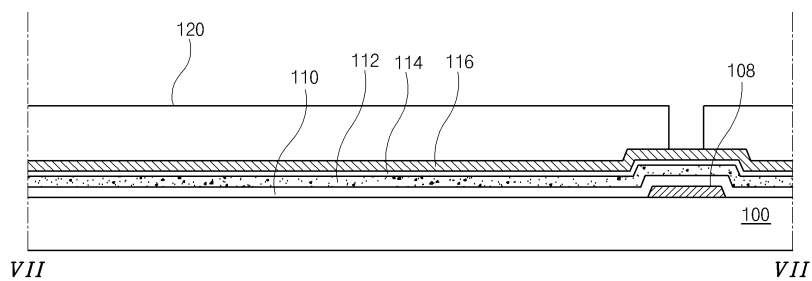
도면10a



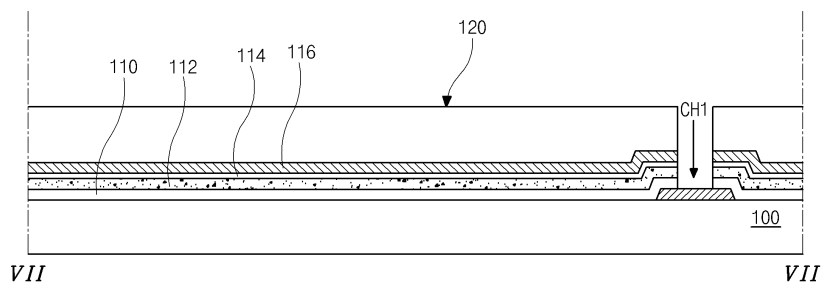
도면10b



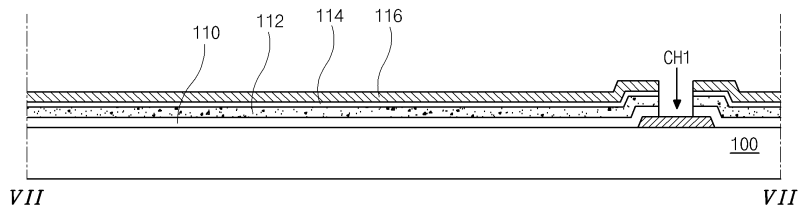
도면10c



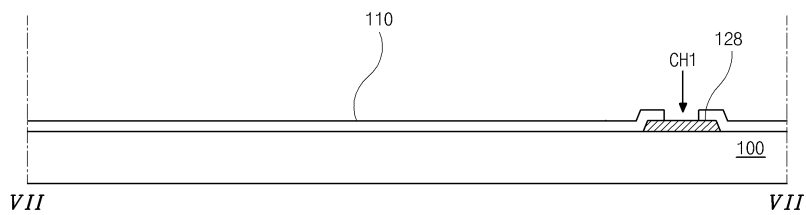
도면10d



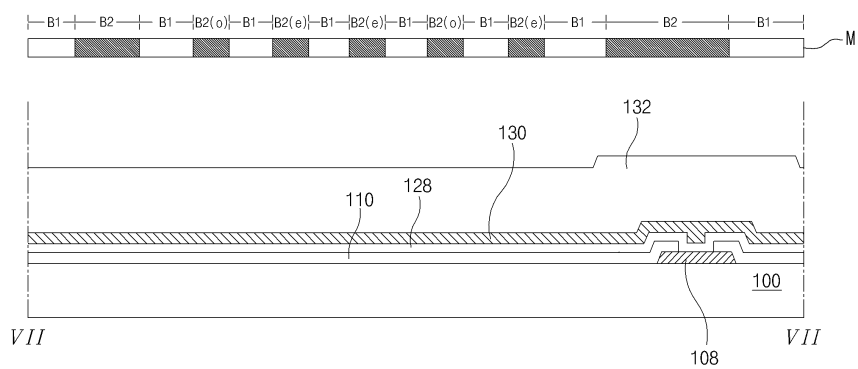
도면10e



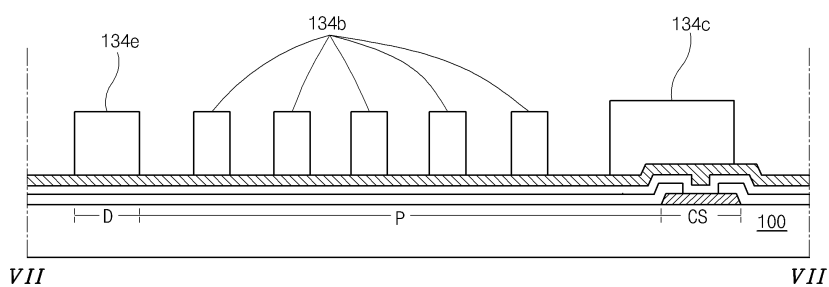
도면10f



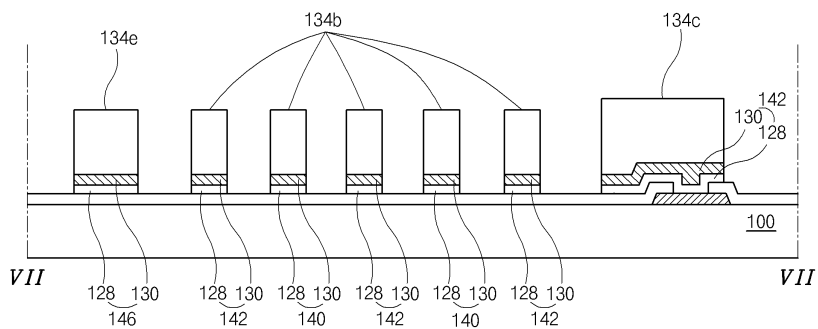
도면10g



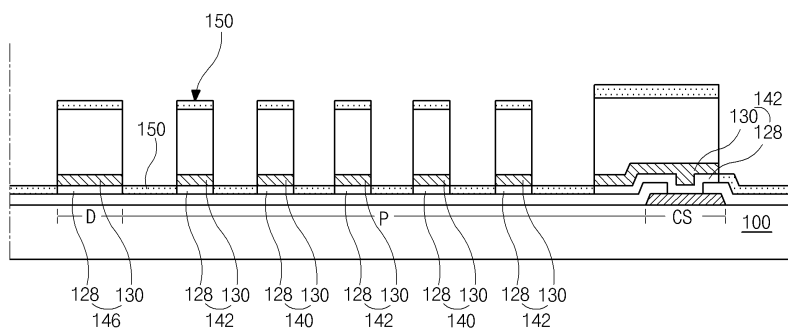
도면10h



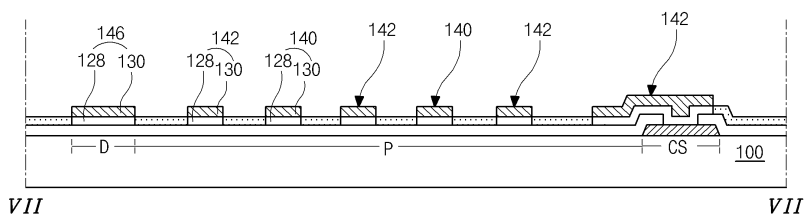
도면10i



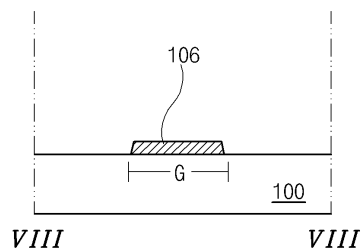
도면10j



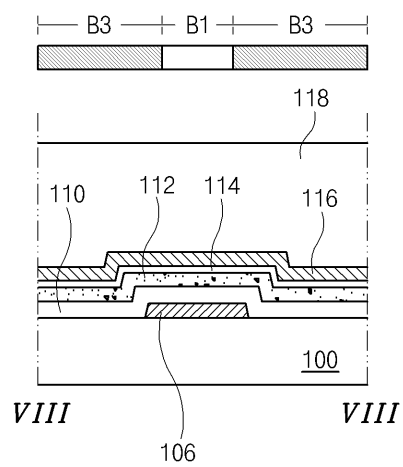
도면10k



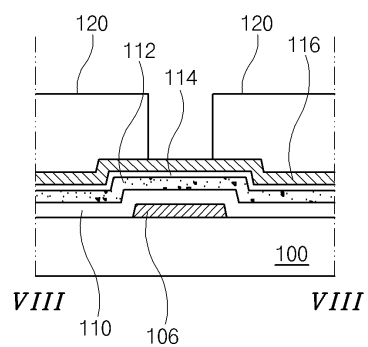
도면11a



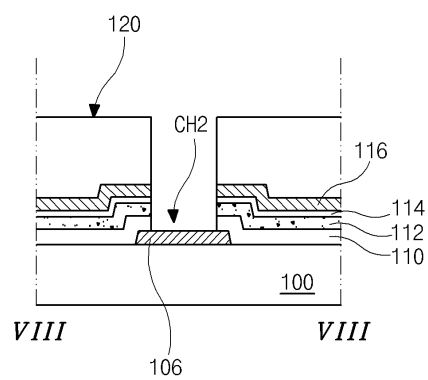
도면11b



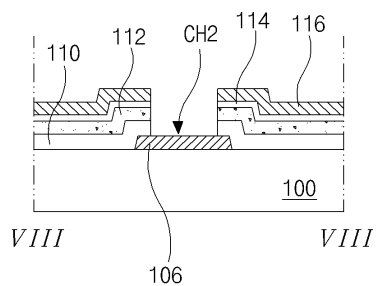
도면11c



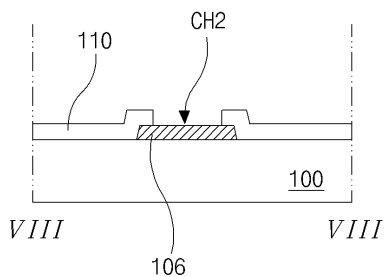
도면11d



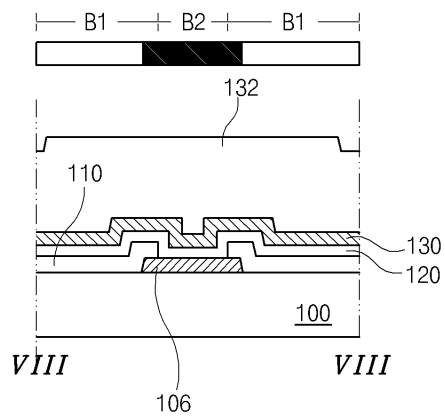
도면11e



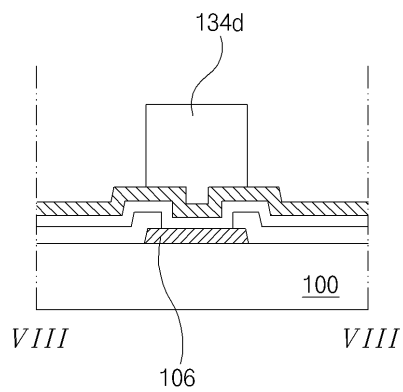
도면11f



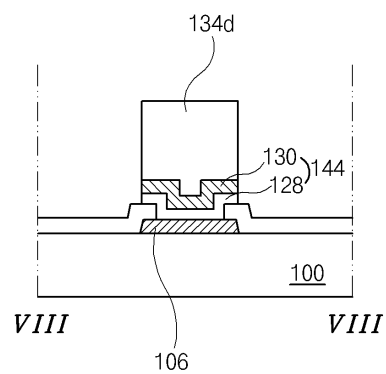
도면11g



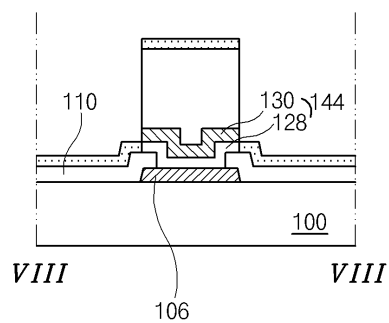
도면11h



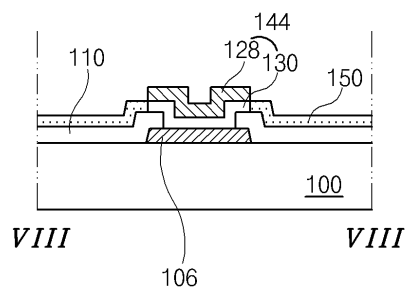
도면11i



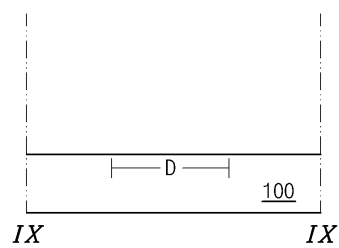
도면11j



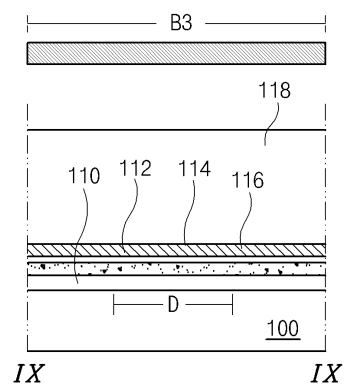
도면11k



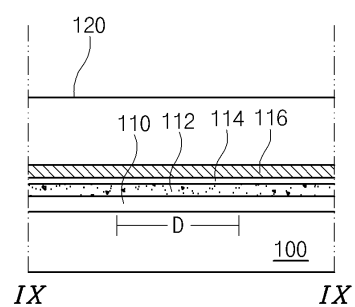
도면12a



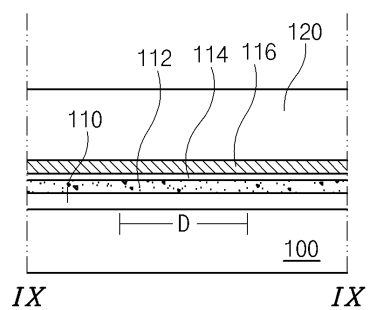
도면12b



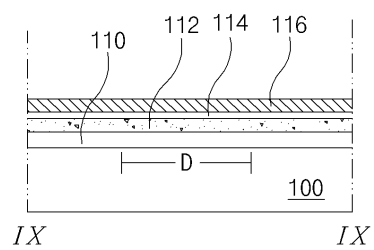
도면12c



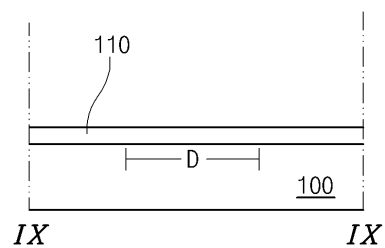
도면12d



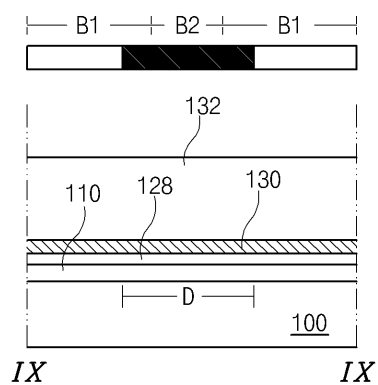
도면12e



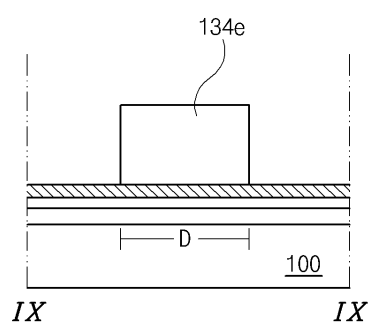
도면12f



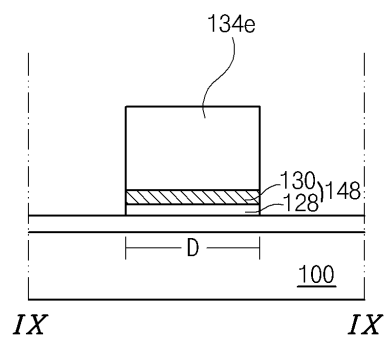
도면12g



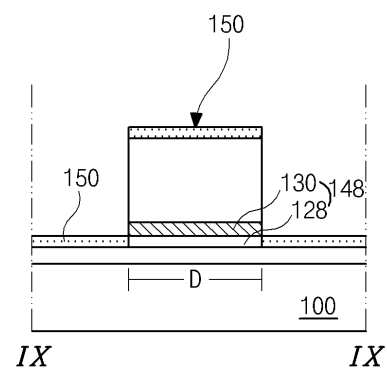
도면12h



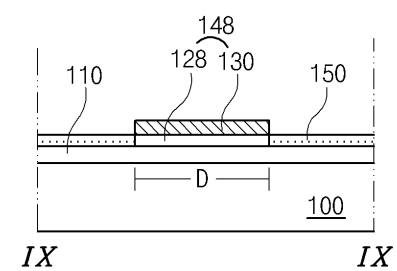
도면12i



도면12j



도면12k



专利名称(译)	标题：横向电场型液晶显示装置用阵列基板及其制造方法		
公开(公告)号	KR101302965B1	公开(公告)日	2013-09-03
申请号	KR1020060060985	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG HYUN SEOK 홍현석 LIM BYOUNG HO 임병호		
发明人	홍현석 임병호		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 H01L27/124 G02F1/136286 G02F2001/136231		
其他公开文献	KR1020080002271A		
外部链接	Espacenet		

摘要(译)

用途：提供用于IPW（平面内切换）模式LCD（液晶显示器）的阵列基板及其制造方法，以最小化由光电流引起的TFT（薄膜晶体管）的截止电流特性，并通过配置防止波动噪声仅在栅电极的上部上形成岛状的有源层。结构：在基板（100）上，定义像素区域，开关区域，栅极区域和数据区域。TFT（薄膜晶体管）设置在开关区域上。TFT包括栅电极（102），绝缘层，欧姆接触层和与有源层隔开的缓冲金属（126），以及各自与缓冲金属接触的源电极（136）和漏电极（138）。数据线（146）设置在数据区中，并且在其一端包括数据焊盘（148）。在数据区中，层叠透明金属层和不透明金属层。栅极线（104）配置在栅极区域中并且在其一端包括栅极焊盘。多个像素电极（140）在像素区域中配置成垂直条形。多个公共电极与像素电极隔开。钝化层覆盖在源电极和漏电极之间暴露的有源层的表面，并且配置在像素电极和公共电极之间。

©KIPO 2008

