



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월08일
(11) 등록번호 10-1241139
(24) 등록일자 2013년03월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2006-0058508
(22) 출원일자 2006년06월28일
심사청구일자 2011년06월20일
(65) 공개번호 10-2008-0000753
(43) 공개일자 2008년01월03일
(56) 선행기술조사문헌
KR100963403 B1

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박정식
대구광역시 달서구 한들로 31, 104동 1404호 (장기동, 장기누림타운)
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 8 항

심사관 : 박남현

(54) 발명의 명칭 액정표시장치 및 이의 구동방법

(57) 요약

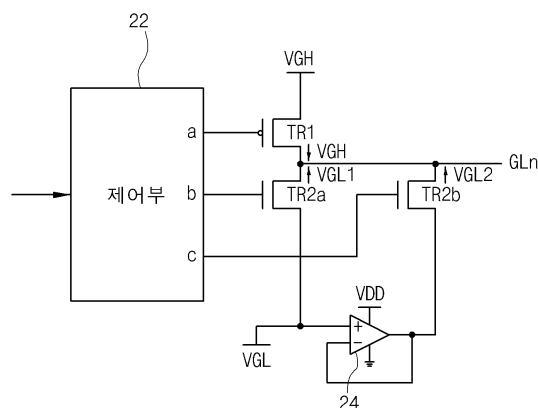
본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 각 게이트라인간의 리플(Ripple)현상을 방지하기 위해 제1 게이트로우전압(VGL1) 및 제2 게이트로우전압(VGL2)을 교번으로 공급하는 액정표시장치 및 이의 구동방법에 관한 것이다.

이를 위해, 게이트드라이버 내에 게이트하이레벨(VGH)을 출력하는 하이 스위칭소자와, 게이트로우레벨(VGL)을 출력하는 제1 및 제2 로우 스위칭소자와, 이 스위칭소자들을 제어하는 제어부를 구비하고, 상기 제1 및 제2 로우 스위칭소자 사이에 버퍼부를 구비한다.

이에 따라, 게이트하이전압이 입력되는 시기에 전단 게이트로우전압에 발생하는 리플현상을 제1 게이트로우전압 및 제2 게이트로우전압을 생성하여, 교번으로 입력하여 리플현상을 제거한다.

또한, 상기 제2 게이트로우전압을 게이트드라이버내에서 생성하여, 별도의 전원공급부로부터 생성되는 경우보다 더 안정된 파형의 제2 게이트로우전압을 공급할 수 있다.

대표도 - 도4a



특허청구의 범위

청구항 1

게이트라인 및 데이터라인이 교차되어 형성되고, 상기 게이트라인 및 상기 데이터라인이 교차되는 지점에 박막 트랜지스터를 구비하는 액정패널과;

외부로부터 제어신호 및 데이터신호를 입력받아, 상기 데이터라인을 통해 상기 박막트랜지스터에 영상신호를 공급하는 데이터드라이버와;

상기 제어신호를 입력받아, 상기 박막트랜지스터를 턴-온 하는 게이트하이신호와, 각각이 상기 박막트랜지스터를 턴-오프 하는 제1 및 제2 게이트로우신호를 생성하는 게이트드라이버;

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 게이트드라이버는, 상기 게이트하이신호 생성하는 하이 스위칭소자와;

상기 제1 및 제2 게이트로우신호를 생성하는 제1 및 제2 로우 스위칭소자와;

상기 제1 및 제2 로우 스위칭소자의 소스단에 구비되는 버퍼부와;

상기 하이 스위칭소자와, 상기 제1 및 제2 로우 스위칭소자를 제어하는 제어부;

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2 항에 있어서,

상기 하이 스위칭소자와 상기 제1 로우 스위칭소자는 C-MOS이고, 제2 로우 스위칭소자는 N-MOS 인 것을 특징으로 하는 액정표시장치.

청구항 4

제2 항에 있어서,

상기 하이 스위칭소자는 P-MOS 이고, 상기 제1 및 제2 로우 스위칭소자는 N-MOS 인 것을 특징으로 하는 액정표시장치.

청구항 5

제2 항에 있어서,

상기 버퍼부는, OP-AMP를 이용한 전압플로워 인 것을 특징으로 하는 액정표시장치.

청구항 6

액정패널의 게이트라인 및 데이터라인의 교차지점에 형성되는 박막트랜지스터를 턴-온 하는 게이트하이전압과, 각각이 상기 박막트랜지스터를 턴-오프 하는 동일전압 레벨인 제1 및 제2 게이트로우전압의 출력을 제어하는 제어부를 구비하는 액정표시장치 게이트드라이버의 구동방법에 있어서,

상기 제어부가 외부로부터 제어신호를 입력받는 단계와;

상기 제어신호에 따라, 상기 게이트하이전압과, 상기 제1 및 제2 게이트로우전압을 출력하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치 게이트드라이버의 구동방법.

청구항 7

제6 항에 있어서,

상기 게이트하이전압과, 상기 제1 및 제2 게이트로우전압을 출력하는 단계는,

초기에 상기 제1 게이트로우전압을 출력하는 단계와;

상기 제어신호에 따라, 상기 게이트하이전압을 1수평기간동안 출력하고, 이후 상기 제2 게이트로우전압을 출력하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치 게이트드라이버의 구동방법.

청구항 8

제6 항에 있어서,

상기 게이트하이전압과, 상기 제1 및 제2 게이트로우전압을 출력하는 단계는,

상기 제어신호에 따라, 초기에 상기 제1 게이트로우전압을 출력하는 단계와;

상기 게이트하이전압을 1수평기간동안 출력하고, 상기 제1 및 제2 게이트로우전압을 동시에 출력하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치 게이트드라이버의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 액정표시장치에서 각 게이트라인간의 리플(Ripple)현상을 방지하기 위해 제1 게이트로우전압(VGL1) 및 제2 게이트로우전압(VGL2)을 교번으로 공급하는 액정표시장치 및 이의 구동방법에 관한 것이다.
- [0012] 도 1은 일반적인 액정표시장치의 기본 구성을 도시한 블록도로서, 크게 영상을 표시하는 액정패널(1)과, 이를 제어하는 구동회로로 구성되며, 상기 구동회로는 게이트드라이버(2) 및 데이터드라이버(4)로 구성된다.
- [0013] 액정패널(1)은 글라스를 이용한 제1 기관 제2 기관이 소정거리 이격되어 합착되고, 이 사이에 액정이 주입된다. 또한, 도 1에 도시한 바와 같이, 다수의 게이트라인(GL1 내지 GLn)과 다수의 데이터라인(DL1 내지 DLm)이 교차되어 다수의 화소영역을 형성하며, 각각의 화소영역에는 박막트랜지스터(T)와 액정캐패시터(Clc) 및 스토리지캐패시터(Cst)가 구성되어 화소전극과 공통전극간 전계에 의한 액정분자의 회전 각도에 따라 제어되는 광 투과율에 의해 화상을 표시한다.
- [0014] 게이트드라이버(2)는 외부로부터 입력되는 제어신호들에 응답하여 액정패널(1)상에 배열된 박막트랜지스터(T)들의 온/오프 제어를 수행하는데, 액정패널(1)상의 게이트라인(GL1 내지 GLn)을 1수평기간(1H)씩 순차적으로 인에이블 시킴으로써 액정패널(1)상의 박막 트랜지스터들(T)을 1 수평라인 분씩 순차적으로 구동시켜 데이터드라이버(4)로부터 공급되는 아날로그 영상신호들이 각 박막트랜지스터(T)들에 접속된 화소들로 인가되도록 한다.
- [0015] 데이터드라이버(4)는 외부로부터 입력되는 제어신호 및 데이터신호에 응답하여 아날로그 영상신호들을 발생하고, 상기 영상신호들을 데이터라인(DL1 내지 DLm)들을 통해 액정패널(1)에 공급하여 액정분자의 회전각도를 제어한다.
- [0016] 전원공급부(6)는 상기 구동회로(2,4)의 구동에 필요한 전원전압을 생성하여, 각 구동회로에 공급하고, 공통전압(Vcom)을 생성하여 이를 액정패널(1)상의 공통전극에 공급한다.
- [0017] 도 2는 도 1의 액정패널과, 구동회로의 구성형태 일례를 설명하기 위한 개략도로서, 구동회로(12a,14a)는 복수개의 집적회로로 구성되며, 이 구동회로는 고분자 물질로 만들어진 얇은 가용성(Flexible) 필름상에 구동회로를 실장하는 TCP(Tape Carrier Package)방식으로 구성되고, 상기 게이트 및 데이터드라이버(12a,14a)가 각각 실장된 TCP(12b,14b)는 상기 액정패널(10)의 가장자리영역과 탭(Tape Automated Bonding)방식으로 연결된다.
- [0018] 또한, 도시하지는 않았지만 상기 게이트 및 데이터드라이버(12a,14a)는 TCP방식이 아닌 COG(Chip-On-Glass)방식으로 액정패널(10)상에 직접 실장되기도 한다.

- [0019] 상기 구동회로(12a, 14a)는 직접 연결된 데이터 인쇄회로기판(Printed Circuit Board, 이하 PCB)(16)에 실장된 신호라인들을 통해 외부로부터 입력되는 제어신호 및 데이터신호를 입력받으며, 이를 위해 데이터TCP(14a)는 상기 데이터PCB(16)와 직접 본딩되고, 게이트TCP(12a)는 신호라인이 액정패널의 가장자리부분에 형성되는 라인-온-글래스(Line On Glass, 이하 LOG)신호라인군(11)을 통해, 상기 데이터PCB와 전기적으로 연결된다.
- [0020] 상기 LOG 신호라인군(11)은 전원(VDD, VCC) 및 접지전압(GND) 신호라인, 게이트인에이블(GOE)신호라인, 게이트시작펄스(GSP)신호라인, 게이트하이전압(VGH)신호라인, 게이트로우전압(VGL)신호라인으로 구성된다.
- [0021] 여기서, 액정표시장치의 구동시, 상기 게이트드라이버(12a)는 박막트랜지스터(T)들의 온/오프 제어를 수행하기 위해, 상술한 LOG 신호라인군(11)으로부터 입력되는 제어신호들 중 박막트랜지스터의 문턱전압 이상으로 설정된 스캔펄스의 하이논리전압인 게이트하이전압(VGH) 및, 상기 박막트랜지스터의 오프전압으로 설정된 수평펄스의 로우논리전압인 게이트로우전압(VGL)을 상기 액정패널(10)에 공급한다.
- [0022] 보다 상세하게는, 도 3은 액정패널에 형성되는 게이트 및 데이터라인과, 박막트랜지스터의 일부분을 개략적으로 도시한 회로도로서, 도 3을 참조하면, n번째 게이트라인(GLn)에 게이트하이전압(VGH)이 입력되면, 상기 게이트라인(GLn)상의 화소전극에 데이터라인(Dm-1 ~ Dm)을 통해 입력되는 데이터신호가 스토리지캐패시터(Cst)에 충전된다.
- [0023] 이때, 상기 게이트라인(GLn)상의 스토리지캐패시터(Cst)에 충전된 데이터신호에 의해 n-1 번째 게이트라인(GLn-1)에 입력되고 있는 게이트로우전압(VGL)에 리플(Ripple)현상이 발생하게 되고, 이것은 플리커의 원인이 되었다.

발명이 이루고자 하는 기술적 과제

- [0024] 본 발명은 상기 각 게이트라인간에 발생하는 리플현상을 해결하기 위해 안출된 것으로, 액정표시장치에서 각 게이트라인의 인에이블/디스에이블 동작시에 전단 게이트의 신호파형에 리플현상을 제거하기 위한 게이트로우전압(VGL)을 추가로 생성하고, 이를 통해 플리커 현상을 방지하는 액정표시장치 및 이의 구동방법을 제공하는 데 그 목적이 있다.
- [0025] 또한, LOG 방식의 액정표시장치에서, 게이트로우전압(VGL)을 안정적으로 생성하는 액정표시장치 및 이의 구동방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

- [0026] 상기의 목적을 달성하기 위해, 본 발명의 실시예에 의한 액정표시장치는, 게이트라인 및 데이터라인이 교차되어 형성되고, 상기 교차되는 지점에 박막트랜지스터를 구비하는 액정패널과; 외부로부터 제어신호 및 데이터신호를 입력받아, 상기 데이터라인을 통해 상기 박막트랜지스터에 영상신호를 공급하는 데이터드라이버와; 상기 제어신호를 입력받아, 상기 박막트랜지스터를 턴-온 하는 게이트하이신호와, 턴-오프하는 제1 및 제2 게이트로우신호를 생성하는 게이트드라이버를 포함하는 것을 특징으로 한다.
- [0027] 상기 게이트드라이버는, 상기 게이트하이신호 생성하는 하이 스위칭소자와; 상기 제1 및 제2 게이트로우신호를 생성하는 제1 및 제2 로우 스위칭소자와; 상기 제1 및 제2 로우 스위칭소자의 소스단에 구비되는 버퍼부와; 상기 하이 스위칭소자와, 제1 및 제2 로우 스위칭소자를 제어하는 제어부를 포함하는 것을 특징으로 한다.
- [0028] 상기 하이 스위칭소자와 제1 로우 스위칭소자는 C-MOS이고, 제2 로우 스위칭소자는 N-MOS 인 것을 특징으로 한다.
- [0029] 상기 하이 스위칭소자는 P-MOS 이고, 제1 및 제2 로우 스위칭소자는 N-MOS 인 것을 특징으로 한다.
- [0030] 상기 버퍼부는, 전압플로워 형태로 구성되는 OP-AMP 인 것을 특징으로 한다.
- [0031] 상기의 목적을 달성하기 위해, 본 발명의 실시예에 의한 액정표시장치 게이트드라이버의 구동방법은, 게이트하이전압과, 동일전압 레벨인 제1 및 제2 게이트로우전압의 출력을 제어하는 제어부를 구비하는 액정표시장치 게이트드라이버의 구동방법에 있어서, 상기 제어부가 외부로부터 제어신호를 입력받는 단계와; 상기 제어신호에 따라, 상기 게이트하이전압과, 상기 제1 및 제2 게이트로우전압을 출력하는 단계를 포함하는 것을 특징으로 한다.

다.

- [0032] 상기 게이트하이전압과, 상기 제1 및 제2 게이트로우전압을 출력하는 단계는, 초기에 제1 게이트로우전압을 출력하는 단계와; 상기 제어신호에 따라, 상기 게이트하이전압을 1수평기간동안 출력하고, 이후 상기 제2 게이트로우전압을 출력하는 단계를 포함하는 것을 특징으로 한다.
- [0033] 상기 게이트하이전압과, 상기 제1 및 제2 게이트로우전압을 출력하는 단계는, 상기 제어신호에 따라, 초기에 제1 게이트로우전압을 출력하는 단계와; 상기 게이트하이전압을 1수평기간동안 출력하고, 상기 제1 및 제2 게이트로우전압을 동시에 출력하는 단계를 포함하는 것을 특징으로 한다.
- [0034] 이하, 도면을 참조하여 본 발명의 실시예에 의한 액정표시장치의 게이트드라이버를 설명하면 다음과 같다.
- [0035] 도 4a는 본 발명의 실시예에 의한 액정표시장치의 게이트드라이버를 도시한 블록도로써, 도 4a를 참조하면, 외부로부터 제어신호를 입력받는 제어부(22)와, 상기 제어부(22)의 제어에 따라, 전원공급부(미도시)로부터 게이트하이전압(VGH)과 게이트로우전압(VGL)을 입력받아, 게이트라인(GLn)으로 출력하는 하이 스위칭소자(TR1)와, 제1 및 제2 로우 스위칭소자(TR2a, TR2b)로 구성된다.
- [0036] 여기서, 상기 게이트하이전압(VGH) 및 게이트로우전압(VGL)은 각각 LOG 신호라인군에 형성되는 신호라인을 통해 상기 제어부(22)로 공급된다.
- [0037] 이하의 설명에서는 상기 하이 스위칭소자(TR1)의 드레인단으로 출력되는 전압은 게이트하이전압(VGH)으로 정의하고, 상기 제1 및 제2 로우 스위칭소자(TR2a, TR2b)의 드레인단으로 출력되는 전압은 각각 제1 게이트로우전압(VGL1) 및 제2 게이트로우전압(VGL2)으로 정의한다.
- [0038] 또한, 상기 제1 및 제2 로우 스위칭소자(TR2a, TR2b)의 소스단 사이에는 버퍼부(24)가 구비되어 있다.
- [0039] 보다 상세하게는, 상기 제어부(22)는 입력되는 제어신호에 대응하여, 출력단에 연결되어 있는 하이 스위칭소자(TR1)와, 제1 및 제2 로우 스위칭소자(TR2a, TR2b)를 선택적으로 턴-온 하는 구조이다.
- [0040] 상기 하이 스위칭소자(TR1)는 P-MOS 트랜지스터로 구현되며, 게이트단이 상기 제어부(22)의 a출력단(a)과 연결되어 있고, 소스단은 외부의 전원공급부(미도시)에 연결되어 있으며, 드레인단은 게이트라인(GLn)과 연결된다.
- [0041] 상기 제1 및 제2 로우 스위칭소자(TR2a, TR2b)는 N-MOS 트랜지스터로 구현되며, 게이트단이 각각 상기 제어부(22)의 b출력단(b) 및 c출력단(c)과 연결되어 있고, 제1 로우 스위칭소자(TR2a)의 소스단은 외부의 전원공급부(미도시)에 연결되어 있으며, 제2 로우 스위칭소자(TR2b)의 소스단은 버퍼부(24)를 사이에 두고, 상기 외부의 전원공급부(미도시)에 연결되어 있다. 또한 제1 및 제2 로우 스위칭소자(TR2a, TR2b)의 드레인단은 상기 게이트라인(GLn)과 연결되어 있다.
- [0042] 여기서, 상기 제어부(22)의 a출력단(a)과 b출력단(b)은 전기적으로 연결된 하나의 출력단으로 구성될 수 있으며, 또한 상기 하이 스위칭소자(TR1)와 제1 로우 스위칭소자(TR2a)는 하나의 C-MOS 또는 각각 P-MOS 및 N-MOS로 구현될 수 있으며, 상기 버퍼부(24)는 OP-AMP로 구현될 수 있다.
- [0043] 이하, 도 4a를 참조하여 본 발명의 실시예에 의한 액정표시장치 게이트드라이버의 동작을 설명하면 다음과 같다.
- [0044] 제어부(22)는 a,b출력단(a,b)은 하이레벨의 출력신호이고, c출력단(c)은 로우레벨의 출력신호로 초기설정 되어 있다. 이에 따라, 해당 게이트라인의 인에이블 시기가 아닌 경우에는, 게이트라인(GLn)으로 제1 게이트로우전압(VGL1)이 출력된다.
- [0045] 해당 게이트라인의 인에이블 시기가 되면, 외부로부터 제어신호가 입력되고, 상기 제어부(22)는 이 제어신호에 대응하여, 1수평기간(1H)동안 로우레벨의 출력신호를 a,b,c출력단(a,b,c)출력한다. 이에 따라, 하이 스위칭소자(TR1)로부터 게이트로우전압(VGH)이 게이트라인(GLn)으로 출력된다.
- [0046] 이후, 상기 제어부(22)가 1 수평기간(1H)동안 하이레벨의 출력신호를 a,c출력단(a,c)으로 출력하고, 로우레벨의 출력신호를 b출력단(b)으로 출력하면, 제2 로우 스위칭소자(TR2b)로부터 제2 게이트로우전압(VGL2)이 게이트라인(GLn)으로 출력된다.
- [0047] 상기 제2 게이트로우전압(VGL2)은 제1 및 제2 로우 스위칭소자(TR2a, TR2b)의 소스단 사이에 구비되는 버퍼부(24)를 통해, 외부 전원공급부(미도시)부터 입력되는 게이트로우전압(VGL)으로부터 생성된다.
- [0048] 여기서, 상기 버퍼부(24)는 도면에 도시한 바와 같이, OP-AMP를 이용한 전압 플로워(Voltage follower)형태로

구성될 수 있다.

- [0049] 이에 따라, 상기 제1 및 제2 로우 스위칭소자(TR2a, TR2b)는 외부 전원공급부(미도시)부터 입력되는 게이트로우전압(VGL)을 통해 동일한 전압레벨의 제1 및 제2 게이트로우전압(VGL1, VGL2)을 생성한다.
- [0050] 다음으로, 상기 제어부(22)는 a,b출력단(a,b)으로 하이레벨의 출력신호와, c출력단(c)으로 로우레벨의 출력신호를 출력하고, 이에 따라 게이트라인(GLn)으로 제1 게이트로우전압(VGL1)이 출력된다.
- [0051] 또한, 상기 제어부(22)의 a,b출력단(a,b)이 전기적으로 연결된 하나의 출력단으로 구성되는 경우, 도 4b 에 도시한 바와 같이, 하이 스위칭소자(TR1)와 제1 로우 스위칭소자(TR2a)의 게이트가 전기적으로 연결된다. 이러한 구성은 제어부(22)에서 하이 스위칭소자(TR1)와 제1 로우 스위칭소자(TR2a)를 하나의 출력신호로 제어할 수 있으므로, 상기 제어부(22)의 출력단의 개수가 적어지게 되어 보다 단순하게 구성할 수 있다.
- [0052] 도 5는 본 발명의 실시예에 의한 액정표시장치 게이트드라이버의 신호파형 및 이의 신호성분을 도시한 파형도로서, 먼저 (a)와 같이, 초기에 n번째 게이트라인(GLn)에 게이트구동신호(Vout)로서 제1 게이트로우전압(VGL1)이 입력되고, n번째 게이트라인(GLn)의 인에이블시기가 되면, 제어신호에 대응하여, 게이트구동신호(Vout)로서 게이트하이전압(VGH)이 1수평기간(1H)동안 출력된다. 이후, n+1번째 게이트라인(GLn+1)의 인에이블시기가 되면, 제2 게이트로우전압(VGL2)이 1수평기간(1H)동안 출력된다. 즉, n+1번째 게이트라인(GLn+1)의 게이트하이전압(VGH)의 인가로 인한 n번째 게이트라인의 제1 게이트로우전압(VGL1)의 리플현상에 영향을 받지 않는 제2 게이트로우전압(VGL2)이 게이트구동신호(Vout)로서 입력되어, 리플현상을 제거 할 수 있다.
- [0053] 이후, 남은 기간동안 제1 게이트로우전압(VGL1)이 다음 프레임의 해당 게이트라인의 인에이블 시기까지 계속 출력된다.
- [0054] 또한, 상기 제어부(도 3의 22)의 a,b출력단(a,b)이 전기적으로 연결된 하나의 출력단으로 구성되는 경우에는 (b)와 같이, 게이트구동신호(Vout)의 성분은 상기 제1 및 제2 게이트로우신호(VGL1, VGL2)가 동시에 입력되는 형태가 되며, 따라서, n번째 게이트라인(GLn)이 인에이블되고, n+1번째 게이트라인(GLn+1)의 인에이블시기가 되면, 제1 게이트로우전압(VGL1)과 제2 게이트로우전압(VGL2)이 1수평기간(1H)동안 동시에 출력된다.
- [0055] 이러한 구조의 본 발명의 실시예에 의한 게이트드라이버는 제2 게이트로우전압(VGL2)이 LOG신호라인군이 아닌 게이트드라이버내에서 생성됨으로서, 상기 제2 게이트로우전압(VGL2)이 전원전압부의 별도의 출력단에서 LOG신호라인군을 통해 입력되는 경우에 제1 게이트로우전압(VGL1)신호라인과 제2 게이트로우전압(VGL2)신호라인의 라인간 저항 또는 신호지연에 의한 편차가 없으므로, 보다 더 안정된 전압을 생성할 수 있다.
- [0056] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

- [0057] 따라서, 본 발명의 실시예에 의한 액정표시장치 및 이의 구동방법은, 게이트하이전압이 입력되는 시기에 전단 게이트로우전압에 발생하는 리플현상을 제1 게이트로우전압 및 제2 게이트로우전압을 생성하여, 교번으로 입력하여 리플현상을 제거한다.
- [0058] 또한, 상기 제2 게이트로우전압을 게이트드라이버내에서 생성하여, 별도의 전원공급부로부터 생성되는 경우보다 더 안정된 파형의 제2 게이트로우전압을 공급할 수 있다.
- [0059] 이에 따라, 전후단 게이트라인간에 발생하는 리플현상에 의한 플리커를 방지할 수 있다.

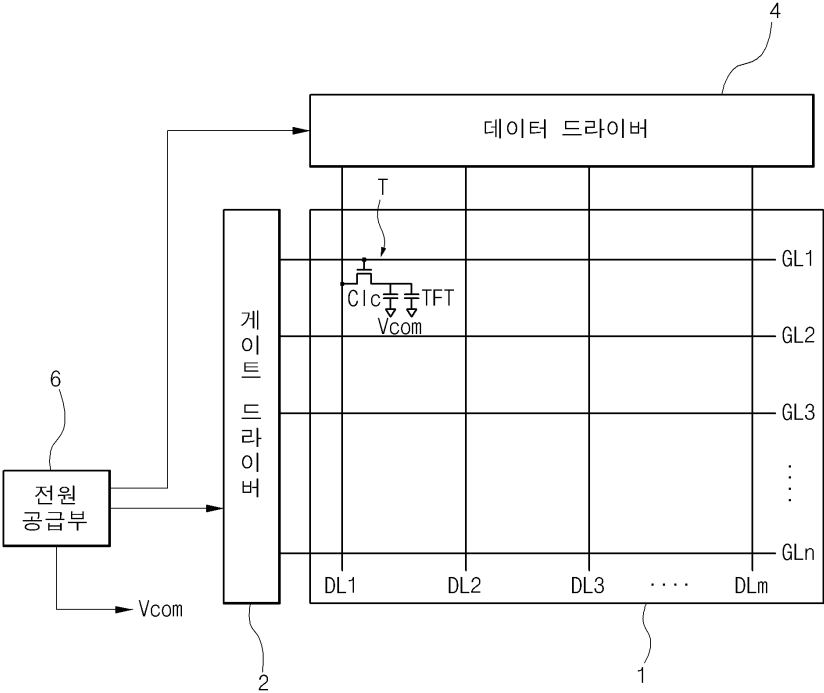
도면의 간단한 설명

- [0001] 도 1은 일반적인 액정표시장치의 기본 구성을 도시한 블록도이다.
- [0002] 도 2는 도 1의 액정패널과, 구동회로의 구성형태 일예를 설명하기 위한 개략도이다.
- [0003] 도 3은 액정패널에 형성되는 게이트 및 데이터라인과, 박막트랜지스터의 일부분을 개략적으로 도시한 회로도이다.

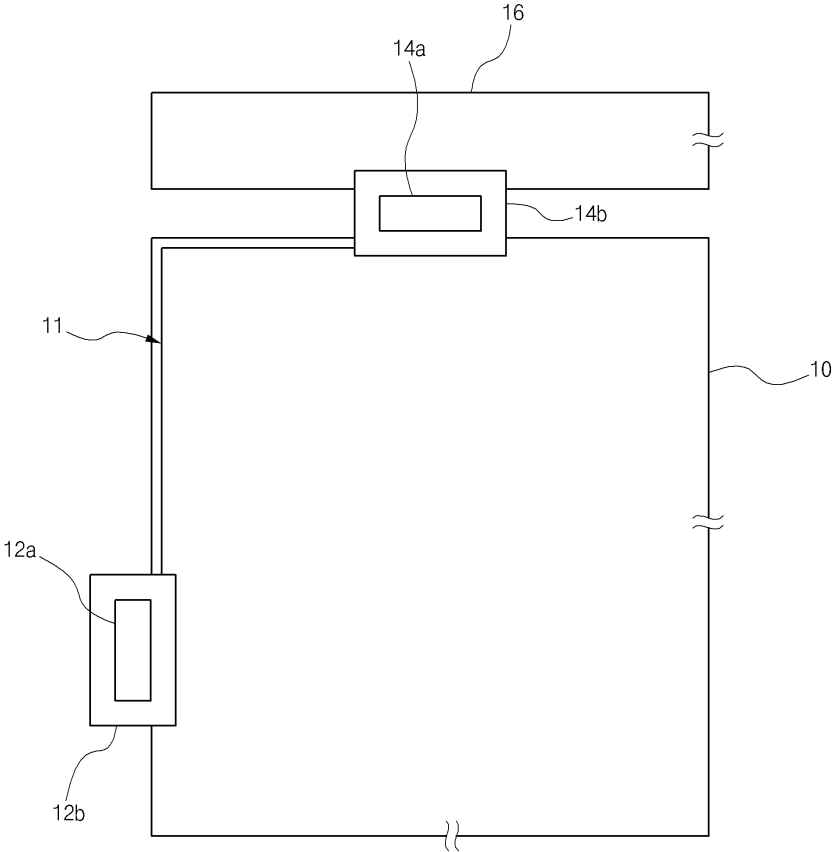
- [0004] 도 4a는 본 발명의 실시예에 의한 액정표시장치의 게이트드라이버를 도시한 블록도이다.
- [0005] 도 5는 본 발명의 실시예에 의한 액정표시장치 게이트드라이버의 신호파형 및 이의 신호성분을 도시한 파형도이다.
- [0006] <도면의 주요부분에 대한 부호의 설명>
- [0007] VGH : 게이트하이전압 VGL : 게이트로우전압
- [0008] TR1 : 하이 스위칭소자 TR2a, TR2b : 제1 및 제2 로우 스위칭소자
- [0009] GLn : 게이트라인 22 : 제어부
- [0010] 24 : 버퍼부

도면

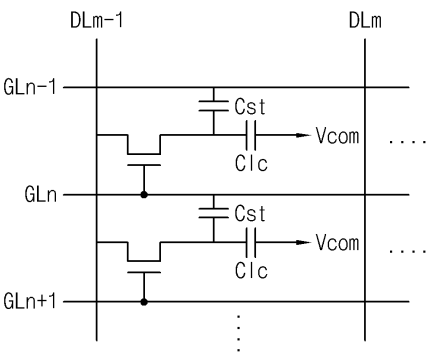
도면1



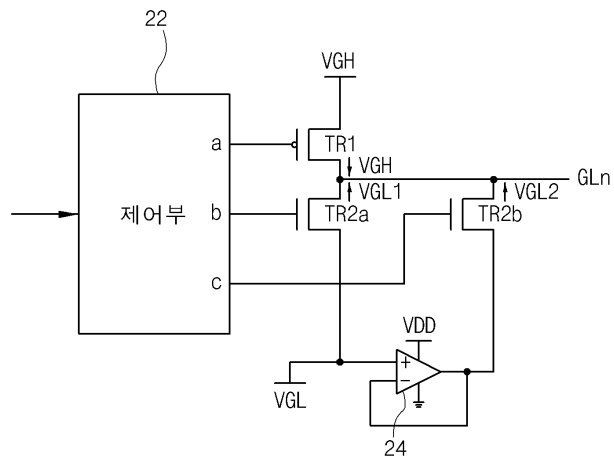
도면2



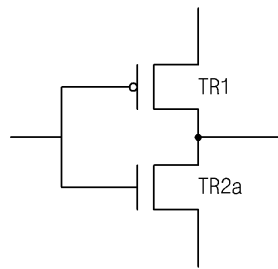
도면3



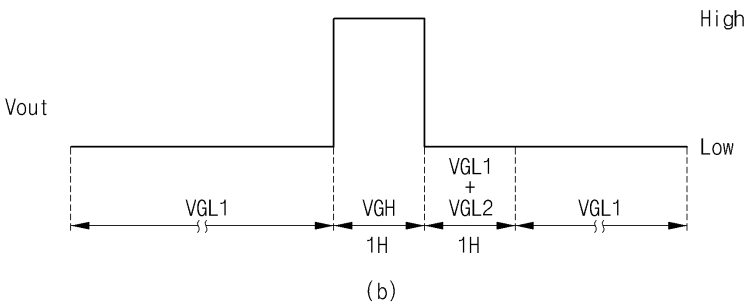
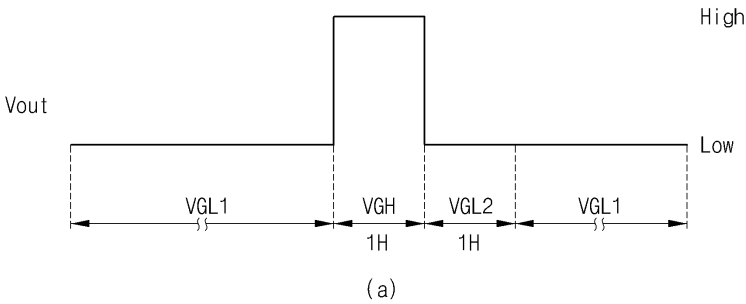
도면4a



도면4b



도면5



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101241139B1	公开(公告)日	2013-03-08
申请号	KR1020060058508	申请日	2006-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JUNG SIK 박정식		
发明人	박정식		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3674 G09G2310/0289		
其他公开文献	KR1020080000753A		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD（液晶显示器）器件及其驱动方法，通过提供由栅极驱动器产生的稳定栅极低电压来防止闪烁。组成：LCD（液晶显示器）器件包括液晶面板（10），以及数据和门驱动器（14a，12a）。液晶面板包括形成彼此交叉的栅极线和数据线，以及形成在交叉区域的薄膜晶体管。数据驱动器从外部接收控制和数据信号，并通过数据线将图像信号提供给薄膜晶体管。栅极驱动器接收控制信号，产生用于导通薄膜晶体管的栅极高信号，并产生用于关闭薄膜晶体管的第一和第二栅极低信号。©KIPO 2008

