



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월13일  
(11) 등록번호 10-1201017  
(24) 등록일자 2012년11월07일

- (51) 국제특허분류(Int. C1.) *G02F 1/136* (2006.01) *G02F 1/1343* (2006.01)
- (21) 출원번호 10-2005-0055973  
(22) 출원일자 2005년06월27일  
심사청구일자 2010년06월18일  
(65) 공개번호 10-2007-0000317  
(43) 공개일자 2007년01월02일  
(56) 선행기술조사문현  
KR1020050035684 A\*  
KR1020000031956 A\*  
KR100231936 B1\*  
KR1020020066573 A\*  
\*는 심사관에 의하여 인용된 문현
- (73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
조홍렬  
경기도 수원시 권선구 매실로 61, 202동 908호  
(호매실동, 삼익2차아파트)  
안병철  
경기도 안양시 동안구 평촌동 899-2 향촌아파트  
203동 903호  
(뒷면에 계속)  
(74) 대리인  
서교준

전체 청구항 수 : 총 31 항

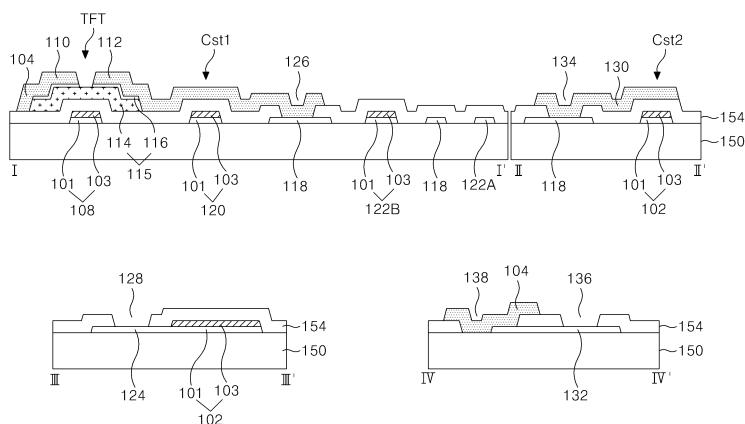
심사관 : 임동재

## (54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

**(57) 요약**

본 발명은 공정을 단순화할 수 있는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

본 발명의 액정 표시 장치의 제조 방법은 기판 상에 게이트 라인 및 게이트 전극, 공통 라인 및 공통 전극, 화소 전극, 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와; 상기 제1 마스크 패턴군 위에 다수의 컨택홀을 포함하는 절연막과 반도체 패턴을 형성하는 단계와; 상기 반도체 패턴이 형성된 절연막 상에 데이터 라인과 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하고, 상기 반도체 패턴의 활성층을 노출시키는 단계를 포함한다.

**대 표 도 - 도3**

(72) 발명자

류순성

경기도 군포시 고산로517번길 20, 915동 1402호  
(산본동, 금강아파트)

권오남

경기 용인시 기흥읍 보라리 570 민속마을 현대모  
닝사이드 313-402

장윤경

경기도 안양시 동안구 경수대로 430, 대림 e-편한  
세상아파트 111동 2504호 (호계동)

남승희

경기도 수원시 장안구 화산로259번길 48, 502호  
(율전동)

## 특허청구의 범위

### 청구항 1

게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인과;

상기 게이트 라인 및 데이터 라인 사이의 절연막과;

상기 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터와;

상기 박막 트랜지스터와 접속되어 상기 화소 영역에 형성된 화소 전극과;

상기 화소 영역에 상기 화소 전극과 나란하게 형성된 공통 전극과;

상기 공통 전극과 접속된 공통 라인과;

상기 게이트 라인, 데이터 라인 및 공통 라인에 각각 접속되는 게이트 패드, 데이터 패드 및 공통 패드를 포함하는 패드를 구비하고;

상기 게이트 라인, 박막 트랜지스터의 게이트 전극, 화소 전극, 공통 전극, 공통 라인, 그리고 상기 패드는 기판 위에 형성된 투명 도전층을 포함하며,

상기 게이트 라인, 게이트 전극 및 공통 라인은 상기 투명 도전층과 상기 투명 도전층 상에 배치된 불투명 도전층을 포함한 복층 구조로 형성되며, 상기 투명 도전층은 상기 불투명 도전층의 외곽을 따라 일정하게 노출되도록 형성된 것을 특징으로 하는 액정 표시 장치.

### 청구항 2

삭제

### 청구항 3

제 1 항에 있어서,

상기 데이터 라인과 인접한 상기 공통 전극은 상기 투명 도전층과 불투명 도전층을 포함하는 복층 구조로, 상기 화소 영역 내에서 상기 화소전극은 다수개로 구비되며 상기 다수개의 화소전극들 사이에 배치된 상기 공통 전극은 상기 투명 도전층으로 형성된 것을 특징으로 하는 액정 표시 장치.

### 청구항 4

제 1 항에 있어서,

상기 화소 전극 및 패드는 상기 투명 도전층으로 형성된 것을 특징으로 하는 액정 표시 장치.

### 청구항 5

제 1 항에 있어서,

상기 화소 전극 및 상기 패드는 상기 투명 도전층과 불투명 도전층을 포함하는 복층 구조로 형성된 것을 특징으로 하는 액정 표시 장치.

### 청구항 6

삭제

### 청구항 7

제 5 항에 있어서,

상기 패드는 상기 불투명 도전층까지 관통하는 컨택홀을 통해 상기 투명 도전층이 노출되도록 형성된 것을 특징으로 하는 액정 표시 장치.

### 청구항 8

제 1 항에 있어서,

상기 박막 트랜지스터의 드레인 전극이 상기 절연막을 사이에 두고 상기 공통 라인과 중첩되도록 연장되어 형성된 스토리지 캐패시터를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 9

제 1 항 및 제 8 항 중 어느 한 항에 있어서,

상기 화소 전극과 접속된 스토리지 상부 전극이 상기 절연막을 사이에 두고 상기 게이트 라인상에 중첩되도록 형성된 스토리지 캐패시터를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 10

제 9 항에 있어서,

상기 드레인 전극 및 스토리지 상부 전극은 상기 절연막을 관통하는 해당 컨택홀을 통해 상기 화소 전극과 접속된 것을 특징으로 하는 액정 표시 장치.

### 청구항 11

제 1 항에 있어서,

상기 박막 트랜지스터의 소스 및 드레인 전극 사이로 노출된 채널은 그의 표면이 산화되어 보호되는 것을 특징으로 하는 액정 표시 장치.

### 청구항 12

제 1 항에 있어서,

상기 박막 트랜지스터, 데이터 라인은 그 위에 형성된 배향막에 의해 보호되는 것을 특징으로 하는 액정 표시 장치.

### 청구항 13

제 1 항에 있어서,

상기 게이트 라인, 게이트 전극, 화소 전극, 공통 전극, 공통 라인, 패드 중 상기 투명 도전층을 포함하는 복층 도전층 위에 형성된 제2 절연막을 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 14

제 1 항에 있어서,

상기 데이터 라인은 상기 절연막을 관통하는 컨택홀을 통해 상기 패드와 접속된 것을 특징으로 하는 액정 표시 장치.

### 청구항 15

기판 상에 게이트 라인 및 게이트 전극, 공통 라인 및 공통 전극, 화소 전극, 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와;

상기 제1 마스크 패턴군 위에 다수의 컨택홀을 포함하는 절연막과 반도체 패턴을 형성하는 단계와;

상기 반도체 패턴이 형성된 절연막 상에 데이터 라인과 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하고, 상기 반도체 패턴의 활성층을 노출시키는 단계를 포함하며,

상기 게이트 라인, 게이트 전극, 공통 라인은 투명 도전층과 불투명 도전층을 포함하는 복층 구조로 형성되고, 상기 투명 도전층은 상기 불투명 도전층의 외곽을 따라 일정하게 노출되도록 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 16

삭제

### 청구항 17

제 15 항에 있어서,

상기 데이터 라인과 인접한 상기 공통 전극은 투명 도전층과 불투명 도전층을 포함하는 복층 구조로, 화소영 역 내에서 상기 화소전극은 다수개로 구비되고, 상기 다수개의 화소전극들 사이에 배치된 상기 공통전극은 상기 투명 도전층으로 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 18

제 15 항에 있어서,

상기 화소 전극 및 패드는 투명 도전층으로 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 19

제 15 항에 있어서,

상기 제1 도전 패턴군을 형성하는 단계는

상기 기판 상에 투명 도전층 및 불투명 도전층을 적층하는 단계와;

상기 투명 도전층 및 불투명 도전층을 패터닝하는 단계와;

상기 공통전극, 상기 화소전극 및 상기 패드의 상기 불투명 도전층을 제거하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 20

제 19 항에 있어서,

상기 제1 도전 패턴군은 하프 톤 마스크 및 회절 노광 마스크 중 어느 하나를 이용하여 형성하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 21

제 15 항에 있어서,

상기 화소 전극 및 패드는 상기 투명 도전층과 불투명 도전층을 포함하는 복층 구조로 형성된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 22

삭제

### 청구항 23

제 15 항에 있어서,

상기 제1 도전 패턴군을 형성하는 단계는

상기 기판 상에 상기 투명 도전층 및 불투명 도전층을 적층하는 단계와;

상기 불투명 도전층 위에 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 마스크로 상기 투명 도전층 및 불투명 도전층을 패터닝하는 단계와;

상기 포토레지스트 패턴을 애싱하는 단계와;

상기 애싱된 포토레지스트 패턴을 통해 노출된 상기 불투명 도전층을 식각하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 24

제 15 항에 있어서,

상기 패드는 상기 투명 도전층과 불투명 도전층을 포함하는 복층 구조로 형성되며, 상기 패드는 상기 불투명 도전층까지 관통하는 컨택홀을 통해 상기 투명 도전층을 노출시키는 것을 특징으로 하는 액정 표시 장치의 제조 방법

### 청구항 25

제 15 항에 있어서,

상기 절연막 및 반도체 패턴을 형성하는 단계는

상기 제1 도전 패턴군이 형성된 기판 상에 절연막 및 반도체층을 적층하는 단계와;

상기 절연막을 관통하는 상기 다수의 컨택홀들을 형성하는 단계와;

상기 반도체층을 패터닝하여 상기 반도체 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 26

제 25 항에 있어서,

상기 다수의 컨택홀 및 반도체 패턴은 하프 톤 마스크 및 회절 노광 마스크 중 어느 하나를 이용하여 형성하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 27

제 15 항에 있어서,

상기 드레인 전극이 상기 절연막을 사이에 두고 상기 공통 라인과 중첩되도록 연장되어 스토리지 캐패시터를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 28

제 15항 및 제 27 항 중 어느 한 항에 있어서,

상기 화소 전극과 접속되고, 상기 절연막을 사이에 두고 상기 게이트 라인과 중첩되는 스토리지 상부 전극을 상기 제2 도전 패턴군과 함께 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 29

제 28 항에 있어서,

상기 드레인 전극 및 스토리지 상부 전극은 상기 절연막을 관통하는 해당 컨택홀을 통해 상기 화소 전극과 접속된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 30

제 15 항에 있어서,

상기 소스 및 드레인 전극 사이로 노출된 활성층의 표면을 플라즈마 표면 처리로 산화시키는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 31

제 30 항에 있어서,

상기 플라즈마 표면 처리는 상기 제2 도전 패턴군 형성을 위한 포토레지스트 패턴이 존재한 상태에서 수행하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 32

제 15 항에 있어서,

상기 제2 도전 패턴군을 덮는 배향막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치

의 제조 방법.

### 청구항 33

제 15 항에 있어서,

상기 제1 도전 패턴군을 형성하는 단계는

상기 게이트 라인, 게이트 전극, 화소 전극, 공통 전극, 공통 라인, 패드 중 상기 투명 도전층을 포함하는 복층 도전층 위에 제2 절연막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 34

제 15 항에 있어서,

상기 데이터 라인은 상기 절연막을 관통하는 컨택홀을 통해 상기 패드와 접속된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 35

제 24 항에 있어서,

상기 컨택홀을 통해 노출된 상기 패드의 불투명 도전층은 상기 제2 도전 패턴군 형성시 제거되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- [0036] 본 발명은 액정 표시 장치에 관한 것으로, 특히 공정을 단순화할 수 있는 수평 전계 액정 표시 장치 및 그 제조 방법에 관한 것이다.
- [0037] 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀 매트릭스를 통해 화상을 표시하는 액정 표시 패널(이하, 액정 패널)과, 그 액정 패널을 구동하는 구동 회로를 구비한다.
- [0038] 도 1을 참조하면, 종래의 액정 패널은 액정(24)을 사이에 두고 접합된 칼라 필터 기판(10)과 박막 트랜지스터 기판(20)으로 구성된다.
- [0039] 칼라 필터 기판(10)은 상부 유리 기판(2) 상에 순차적으로 형성된 블랙 매트릭스(4)와 칼라 필터(6) 및 공통 전극(8)을 구비한다. 블랙 매트릭스(4)는 상부 유리 기판(2)에 매트릭스 형태로 형성된다. 이러한 블랙 매트릭스(4)는 상부 유리 기판(2)의 영역을 칼라 필터(6)가 형성되어질 다수의 셀영역들로 나누고, 인접한 셀들간의 광 간섭 및 외부광 반사를 방지한다. 칼라 필터(6)는 블랙 매트릭스(4)에 의해 구분된 셀영역에 적(R), 녹(G), 청(B)으로 구분되어 형성되어 적, 녹, 청색 광을 각각 투과시킨다. 공통 전극(8)은 칼라 필터(6) 위에 전면 도포된 투명 도전층으로 액정(24) 구동시 기준이 되는 공통 전압(Vcom)을 공급한다. 그리고, 칼라 필터(6)의 평탄화를 위하여 칼라 필터(6)와 공통 전극(8) 사이에는 오버코트층(Overcoat Layer)(미도시)이 추가로 형성되기도 한다.
- [0040] 박막 트랜지스터 기판(20)은 하부 유리 기판(12)에서 게이트 라인(14)과 데이터 라인(16)의 교차로 정의된 셀 영역마다 형성된 박막 트랜지스터(18)와 화소 전극(22)을 구비한다. 박막 트랜지스터(18)는 게이트 라인(12)으로부터의 게이트 신호에 응답하여 데이터 라인(16)으로부터의 데이터 신호를 화소 전극(22)으로 공급한다. 투명 도전층으로 형성된 화소 전극(22)은 박막 트랜지스터(18)로부터의 데이터 신호를 공급하여 액정(24)이 구동되게 한다.
- [0041] 유전 이방성을 갖는 액정(24)은 화소 전극(22)의 데이터 신호와 공통 전극(8)의 공통 전압(Vcom)에 의해 형성

된 전계에 따라 회전하여 광 투과율을 조절함으로써 제조가 구현되게 한다.

[0042] 그리고, 액정 패널은 액정(24)의 초기 배향을 위한 배향막과, 컬러 필터 기판(10)과 박막 트랜지스터 기판(20)과의 셀캡을 일정하게 유지하기 위한 스페이서(미도시)를 추가로 구비한다.

[0043] 이러한 액정 패널의 컬러 필터 기판(10) 및 박막 트랜지스터 기판(20)은 다수의 마스크 공정을 이용하여 형성된다. 하나의 마스크 공정은 박막 증착(코팅) 공정, 세정 공정, 포토리소그래피 공정(이하, 포토 공정), 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 다수의 공정을 포함한다.

[0044] 특히, 박막 트랜지스터 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이에 따라, 박막 트랜지스터 기판은 표준 마스크 공정이던 5 마스크 공정에서 마스크 공정수를 줄이는 방향으로 발전하고 있다.

[0045] 한편, 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0046] 수직 전계 액정 표시 장치는 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 수직 전계 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0047] 수평 전계 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레이인 스위칭(In Plane Switching; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 수평 전계 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다.

[0048] 이러한 수평 전계 액정 표시 장치의 박막 트랜지스터 기판도 반도체 공정을 포함하는 다수의 마스크 공정을 필요로 하므로 제조 공정이 복잡한 단점이 있다. 따라서, 제조 원가를 절감하기 위해서는 마스크 공정수 단축이 필요하다.

### 발명이 이루고자 하는 기술적 과제

[0049] 따라서, 본 발명의 목적은 공정을 단순화할 수 있는 수평 전계 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

[0050] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정 표시 장치는 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인과; 상기 게이트 라인 및 데이터 라인 사이의 절연막과; 상기 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터와; 상기 박막 트랜지스터와 접속되어 상기 화소 영역에 형성된 화소 전극과; 상기 화소 영역에 상기 화소 전극과 나란하게 형성된 공통 전극과; 상기 공통 전극과 접속된 공통 라인과; 상기 게이트 라인, 데이터 라인, 공통 라인 중 적어도 어느 하나와 접속된 패드를 구비하고; 상기 게이트 라인, 박막 트랜지스터의 게이트 전극, 화소 전극, 공통 전극, 공통 라인, 그리고 상기 패드는 기판 위에 형성된 투명 도전층을 포함하도록 형성된다.

[0051] 그리고, 본 발명의 실시 예에 따른 액정 표시 장치의 제조 방법은 기판 상에 게이트 라인 및 게이트 전극, 공통 라인 및 공통 전극, 화소 전극, 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와; 상기 제1 마스크 패턴군 위에 다수의 컨택홀을 포함하는 절연막과 반도체 패턴을 형성하는 단계와; 상기 반도체 패턴이 형성된 절연막 상에 데이터 라인과 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하고, 상기 반도체 패턴의 활성층을 노출시키는 단계를 포함한다.

[0052] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0053] 이하, 본 발명의 바람직한 실시 예들을 도 2 내지 도 15c를 참조하여 상세하게 설명하기로 한다.

[0054] 도 2는 본 발명의 제1 실시 예에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판을 도시한 평면도이고, 도 3은 도 2에 도시된 박막 트랜지스터 기판을 I-I', II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도이다.

- [0055] 도 2 및 도 3에 도시된 박막 트랜지스터 기판은 하부 기판(150) 위에 게이트 절연막(152)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 게이트 라인(102) 및 데이터 라인(104)과 화소 전극(118)에 접속된 박막 트랜지스터(TFT), 화소 영역에서 수평 전계를 형성하기 위한 화소 전극(118) 및 공통 전극(122), 공통 전극(122)과 접속된 공통 라인(120)과, 화소 전극(118)과 접속된 스토리지 캐패시터(Cst)을 구비한다. 그리고, 박막 트랜지스터 기판은 게이트 라인(102)과 접속된 게이트 패드(124), 데이터 라인(104)과 접속된 데이터 패드(132), 공통 라인(120)과 접속된 공통 패드(미도시)를 더 구비한다.
- [0056] 게이트 라인(102)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(104)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(154)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0057] 박막 트랜지스터(TFT)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104) 상의 비디오 신호가 화소 전극(118)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(102)과 접속된 게이트 전극(108), 데이터 라인(104)과 접속된 소스 전극(110), 소스 전극(110)과 마주하며 화소 전극(118)과 접속된 드레인 전극(112), 게이트 절연막(154)을 사이에 두고 게이트 전극(108)과 중첩되어 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(114), 활성층(114)과 소스 및 드레인 전극(110, 112)과의 오믹 접촉을 위한 오믹 컨택층(116)을 구비한다.
- [0058] 게이트 라인(102) 및 게이트 전극(108)은 기판(150) 위에 투명 도전층을 포함한 적어도 이중층의 복층 구조로 형성된다. 예를 들면, 도 3에 도시된 바와 같이 투명 도전층을 이용한 제1 도전층(101)과, 불투명한 금속을 이용한 제2 도전층(103)이 적층된 이중 도전층 구조로 형성된다.
- [0059] 공통 라인(120)은 공통 전극(122)을 통해 액정 구동을 위한 기준 전압, 즉 공통 전압을 각 화소에 공급한다. 공통 라인(120)은 상기 게이트 라인(102)과 같이 적어도 제1 및 제2 도전층(101, 103)을 포함하는 복층 구조로 형성된다.
- [0060] 다수의 공통 전극(122)은 공통 라인(120)으로부터 화소 영역 내로 돌출되어 화소 전극(118)과 나란하게 형성된다. 이러한 공통 전극(122)은 상기 공통 라인(120)과 같이 적어도 제1 및 제2 도전층(101, 103)을 포함하는 복층 구조로 형성된다. 이와 달리, 공통 전극(122)은 투명한 제1 도전층(101)으로만 형성되기도 한다. 또한, 공통 전극(122)의 일부는 복층 구조로, 나머지 일부는 투명한 제1 도전층(101)으로 형성되기도 한다. 예를 들면, 도 2에 도시된 바와 같이 다수의 공통 전극(122) 중 화소 전극(118) 사이에 위치하는 제1 공통 전극(122A)은 투과율을 높이기 위하여 투명한 제1 도전층(101)으로 형성되고, 데이터 라인(104)과 인접한 제2 공통 전극(122B)은 빛샘 방지를 위하여 공통 라인(120)과 같은 복층 구조로 형성된다.
- [0061] 다수의 화소 전극(118)은 화소 영역 내에서 다수의 공통 전극(122)과 나란하게 형성되고, 제1 컨택홀(126)을 통해 드레인 전극(112)과 접속된다. 화소 전극(118)은 투명한 제1 도전층(101)으로 형성된다. 이와 달리, 화소 전극(118)은 공통 라인(120)과 같이 복층 구조로 형성되기도 한다. 이러한 화소 전극(118)에 박막 트랜지스터(TFT)를 통해 비디오 신호가 공급되면, 화소 전극(118)과 공통 전압이 공급된 공통 전극(122) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 기판과 칼라 필터 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0062] 이러한 공통 전극(122) 및 화소 전극(118)은 도 2에 도시된 바와 같이 데이터 라인(104)과 함께 지그재그 형상으로 형성되거나, 직선형으로 형성될 수 있으며, 이외에도 다양한 형상으로 형성될 수 있게 된다. 상기 공통전극(122) 및 화소전극(118)은 지그재그(zig-zag) 형상으로 형성하고 상기 데이터 라인(104)은 직선형(stripe)으로 형성할 수도 있다.
- [0063] 스토리지 캐패시터(Cst)는 화소 전극(118)에 병렬 접속된 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)를 구비한다. 제1 스토리지 캐패시터(Cst1)는 게이트 절연막(154)을 사이에 두고 공통 라인(120)과 드레인 전극(112)이 중첩되어 형성된다. 공통 라인(120)과 중첩된 드레인 전극(112)은 화소 전극(118)과 중첩되도록 돌출되어, 게이트 절연막(154)을 관통하는 제1 컨택홀(126)을 통해 화소 전극(118)과 접속된다. 제2 스토리지 캐패시터(Cst2)는 게이트 절연막(154)을 사이에 두고 전단 게이트 라인(102)과 스토리지 상부 전극(130)이 중첩되어 형성된다. 전단 게이트 라인(102)과 중첩된 스토리지 상부 전극(130)은 화소 전극(118)과 중첩되도록 돌출되어, 게이트 절연막(154)을 관통하는 제2 컨택홀(134)을 통해 화소 전극(118)과 접속된다. 이러한 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)의 병렬 접속으로 전체 용량이 증가함으로써 스토리지 캐패시터(Cst)는

화소 전극(118)에 충전된 비디오 신호가 다음 신호가 충전될 때까지 안정적으로 유지할 수 있게 된다.

[0064] 게이트 라인(102)은 게이트 패드(124)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(124)는 게이트 라인(102)의 투명한 제1 도전층(101)으로부터 연장되어 형성되고, 게이트 절연막(154)을 관통하는 제3 컨택홀(128)을 통해 노출된다.

[0065] 데이터 라인(104)은 데이터 패드(132)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(132)는 상기 게이트 패드(124)와 동일한 구조로 형성된다. 다시 말하여, 데이터 패드(132)는 기판(150) 상에 투명 도전층으로 형성되고 게이트 절연막(154)을 관통하는 제4 컨택홀(136)을 통해 노출된다. 이러한 데이터 패드(132)는 게이트 절연막(154)을 관통하는 제5 컨택홀(138)을 통해 데이터 라인(104)과 접속된다.

[0066] 공통 라인(120)으로 공통 전압원(미도시)으로부터의 공통 전압을 공급하는 공통 패드(미도시)는 상기 게이트 패드(124)와 동일한 구조로 형성된다.

[0067] 이러한 본 발명의 박막 트랜지스터 기판에는 별도의 보호막이 형성되지 않는다. 그러나, 데이터 라인(104)은 박막 트랜지스터(TFT) 및 스토리지 상부 전극(130)과 함께 그 위에 도포되어질 배향막(미도시)에 의해 보호될 수 있게 된다. 특히, 소스 및 드레인 전극(110, 112) 사이로 노출된 활성층(114)은 플라즈마 표면 처리를 통해  $SiO_2$ 로 산화된 표면층에 의해 더 보호됨으로써 보호막 없이도 채널의 신뢰성을 유지할 수 있게 된다. 또한, 활성층(114)을 노출할 시 노광 공정 등의 마스크 공정을 적용하지 않음으로써 소자특성의 안정성을 더 확보할 수 있게 된다.

[0068] 이와 같이, 보호막이 없는 본 발명의 수평 전계 박막 트랜지스터 기판은 다음과 같이 3마스크 공정으로 형성된다.

[0069] 도 4a 및 도 4b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이고, 도 5a 내지 도 5d는 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들을 도시한 것이다.

[0070] 제1 마스크 공정으로 하부 기판(150) 상에 게이트 라인(102), 게이트 전극(108), 공통 라인(120), 공통 전극(122), 화소 전극(118), 게이트 패드(124), 데이터 패드(132)를 포함하는 제1 마스크 패턴군이 형성된다. 여기서, 게이트 라인(102) 및 게이트 전극(108)과, 공통 라인(120), 제2 공통 전극(122B)은 적어도 2개의 도전층이 적층된 복층 구조로 형성되지만, 설명의 편의상 이하에서는 제1 및 제2 도전층(101, 103)이 적층된 이중 구조만을 설명하기로 한다. 그리고, 제1 공통 전극(122A)과 화소 전극(118), 게이트 패드(124) 및 데이터 패드(132)는 투명한 제1 도전층(101)으로 형성된다. 이렇게 복층 및 단일층 구조를 갖는 제1 마스크 패턴군은 하프 톤(Half Tone) 마스크 또는 회절 노광 마스크를 이용함으로써 하나의 마스크 공정으로 형성된다. 이하에서는 제1 마스크로 하프 톤 마스크를 이용한 경우를 예로 들어 설명하기로 한다.

[0071] 도 5a를 참조하면, 하부 기판(150) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 및 제2 도전층(101, 103)이 적층된다.

[0072] 제1 도전층(101)으로는 ITO, TO, IZO, ITZO 등과 같은 투명 도전 물질이, 제2 도전층(103)으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다.

[0073] 그리고, 하프 톤 마스크를 이용한 포토리소그래피 공정으로 두께가 다른 제1 포토레지스트 패턴(160)이 제2 도전층(103) 위에 형성된다.

[0074] 하프 톤 마스크는 자외선을 차단하는 차단부, 위상 쉬프트(Phase Shift) 물질을 이용하여 자외선을 부분적으로 투과시키는 하프 톤 투과부, 모두 투과시키는 투과부를 구비한다. 이러한 하프 톤 마스크를 이용한 포토리소그래피 공정에 의해 제1 포토레지스트 패턴(160)은 서로 다른 두께의 제1A 및 제1B 포토레지스트 패턴(160A, 160B)과, 개구부를 갖게 된다. 상대적으로 두꺼운 제1A 포토레지스트 패턴(160A)은 하프 톤 마스크의 차단부와 중첩된 제1 포토레지스트의 차단 영역(P1)에, 상기 제1A 포토레지스트 패턴(160A) 보다 얇은 제1B 포토레지스트 패턴(160B)은 하프 톤 투과부와 중첩된 하프 톤 노광부(P2)에, 개구부는 투과부와 중첩된 풀(Full) 노광 영역(P3)에 형성된다.

[0075] 도 5b를 참조하면, 제1 포토레지스트 패턴(160)을 마스크로 이용한 식각 공정으로 제1 및 제2 도전층(101, 103)이 식각됨으로써 복층 구조의 게이트 라인(102), 게이트 전극(108), 공통 라인(120), 공통 전극(122), 화소 전극(118), 게이트 패드(124), 데이터 패드(132)를 포함하는 제1 마스크 패턴군이 형성된다.

- [0076] 도 5c를 참조하면, 애성 공정으로 제1A 포토레지스트 패턴(160A)의 두께는 얇아지게 되고, 제1B 포토레지스트 패턴(160B)은 제거된다. 그리고, 애성된 제1A 포토레지스트 패턴(160A)을 마스크로 이용한 식각 공정으로 제1 공통 전극(122A), 화소 전극(118), 게이트 패드(124), 데이터 패드(132)의 제2 도전층(103)이 제거된다.
- [0077] 도 5d를 참조하면, 도 5c에서 제1 마스크 패턴군 위에 잔존하는 제1A 포토레지스트 패턴(160A)이 스트립 공정으로 제거된다.
- [0078] 도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다, 도 7a 내지 도 7d는 제2 마스크 공정을 구체적으로 설명하기 위한 단면도들을 도시한 것이다.
- [0079] 제1 마스크 패턴군이 형성된 하부 기판(150) 상에 제2 마스크 공정으로 다수의 컨택홀(126, 134, 128, 136, 138)을 포함하는 게이트 절연막(154)과, 반도체 패턴(115)이 형성된다. 이러한 반도체 패턴(115)과 컨택홀들(126, 134, 128, 136, 138)은 회절 노광 마스크 또는 하프 톤(Half Tone) 마스크를 이용한 하나의 마스크 공정으로 형성된다. 이하에서는 제2 마스크로 하프 톤 마스크를 이용한 경우를 설명하기로 한다.
- [0080] 도 7a를 참조하면, 제1 마스크 패턴군이 형성된 하부 기판(150) 상에 PECVD 등의 증착 방법으로 게이트 절연막(154), 비정질 실리콘층(105), 불순물(n+ 또는 p+)이 도핑된 비정질 실리콘층(107)이 순차적으로 형성된다. 게이트 절연막(154)으로는 SiO<sub>x</sub>, SiNx 등과 같은 무기 절연 물질이 이용된다.
- [0081] 그리고, 하프 톤 마스크를 이용한 포토리소그래피 공정으로 두께가 다른 제2 포토레지스트 패턴(170)이 형성된다. 제2 포토레지스트 패턴(170)은 서로 다른 두께의 제2A 및 제2B 포토레지스트 패턴(170A, 170B)와, 개구부를 갖게 된다. 상대적으로 두꺼운 제2A 포토레지스트 패턴(170A)은 하프 톤 마스크의 차단부와 중첩된 제2 포토레지스트의 차단 영역(P1)에, 상기 제2A 포토레지스트 패턴(170A) 보다 얇은 제2B 포토레지스트 패턴(170B)은 하프 톤 투과부와 중첩된 하프 톤 노광부(P2)에, 개구부는 투과부와 중첩된 풀(Full) 노광 영역(P3)에 형성된다.
- [0082] 도 7b를 참조하면, 제2 포토레지스트 패턴(170)을 마스크로 이용한 식각 공정으로 불순물이 도핑된 비정질 실리콘층(107)으로부터 게이트 절연막(154)까지 관통하는 제1 내지 제5 컨택홀(126, 134, 128, 136, 138)이 형성된다. 제1 및 제2 컨택홀(126, 134)은 화소 전극(118)을, 제3 컨택홀(126)은 게이트 패드(124)를, 제4 및 제5 컨택홀(136, 138)은 데이터 패드(132)를 노출시킨다.
- [0083] 도 7c를 참조하면, 애성 공정으로 제2A 포토레지스트 패턴(170A)의 두께는 얇아지게 되고, 제2B 포토레지스트 패턴(170B)은 제거된다. 그리고, 애성된 제2A 포토레지스트 패턴(170A)을 마스크로 이용한 식각 공정으로 불순물이 도핑된 비정질 실리콘층(107) 및 비정질 실리콘층(105)이 패터닝됨으로써 활성층(114) 및 오믹 접촉층(116)을 갖는 반도체 패턴(115)이 형성된다.
- [0084] 도 7d를 참조하면, 도 7c에서 반도체 패턴(115) 위에 잔존하는 제2A 포토레지스트 패턴(170A)은 스트립 공정으로 제거된다.
- [0085] 도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- [0086] 제3 마스크 공정으로 반도체 패턴(115)이 형성된 게이트 절연막(154) 위에 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 스토리지 상부 전극(130)을 포함하는 제3 마스크 패턴군이 형성됨과 아울러, 소스 전극(110) 및 드레인 전극(112) 사이로 그의 표면이 산화된 활성층(114)이 노출된다.
- [0087] 구체적으로, 반도체 패턴(115)이 형성된 게이트 절연막(154) 위에 제3 도전층이 스퍼터링 등의 증착 방법을 통해 형성된다. 제3 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다. 그리고, 포토리소그래피 공정 및 식각 공정으로 제3 도전층이 패터닝됨으로써 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 스토리지 상부 전극(130)을 포함하는 제3 마스크 패턴군이 형성된다. 데이터 라인(104)은 제5 컨택홀(138)을 통해 데이터 패드(132)와, 드레인 전극(112)은 제1 컨택홀(126)을 통해 화소 전극(118)과, 스토리지 상부 전극(130)은 제2 컨택홀(134)을 통해 화소 전극(118)과 접속된다.
- [0088] 그리고, 제3 마스크 패턴군 위에 포토레지스트 패턴이 존재하는 상태에서 소스 전극(110) 및 드레인 전극(112) 사이의 오믹 접촉층(116)을 제거함으로써 활성층(114)이 노출되게 한다. 이는 기존의 4마스크 공정에서 슬릿을 이용한 회절 노광을 이용하여 활성층(114)을 노출시키는 경우 보다 공정 불량을 방지할 수 있게 된

다. 또한, 활성층(114)에 노광 공정 등의 마스크 공정을 적용하지 않음으로써 소자특성의 안정성을 더 확보 할 수 있게 된다.

[0089] 이어서, 노출된 활성층(114)의 표면을 산소 플라즈마를 이용한 표면 처리를 통해  $SiO_2$ 로 산화시킴으로써 보호 막 없이도 채널의 신뢰성을 확보할 수 있게 한다.

[0090] 이와 같이, 본 발명의 제1 실시 예에 따른 수평 전계 박막 트랜지스터 기판의 제조 방법은 3마스크 공정으로 단순화될 수 있게 된다.

[0091] 도 9는 본 발명의 제2 실시 예에 따른 수평 전계 박막 트랜지스터 기판을 도시한 단면도이고, 평면도는 도 2에 도시된 바와 같다.

[0092] 도 9에 도시된 제2 실시 예에 따른 박막 트랜지스터 기판은 도 3에 도시된 제1 실시 예에 따른 박막 트랜지스터 기판과 대비하여 제1 마스크 패턴군 중 복층 구조를 갖는 패턴, 즉 제2 도전층(103)과 게이트 절연막(154) 사이에 제2 게이트 절연막(152)이 추가로 형성된 것을 제외하고는 동일한 구성 요소들을 구비하므로, 중복된 구성 요소들에 대한 설명은 생략하기로 한다.

[0093] 도 9에 도시된 제2 게이트 절연막(152)은 복층 도전층 구조를 갖는 게이트 라인(102), 게이트 전극(108), 공통 라인(120), 제2 공통 전극(122B) 위에 형성된다. 제2 게이트 절연막(152)에 의해 게이트 라인(102)과 테이터 라인(104)의 교차부에서 두 라인(102, 104) 간격이 더 멀어지게 됨으로써 두 라인(102, 104) 간의 신호 간섭을 최소화할 수 있게 된다. 이러한 제2 게이트 절연막(152)은 제1 마스크 패턴군과 함께 제1 마스크 공정으로 형성된다.

[0094] 도 10a 내지 도 10d는 도 9에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들이다.

[0095] 제1 마스크 공정으로 하부 기판(150) 상에 게이트 라인(102), 게이트 전극(108), 공통 라인(120), 공통 전극(122), 화소 전극(118), 게이트 패드(124), 데이터 패드(132)를 포함하는 제1 마스크 패턴군과 함께, 제2 게이트 절연막(152)이 복층 구조를 갖는 패턴 위에 더 형성된다. 예를 들면, 제2 게이트 절연막(152)은 적어도 제1 및 제2 도전층(101, 103)이 적층된 복층 구조의 게이트 라인(102) 및 게이트 전극(108)과, 공통 라인(120), 제2 공통 전극(122B) 위에 형성된다. 이러한 제2 게이트 절연막(152)은 복층 및 단일층 구조를 갖는 제1 마스크 패턴군과 함께 하프 톤(Half Tone) 마스크 또는 회절 노광 마스크를 이용함으로써 하나의 마스크 공정으로 형성된다. 이하에서는 제1 마스크로 하프 톤 마스크를 이용한 경우를 예로 들어 설명하기로 한다.

[0096] 도 10a를 참조하면, 하부 기판(150) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 및 제2 도전층(101, 103)이 적층되고, 제2 도전층(103) 위에 제2 게이트 절연막(152)이 형성된다.

[0097] 제1 도전층(101)으로는 ITO, TO, IZO, ITZO 등과 같은 투명 도전 물질이, 제2 도전층(103)으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다. 제2 게이트 절연막(152)으로는 전술한 게이트 절연막(154)과 같은 무기 절연막이 이용된다.

[0098] 그리고, 하프 톤 마스크를 이용한 포토리소그래피 공정으로 두께가 다른 제1 포토레지스트 패턴(180)이 제2 게이트 절연막(152) 위에 형성된다. 제1 포토레지스트 패턴(180)은 서로 다른 두께의 제1A 및 제1B 포토레지스트 패턴(180A, 180B)과, 개구부를 갖게 된다. 상대적으로 두꺼운 제1A 포토레지스트 패턴(180A)은 하프 톤 마스크의 차단부와 중첩된 제1 포토레지스트의 차단 영역(P1)에, 상기 제1A 포토레지스트 패턴(180A) 보다 얇은 제1B 포토레지스트 패턴(180B)은 하프 톤 투과부와 중첩된 하프 톤 노광부(P2)에, 개구부는 투과부와 중첩된 풀(Full) 노광 영역(P3)에 형성된다.

[0099] 도 10b를 참조하면, 제1 포토레지스트 패턴(180)을 마스크로 이용한 식각 공정으로 제2 게이트 절연막(152)과 제1 및 제2 도전층(101, 103)이 식각됨으로써 복층 구조의 게이트 라인(102), 게이트 전극(108), 공통 라인(120), 공통 전극(122), 화소 전극(118), 게이트 패드(124), 데이터 패드(132)를 포함하는 제1 마스크 패턴군이 형성되고, 제1 마스크 패턴군 위에는 제2 게이트 절연막(152)이 존재하게 된다.

[0100] 도 10c를 참조하면, 애싱 공정으로 제1A 포토레지스트 패턴(180A)의 두께는 얇아지게 되고, 제1B 포토레지스트 패턴(180B)은 제거된다. 그리고, 애싱된 제1A 포토레지스트 패턴(180A)을 마스크로 이용한 식각 공정으로 제1 공통 전극(122A), 화소 전극(118), 게이트 패드(124), 데이터 패드(132)의 제2 도전층(103)이 그 위에 존재하던 제2 게이트 절연막(152)과 함께 제거된다. 이에 따라, 게이트 라인(102) 및 게이트 전극(108)과 공통 라인(120), 제2 공통 전극(122B)은 제1 및 제2 도전층(101, 103)이 적층된 복층 구조를 갖게 되고, 그 위에는

제2 게이트 절연막(152)이 존재하게 된다.

[0101] 도 10d를 참조하면, 도 10c에서 제1 마스크 패턴군 위에 잔존하는 제1A 포토레지스트 패턴(180A)이 스트립 공정으로 제거된다.

[0102] 도 11 및 도 12는 본 발명의 제3 실시 예에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판을 도시한 평면도 및 단면도이다.

[0103] 도 11 및 도 12에 도시된 제3 실시 예에 따른 박막 트랜지스터 기판은 도 2 및 도 3에 도시된 제1 실시 예에 따른 박막 트랜지스터 기판과 대비하여 제1 마스크 패턴군 모두가 복층 구조로 형성된 것을 제외하고는 동일한 구성 요소들을 구비하므로, 중복된 구성 요소들에 대한 설명은 생략하기로 한다.

[0104] 도 11 및 도 12에 도시된 게이트 라인(202), 게이트 전극(208), 공통 라인(220), 공통 전극(222), 화소 전극(118), 게이트 패드(224), 데이터 패드(232)를 포함하는 제1 마스크 패턴군은 적어도 제1 및 제2 도전층(201, 203)이 적층된 복층 구조로 형성된다. 제1 도전층(201)은 전술한 바와 같이 투명 도전층이, 제2 도전층(203)으로는 불투명 도전층이 이용된다. 제2 도전층(203)으로는 금속층이 단일층, 이중층, 또는 삼중층 구조로 이용되기도 한다.

[0105] 특히, 제1 마스크 패턴군의 제1 및 제2 도전층(201, 203)은 일정한 단차를 갖도록 형성된다. 다시 말하여, 투명한 제1 도전층(201)이 불투명한 제2 도전층(203)의 외곽을 따라 일정하게 노출되도록 형성된다. 이에 따라, 공통 전극(222) 및 화소 전극(118)에서 노출된 제1 도전층(201)은 빛의 투과율을 높여 휘도를 향상시킬 수 있게 된다. 또한, 공통 전극(222) 및 화소 전극(118)의 제2 도전층(203)은 빛샘을 방지함으로써 컨트라스트비를 향상시킬 수 있게 된다.

[0106] 그리고, 동일한 구조를 갖는 게이트 패드(224) 및 데이터 패드(232)는 게이트 절연막(154) 및 제2 도전층(203)을 관통하는 제3 및 제4 컨택홀(228, 236) 각각을 통해 투명한 제1 도전층(201)이 노출된 구조를 갖게 된다.

[0107] 이러한 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판을 제조하는 방법은 전술한 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법과 대비하여 제1 및 제3 마스크 공정에서만 차이가 있으므로, 이하에서 제2 마스크 공정에 대한 설명은 생략하기로 한다.

[0108] 도 13a 및 도 13b는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이고, 도 14a 내지 도 14c는 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들이다.

[0109] 제1 마스크 공정으로 하부 기판(150) 상에 게이트 라인(202), 게이트 전극(208), 공통 라인(220), 공통 전극(222), 화소 전극(218), 게이트 패드(224), 데이터 패드(232)를 포함하는 제1 마스크 패턴군이 형성된다. 제1 마스크 패턴군은 적어도 제1 및 제2 도전층(201, 203)이 적층된 복층 구조로 형성된다. 여기서, 투명한 제1 도전층(201)은 불투명한 제2 도전층(203)의 외곽을 따라 일정하게 노출된다.

[0110] 구체적으로, 도 14a에 도시된 바와 같이 하부 기판(150) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 및 제2 도전층(201, 203)이 적층되고, 포토리소그래피 공정으로 제2 도전층(203) 위에 포토레지스트 패턴(200)이 형성된다. 그리고, 포토레지스트 패턴(200)을 마스크로 이용한 식각 공정으로 제1 및 제2 도전층(201, 203)이 식각됨으로써 복층 구조의 게이트 라인(202), 게이트 전극(208), 공통 라인(220), 공통 전극(222), 화소 전극(218), 게이트 패드(224), 데이터 패드(232)를 포함하는 제1 마스크 패턴군이 형성된다. 제1 도전층(201)으로는 ITO, TO, IZO, ITZO 등과 같은 투명 도전 물질이, 제2 도전층(203)으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다.

[0111] 도 14b를 참조하면, 애싱공정으로 포토레지스트 패턴(200)을 애싱함으로써 포토레지스트 패턴(200)의 두께 및 폭이 감소되게 한다. 그리고, 애싱된 포토레지스트 패턴(200)을 마스크로 노출된 제2 도전층(203)을 한번 더 식각함으로써 제1 도전층(201)이 제2 도전층(203)의 외곽을 따라 노출되도록 제1 및 제2 도전층(201, 203)은 일정한 단차를 갖을 수 있게 된다.

[0112] 도 14c를 참조하면, 도 14b에서 제1 마스크 패턴군의 제2 도전층(203) 위에 잔존하는 포토레지스트 패턴(200)이 스트립 공정으로 제거된다.

[0113] 도 15a 내지 도 15c는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정

을 구체적으로 설명하기 위한 단면도들이다.

[0114] 제2 마스크 공정으로 도 6a 내지 도 7d에서 전술한 바와 같이 다수의 컨택홀(126, 134, 228, 236, 238)을 포함하는 게이트 절연막(154)과, 반도체 패턴(115)이 형성된다.

[0115] 그리고, 제3 마스크 공정으로 반도체 패턴(115)이 형성된 게이트 절연막(154) 위에 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 스토리지 상부 전극(130)을 포함하는 제3 마스크 패턴군이 형성되고, 제3 및 제4 컨택홀(228, 236)을 통해 게이트 패드(224) 및 데이터 패드(232)의 제2 도전층(203)이 노출된다. 또한, 소스 전극(110) 및 드레인 전극(112) 사이로 그의 표면이 산화된 활성층(115)이 노출된다.

[0116] 구체적으로, 도 15a에 도시된 바와 같이 반도체 패턴(115)이 형성된 게이트 절연막(154) 위에 제3 도전층(205)이 스퍼터링 등의 증착 방법을 통해 형성되고, 제3 도전층(205) 위에 포토리소그래피 공정으로 포토레지스트 패턴(210)이 형성된다. 제3 도전층(205)으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다.

[0117] 도 15b를 참조하면, 포토레지스트 패턴(210)을 마스크로 이용한 식각 공정으로 제3 도전층(205)이 패터닝됨으로써 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 스토리지 상부 전극(130)을 포함하는 제3 마스크 패턴군이 형성된다. 이때, 제3 및 제4 컨택홀(228, 236)을 통해 노출된 게이트 패드(224) 및 데이터 패드(232)의 제2 도전층(203)이 식각됨으로써 제1 도전층(201)이 노출된다.

[0118] 그리고, 제3 마스크 패턴군 위에 포토레지스트 패턴이 존재하는 상태에서 소스 전극(110) 및 드레인 전극(112) 사이의 오믹 접촉층(116)을 제거함으로써 활성층(114)이 노출되게 한다. 이어서, 노출된 활성층(114)의 표면을 산소 플라즈마를 이용한 표면 처리를 통해  $\text{SiO}_2$ 로 산화시킴으로써 보호막 없이도 채널의 신뢰성을 확보할 수 있게 한다. 그리고, 활성층(114)에 노광 공정 등의 마스크 공정을 적용하지 않음으로써 소자특성의 안정성을 더 확보할 수 있게 된다.

[0119] 도 15c를 참조하면, 도 15b에서 제3 마스크 패턴군 위에 존재하는 포토레지스트 패턴(210)이 스트립 공정으로 제거된다.

[0120] 이와 같이, 본 발명의 제3 실시 예에 따른 수평 전계 박막 트랜지스터 기판의 제조 방법은 3마스크 공정으로 단순화될 수 있게 된다.

### 발명의 효과

[0121] 상술한 바와 같이, 본 발명에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판 및 그 제조 방법은 제1 하프 톤(또는 회절 노광) 마스크를 이용하여 단일층 및 복층 구조를 갖는 제1 마스크 패턴군을 형성하게 된다.

[0122] 한편, 본 발명에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판 및 그 제조 방법은 복층 구조로 제1 마스크 패턴을 형성한 다음, 포토레지스트 패턴을 애싱한 후 상부 도전층을 한번 더 식각함으로써 하부의 투명 도전층이 상부 도전층의 외곽을 따라 노출되게 한다. 이에 따라, 공통 전극 및 핵소 전극에서 노출된 투명 도전층은 휘도에 기여할 수 있고, 상부의 불투명한 도전층은 빛샘을 방지하여 컨트라스트비에 기여할 수 있게 된다.

[0123] 또한, 본 발명에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판 및 그 제조 방법은 제2 하프 톤(또는 회절 노광) 마스크를 이용하여 다수의 컨택홀들과 반도체 패턴을 형성하게 된다.

[0124] 또한, 본 발명에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판 및 그 제조 방법은 제3 마스크를 이용하여 제3 마스크 패턴군을 형성한 다음, 반도체 패턴의 활성층을 노출시키고 그의 표면을 산화시킨다. 이에 따라, 채널의 신뢰성을 확보할 수 있음과 아울러, 제3 마스크 패턴군은 그위 도포되어질 배향막에 의해 보호되므로 별도의 보호막이 필요없게 된다. 또한, 활성층에 노광 공정 등의 마스크 공정을 적용하지 않음으로써 소자특성의 안정성을 더 확보할 수 있게 된다.

[0125] 이 결과, 본 발명에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판 및 그 제조 방법은 3마스크 공정으로 공정을 단순화함으로써 재료비 및 설비 투자비 등을 절감함과 아울러 수율을 향상시킬 수 있게 된다.

[0126] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정

이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

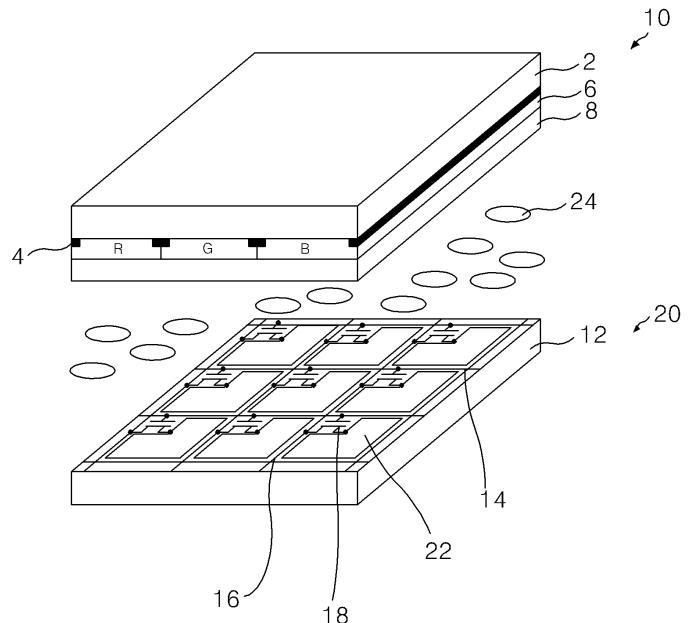
### 도면의 간단한 설명

- [0001] 도 1은 종래의 액정 패널 구조를 개략적으로 도시한 사시도.
- [0002] 도 2는 본 발명의 제1 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기판을 도시한 평면도.
- [0003] 도 3은 도 2에 도시된 박막 트랜지스터 기판을 I-I', II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도.
- [0004] 도 4a 및 도 4b는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.
- [0005] 도 5a 내지 도 5d는 본 발명의 제1 실시 예에 따른 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들.
- [0006] 도 6a 및 도 6b는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.
- [0007] 도 7a 내지 도 7d는 본 발명의 제1 실시 예에 따른 제2 마스크 공정을 구체적으로 설명하기 위한 단면도들.
- [0008] 도 8a 및 도 8b는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.
- [0009] 도 9는 본 발명의 제2 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기판을 도시한 단면도.
- [0010] 도 10a 내지 도 10d는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들.
- [0011] 도 11은 본 발명의 제3 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기판을 도시한 평면도.
- [0012] 도 12는 도 11에 도시된 박막 트랜지스터 기판을 I-I', II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도.
- [0013] 도 13a 및 도 13b는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.
- [0014] 도 14a 내지 도 14c는 본 발명의 제3 실시 예에 따른 제1 마스크 공정을 구체적으로 설명하기 위한 단면도들.
- [0015] 도 15a 내지 도 15c는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제3 마스크 공정을 구체적으로 설명하기 위한 단면도들.
- [0016] < 도면의 주요 부분에 대한 부호의 설명 >
- |                           |                    |
|---------------------------|--------------------|
| [0017] 2 : 상부 유리 기판       | 4 : 블랙 매트릭스        |
| [0018] 6 : 칼라 필터          | 8 : 공통 전극          |
| [0019] 10 : 칼라 필터 기판      | 12 : 하부 유리 기판      |
| [0020] 14, 102 : 게이트 라인   | 16, 104 : 데이터 라인   |
| [0021] 18, TFT : 박막 트랜지스터 | 20 : 박막 트랜지스터 기판   |
| [0022] 22, 118 : 화소 전극    | 24 : 액정            |
| [0023] 101 : 제1 도전층       | 103 : 제2 도전층       |
| [0024] 105 : 비정질 실리콘층     | 107 : 불순물 도핑된 실리콘층 |
| [0025] 108 : 게이트 전극       | 110 : 소스 전극        |
| [0026] 112 : 드레인 전극       | 114 : 활성층          |
| [0027] 115 : 반도체 패턴       | 116 : 오믹 접촉층       |

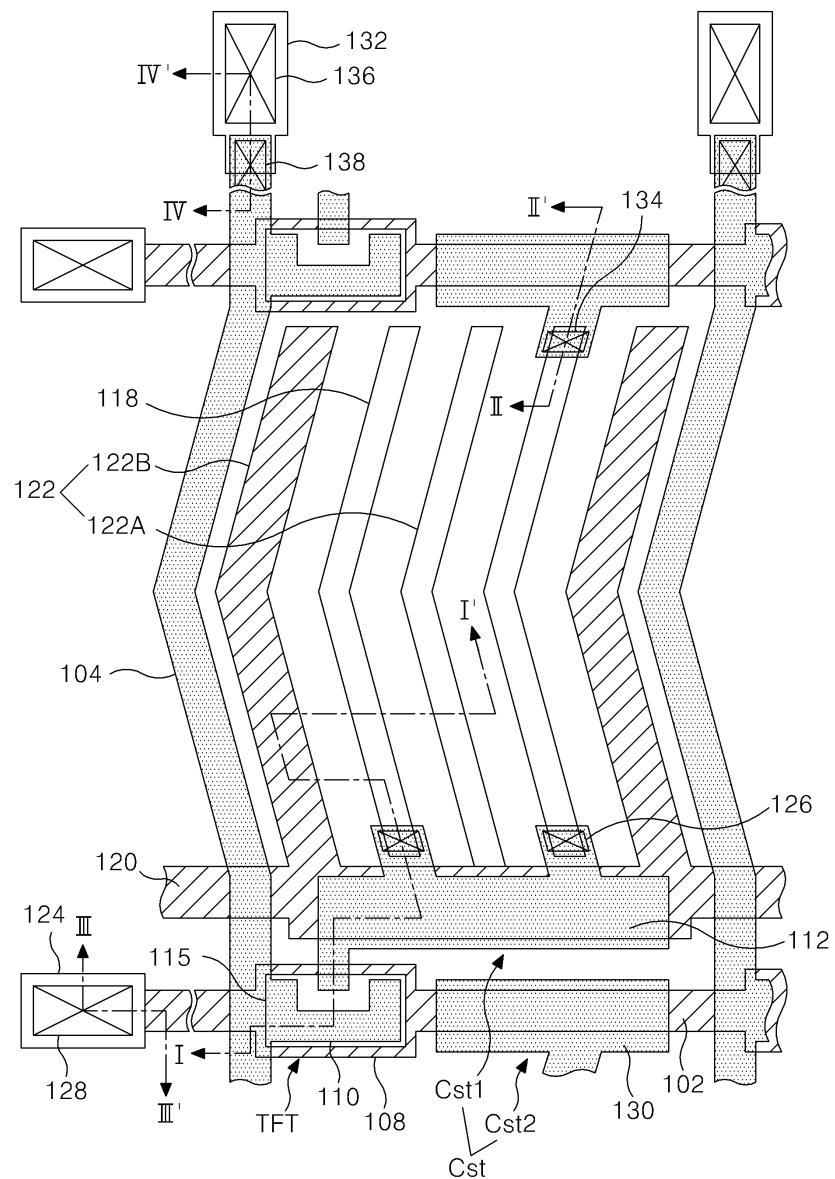
- |        |   |                    |
|--------|---|--------------------|
| [0028] | 120 : 공통 라인                             | 122 : 공통 전극        |
| [0029] | 126, 134, 128, 136, 228, 236, 238 : 컨택홀 |                    |
| [0030] | 130 : 스토리지 전극                           |                    |
| [0031] | 124 : 게이트 패드                            | 132 : 데이터 패드       |
| [0032] | 150 : 기판                                | 152, 154 : 게이트 절연막 |
| [0033] | 160, 170, 180, 200, 210 : 포토레지스트 패턴     |                    |
| [0034] | P1 : 차단 영역                              | P2 : 하프 톤 노광 영역    |
| [0035] | P3 : 풀 노광 영역                            |                    |

### 도면

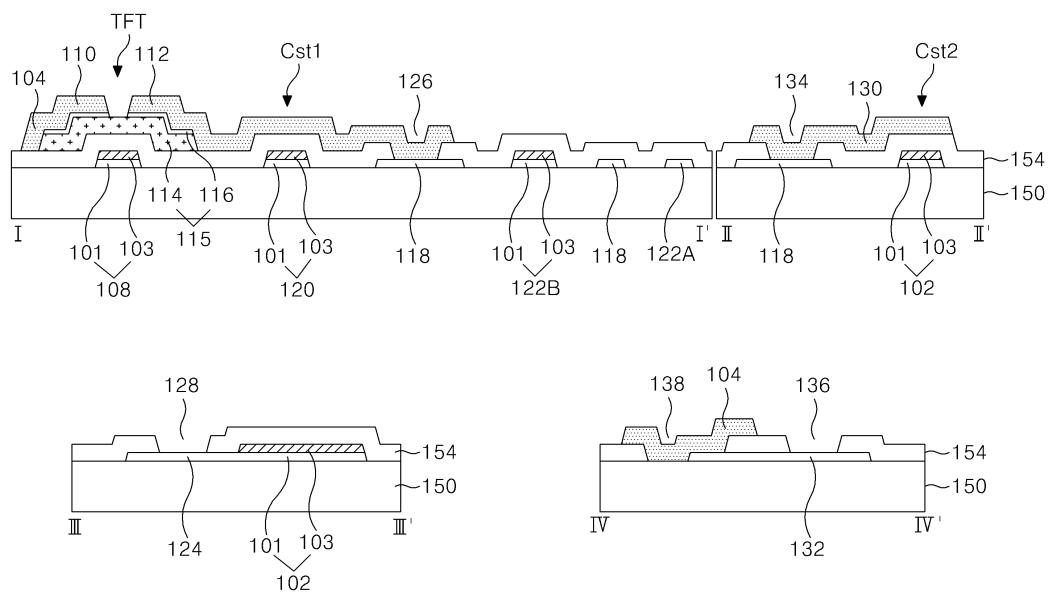
#### 도면1



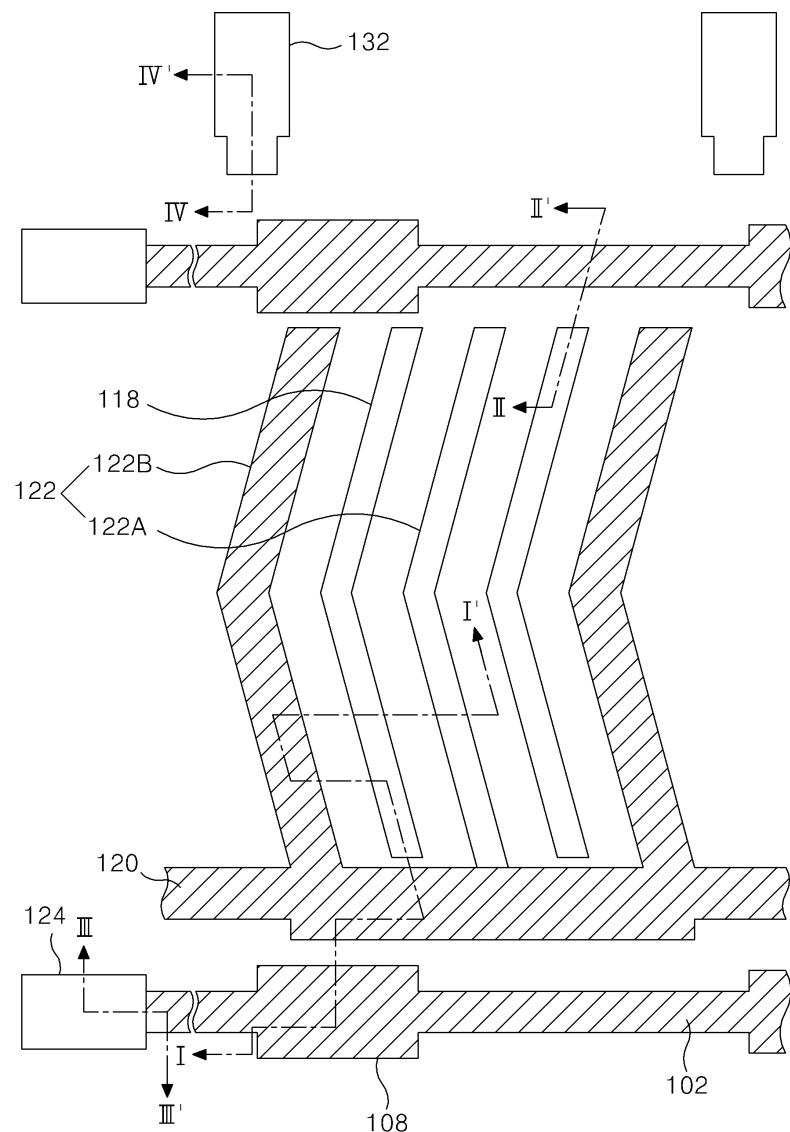
## 도면2



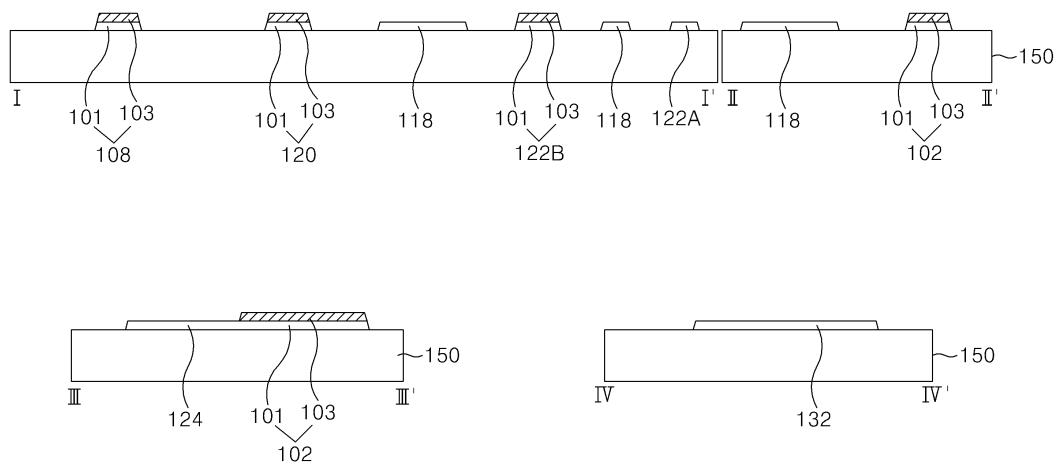
## 도면3



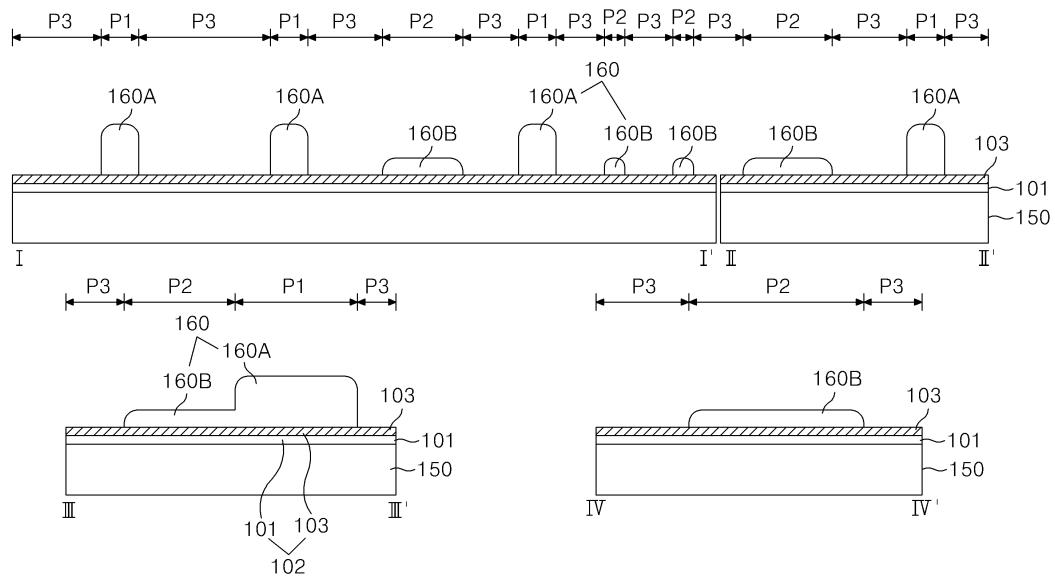
도면4a



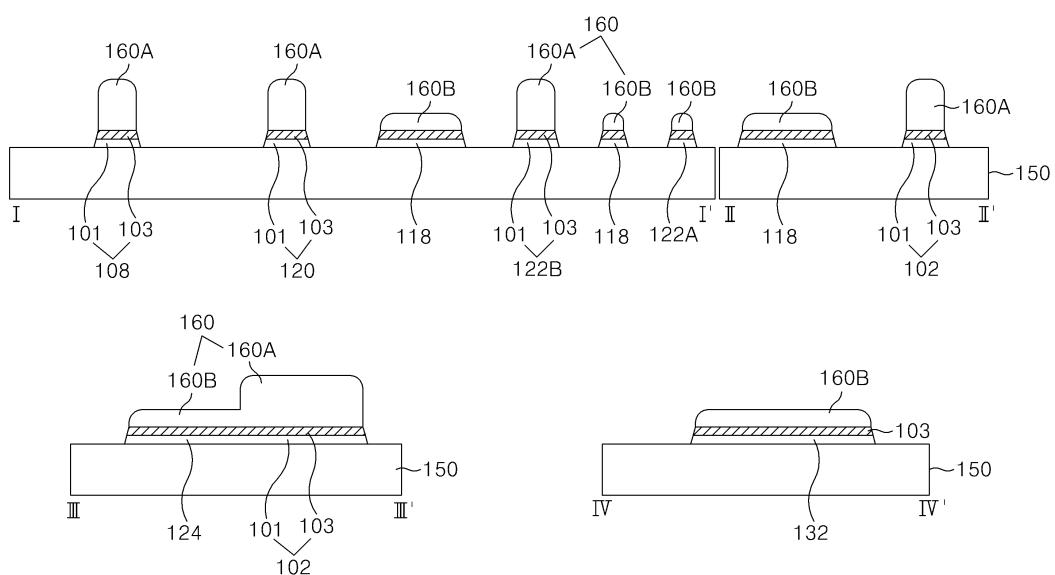
도면4b



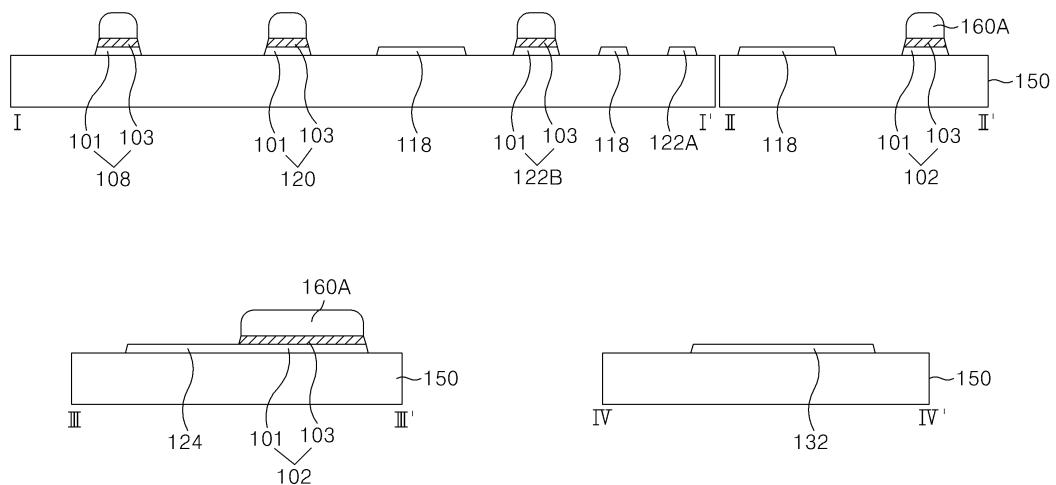
## 도면5a



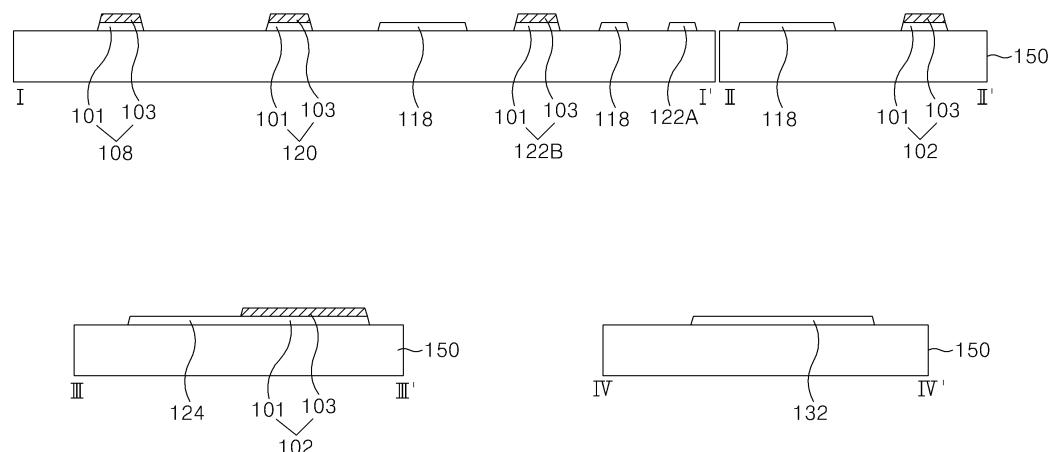
## 도면5b



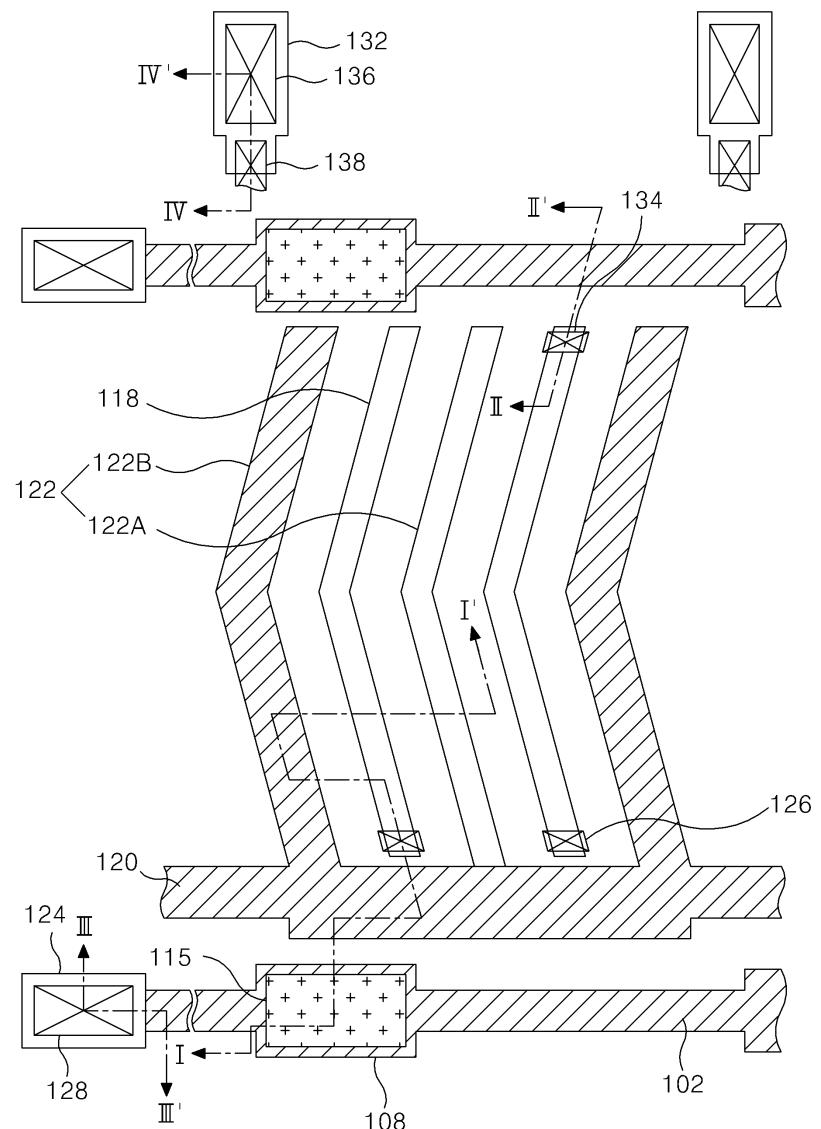
## 도면5c



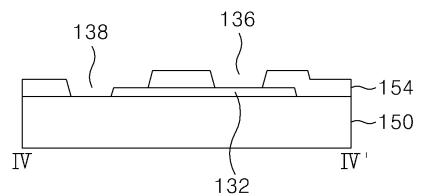
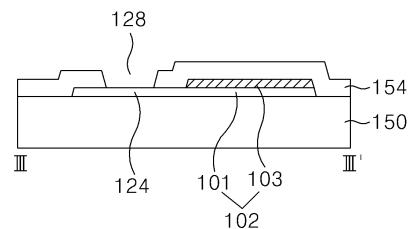
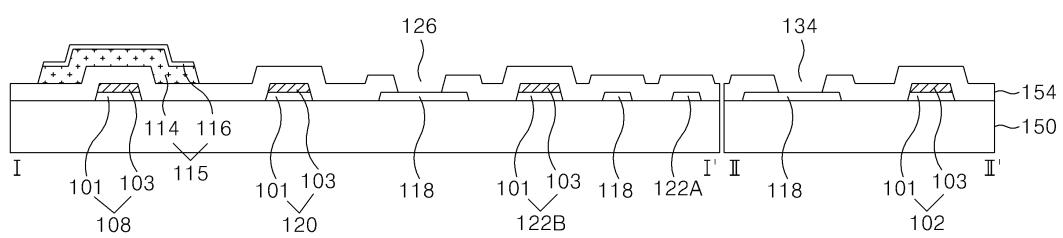
## 도면5d



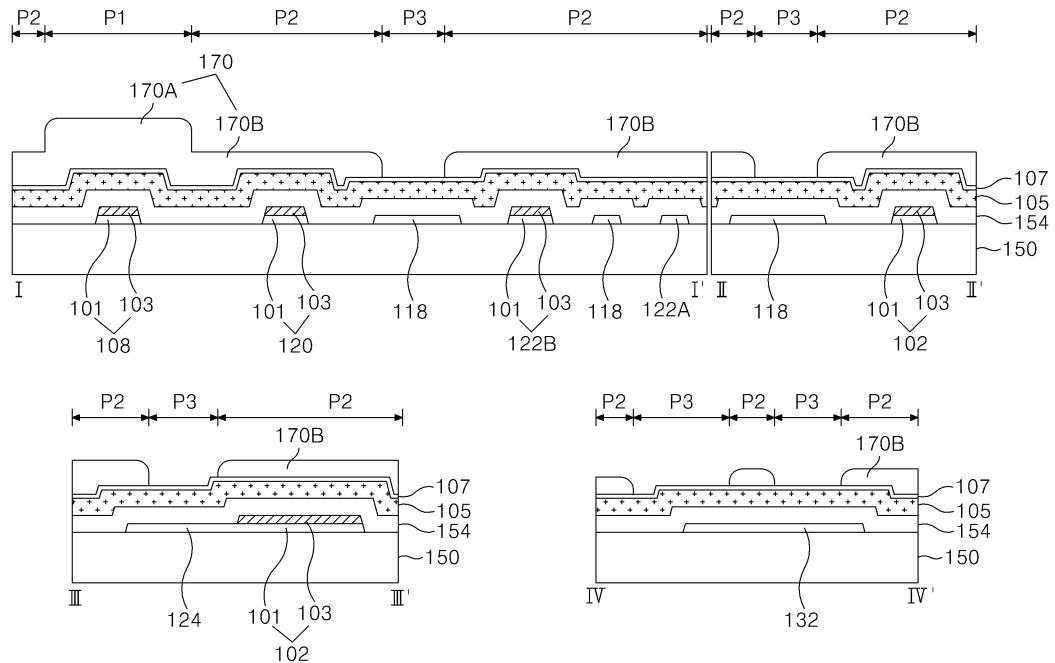
## 도면6a



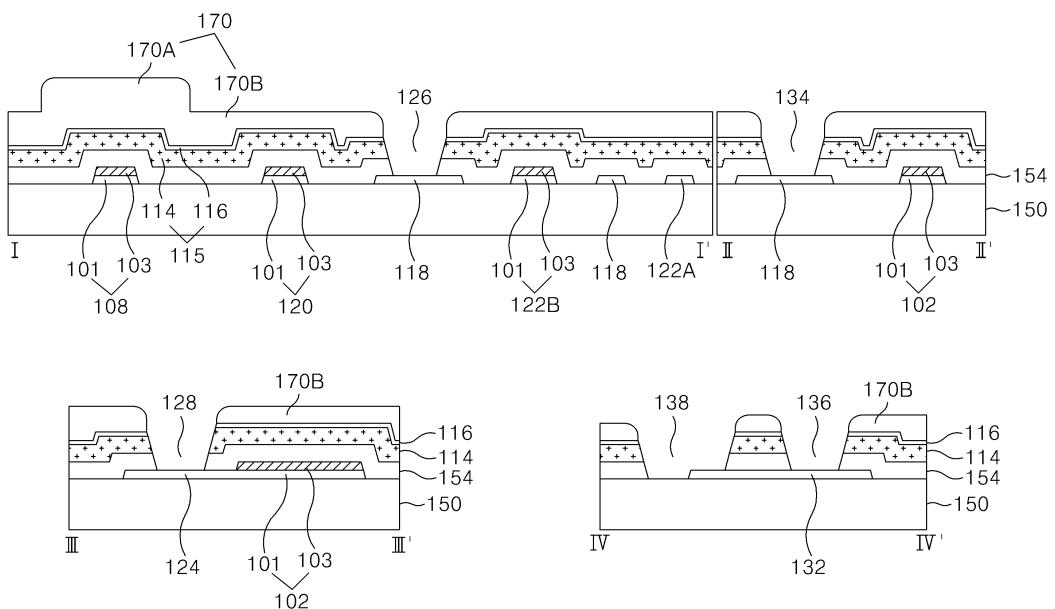
### 도면6b



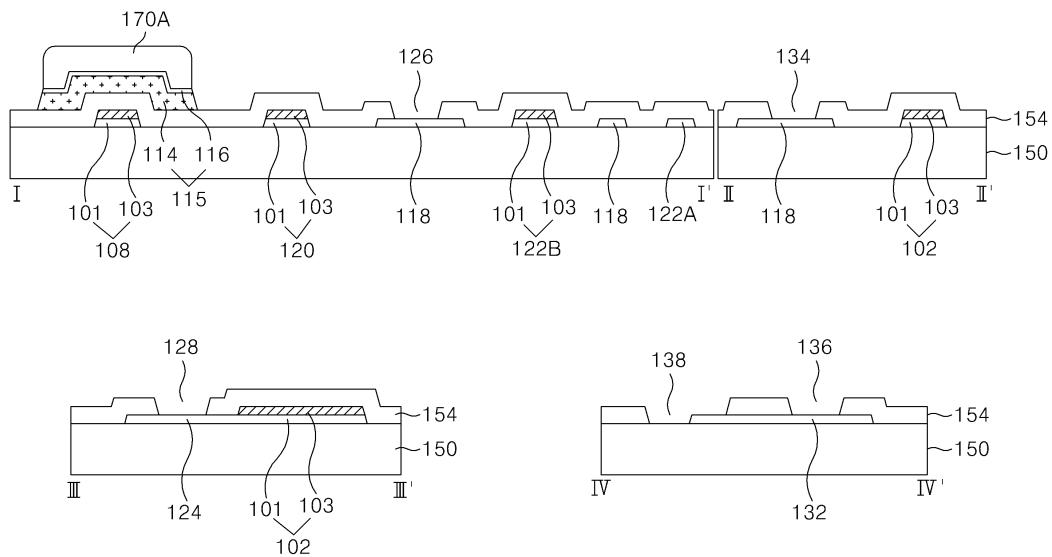
## 도면7a



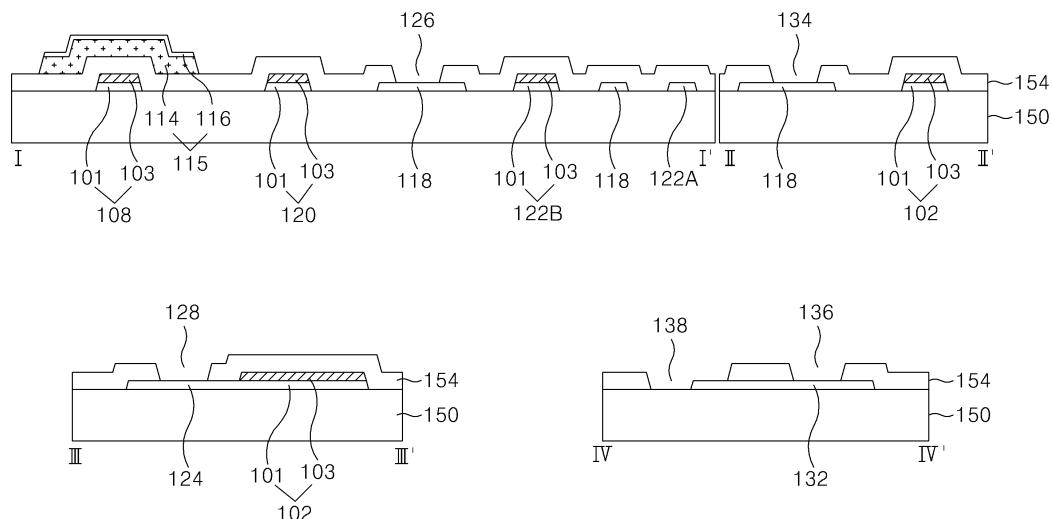
## 도면7b



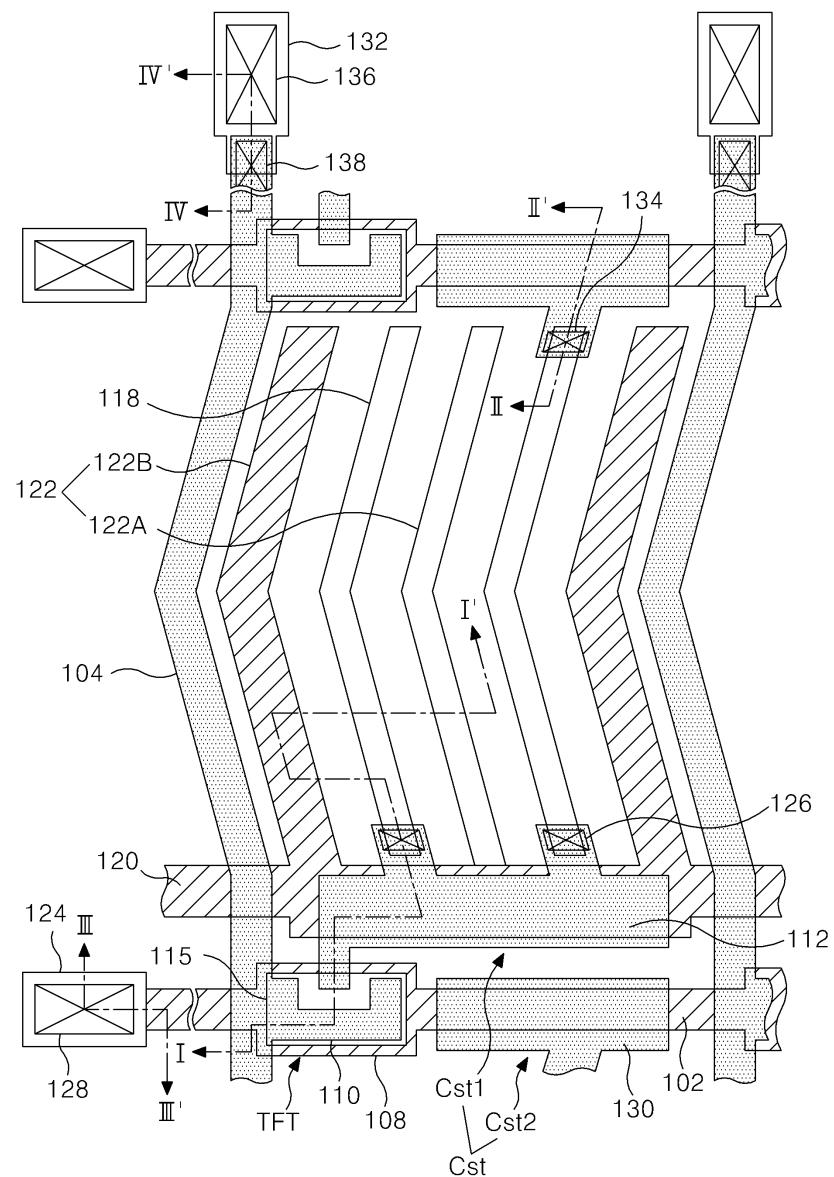
## 도면7c



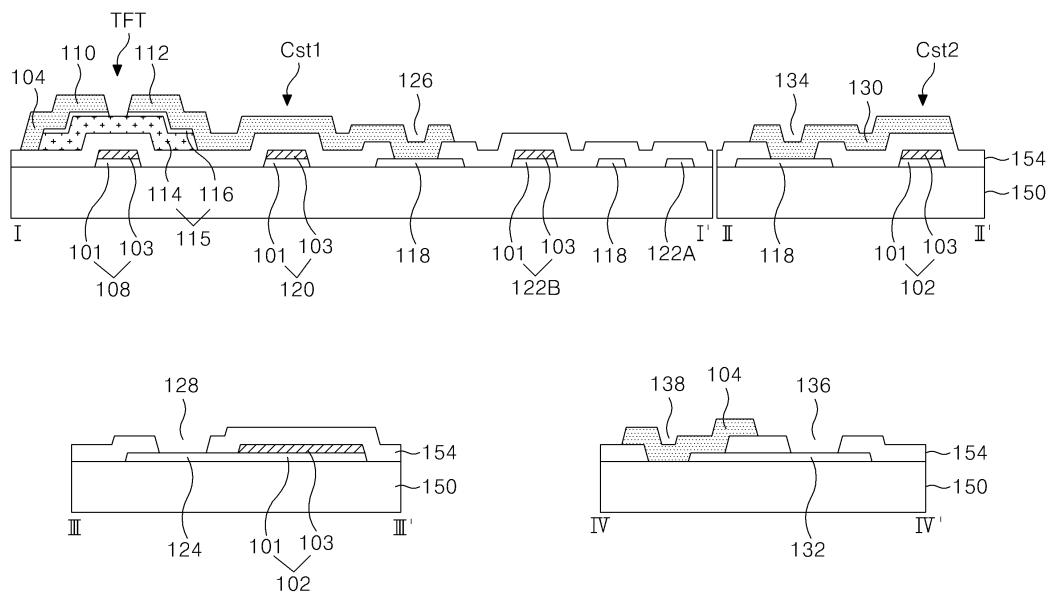
## 도면7d



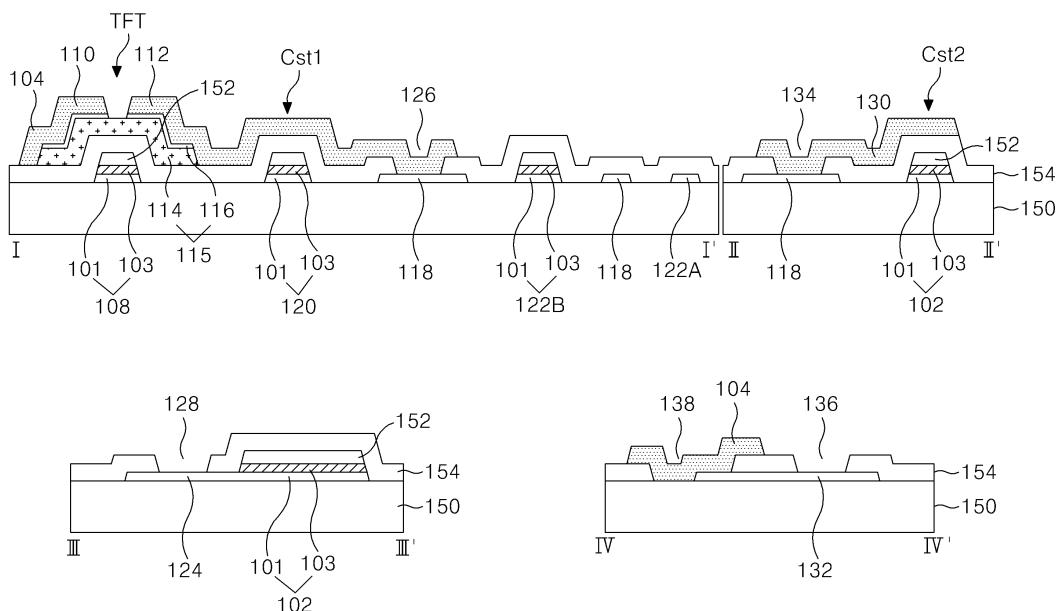
## 도면8a



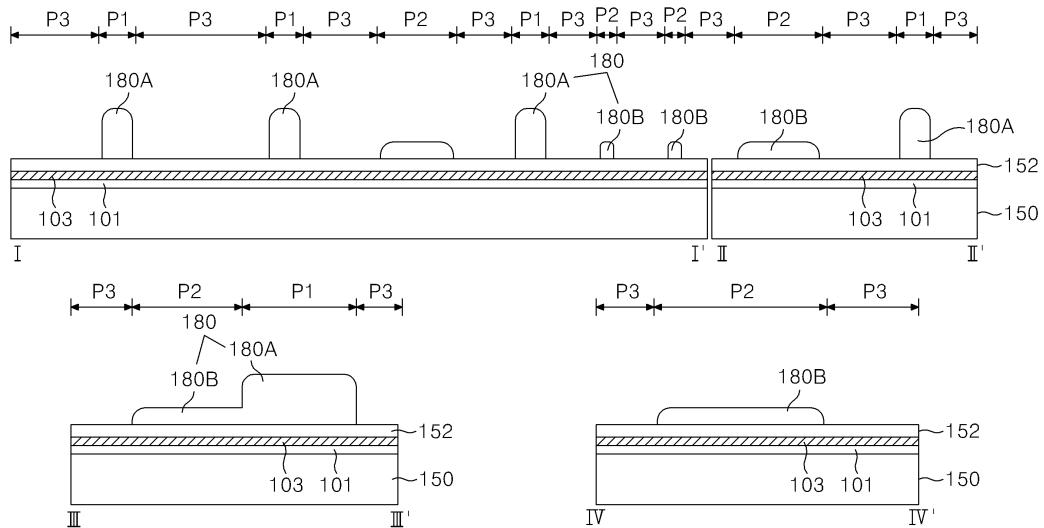
## 도면8b



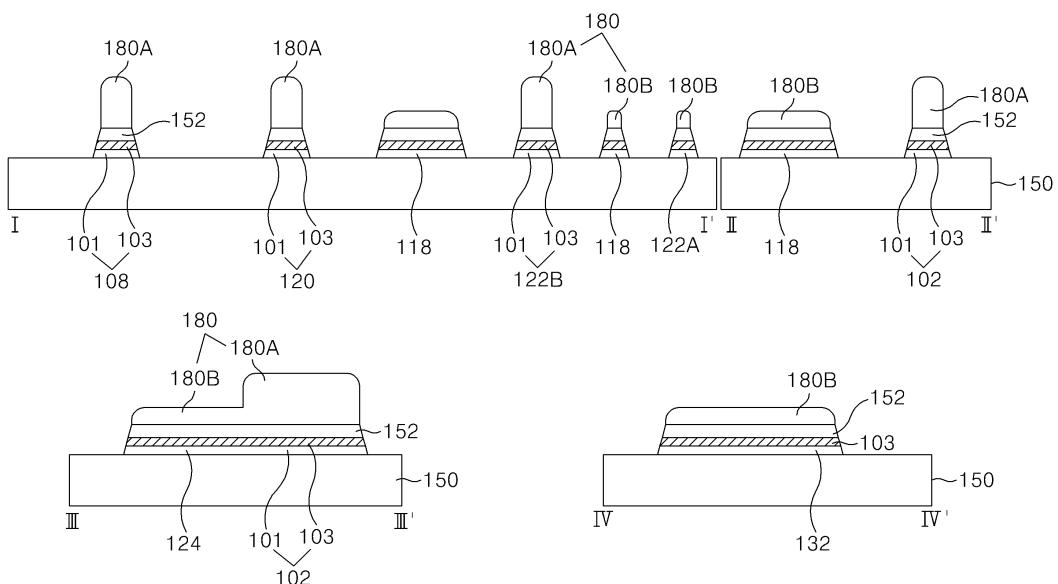
## 도면9



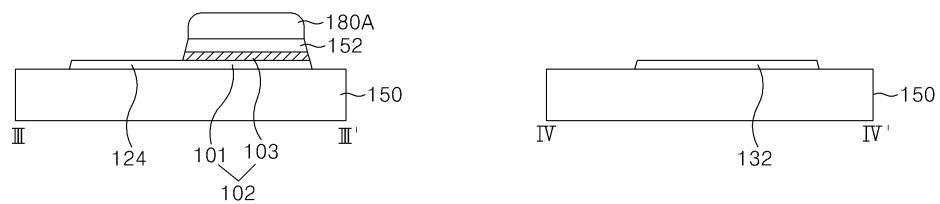
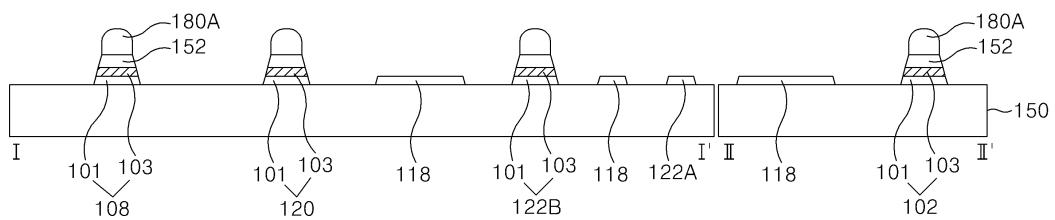
## 도면10a



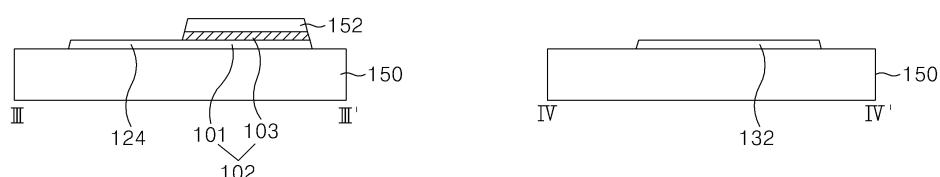
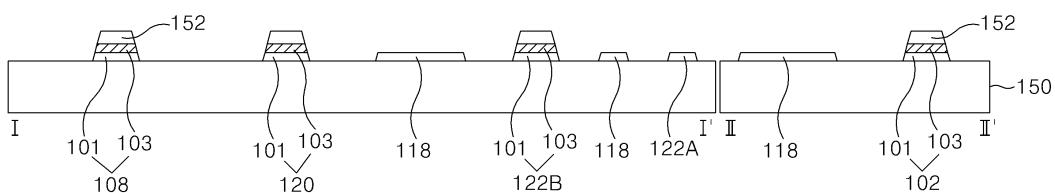
## 도면10b



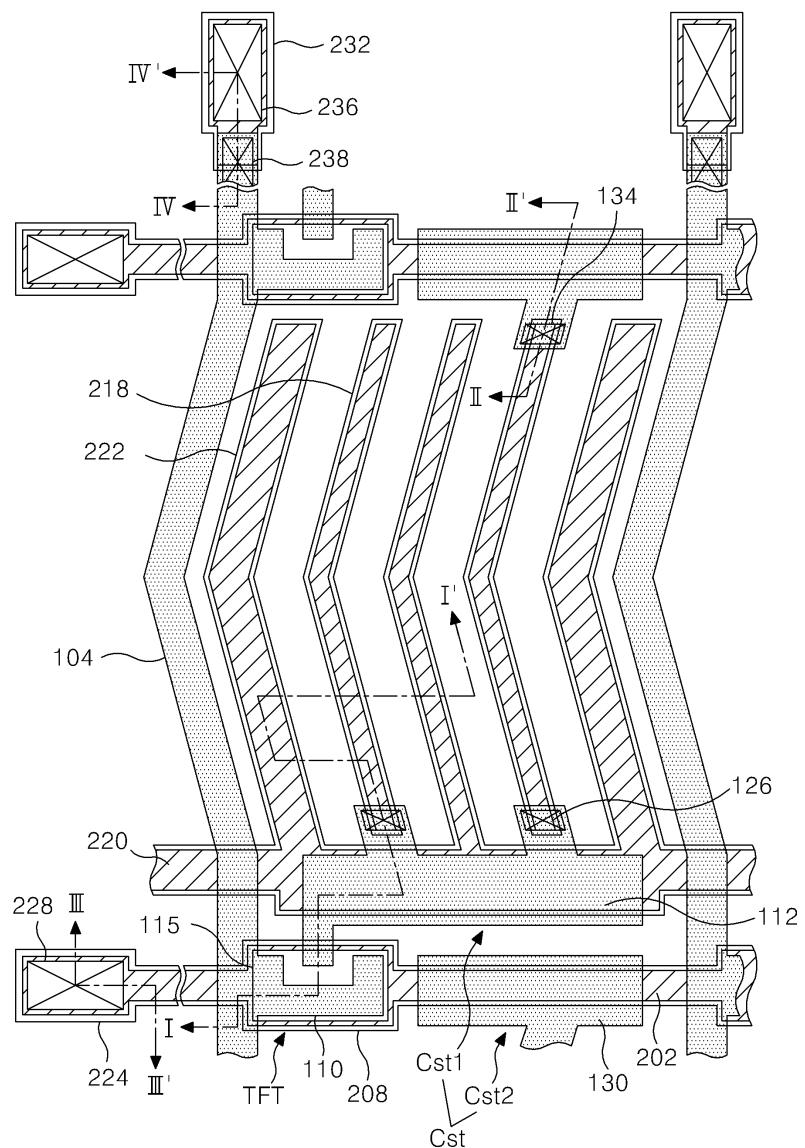
도면10c



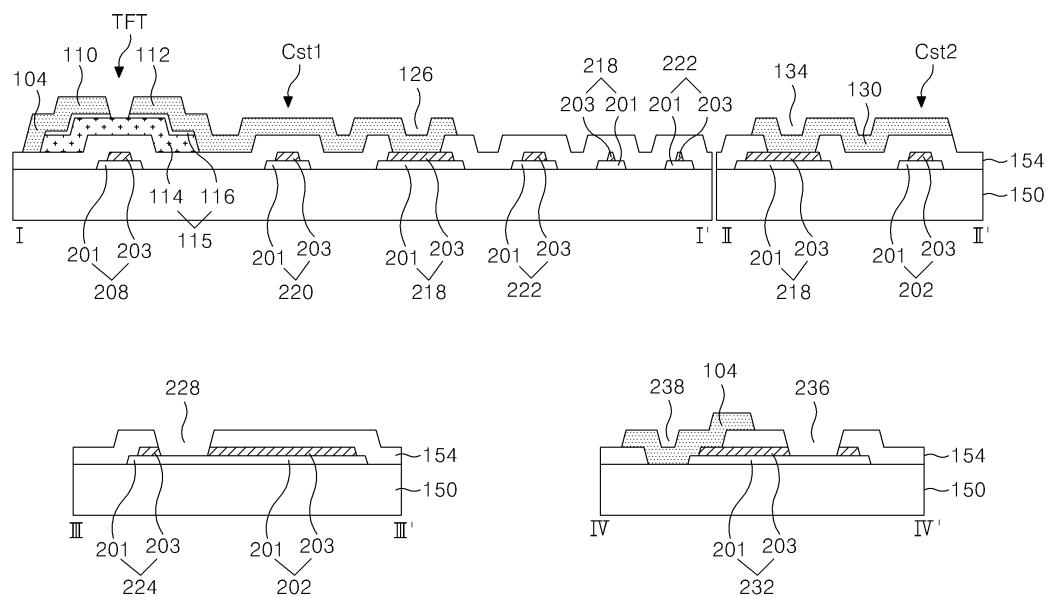
도면10d



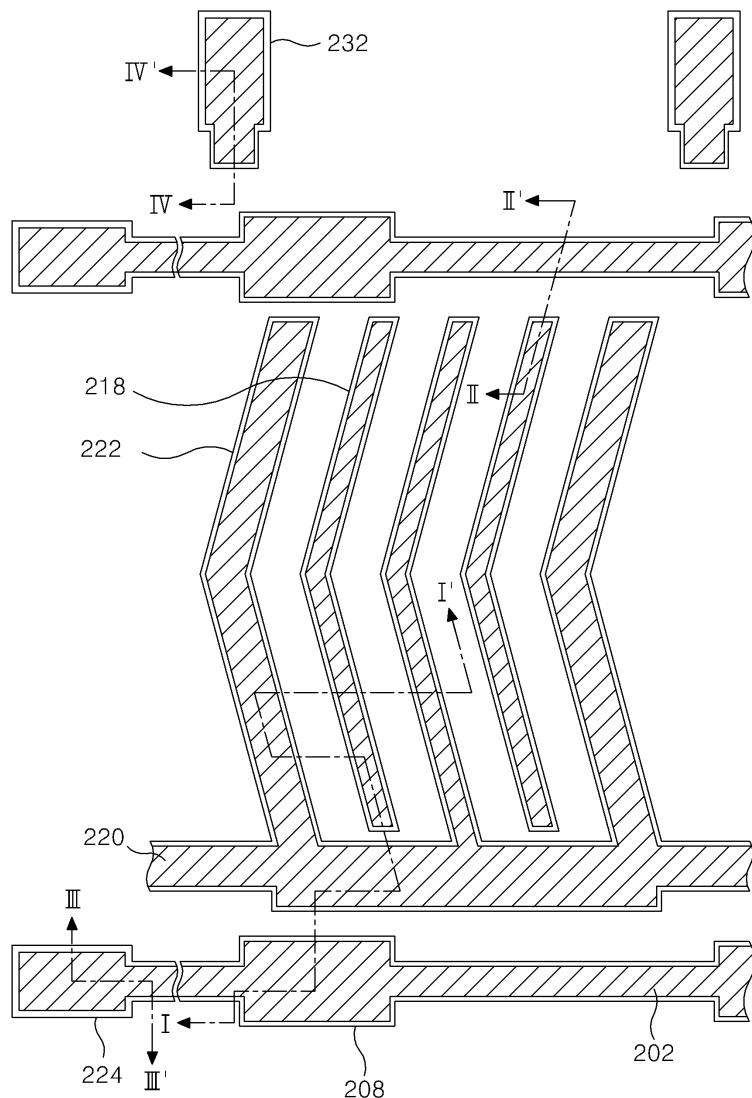
도면11



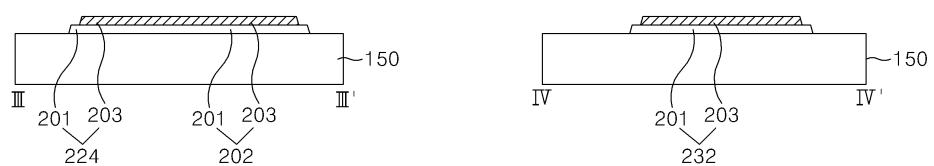
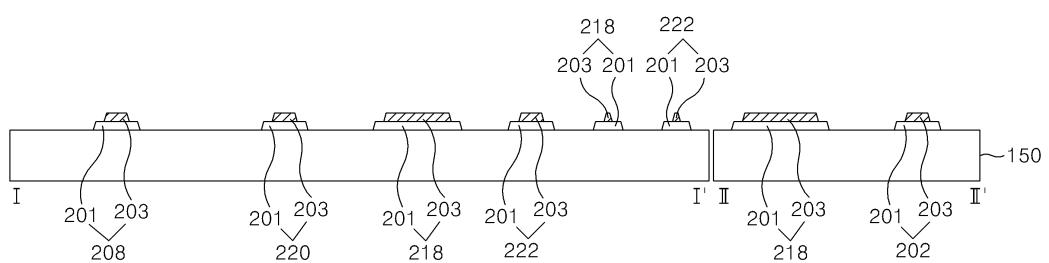
도면12



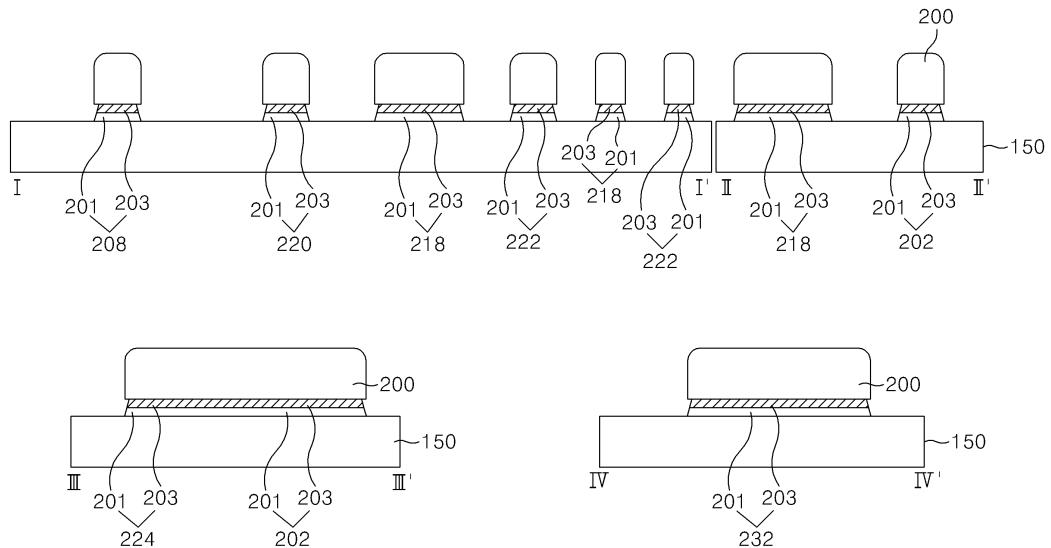
도면13a



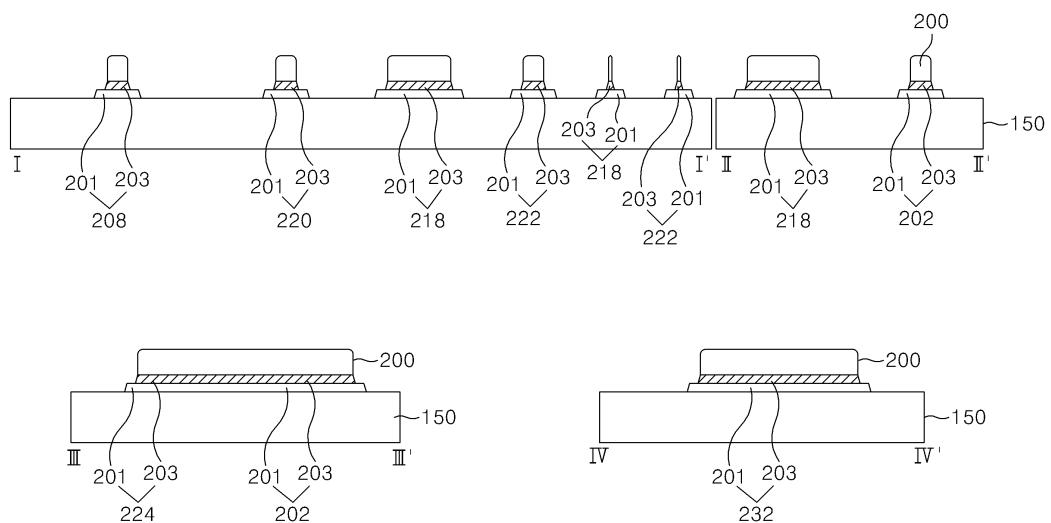
도면13b



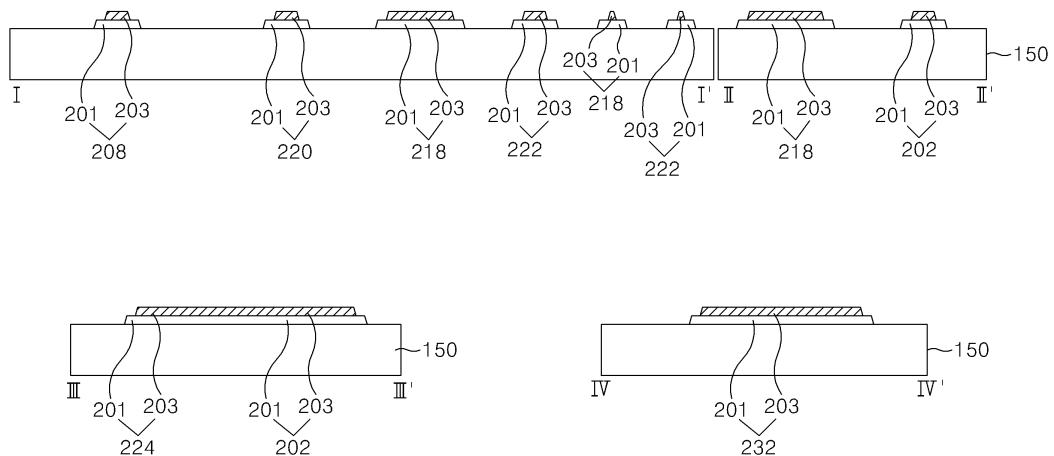
도면14a



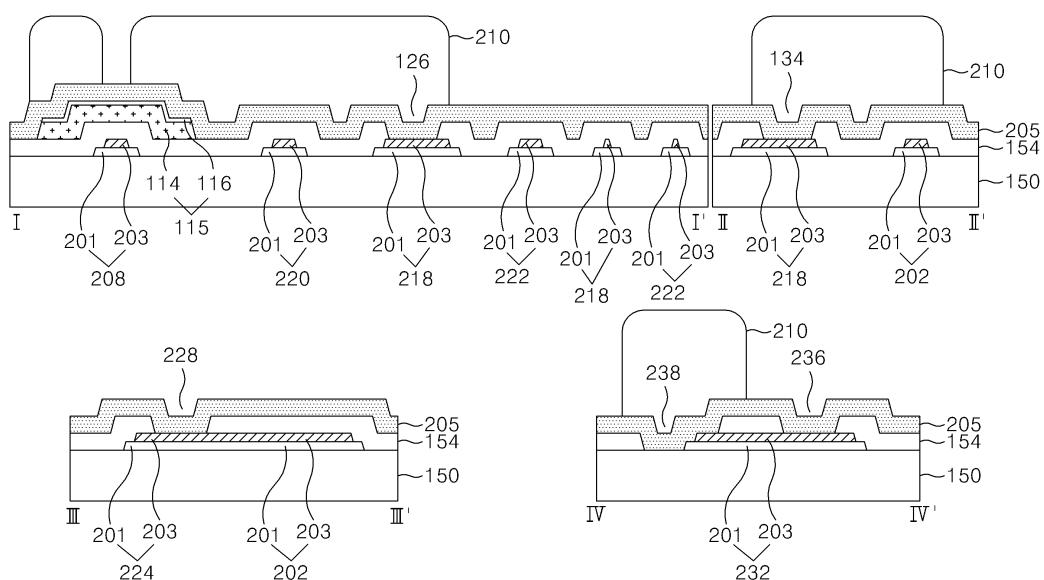
도면14b



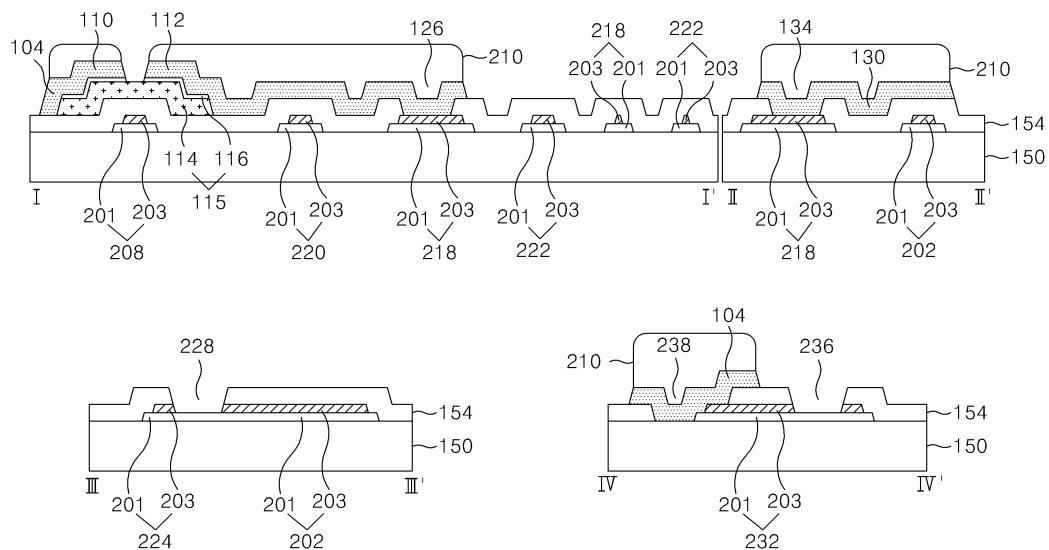
도면14c



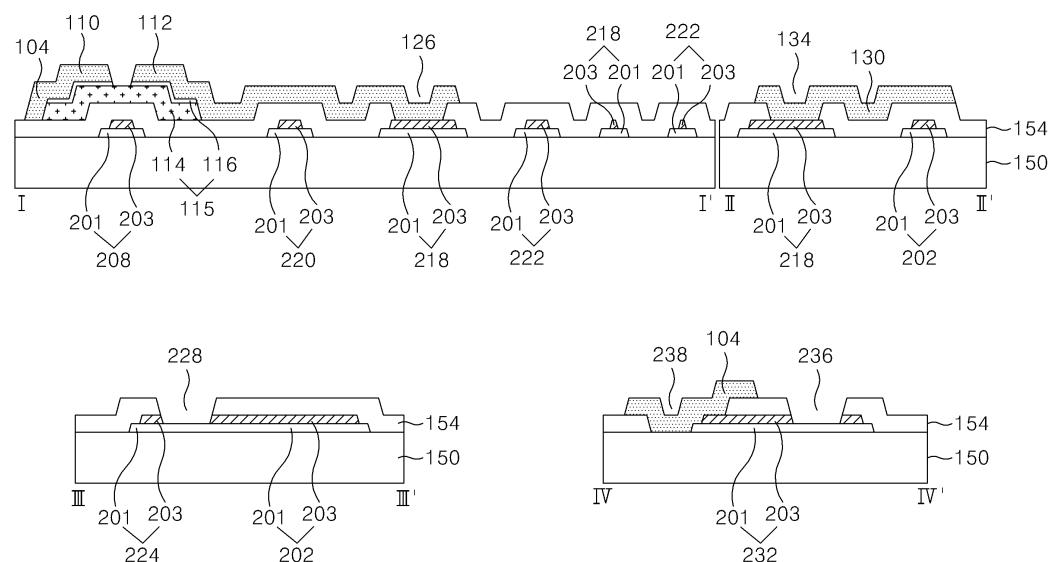
도면15a



## 도면15b



## 도면15c



专利名称(译)	标题 : 液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR101201017B1</a>	公开(公告)日	2012-11-13
申请号	KR1020050055973	申请日	2005-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO HEUNG LYUL 조홍렬 AHN BYUNG CHUL 안병철 YOO SOON SUNG 류순성 KWON OH NAM 권오남 CHANG YOUN GYOUNG 장윤경 NAM SEUNG HEE 남승희		
发明人	조홍렬 안병철 류순성 권오남 장윤경 남승희		
IPC分类号	G02F1/1343 G02F G02F1/136		
CPC分类号	G02F1/136286 G02F1/136213 G02F1/13439 G02F1/134363 G02F2001/136295 G02F2001/13629		
其他公开文献	KR1020070000317A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及能够简化工艺的液晶显示装置及其制造方法。根据本发明的制造液晶显示装置的方法是制造包括基板，栅极线和栅电极的液晶显示装置的方法，形成包括第一电极，第二电极和焊盘的第一导电图案组;在第一掩模图案组上形成多个接触孔形成绝缘膜和包括绝缘膜的半导体图案;在其上形成半导体图案的绝缘膜上，形成包括扫描电极和漏电极的第二导电图案组，以及暴露半导体图案的有源层的步骤 和系统。代表人物 - 图3

