



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월22일  
(11) 등록번호 10-0923025  
(24) 등록일자 2009년10월15일

(51) Int. Cl.

G02F 1/1368 (2006.01)

(21) 출원번호 10-2003-0074317  
(22) 출원일자 2003년10월23일  
심사청구일자 2008년09월19일  
(65) 공개번호 10-2005-0038987  
(43) 공개일자 2005년04월29일

(56) 선행기술조사문현

JP2000259346 A

KR100401265 B1

KR1020020025979 A

KR1020000050791 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박상진

경기도 용인시 수지읍 동천리 현대홈타운 1차 101동 100  
4호

김형걸

경기도 용인시 구성면 보정리 1161 진산마을 삼성 5차 아  
파트 505동 206호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 18 항

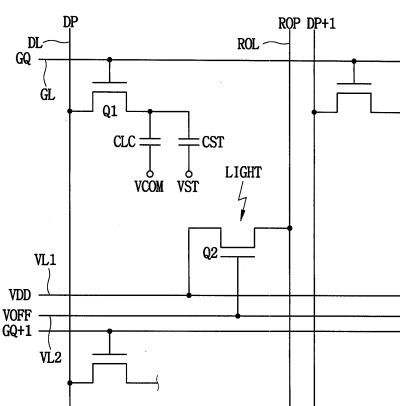
심사관 : 권기원

(54) 광감지 소자와, 이를 갖는 어레이 기판 및 액정 표시 장치

### (57) 요 약

광감지 소자와, 이를 갖는 어레이 기판 및 액정 표시 장치가 개시된다. 게이트 라인은 게이트 신호를 전달하고, 데이터 라인은 데이터 신호를 전달하며, 스위칭 소자는 게이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 게이트 전극이 게이트 라인에 연결되고, 소오스 전극이 데이터 라인에 연결된다. 광감지 소자는 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 제어 전극과, 제어전극과 공통되어, 외부광과 바이어스 전압에 응답하여 생성되는 광 누설 전류를 출력하는 제2 전류전극을 포함한다. 이에 따라, 하나의 TFT로 이루어진 광감지 소자를 단위 화소에 형성하므로써, 개구율을 향상시킬 수 있다.

대 표 도 - 도2



(72) 발명자

여기한

경기도 용인시 수지구 읍상현리 금호베스트빌 155-801

조종환

경기도 군포시 산본동 세종 APT 643동 505호

전진

서울특별시 서초구 양재2동 203-4 대상하우스 201호

정영배

경기도 수원시 권선구 권선동 1304권선3지구 주공3

단지 332동 1205호

---

## 특허청구의 범위

### 청구항 1

일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류전극;

오프 전압을 공급받는 제어전극; 및

외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자.

### 청구항 2

제1항에 있어서, 상기 바이어스 전압이 -7.5V 내지 15V를 반복함에 따라, 상기 제2 전류전극은 1.3V에 대응하는 광누설 전류를 출력하는 것을 특징으로 하는 광감지 소자.

### 청구항 3

일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극;

제어 전극; 및

상기 제어전극과 공통되어, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자.

### 청구항 4

제3항에 있어서, 상기 바이어스 전압이 -7.5V 내지 15V를 반복함에 따라, 상기 제2 전류전극은 1.3V에 대응하는 광전류를 출력하는 것을 특징으로 하는 광감지 소자.

### 청구항 5

일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극;

상기 제1 전류 전극에 공통된 제어 전극; 및

외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자.

### 청구항 6

제5항에 있어서, 상기 바이어스 전압이 -7.5V 내지 15V를 반복함에 따라, 상기 제2 전류전극은 1.3V에 대응하는 광전류를 출력하는 것을 특징으로 하는 광감지 소자.

### 청구항 7

케이트 신호를 전달하는 다수의 케이트 라인;

데이터 신호를 전달하는 다수의 데이터 라인;

상기 케이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 케이트 전극이 상기 케이트 라인에 연결되고, 소오스 전극이 상기 데이터 라인에 연결된 스위칭 소자;

다수의 리드 아웃 라인; 및

상기 케이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류전극과, 오프 전압을 공급받는 제어전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 상기 리드 아웃 라인에 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 어레이 기판.

### 청구항 8

제7항에 있어서,

상기 바이어스 전압을 전달하는 다수의 제1 전원 라인; 및

상기 오프 전압을 전달하는 다수의 제2 전원 라인을 더 포함하는 어레이 기판.

#### 청구항 9

제7항에 있어서, 상기 광감지 소자는 아몰페스 실리콘 박막 트랜지스터인 것을 특징으로 하는 어레이 기판.

#### 청구항 10

제7항에 있어서, 자연광을 반사하는 반사 영역과, 인공광을 투과하는 투과창을 갖는 반사판을 더 포함하고, 상기 리드 아웃 라인과, 광감지 소자는 상기 반사 영역에 커버되는 것을 특징으로 하는 어레이 기판.

#### 청구항 11

게이트 신호를 전달하는 다수의 게이트 라인;

데이터 신호를 전달하는 다수의 데이터 라인;

상기 게이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 게이트 전극이 상기 게이트 라인에 연결되고, 소오스 전극이 상기 데이터 라인에 연결된 스위칭 소자;

다수의 리드 아웃 라인; 및

상기 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 제어 전극과, 상기 제어전극과 공통되어, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 어레이 기판.

#### 청구항 12

제11항에 있어서, 상기 바이어스 전압을 전달하는 다수의 제1 전원 라인을 더 포함하는 것을 특징으로 하는 어레이 기판.

#### 청구항 13

제11항에 있어서, 상기 광감지 소자는,

현재 게이트 라인과 현재 데이터 라인에 의해 정의되는 영역에 형성되고, 제1 전류전극이 다음 게이트 라인에 연결되며, 제어 전극과 제2 전류전극은 공통 연결되어, 외부광과 상기 다음 게이트 라인을 통해 전달되는 다음 게이트 신호에 응답하여 광전류를 상기 리드 아웃 라인에 제공하는 것을 특징으로 하는 어레이 기판.

#### 청구항 14

게이트 신호를 전달하는 다수의 게이트 라인;

데이터 신호를 전달하는 다수의 데이터 라인;

상기 게이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 게이트 전극이 상기 게이트 라인에 연결되고, 소오스 전극이 상기 데이터 라인에 연결된 스위칭 소자;

다수의 리드 아웃 라인; 및

상기 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 상기 제1 전류 전극에 공통된 제어 전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 어레이 기판.

#### 청구항 15

제14항에 있어서, 상기 바이어스 전압을 전달하는 다수의 제1 전원 라인을 더 포함하는 것을 특징으로 하는 어레이 기판.

**청구항 16**

상부 기판;

상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류전극과, 오프 전압을 공급받는 제어전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 상기 리드 아웃 라인에 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및

상기 상부 기판과 하부 기판간에 형성된 액정층을 포함하는 액정 표시 장치.

**청구항 17**

상부 기판;

상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 제어 전극과, 상기 제어전극과 공통되어, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및

상기 상부 기판과 하부 기판간에 형성된 액정층을 포함하는 액정 표시 장치.

**청구항 18**

상부 기판;

상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 상기 제1 전류 전극에 공통된 제어 전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및

상기 상부 기판과 하부 기판간에 형성된 액정층을 포함하는 액정 표시 장치.

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <18> 본 발명은 광감지 소자와, 이를 갖는 어레이 기판 및 액정 표시 장치에 관한 것으로, 보다 상세하게는 줄어든 배선 수에 의해 단순화된 광감지 소자와, 이를 갖는 어레이 기판 및 액정 표시 장치에 관한 것이다.
- <19> 일반적으로 광감지 소자는 외부로부터 입력되는 광에 응답하여 해당 위치를 감지하는 기능을 수행한다. 특히, 상기한 광감지 소자를 채용하는 액정 표시 패널은 윌лем 덴 보어(Willem den Boer)등에 의해 2003년 SID 학회 논문에 발표한 논문에 Active Matrix LCD with Integrated Optical Touch Screen으로 발표한 바와 같이, 다수의 광감지 소자들이 매트릭스 타입으로 배열되어, 외부광의 위치에 대응하는 위치 정보의 생성을 통해 지문 인식 기능이나 터치 패널 기능 등의 동작에 이용된다.
- <20> 도 1은 일반적인 어레이 기판에 채용되는 광감지 소자의 등가회로도이다. 특히 액정 표시 패널의 단위 화소 영역에 형성된 광감지 소자를 도시한다.
- <21> 도 1을 참조하면, 일반적인 광감지 소자를 갖는 액정 표시 패널은 다수의 게이트 라인(GL), 다수의 데이터 라인(DL), 게이트 라인(GL)과 데이터 라인(DL)간에 연결된 제1 스위칭 소자(Q1), 제1 스위칭 소자(Q1)에 연결된 액정 캐패시터(CLC) 및 제1 스토리지 캐패시터(CST1)를 포함한다. 또한, 제1 전원 라인(VL1), 제2 전원 라인(VL2), 외부광의 세기를 검출하여 전하로 변환시키는 제2 스위칭 소자(TS1), 제2 스위칭 소자(TS1)로부터 제공된 전하를 저장하는 제2 스토리지 캐패시터(CST2), 제2 스토리지 캐패시터(CST2)에 저장된 전하들을 출력하는 제3 스위칭 소자(TS2) 및 리드 아웃 라인(ROL)을 포함한다. 상기 제2 스위칭 소자(TS1), 제2 스토리지 캐패시터

(CST2) 및 제3 스위칭 소자(TS2)는 일종의 광 감지부로서 동작한다.

<22> 그러면, 상기 광 감지부의 동작을 살펴보면 다음과 같다.

<23> 먼저, 제2 스위칭 소자(TS1)에 외부광이 입사되면, 상기 제2 스위칭 소자(TS1)의 게이트 전극에 연결된 제2 전원 라인(VL2)에 음의 전압을 인가하고 제2 스위칭 소자(TS1)의 드레인 전극에 연결된 제1 전원 라인(VL1)에 양의 전압을 인가하여 상기 제2 스위칭 소자(TS1)를 오프(OFF) 상태로 만든다. 그러면, 외부광이 입사된 제2 스위칭 소자(TS1)에서는 외부광이 입사되지 않은 제3 스위칭 소자(TS2)에 의해 상당한 크기의 광누설 전류가 생성되게 된다.

<24> 이와 같이 생성된 광누설 전류는 제3 스위칭 소자(TS2)가 온(ON)되어 있지 않은 상태에서 제2 스토리지 캐페시터(CST2)를 충전시키게 되고, 상기 제2 스토리지 캐페시터(CST2)에 충전된 전하들은 상기 제3 스위칭 소자(TS2)가 턴-온될 때까지 유지된다.

<25> 상기 제3 스위칭 소자(TS2)의 게이트 전극에 연결된 다음 게이트 라인(GQ+1)에 하이 레벨의 게이트 신호를 인가함에 따라, 상기 제2 스토리지 캐페시터(CST2)에 충전된 전하들은 상기 제3 스위칭 소자(TS2)를 경유하여 리드 아웃 라인(ROL)을 따라 독출 회로부(미도시)로 출력된다.

<26> 이처럼, 광감지 소자는 디스플레이 기능을 수행하는 액정 표시 패널, 특히 어레이 기판에 채용되어 광감지 기능을 수행한다.

<27> 하지만, 상기 광감지 소자는 어레이 기판의 단위 화소를 정의하는 영역에 위치할 공간 확보가 충분하지 않기 때문에 설계 위치에 제약을 받는다. 특히, 투과형 액정 표시 장치나 반사-투과형 액정 표시 장치에 상기한 광감지 소자를 채용하게 되면 개구율을 감소시키는 문제점이 있고, 2개의 박막 트랜지스터와 하나의 캐페시터를 형성하게 되므로 불량률의 증가에 의해 수율이 감소하는 문제점이 있으며, 화소 영역내에 설계되는 다수의 소자들에 의한 신호 간섭 등을 유발하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

<28> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 액정 표시 장치에 채용되더라도 개구율 저하를 방지하기 위한 광감지 소자를 제공하는 것이다.

<29> 또한, 본 발명의 다른 목적은 상기한 광감지 소자를 갖는 어레이 기판을 제공하는 것이다.

<30> 또한, 본 발명의 또 다른 목적은 상기한 광감지 소자를 갖는 액정 표시 장치를 제공하는 것이다.

### 발명의 구성 및 작용

<31> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 광감지 소자는, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류전극; 오프 전압을 공급받는 제어전극; 및 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함한다.

<32> 또한, 상기한 본 발명의 목적을 실현하기 위한 다른 하나의 특징에 따른 광감지 소자는, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극; 제어 전극; 및 상기 제어전극과 공통되어, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함한다.

<33> 또한, 상기한 본 발명의 목적을 실현하기 위한 또 다른 하나의 특징에 따른 광감지 소자는, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극; 상기 제1 전류 전극에 공통된 제어 전극; 및 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함한다.

<34> 또한, 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 어레이 기판은, 게이트 신호를 전달하는 다수의 게이트 라인; 데이터 신호를 전달하는 다수의 데이터 라인; 상기 게이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 게이트 전극이 상기 게이트 라인에 연결되고, 소오스 전극이 상기 데이터 라인에 연결된 스위칭 소자; 다수의 리드 아웃 라인; 및 상기 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류전극과, 오프 전압을 공급받는 제어 전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 상기 리드 아웃 라인에 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함한다.

<35> 또한, 본 발명의 다른 목적을 실현하기 위한 다른 하나의 특징에 따른 어레이 기판은, 게이트 신호를 전달하는

다수의 게이트 라인; 데이터 신호를 전달하는 다수의 데이터 라인; 상기 게이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 게이트 전극이 상기 게이트 라인에 연결되고, 소오스 전극이 상기 데이터 라인에 연결된 스위칭 소자; 다수의 리드 아웃 라인; 및 상기 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 제어 전극과, 상기 제어전극과 공통되어, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함한다.

<36> 또한, 본 발명의 다른 목적을 실현하기 위한 또 다른 하나의 특징에 따른 어레이 기판은, 게이트 신호를 전달하는 다수의 게이트 라인; 데이터 신호를 전달하는 다수의 데이터 라인; 상기 게이트 라인과 데이터 라인에 의해 정의되는 영역에 형성되어, 게이트 전극이 상기 게이트 라인에 연결되고, 소오스 전극이 상기 데이터 라인에 연결된 스위칭 소자; 다수의 리드 아웃 라인; 및 상기 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되고, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 상기 제1 전류 전극에 공통된 제어 전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함한다.

<37> 또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는, 상부 기판; 상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류전극과, 오프 전압을 공급받는 제어전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 상기 리드 아웃 라인에 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및 상기 상부 기판과 하부 기판간에 형성된 액정층을 포함한다.

<38> 또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 다른 하나의 특징에 따른 액정 표시 장치는, 상부 기판; 상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 제어 전극과, 상기 제어전극과 공통되어, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및 상기 상부 기판과 하부 기판간에 형성된 액정층을 포함한다.

<39> 또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 또 다른 하나의 특징에 따른 액정 표시 장치는, 상부 기판; 상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 상기 제1 전류 전극에 공통된 제어 전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및 상기 상부 기판과 하부 기판간에 형성된 액정층을 포함한다.

<40> 이러한 광감지 소자와, 이를 갖는 어레이 기판 및 액정 표시 장치에 의하면, 액정 표시 장치에 채용되더라도 하부 기판; 상기 상부 기판에 대향하고, 게이트 라인, 데이터 라인 및 리드 아웃 라인에 의해 정의되는 영역에 형성되어, 일정 레벨을 반복하는 바이어스 전압을 공급받는 제1 전류 전극과, 상기 제1 전류 전극에 공통된 제어 전극과, 외부광과 상기 바이어스 전압에 응답하여 생성되는 광누설 전류를 출력하는 제2 전류전극을 포함하는 광감지 소자를 포함하는 하부 기판; 및 상기 상부 기판과 하부 기판간에 형성된 액정층을 포함한다.

<41> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<42> 도 2는 본 발명의 제1 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도로서, 특히 액정 표시 패널의 단위 화소 영역에 형성된 광감지 소자를 도시한다. 설명의 편의를 위해 하나의 단위 픽셀만을 도시한다.

<43> 도 2를 참조하면, 본 발명의 제1 실시예에 따른 광감지 소자를 갖는 액정 표시 패널은 게이트 라인(GL)과, 데이터 라인(DL), 제1 스위칭 소자(Q1), 액정 캐패시터(CLC), 스토리지 캐패시터(CST), 제1 전원 라인(VL1), 제2 전원 라인(VL2), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 포함한다.

<44> 게이트 라인(GL)은 가로 방향으로 신장되어, 게이트 신호(GQ)를 제1 스위칭 소자(Q1)에 전달하고, 데이터 라인(DL)은 세로 방향으로 신장되어, 데이터 신호(DP)를 제1 스위칭 소자(Q1)에 전달한다.

<45> 제1 스위칭 소자(Q1)는 서로 인접하는 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 정의되는 영역에 형성되어, 소오스가 데이터 라인(DL)에 연결되고, 게이트가 게이트 라인(GL)에 연결된다. 제1 스위칭 소자(Q1)는 게이트 라인(GL)에 하이 레벨의 게이트 신호(GQ)가 인가됨에 따라, 액티브되어 상기 데이터 신호(DP)를 드레인을 통해 출력한다.

<46> 액정 캐패시터(CLC)는 일단이 제1 스위칭 소자(Q1)의 드레인에 연결되고, 타단이 공통 전극 전압(VCOM)에 연결되며, 상기 드레인을 통해 제공되는 데이터 신호(DP)를 저장한다.

<47> 스토리지 캐패시터(CST)는 일단이 제1 스위칭 소자(Q1)의 드레인에 연결되고, 타단이 스토리지 전압(VST)에 연결된다. 스토리지 캐패시터(CST)는 상기 드레인을 통해 제공되는 데이터 신호(DP)를 저장하고 있다가, 상기 제1

스위칭 소자(Q1)가 턴-오프되어 상기 액정 캐패시터(CLC)에 충전된 전하가 방전함에 따라 저장된 전하를 액정 캐패시터(CLC)에 제공한다.

- <48> 제1 전원 라인(VL1)은 가로 방향으로 신장되어, 외부로부터 제공되는 제1 전원전압(VDD)을 제2 스위칭 소자(Q2)에 제공하고, 제2 전원 라인(VL2)은 가로 방향으로 신장되어, 외부로부터 제공되는 제2 전원전압(VOFF)을 제2 스위칭 소자(Q2)에 제공한다.
- <49> 제2 스위칭 소자(Q2)는 바이어스 전압(VDD)을 전달하는 제1 전원 라인(VL1)과 오프 레벨의 전압(VOFF)을 전달하는 제2 전원 라인(VL2)에 의해 정의되는 영역에 형성되어, 드레인가 제1 전원 라인(VL1)에 연결되고, 게이트가 제2 전원 라인(VL2)에 연결된다. 제2 스위칭 소자(Q2)는 채널 영역을 통해 외부광이 입사됨에 따라, 광전류(Photo Current)를 소오스를 통해 리드 아웃 라인(ROL)에 제공한다. 상기 광전류는 일종의 광감지 신호로서, 해당 위치에 대응하는 정보이다.
- <50> 리드 아웃 라인(ROL)은 세로 방향으로 신장되어, 제2 스위칭 소자(Q2)의 소오스를 통해 출력되는 광전류를 광감지 신호로서 외부의 구동 IC(미도시)측에 출력한다.
- <51> 구동시, 제2 스위칭 소자(Q2)의 게이트에는 오프 레벨의 전압(VOFF)이 인가되고, 드레인에는 일정 레벨을 반복하는 바이어스 전압(VDD)이 인가되며, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가됨에 따라, 소오스를 통해서 광감지 신호가 출력된다. 상기 바이어스 전압(VDD)은 임의의 화소 영역에 형성된 제2 스위칭 소자(Q2)의 채널 영역을 통해 흐르는 광누설 전류(photo leakage current)를 검출하기 위함이다.
- <52> 예를들어, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가되지 않는 상태에서는 상기 드레인에 -7.5V 내지 15V에서 반복하는 바이어스 전압(VDD)이 인가되더라도 제2 스위칭 소자(Q2)의 채널 영역을 통한 광누설 전류는 발생되지 않는다.
- <53> 하지만, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가되는 상태에서는 상기 드레인에 -7.5V 내지 15V에서 반복하는 바이어스 전압(VDD)이 인가됨에 따라, 상기 제2 스위칭 소자(Q2)의 채널 영역을 통한 광누설 전류가 발생되고, 이에 따라 리드 아웃 라인에 전하가 충전되어 전압 변화를 유발한다. 상기 리드 아웃 라인의 종단에 연결된 리드 아웃 IC(미도시)에서는 상기 광감지 신호의 변화량을 근거로 해당 화소에 대응하는 위치 정보를 추출할 수 있다.
- <54> 상기한 광감지 신호는 제2 스위칭 소자의 턴-오프 영역에 존재하는 오프-커런트(off-current)로서, 그 신호 레벨이 약하므로 상기 리드 아웃 라인의 종단에는 별도의 증폭기나 노이즈 필터 등을 더 구비하는 것이 바람직하다.
- <55> 이상에서는 액정 표시 패널의 단위 화소에 제1 전원 라인(VL1), 제2 전원 라인(VL2), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 형성한 것으로 설명하였으나, 상기한 제1 전원 라인(VL1), 제2 전원 라인(VL2), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 별도의 기판에 형성하여 패턴 인식 패널로 정의할 수도 있다. 상기 패널 인식 패널은 액정 표시 패널 위에 구비되어 소정의 터치 패널이나 지문 인식 패널 등으로 이용된다.
- <56> 도 3은 상기한 도 2의 일례에 따른 어레이 기판의 평면도이고, 도 4는 상기한 도 3의 절단선 A-A'으로 절단한 단면도이다.
- <57> 도 3 및 도 4에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 어레이 기판은 다수의 게이트 배선(112), 다수의 드레인 배선(122), 게이트 배선(112)과 드레인 배선(122)에 연결된 제1 스위칭 소자(Q1), 스토리지 캐패시터(CST), 제1 전원 라인(114), 제2 전원 라인(118), 제2 스위칭 소자(Q2) 및 리드 아웃 배선(126), 화소 전극(160), 그리고 반사 영역과 투과 영역을 정의하는 반사판(170)을 구비한다.
- <58> 다수의 게이트 배선(112)은 투명 기판(도면번호 미부여) 위에 가로 방향으로 신장되고, 세로 방향으로 배열되며, 다수의 드레인 배선(122)은 상기 투명 기판 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 다수의 구획된 영역을 정의한다.
- <59> 제1 스위칭 소자(Q1)는 게이트 배선(112)과 드레인 배선(122)에 구획된 영역에 형성되며, 상기 게이트 배선(112)으로부터 연장된 게이트 전극 라인(210), 상기 드레인 배선(122)으로부터 연장된 드레인 전극 라인(123) 및 상기 드레인 전극 라인(123)으로부터 이격된 소오스 전극 라인(124)을 포함한다.
- <60> 스토리지 캐패시터(CST)는 게이트 배선(112) 형성시 형성된 제1 스토리지 전극 라인(114)과 드레인 배선(122) 형성시 형성된 소오스 전극 라인(124)에 의해 정의된다.

- <61> 제1 전원 라인(114) 및 제2 전원 라인(118)은 게이트 배선(112)에 평행하여 투명 기판(도면번호 미부여) 위에 가로 방향으로 신장되고, 세로 방향으로 배열된다.
- <62> 리드 아웃 배선(126)은 드레인 배선(122)에 평행하여 상기 투명 기판 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 다수의 구획된 영역을 정의한다.
- <63> 제2 스위칭 소자(Q2)는 제1 전원 라인으로부터 연장된 일정 영역을 게이트 전극 영역으로 정의하고, 리드 아웃 배선(126)으로부터 연장된 일정 영역을 소오스 전극 영역으로 정의하며, 리드 아웃 배선으로부터 일정 간격 이격된 영역을 드레인 전극으로 정의한다.
- <64> 화소 전극(160)은 투명 재질의 ITO층 또는 IZO층으로 이루어져, 서로 인접하는 게이트 배선(112)들과 서로 인접하는 드레인 배선(122)들에 의해 구획되는 화소 영역 각각에 형성되어, 홀(132)을 통해 상기 소오스 전극 라인(124)과 연결되어 디스플레이를 위한 화소 전압을 인가받는다.
- <65> 반사판(170)은 상기 화소 전극(160) 위에 형성되어 자연광을 반사하는 반사 영역과 인공광을 투과시키는 투과 영역 또는 투과창(134)을 정의하고, 제2 스위칭 소자의 채널 영역에 대응해서는 미형성되어 외부광이 상기 채널 영역에 인가되도록 한다.
- <66> 도 5a 내지 도 5e는 상기한 도 3의 제조 공정 순서를 설명하기 위한 도면들이다.
- <67> 먼저, 도 3 내지 도 5a를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 투명 기판(105) 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텉스텐(W) 등과 같은 금속을 증착한 다음, 증착된 금속을 패터닝하여 게이트 배선(112), 제1 게이트 전극 배선(113), 스토리지 전극 배선(114), 제1 전원 배선(116), 제2 게이트 전극 배선(117) 및 제2 전원 배선(118)을 형성한다.
- <68> 게이트 배선(112)은 가로 방향으로 신장되고 세로 방향으로 배열되고, 제1 게이트 전극 배선(113)은 게이트 배선(112)으로부터 연장된다. 스토리지 전극 배선(114), 제1 전원 배선(116) 및 제2 전원 배선(118)은 상기 게이트 배선(112)의 신장 방향과 평행하게 형성된다. 제2 게이트 전극 배선(117)은 제1 전원 배선(116)으로부터 연장된다.
- <69> 이어, 상기 게이트 전극 배선(113)을 포함하는 기판의 전면에 질화 실리콘을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연막(119)을 형성한 후, 상기 게이트 절연막(119) 위에 형성된 아몰퍼스 실리콘 막 및 인 시튜(in situ) 도핑된  $n^+$  아몰퍼스 실리콘 막을 패터닝하여 상기 게이트 절연막(119) 중 아래에 상기 제1 게이트 전극 배선(113) 및 제2 게이트 전극 배선(117)이 위치한 부분 상에 반도체층(117a) 및 오믹 콘택층(117b)으로 이루어지는 제1 액티브층(117c) 및 제2 액티브층(117d)을 각각 형성한다. 또한, 제2 전원 라인(118)의 일부에 대응하는 게이트 절연막(119)을 제거하여 홀(119a)을 형성한다.
- <70> 상기 게이트 절연막(119)은 상기 기판의 전면에 형성될 수도 있고, 상기 게이트 배선(112)과 게이트 전극 배선(113)을 커버하도록 패터닝될 수도 있다.
- <71> 이어, 도 5b에 도시한 바와 같이, 상기 도 5a에 의한 결과물이 형성된 기판 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텉스텐(W) 등과 같은 금속을 증착한다.
- <72> 이어, 상기 증착된 금속을 패터닝하여 드레인 배선(122), 제1 드레인 전극 배선(123), 제1 소오스 전극 배선(124), 리드 아웃 배선(126), 제2 소오스 전극 배선(127) 및 제2 드레인 전극 배선(128)을 형성한다. 상기 상부에 형성되는 소오스 전극 배선(124)과 하부에 형성되는 캐패시터 배선은 평면상에서 관찰할 때 일정 영역 중첩되어 스토리지 캐패시터(CST)로서 동작을 수행한다.
- <73> 드레인 배선(122)은 세로 방향으로 신장되고 가로 방향으로 배열되며, 제1 드레인 전극 배선(123)은 상기 드레인 배선(122)으로부터 연장되고, 제1 소오스 전극 배선(124)은 상기 제1 드레인 전극 배선(123)으로부터 일정 간격 이격되어 패터닝된다. 제1 소오스 전극 배선(124)과 하부에 형성되는 캐패시터 배선(114)은 평면상에서 관찰할 때 일정 영역 중첩되어 스토리지 캐패시터(CST)로서 동작을 수행한다.
- <74> 리드 아웃 배선(126)은 세로 방향으로 신장되고 가로 방향으로 배열되며, 제2 소오스 전극 배선(127)은 상기 리드 아웃 배선(126)으로부터 연장되며, 제2 드레인 전극 배선(128)은 상기 제2 소오스 전극 배선(127)으로부터 일정 간격 이격되도록 패터닝되어, 홀(119)을 경유하여 하부에 형성된 제2 전원 라인(118)에 연결된다.
- <75> 이어, 도 5c에 도시한 바와 같이, 상기 도 5b에 의한 결과물이 형성된 기판 위에 레지스트를 스판 코팅 방법으

로 적층하여 유기절연층(130)을 후박하게 형성한다. 이어, 상기 게이트 배선(112)과 상기 드레인 배선(122)에 의해 정의되는 매 화소에서 유기절연층(130)의 일부를 제거하여 상기 소오스 전극 배선(124)의 일부 영역을 노출시키는 제1 홀(132)을 형성하고, 유기절연층(130)의 다른 일부를 제거하여 투명 기판(105)을 노출시키는 제2 홀(134)을 형성하며, 유기절연층(130)의 또 다른 일부를 제거하여 제2 게이트 전극 배선(116) 위에 형성된 반도체층(117a)의 일부를 노출시키는 제3 홀(136)을 형성한다.

<76> 이어, 도 5d에 도시한 바와 같이, 상기한 제1 내지 제3 홀(132, 134, 136)이 형성된 유기절연막(130)의 표면을 엠보싱 처리하여 서로 다른 높이의 골(142)과 마루(144)를 갖는 요철부재(146)를 형성한 후 패시베이션막(150)을 형성한다. 상기한 요철부재(146)는 향후 형성될 반사판에 의한 반사 효율을 높인다.

<77> 이어, 도 5e에 도시한 바와 같이, 패시베이션막(150) 위에 화소 전극을 정의하는 ITO층(160)을 형성하고, 상기 ITO층(160)은 상기 소오스 전극 배선(124)과는 기형성된 홀(132)을 통해 연결된다. 이때, 상기 ITO층(160)은 전면 도포한 후 상기 매 화소 영역에 대응하는 ITO층만 남겨지도록 패터닝할 수도 있고, 상기 매 화소 영역에만 형성되도록 부분 도포할 수도 있다. 도면상에서는 관찰자 관점에서 상기 화소 전극(160)이 상기 드레인 배선(122) 및 상기 게이트 배선(112)으로부터 일정 간격 이격된 것을 도시하였으나, 최소 폭으로 오버랩될 수도 있다.

<78> 이어, 상기한 도 5e에 의한 결과물 위에 반사판(170)을 형성하여 상기한 도 3에서 도시한 바와 같은 어레이 기판을 완성한다. 상기 반사판(170)은 제2 홀(134)에 대응해서는 미형성되어 투과 영역을 정의하고, 제3 홀(136)에 대응해서는 미형성되어 외부광이 제2 스위칭 소자의 액티브층에 인가되도록 한다. 물론, 상기한 반사판(170) 위에 액정의 러빙을 위한 별도의 배향막(미도시)을 더 형성하는 것은 자명하다.

<79> 도면상에서는 매 화소별로 구획된 반사판(170)을 형성하는 것을 도시하였으나, 상기 유기절연층(130)에 의해 정의되는 투과 영역을 제외한 나머지 영역에 반사판(170)을 형성하여 반사 영역을 정의할 수도 있다. 또한, 도면에 도시한 반사판에는 반사 효율을 높이기 위해 표면이 엠보싱 처리된 유기절연층(130)의 형상에 연동하여 형성된 것을 도시하였으나, 상기한 유기절연층을 플랫 타입으로 형성하고, 그 위에 플랫 타입의 반사판을 형성할 수도 있다.

<80> 도 6은 본 발명의 제2 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도로서, 특히 액정 표시 패널의 단위 화소 영역에 형성된 광감지 소자를 도시한다. 설명의 편의를 위해 하나의 단위 픽셀만을 도시한다.

<81> 도 6을 참조하면, 본 발명의 제2 실시예에 따른 광감지 소자를 갖는 액정 표시 패널은 게이트 라인(GL)과, 데이터 라인(DL), 제1 스위칭 소자(Q1), 액정 캐패시터(CLC), 스토리지 캐패시터(CST), 제1 전원 라인(VL1), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 포함한다.

<82> 다수의 게이트 라인(GL)은 가로 방향으로 신장되어, 게이트 신호를 제1 스위칭 소자(Q1)에 전달하고, 다수의 데이터 라인(DL)은 세로 방향으로 신장되어, 데이터 신호를 제1 스위칭 소자(Q1)에 전달한다.

<83> 제1 스위칭 소자(Q1)는 서로 인접하는 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 정의되는 영역에 형성되어, 드레인이 데이터 라인(DL)에 연결되고, 게이트가 게이트 라인(GL)에 연결된다. 제1 스위칭 소자(Q1)는 게이트 라인(GL)에 하이 레벨의 게이트 신호가 인가됨에 따라, 액티브되어 상기 데이터 신호를 소오스를 통해 출력한다.

<84> 액정 캐패시터(CLC)는 일단이 제1 스위칭 소자(Q1)의 소오스에 연결되고, 타단이 공통 전극 전압(VCOM)에 연결되며, 상기 소오스를 통해 제공되는 데이터 신호를 저장한다.

<85> 스토리지 캐패시터(CST)는 일단이 제1 스위칭 소자(Q1)의 소오스에 연결되고, 타단이 스토리지 전압에 연결된다. 스토리지 캐패시터(CST)는 상기 소오스를 통해 제공되는 데이터 신호를 저장하고 있다가, 상기 제1 스위칭 소자(Q1)가 턴-오프되어 상기 액정 캐패시터(CLC)에 충전된 전하가 방전함에 따라 저장된 전하를 액정 캐패시터(CLC)에 제공한다.

<86> 제1 전원 라인(VL1)은 가로 방향으로 신장되어, 외부로부터 제공되는 제1 전원전압(VDD)을 제2 스위칭 소자(Q2)에 제공한다.

<87> 제2 스위칭 소자(Q2)는 제1 전원 라인(VL1)과 리드 아웃 라인(ROL)에 의해 정의되는 영역에 형성되어, 드레인이 제1 전원 라인(VL1)에 연결되고, 게이트가 소오스에 공통 연결되어, 리드 아웃 라인(ROL)에 연결된다. 제2 스위칭 소자(Q2)는 채널 영역을 통해 외부광이 입사됨에 따라, 광전류(Photo Current)를 소오스를 통해 리드 아웃 라인(ROL)에 제공한다. 즉, 제2 스위칭 소자(Q2)의 게이트-소오스간 전압이 0볼트인 동작점에서 외부광에 의한

광누설 전류의 차이를 검출하여 위치 정보를 검출한다.

- <88> 리드 아웃 라인(ROL)은 세로 방향으로 신장되어, 제2 스위칭 소자(Q2)의 소오스를 통해 출력되는 광전류를 광감지 신호로서 외부의 구동 IC(미도시)측에 출력한다.
- <89> 구동시, 제2 스위칭 소자(Q2)의 드레인에는 일정 레벨을 반복하는 바이어스 전압(VDD)이 인가되고, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가됨에 따라, 게이트와 공통 연결된 소오스를 통해서 광감지 신호가 출력된다.
- <90> 예를들어, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가되지 않는 상태에서는 상기 드레인에 -7.5V 내지 15V에서 반복하는 바이어스 전압(VDD)이 인가되더라도 제2 스위칭 소자(Q2)의 채널 영역을 통한 광누설 전류는 발생되지 않는다.
- <91> 하지만, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가되는 상태에서는 상기 드레인에 -7.5V 내지 15V에서 반복하는 바이어스 전압(VDD)이 인가됨에 따라, 상기 제2 스위칭 소자(Q2)의 채널 영역을 통한 광누설 전류가 발생되고, 발생된 광누설 전류를 광감지 신호로서 리드 아웃 라인을 통해 출력된다. 상기 리드 아웃 라인의 종단에 연결된 리드 아웃 IC(미도시)에서는 상기 광감지 신호의 변화량을 근거로 해당 화소에 대응하는 위치 정보를 추출할 수 있다.
- <92> 상기한 광감지 신호는 제2 스위칭 소자의 턴-오프 영역에 존재하는 오프-커런트(off-current)로서, 그 신호 레벨이 약하므로 상기 리드 아웃 라인의 종단에는 별도의 증폭기나 노이즈 필터 등을 더 구비하는 것이 바람직하다.
- <93> 이상에서는 액정 표시 패널의 단위 화소에 제1 전원 라인(VL1), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 형성한 것으로 설명하였으나, 상기한 제1 전원 라인(VL1), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 별도의 기판에 형성하여 패턴 인식 패널로 정의할 수도 있다. 상기 패널 인식 패널은 액정 표시 패널 위에 구비되어 소정의 터치 패널이나 지문 인식 패널 등으로 이용된다.
- <94> 도 7은 상기한 도 6의 일례에 따른 어레이 기판의 평면도이다.
- <95> 도 7을 참조하면, 본 발명의 제2 실시예에 따른 어레이 기판은 다수의 게이트 배선(212), 다수의 드레인 배선(222), 게이트 배선(212)과 드레인 배선(222)에 연결된 제1 스위칭 소자(Q1), 스토리지 캐페시터(CST), 제1 전원 라인(218), 제2 스위칭 소자(Q2) 및 리드 아웃 배선(226), 화소 전극(260), 그리고 반사 영역과 투과 영역을 정의하는 반사판(270)을 구비한다.
- <96> 다수의 게이트 배선(212)은 투명 기판(도면번호 미부여) 위에 가로 방향으로 신장되고, 세로 방향으로 배열되며, 다수의 드레인 배선(222)은 상기 투명 기판 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 다수의 구획된 영역을 정의한다.
- <97> 제1 스위칭 소자(Q1)는 게이트 배선(212)과 드레인 배선(222)에 구획된 영역에 형성되어, 상기 게이트 배선(212)으로부터 연장된 게이트 전극 라인(213), 상기 드레인 배선(222)으로부터 연장된 드레인 전극 라인(223) 및 상기 드레인 전극 라인(223)으로부터 이격된 소오스 전극 라인(224)을 포함한다.
- <98> 스토리지 캐페시터(CST)는 게이트 배선(212) 형성시 형성된 제1 스토리지 전극 라인(214)과 드레인 배선(222) 형성시 형성된 소오스 전극 라인(224)에 의해 정의된다.
- <99> 제1 전원 라인(218)은 게이트 배선(212)에 평행하여 투명 기판(도면번호 미부여) 위에 가로 방향으로 신장되고, 세로 방향으로 배열된다.
- <100> 리드 아웃 배선(226)은 드레인 배선(222)에 평행하여 상기 투명 기판 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 다수의 구획된 영역을 정의한다.
- <101> 제2 스위칭 소자(Q2)는 게이트 배선(212) 형성시 형성한 일정 영역을 게이트 전극 영역으로 정의하고, 리드 아웃 배선(226)으로부터 연장된 일정 영역을 소오스 전극 영역으로 정의하며, 리드 아웃 배선(226)으로부터 일정 간격 이격된 영역을 드레인 전극으로 정의한다. 상기 게이트 전극 영역과 소오스 전극 영역은 홀을 통해 연결된다.
- <102> 화소 전극(260)은 투명 재질의 ITO층 또는 IZO층으로 이루어져, 서로 인접하는 게이트 배선(212)들과 서로 인접하는 드레인 배선(222)들에 의해 구획되는 화소 영역 각각에 형성되어, 홀(232)을 통해 상기 소오스 전극 라인

(224)과 연결되어 디스플레이를 위한 화소 전압을 인가받는다.

<103> 반사판(270)은 상기 화소 전극(260) 위에 형성되어 자연광을 반사하는 반사 영역과 인공광을 투과시키는 투과 영역 또는 투과창(234)을 정의하고, 제2 스위칭 소자의 채널 영역에 대응해서는 미형성되어 외부광이 상기 채널 영역에 인가되도록 한다.

<104> 도 8a 내지 도 8e는 상기한 도 7의 제조 공정 순서를 설명하기 위한 도면들이다.

<105> 도 7 및 도 8a를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 기판(205) 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텉스텐(W) 등과 같은 금속을 증착한 다음, 증착된 금속을 패터닝하여 게이트 배선(212), 제1 게이트 전극 배선(213), 스토리지 전극 배선(214), 제1 전원 배선(216), 제2 게이트 전극 배선(217) 및 제1 전원 배선(218)을 형성한다.

<106> 게이트 배선(212)은 가로 방향으로 신장되고 세로 방향으로 배열되고, 제1 게이트 전극 배선(213)은 게이트 배선(212)으로부터 연장된다. 스토리지 전극 배선(214) 및 제2 전원 배선(218)은 상기 게이트 배선(212)의 신장 방향과 평행하게 형성된다. 제2 게이트 전극 배선(217)은 단위 화소 영역내에 플로팅되도록 패터닝된다.

<107> 이어, 상기 게이트 전극 배선(213)을 포함하는 기판의 전면에 질화 실리콘을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연막(미도시)을 형성한 후, 상기 게이트 절연막 위에 형성된 아몰퍼스 실리콘 막 및 인 시튜(*in situ*) 도핑된  $n^+$  아몰퍼스 실리콘 막을 패터닝하여 상기 게이트 절연막 중 아래에 상기 제1 게이트 전극 배선(213) 및 제2 게이트 전극 배선(217)이 위치한 부분 상에 반도체층 및 오믹 콘택층으로 이루어지는 제1 액티브층(217c) 및 제2 액티브층(217d)을 각각 형성한다. 또한, 제2 전원 라인(218)의 일부에 대응하는 게이트 절연막을 제거하여 홀(219a)을 형성하여 제2 전원 라인(218)의 일부를 노출시킨다.

<108> 상기 게이트 절연막은 상기 기판의 전면에 형성될 수도 있고, 상기 게이트 배선(212)과 게이트 전극 배선(213)을 커버하도록 패터닝될 수도 있다.

<109> 이어, 도 8b에 도시한 바와 같이, 상기 도 8a에 의한 결과물이 형성된 기판 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텉스텐(W) 등과 같은 금속을 증착한다.

<110> 이어, 상기 증착된 금속을 패터닝하여 드레인 배선(222), 제1 드레인 전극 배선(223), 제1 소오스 전극 배선(224), 리드 아웃 배선(226), 제2 소오스 전극 배선(227) 및 제2 드레인 전극 배선(228)을 형성한다. 상기 상부에 형성되는 소오스 전극 배선(224)과 하부에 형성되는 캐패시터 배선은 평면상에서 관찰할 때 일정 영역 중첩되어 스토리지 캐패시터(CST)로서 동작을 수행한다.

<111> 드레인 배선(222)은 세로 방향으로 신장되고 가로 방향으로 배열되며, 제1 드레인 전극 배선(223)은 상기 드레인 배선(222)으로부터 연장되고, 제1 소오스 전극 배선(224)은 상기 제1 드레인 전극 배선(223)으로부터 일정 간격 이격되어 패터닝된다. 제1 소오스 전극 배선(224)과 하부에 형성되는 캐패시터 배선(214)은 평면상에서 관찰할 때 일정 영역 중첩되어 스토리지 캐패시터(CST)로서 동작을 수행한다.

<112> 리드 아웃 배선(226)은 세로 방향으로 신장되고 가로 방향으로 배열되며, 제2 소오스 전극 배선(227)은 상기 리드 아웃 배선(226)으로부터 연장되며, 제2 드레인 전극 배선(228)은 상기 제2 소오스 전극 배선(227)으로부터 일정 간격 이격되도록 패터닝되어, 홀(219a)을 경유하여 하부에 형성된 제2 전원 라인(218)에 연결된다.

<113> 이어, 도 8c에 도시한 바와 같이, 상기 도 8b에 의한 결과물이 형성된 기판 위에 레지스트를 스판 코팅 방법으로 적층하여 유기절연층(미도시)을 후박하게 형성한다. 이어, 상기 게이트 배선(212)과 상기 드레인 배선(222)에 의해 정의되는 매 화소에서 상기 유기절연층의 일부를 제거하여 상기 소오스 전극 배선(224)의 일부 영역을 노출시키는 제1 홀(232)을 형성하고, 상기 유기절연층의 다른 일부를 제거하여 투명 기판(미도시)을 노출시키는 제2 홀(234)을 형성하며, 상기 유기절연층의 또 다른 일부를 제거하여 제2 게이트 전극 배선(217) 위에 형성된 액티브층의 일부를 노출시키는 제3 홀(236)을 형성한다. 상기 제3 홀(236)을 통해서는 향후 외부광을 입사시켜 상기 액티브층에 광누설 전류를 유발하기 위함이다.

<114> 이어, 도 8d에 도시한 바와 같이, 상기한 제1 내지 제3 홀(232, 234, 236)이 형성된 유기절연막의 표면을 엠보싱 처리하여 서로 다른 높이의 골(242)과 마루(244)를 갖는 요철부재(246)를 형성한 후 패시베이션막을 형성한다. 상기한 요철부재(246)는 향후 형성될 반사판에 의한 반사 효율을 높인다.

<115> 이어, 도 8e에 도시한 바와 같이, 패시베이션막 위에 화소 전극을 정의하는 ITO층(260)을 형성하고, 상기 ITO층(260)은 상기 소오스 전극 배선(224)과는 기형성된 홀(232)을 통해 연결된다. 이때, 상기 ITO층(160)은 전면 도

포한 후 상기 매 화소 영역에 대응하는 ITO층만 남겨지도록 패터닝할 수도 있고, 상기 매 화소 영역에만 형성되도록 부분 도포할 수도 있다. 도면상에서는 관찰자 관점에서 상기 화소 전극(260)이 상기 드레인 배선(222) 및 상기 게이트 배선(222)으로부터 일정 간격 이격된 것을 도시하였으나, 최소 폭으로 오버랩될 수도 있다.

<116> 이어, 반사판(270)을 형성하여 상기한 도 7에서 도시한 바와 같은 어레이 기판을 완성한다. 상기 반사판(270)은 제2 홀(234)에 대응해서는 미형성되어 투과 영역을 정의하고, 제3 홀(236)에 대응해서는 미형성되어 외부광이 센싱 TFT의 액티브층에 인가되도록 한다. 물론, 상기한 반사판(270) 위에 액정의 러빙을 위한 별도의 배향막(미도시)을 더 형성하는 것은 자명하다.

<117> 도면상에서는 매 화소별로 구획된 반사판(270)을 형성하는 것을 도시하였으나, 상기 유기절연층(230)에 의해 정의되는 투과 영역을 제외한 나머지 영역에 반사판(270)을 형성하여 반사 영역을 정의할 수도 있다. 또한, 도면에 도시한 반사판에는 반사 효율을 높이기 위해 표면이 엠보싱 처리된 유기절연층(230)의 형상에 연동하여 형성된 것을 도시하였으나, 상기한 유기절연층을 플랫 타입으로 형성하고, 그 위에 플랫 타입의 반사판을 형성할 수도 있다.

<118> 도 9는 본 발명의 제3 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도로서, 특히 액정 표시 패널의 단위 화소 영역에 형성된 광감지 소자를 도시한다. 설명의 편의를 위해 하나의 단위 픽셀만을 도시한다.

<119> 도 9를 참조하면, 본 발명의 제3 실시예에 따른 광감지 소자를 갖는 액정 표시 패널은 게이트 라인(GL)과, 데이터 라인(DL), 제1 스위칭 소자(Q1), 액정 캐패시터(CLC), 스토리지 캐패시터(CST), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 포함한다.

<120> 게이트 라인(GL)은 가로 방향으로 신장되어, 게이트 신호를 제1 스위칭 소자(Q1)에 전달하고, 데이터 라인(DL)은 세로 방향으로 신장되어, 데이터 신호를 제1 스위칭 소자(Q1)에 전달한다.

<121> 제1 스위칭 소자(Q1)는 서로 인접하는 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 정의되는 영역에 형성되어, 드레인이 데이터 라인(DL)에 연결되고, 게이트가 게이트 라인(GL)에 연결된다. 제1 스위칭 소자(Q1)는 게이트 라인(GL)에 하이 레벨의 게이트 신호가 인가됨에 따라, 액티브되어 상기 데이터 신호를 소오스를 통해 출력한다.

<122> 액정 캐패시터(CLC)는 일단이 제1 스위칭 소자(Q1)의 소오스에 연결되고, 타단이 공통 전극 전압(VCOM)에 연결되며, 상기 소오스를 통해 제공되는 데이터 신호를 저장한다.

<123> 스토리지 캐패시터(CST)는 일단이 제1 스위칭 소자(Q1)의 소오스에 연결되고, 타단이 스토리지 전압에 연결된다. 스토리지 캐패시터(CST)는 상기 소오스를 통해 제공되는 데이터 신호를 저장하고 있다가, 상기 제1 스위칭 소자(Q1)가 턴-오프되어 상기 액정 캐패시터(CLC)에 충전된 전하가 방전함에 따라 저장된 전하를 액정 캐패시터(CLC)에 제공한다.

<124> 제2 스위칭 소자(Q2)는 게이트 라인(GL)과 리드 아웃 라인(ROL)에 의해 정의되는 영역에 형성되어, 드레인이 다음 게이트 라인(GQ+1)에 연결되고, 게이트가 소오스에 공통 연결되어, 리드 아웃 라인(ROL)에 연결된다. 제2 스위칭 소자(Q2)는 채널 영역을 통해 외부광이 입사됨에 따라, 광전류(Photo Current)를 소오스를 통해 리드 아웃 라인(ROL)에 제공한다. 즉, 제2 스위칭 소자(Q2)의 게이트-소오스간 전압(Vgs)이 0볼트인 동작점에서 외부광에 의한 광누설 전류의 차이를 검출하여 위치 정보를 검출한다.

<125> 리드 아웃 라인(ROL)은 세로 방향으로 신장되어, 제2 스위칭 소자(Q2)의 소오스를 통해 출력되는 광전류를 광감지 신호로서 외부의 구동 IC(미도시)측에 출력한다.

<126> 구동시, 제2 스위칭 소자(Q2)의 드레인에는 게이트 라인을 통해 전달되는 게이트 신호가 인가되고, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가됨에 따라, 게이트와 공통 연결된 소오스를 통해서 광감지 신호가 출력된다.

<127> 예를들어, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가되지 않는 상태에서는 상기 드레인에 하이 레벨의 게이트 신호가 인가되더라도 제2 스위칭 소자(Q2)의 채널 영역을 통한 광누설 전류는 발생되지 않는다.

<128> 하지만, 제2 스위칭 소자(Q2)의 채널 영역에 외부광이 인가되는 상태에서는 상기 드레인에 하이 레벨의 게이트 신호가 인가됨에 따라, 상기 제2 스위칭 소자(Q2)의 채널 영역을 통한 광누설 전류가 발생되고, 발생된 광누설 전류를 광감지 신호로서 리드 아웃 라인을 통해 출력된다. 상기 리드 아웃 라인의 종단에 연결된 리드 아웃 IC(미도시)에서는 상기 광감지 신호의 변화량을 근거로 해당 화소에 대응하는 위치 정보를 추출할 수 있다. 특히,

상기한 도 9에 의한 어레이 기판은 상기한 도 6에 의한 어레이 기판에 비해 별도의 전원 라인을 구비하지 않아도 되므로 개구율 저하를 줄일 수 있다.

<129> 이상에서는 액정 표시 패널의 단위 화소에 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 형성한 것으로 설명하였으나, 상기한 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 별도의 기판에 형성하고, 상기 제2 스위칭 소자(Q2)의 드레인에 전원을 공급하는 전원 라인을 형성하여 패턴 인식 패널로 정의할 수도 있다. 상기 패널 인식 패널은 액정 표시 패널 위에 구비되어 소정의 터치 패널이나 지문 인식 패널 등으로 이용된다.

<130> 도 10은 상기한 도 9의 일례에 따른 어레이 기판의 평면도이다.

<131> 도 10을 참조하면, 본 발명의 제3 실시예에 따른 어레이 기판은 다수의 게이트 배선(312), 다수의 드레인 배선(322), 게이트 배선(312)과 드레인 배선(322)에 연결된 제1 스위칭 소자(Q1), 스토리지 캐페시터(CST), 제2 스위칭 소자(Q2) 및 리드 아웃 배선(326), 화소 전극(360), 그리고 반사 영역과 투과 영역을 정의하는 반사판(370)을 구비한다.

<132> 다수의 게이트 배선(312)은 투명 기판(도면번호 미부여) 위에 가로 방향으로 신장되고, 세로 방향으로 배열되며, 다수의 드레인 배선(322)은 상기 투명 기판 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 다수의 구획된 영역을 정의한다.

<133> 제1 스위칭 소자(Q1)는 게이트 배선(312)과 드레인 배선(322)에 구획된 영역에 형성되며, 상기 게이트 배선(312)으로부터 연장된 게이트 전극 라인(313), 상기 드레인 배선(322)으로부터 연장된 드레인 전극 라인(323) 및 상기 드레인 전극 라인(323)으로부터 이격된 소오스 전극 라인(324)을 포함한다.

<134> 스토리지 캐페시터(CST)는 게이트 배선(312) 형성시 형성된 제1 스토리지 전극 라인(314)과 드레인 배선(322) 형성시 형성된 소오스 전극 라인(324)에 의해 정의된다.

<135> 리드 아웃 배선(326)은 드레인 배선(322)에 평행하여 상기 투명 기판 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 다수의 구획된 영역을 정의한다.

<136> 제2 스위칭 소자(Q2)는 게이트 배선(312) 형성시 형성한 일정 영역을 게이트 전극 영역으로 정의하고, 리드 아웃 배선(326)으로부터 연장된 일정 영역을 소오스 전극 영역으로 정의하며, 리드 아웃 배선(326)으로부터 일정 간격 이격된 영역을 드레인 전극으로 정의한다. 상기 게이트 전극 영역과 소오스 전극 영역은 홀을 통해 연결된다.

<137> 화소 전극(360)은 투명 재질의 ITO층 또는 IZO층으로 이루어져, 서로 인접하는 게이트 배선(312)들과 서로 인접하는 드레인 배선(322)들에 의해 구획되는 화소 영역 각각에 형성되며, 홀(332)을 통해 상기 소오스 전극 라인(324)과 연결되어 디스플레이를 위한 화소 전압을 인가받는다.

<138> 반사판(370)은 상기 화소 전극(360) 위에 형성되어 자연광을 반사하는 반사 영역과 인공광을 투과시키는 투과 영역 또는 투과창(334)을 정의하고, 제2 스위칭 소자의 채널 영역에 대응해서는 미형성되어 외부광이 상기 채널 영역에 인가되도록 한다.

<139> 도 11a 내지 도 11e는 상기한 도 10의 제조 공정 순서를 설명하기 위한 도면들이다.

<140> 먼저, 도 10 및 도 11a를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 투명 기판 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텉스텐(W) 등과 같은 금속을 증착한 다음, 증착된 금속을 패터닝하여 게이트 배선(312), 제1 게이트 전극 배선(313), 스토리지 전극 배선(314), 제2 게이트 전극 배선(317)을 형성한다.

<141> 게이트 배선(312)은 가로 방향으로 신장되고 세로 방향으로 배열되고, 제1 게이트 전극 배선(313)은 게이트 배선(312)으로부터 연장된다. 스토리지 전극 배선(314)은 상기 게이트 배선(312)의 신장 방향과 평행하게 형성된다. 제2 게이트 전극 배선(317)은 게이트 배선(312) 형성시 일정 간격 이격되어 플로팅 상태로 패터닝된다.

<142> 이어, 상기 게이트 전극 배선(313)을 포함하는 기판의 전면에 질화 실리콘을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연막을 형성한 후, 상기 게이트 절연막 위에 형성된 아몰퍼스 실리콘 막 및 인 시튜(insitu) 도핑된  $n^+$  아몰퍼스 실리콘 막을 패터닝하여 상기 게이트 절연막 중 아래에 상기 제1 게이트 전극 배선(313) 및 제2 게이트 전극 배선(317)이 위치한 부분 상에 반도체층 및 오믹 콘택층으로 이루어지는 제1 액티브층(317c) 및 제2 액티브층(317d)을 각각 형성한다. 또한, 제2 전원 라인(318)의 일부에 대응하는 게이트 절연막을 제거하

여 홀(319a)을 형성한다.

<143> 상기 게이트 절연막은 상기 기판의 전면에 형성될 수도 있고, 상기 게이트 배선(312)과 게이트 전극 배선(313)을 커버하도록 패터닝될 수도 있다.

<144> 이어, 도 11b에 도시한 바와 같이, 상기 도 11a에 의한 결과물이 형성된 기판 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텉스텐(W) 등과 같은 금속을 증착한다.

<145> 이어, 상기 증착된 금속을 패터닝하여 드레인 배선(322), 제1 드레인 전극 배선(323), 제1 소오스 전극 배선(324), 리드 아웃 배선(326), 제2 소오스 전극 배선(327) 및 제2 드레인 전극 배선(328)을 형성한다.

<146> 드레인 배선(322)은 세로 방향으로 신장되고 가로 방향으로 배열되며, 제1 드레인 전극 배선(323)은 상기 드레인 배선(322)으로부터 연장되고, 제1 소오스 전극 배선(324)은 상기 제1 드레인 전극 배선(323)으로부터 일정 간격 이격되어 패터닝된다. 제1 소오스 전극 배선(324)과 하부에 형성되는 캐패시터 배선(314)은 평면상에서 관찰할 때 일정 영역 중첩되어 스토리지 캐패시터(CST)로서 동작을 수행한다.

<147> 리드 아웃 배선(326)은 세로 방향으로 신장되고 가로 방향으로 배열되며, 제2 소오스 전극 배선(327)은 상기 리드 아웃 배선(326)으로부터 연장되며, 제2 드레인 전극 배선(328)은 상기 제2 소오스 전극 배선(327)으로부터 일정 간격 이격되도록 패터닝된다.

<148> 이어, 도 11c에 도시한 바와 같이, 상기 도 11b에 의한 결과물이 형성된 기판 위에 레지스트를 스판 코팅 방법으로 적층하여 유기절연층을 후박하게 형성한다. 이어, 상기 게이트 배선(312)과 상기 드레인 배선(322)에 의해 정의되는 매 화소에서 상기 유기절연층의 일부를 제거하여 상기 소오스 전극 배선(324)의 일부 영역을 노출시키는 제1 홀(332)을 형성하고, 상기 유기절연층의 다른 일부를 제거하여 투명 기판을 노출시키는 제2 홀(334)을 형성하며, 상기 유기절연층의 또 다른 일부를 제거하여 제2 게이트 전극 배선(317) 위에 형성된 반도체층의 일부를 노출시키는 제3 홀(336)을 형성한다.

<149> 이어, 도 11d에 도시한 바와 같이, 상기한 제1 내지 제3 홀(332, 334, 336)이 형성된 유기절연막(330)의 표면을 엠보싱 처리하여 서로 다른 높이의 골(342)과 마루(344)를 갖는 요철부재(346)를 형성한 후 패시베이션막을 형성한다. 상기한 요철부재(346)는 향후 형성될 반사판에 의한 반사 효율을 높인다.

<150> 이어, 도 11e에 도시한 바와 같이, 상기 패시베이션막 위에 화소 전극을 정의하는 ITO층(360)을 형성하고, 상기 ITO층(360)은 상기 소오스 전극 배선(324)과는 기형성된 홀(332)을 통해 연결된다. 이때, 상기 ITO층(360)은 전면 도포한 후 상기 매 화소 영역에 대응하는 ITO층만 남겨지도록 패터닝할 수도 있고, 상기 매 화소 영역에만 형성되도록 부분 도포할 수도 있다. 도면상에서는 관찰자 관점에서 상기 화소 전극(360)이 상기 드레인 배선(322) 및 상기 게이트 배선(322)으로부터 일정 간격 이격된 것을 도시하였으나, 최소 폭으로 오버랩될 수도 있다.

<151> 이어, 반사판(370)을 형성하여 상기한 도 10에서 도시한 바와 같은 어레이 기판을 완성한다. 상기 반사판(370)은 제2 홀(334)에 대응해서는 미형성되어 투과 영역을 정의하고, 제3 홀(336)에 대응해서는 미형성되어 외부광이 센싱 TFT의 액티브층에 인가되도록 한다. 물론, 상기한 반사판(370) 위에 액정의 러빙을 위한 별도의 배향막(미도시)을 더 형성하는 것은 자명하다.

<152> 도면상에서는 매 화소별로 구획된 반사판(370)을 형성하는 것을 도시하였으나, 상기 유기절연층(330)에 의해 정의되는 투과 영역을 제외한 나머지 영역에 반사판(370)을 형성하여 반사 영역을 정의할 수도 있다. 또한, 도면에 도시한 반사판에는 반사 효율을 높이기 위해 표면이 엠보싱 처리된 유기절연층(330)의 형상에 연동하여 형성된 것을 도시하였으나, 상기한 유기절연층을 플랫 타입으로 형성하고, 그 위에 플랫 타입의 반사판을 형성할 수도 있다.

<153> 도 12는 본 발명의 제4 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도로서, 특히 액정 표시 패널의 단위 화소 영역에 형성된 광감지 소자를 도시한다. 설명의 편의를 위해 하나의 단위 픽셀만을 도시한다.

<154> 도 12를 참조하면, 본 발명의 제4 실시예에 따른 광감지 소자를 갖는 액정 표시 패널은 게이트 라인(GL)과, 데이터 라인(DL), 제1 스위칭 소자(Q1), 액정 캐패시터(CLC), 스토리지 캐패시터(CST), 제1 전원 라인(VL1), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 포함한다.

<155> 다수의 게이트 라인(GL)은 가로 방향으로 신장되어, 게이트 신호를 제1 스위칭 소자(Q1)에 전달하고, 다수의 데이터 라인(DL)은 세로 방향으로 신장되어, 데이터 신호를 제1 스위칭 소자(Q1)에 전달한다.

- <156> 제1 스위칭 소자(Q1)는 서로 인접하는 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 정의되는 영역에 형성되어, 드레인인 데이터 라인(DL)에 연결되고, 게이트가 게이트 라인(GL)에 연결된다. 제1 스위칭 소자(Q1)는 게이트 라인(GL)에 하이 레벨의 게이트 신호가 인가됨에 따라, 액티브되어 상기 데이터 신호를 소오스를 통해 출력한다.
- <157> 액정 캐패시터(CLC)는 일단이 제1 스위칭 소자(Q1)의 소오스에 연결되고, 타단이 공통 전극 전압(VCOM)에 연결되며, 상기 소오스를 통해 제공되는 데이터 신호를 저장한다.
- <158> 스토리지 캐패시터(CST)는 일단이 제1 스위칭 소자(Q1)의 소오스에 연결되고, 타단이 스토리지 전압에 연결된다. 스토리지 캐패시터(CST)는 상기 소오스를 통해 제공되는 데이터 신호를 저장하고 있다가, 상기 제1 스위칭 소자(Q1)가 턴-오프되어 상기 액정 캐패시터(CLC)에 충전된 전하가 방전함에 따라 저장된 전하를 액정 캐패시터(CLC)에 제공한다.
- <159> 제1 전원 라인(VL1)은 가로 방향으로 신장되어, 외부로부터 제공되는 제1 전원전압(VDD)을 제2 스위칭 소자(Q2)에 제공한다.
- <160> 제2 스위칭 소자(Q2)는 제1 전원 라인(VL1)과 리드 아웃 라인(ROL)에 의해 정의되는 영역에 형성되어, 드레인과 게이트가 공통 연결되어 제1 전원 라인(VL1)에 연결되고, 소오스가 리드 아웃 라인(ROL)에 연결된다. 제2 스위칭 소자(Q2)는 채널 영역을 통해 외부광이 입사됨에 따라, 광전류(Photo Current)를 소오스를 통해 리드 아웃 라인(ROL)에 제공한다. 즉, 제2 스위칭 소자(Q2)의 게이트-드레인간 전압(Vgd)이 0볼트인 동작점에서 외부광에 의한 광누설 전류의 차이를 검출하여 위치 정보를 검출한다.
- <161> 리드 아웃 라인(ROL)은 세로 방향으로 신장되어, 제2 스위칭 소자(Q2)의 소오스를 통해 출력되는 광전류를 광감지 신호로서 외부의 구동 IC(미도시)측에 출력한다.
- <162> 이상에서는 액정 표시 패널의 단위 화소에 제1 전원 라인(VL1), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 형성한 것으로 설명하였으나, 상기한 제1 전원 라인(VL1), 제2 스위칭 소자(Q2) 및 리드 아웃 라인(ROL)을 별도의 기판에 형성하여 패턴 인식 패널로 정의할 수도 있다. 상기 패널 인식 패널은 액정 표시 패널 위에 구비되어 소정의 터치 패널이나 지문 인식 패널 등으로 이용된다.
- <163> 상기한 도 12에서 도시한 본 발명의 제4 실시예에 따른 광감지 소자를 채용하는 액정 표시 패널의 평면도는 상기한 도 7에서 설명한 평면도로부터 당업자라면 용이하게 구현할 수 있으므로 이에 대해서는 그 설명은 생략한다.
- <164> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 발명의 효과

- <165> 이상에서 설명한 바와 같이, 본 발명에 따르면 어레이 기판의 단위 화소에 광감지 기능을 수행하는 하나의 박막 트랜지스터를 형성하므로써, 충분한 공간을 갖고서 어레이 기판을 설계할 수 있으므로 설계의 마진을 확보할 수 있다.
- <166> 또한, 어레이 기판의 단위 화소에 형성되는 광감지 소자를 단순화시킬 수 있어, 투과형 액정 표시 장치나 반사-투과형 액정 표시 장치에 채용하더라도 개구율이 저하되는 것을 방지할 수 있다.
- <167> 또한, 일반적인 2개의 박막 트랜지스터와 하나의 캐패시터로 정의하는 광감지 소자에 비해 소자 수를 줄일 수 있으므로 상기 소자 형성시 발생되는 불량률을 줄일 수 있어 수율 저하를 방지할 수 있고, 상기 소자에 흐르는 신호에 의해 인접 소자에 미치는 신호 간섭의 악영향을 제거할 수 있다.

### 도면의 간단한 설명

- <1> 도 1은 일반적인 어레이 기판에 채용되는 광감지 소자의 등가회로도이다.
- <2> 도 2는 본 발명의 제1 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도이다.
- <3> 도 3은 상기한 도 2의 일례에 따른 어레이 기판의 평면도이다.

- <4> 도 4는 상기한 도 3의 절단선 A-A'으로 절단한 단면도이다.

<5> 도 5a 내지 도 5e는 상기한 도 3의 제조 공정을 설명하기 위한 도면들이다.

<6> 도 6은 본 발명의 제2 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도이다.

<7> 도 7은 상기한 도 6의 일례에 따른 어레이 기판의 평면도이다.

<8> 도 8a 내지 도 8e는 상기한 도 7의 제조 순서를 설명하기 위한 도면들이다.

<9> 도 9는 본 발명의 제3 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도이다.

<10> 도 10은 상기한 도 9의 일례에 따른 어레이 기판의 평면도이다.

<11> 도 11a 내지 도 11e는 상기한 도 10의 제조 공정 순서를 설명하기 위한 도면들이다.

<12> 도 12는 본 발명의 제4 실시예에 따른 광감지 소자를 설명하기 위한 등가 회로도이다.

<13> <도면의 주요부분에 대한 부호의 설명>

<14> GL : 게이트 라인 DL : 데이터 라인

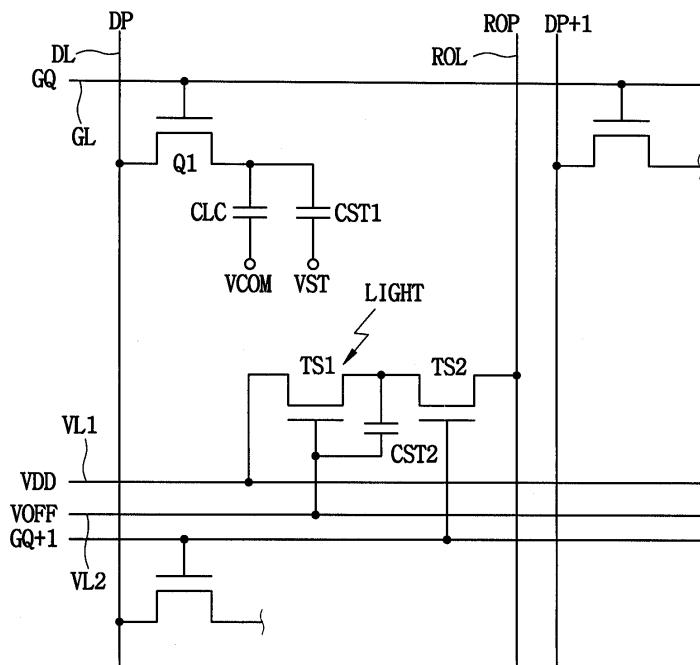
<15> Q1, Q2, Q3 : 제1 스위칭 소자 CLC : 액정 캐패시터

<16> CST : 스토리지 캐패시터 VL1, VL2 : 전원 라인

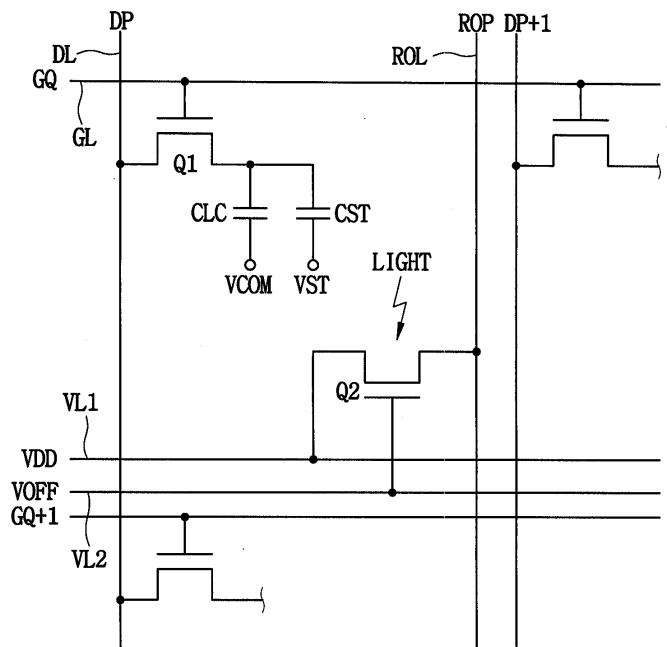
<17> ROL : 리드 아웃 라인

## 도면

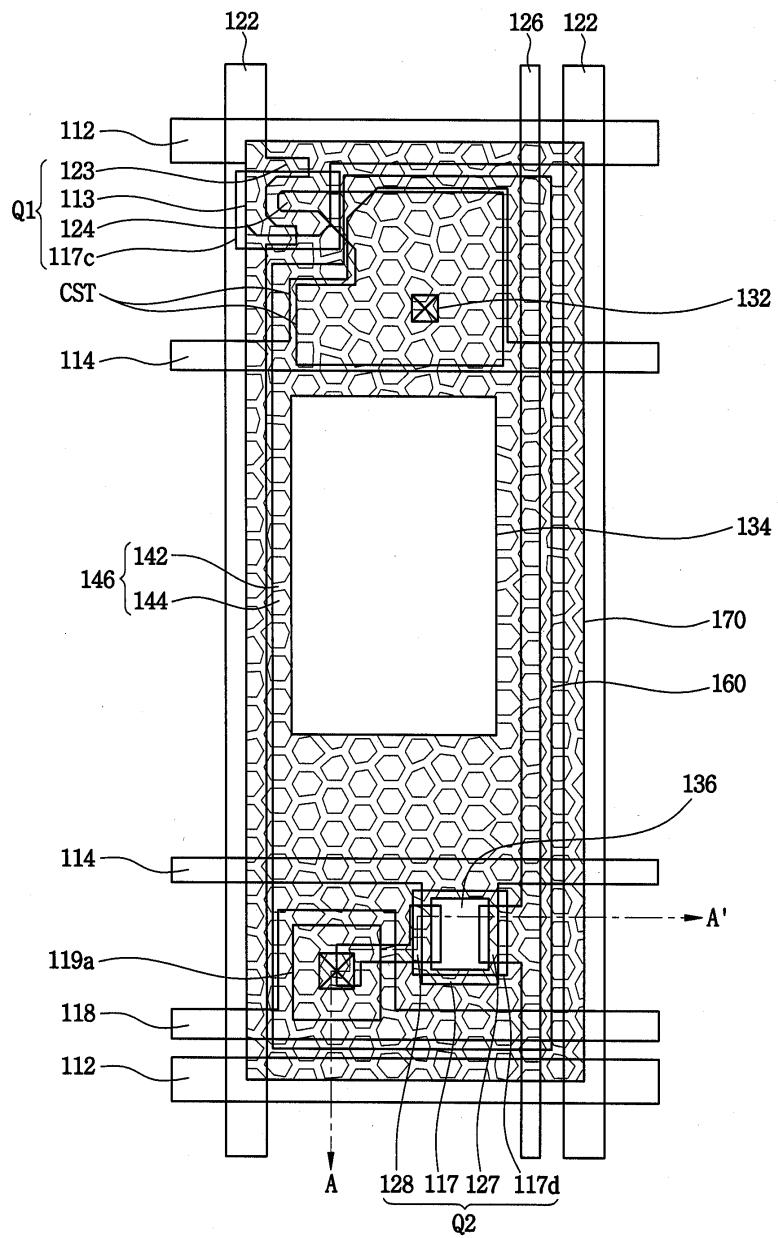
## 도면1



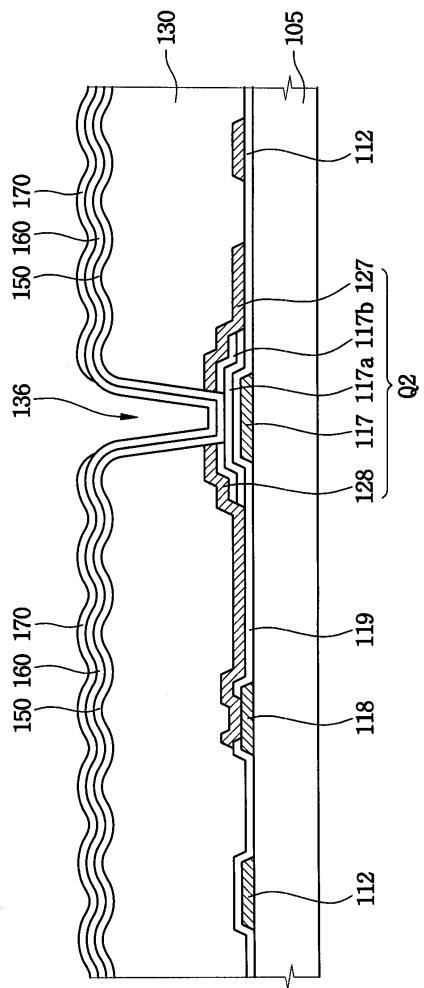
## 도면2



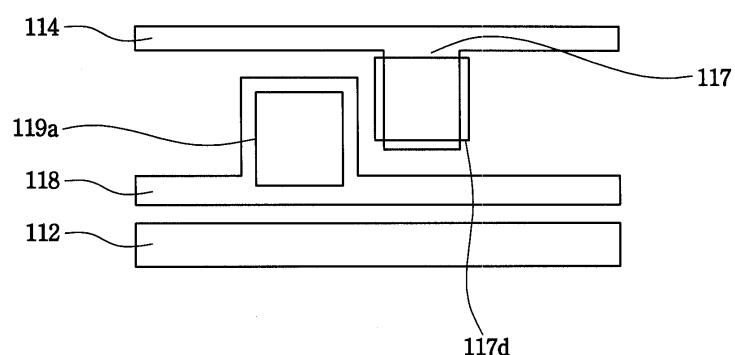
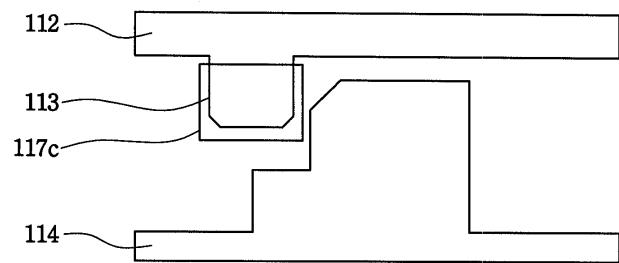
## 도면3



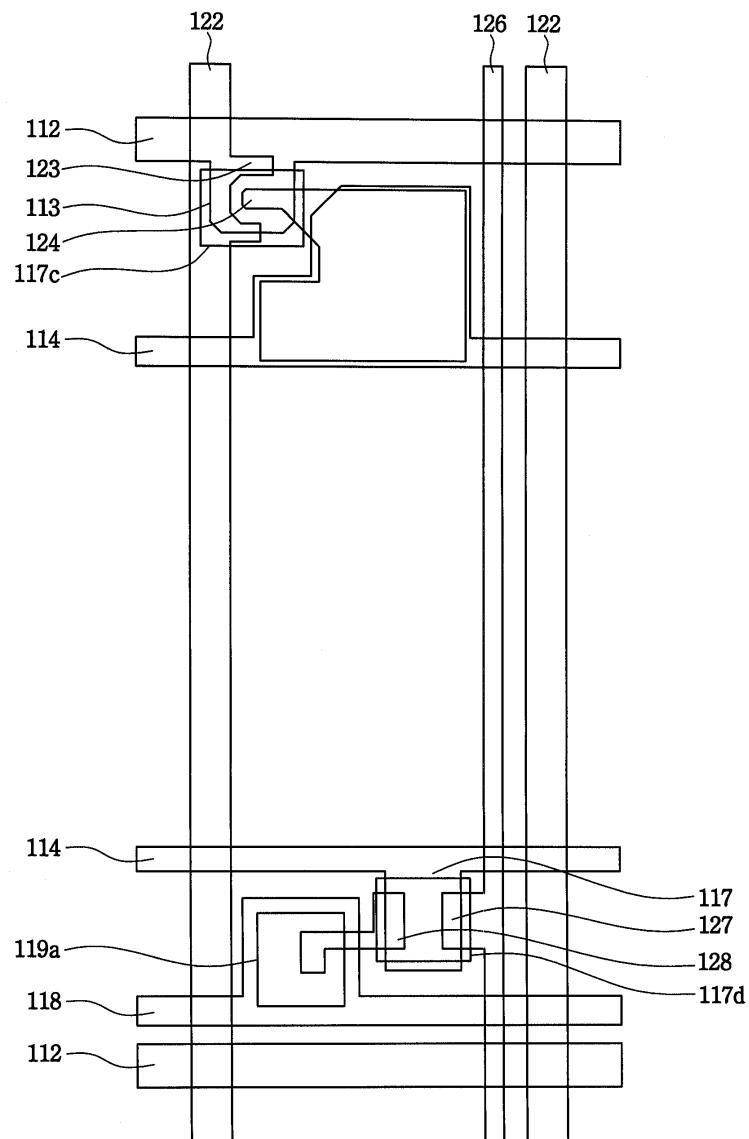
도면4



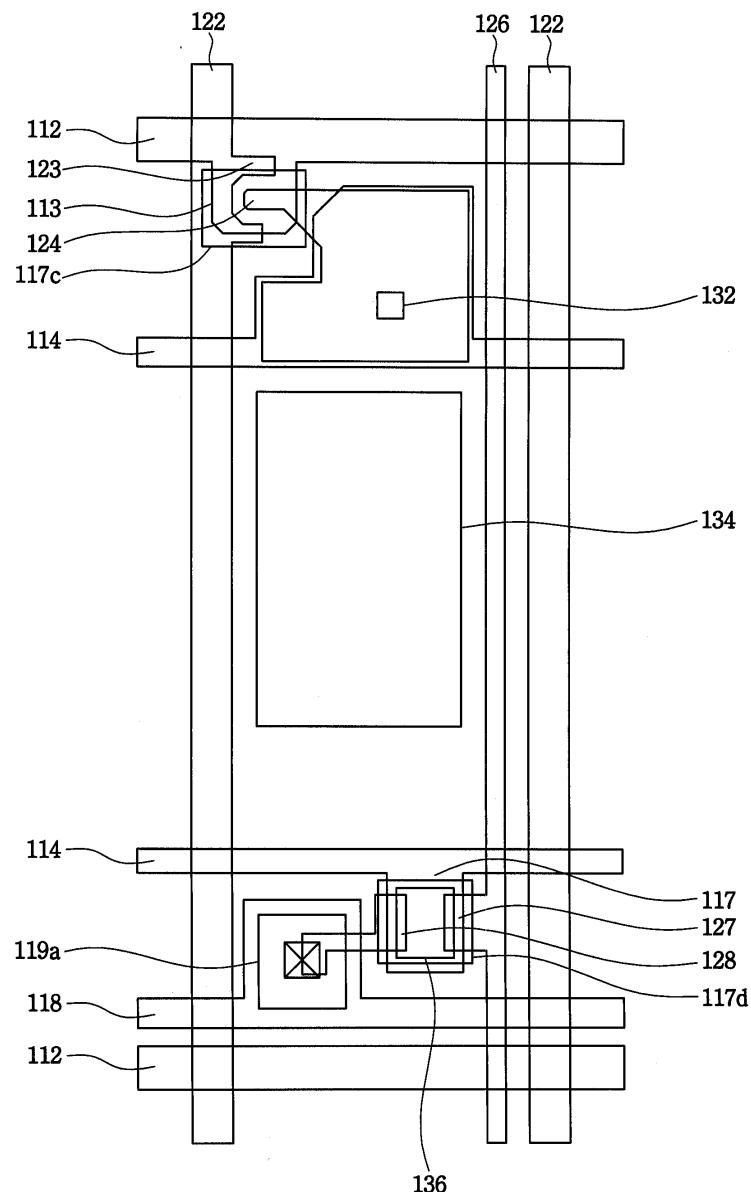
도면5a



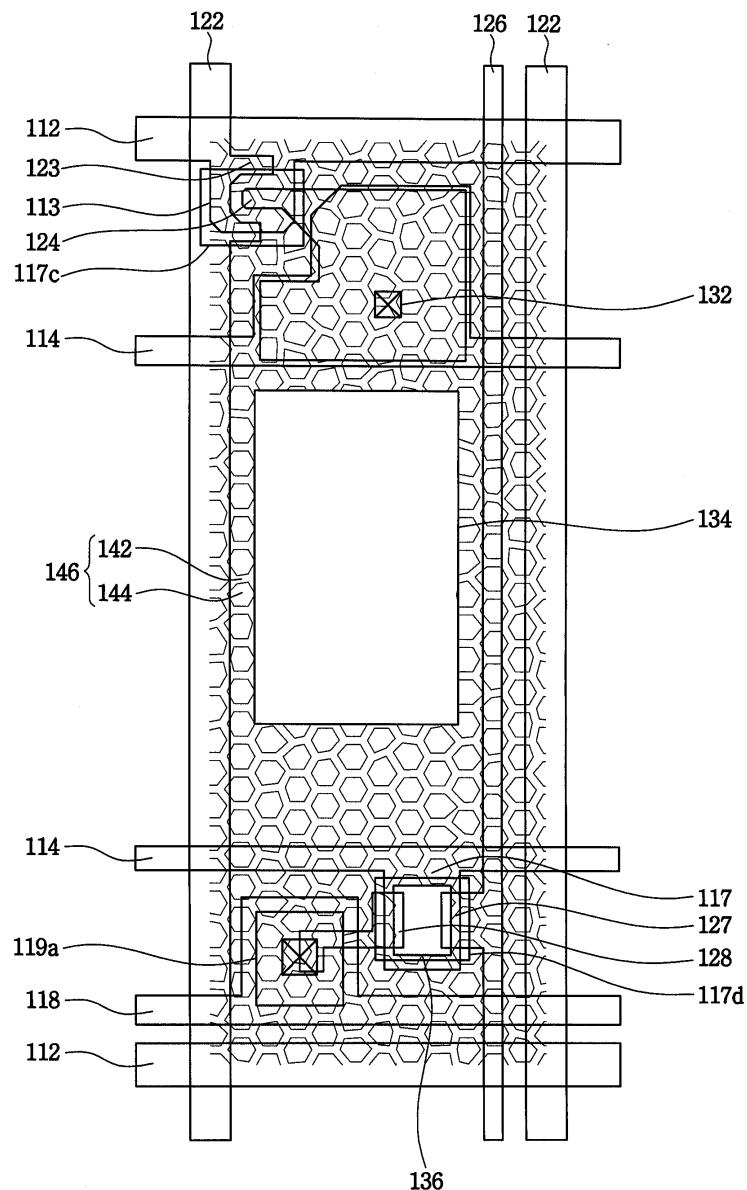
도면5b



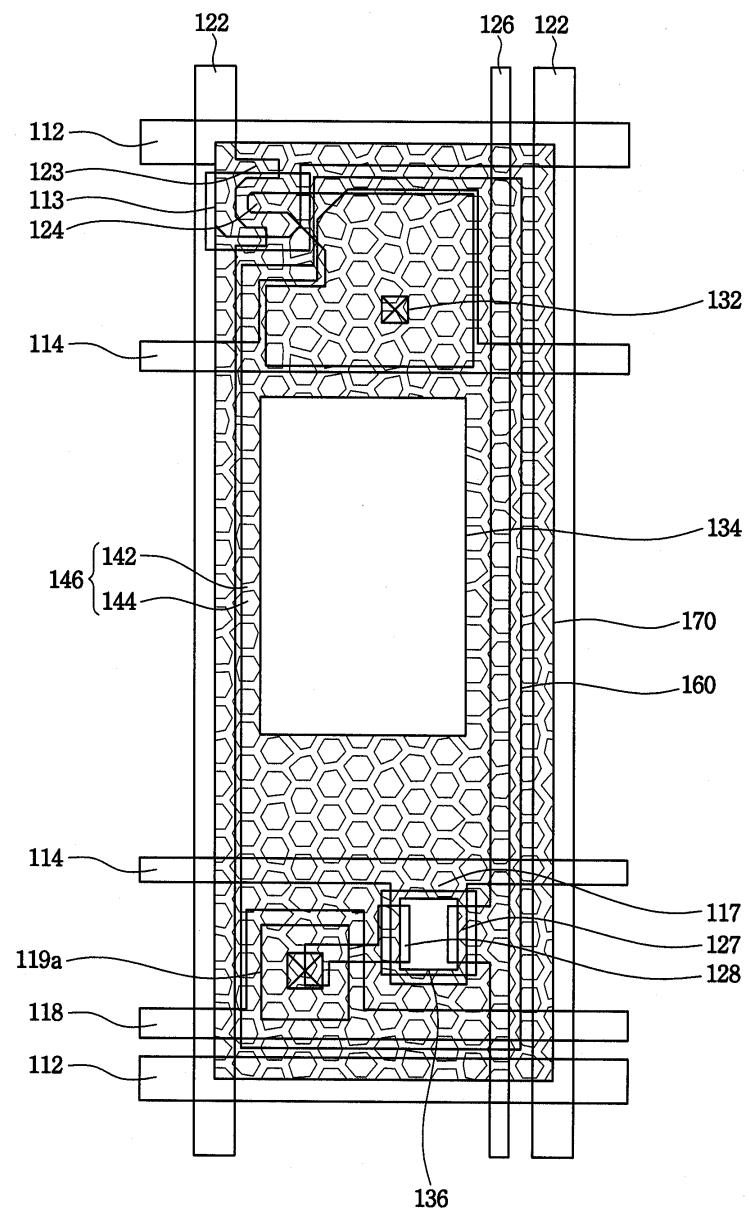
도면5c



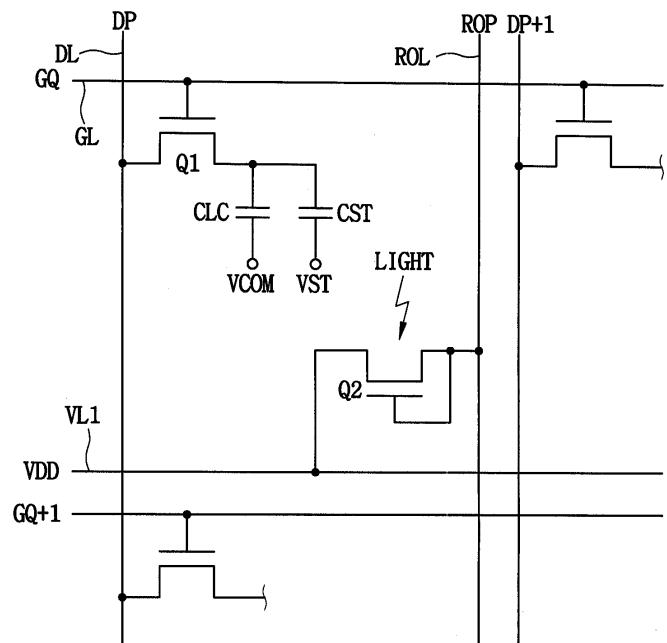
도면5d



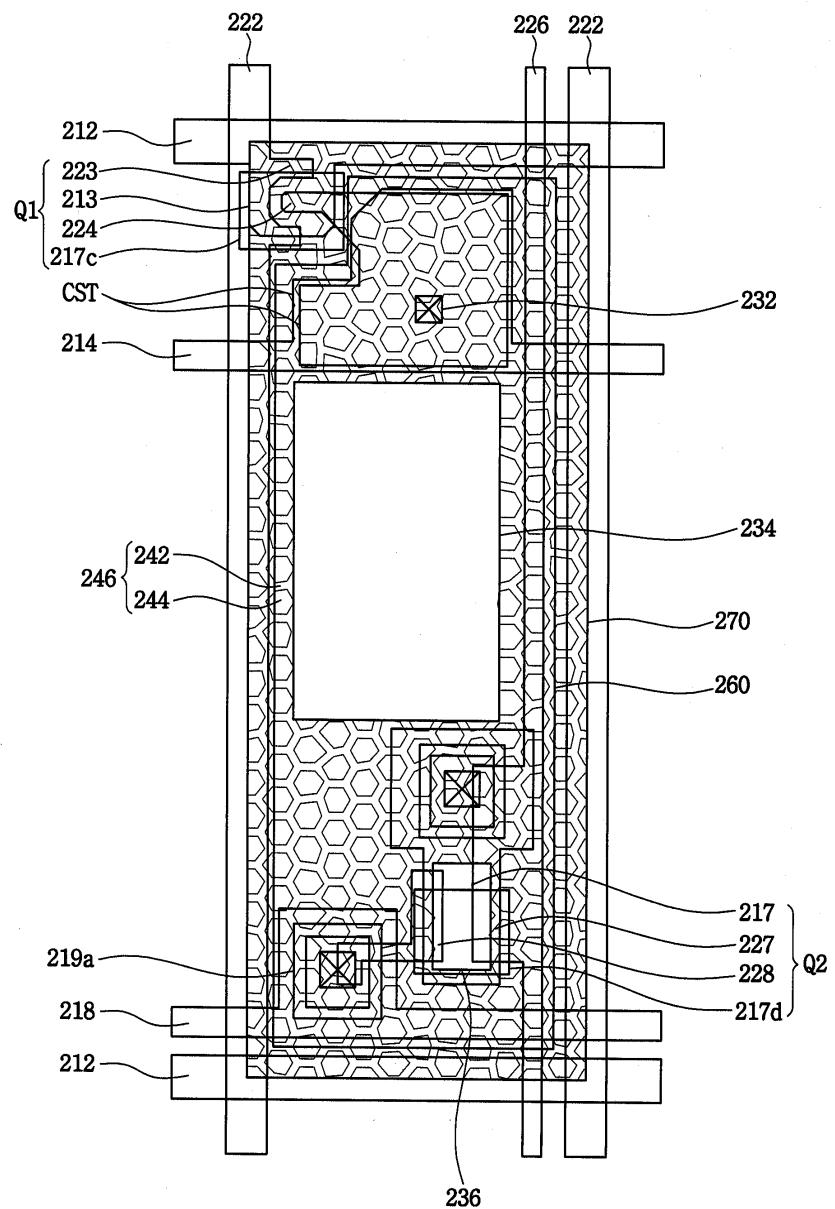
도면5e



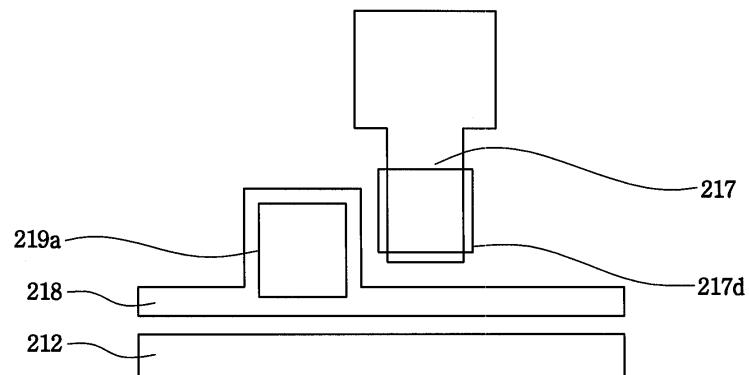
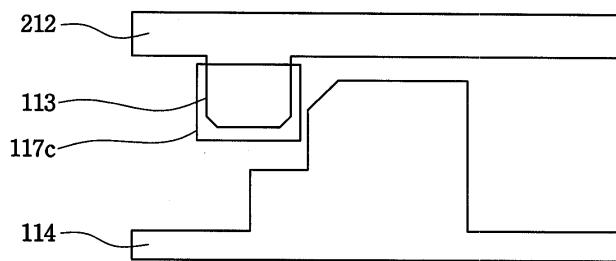
도면6



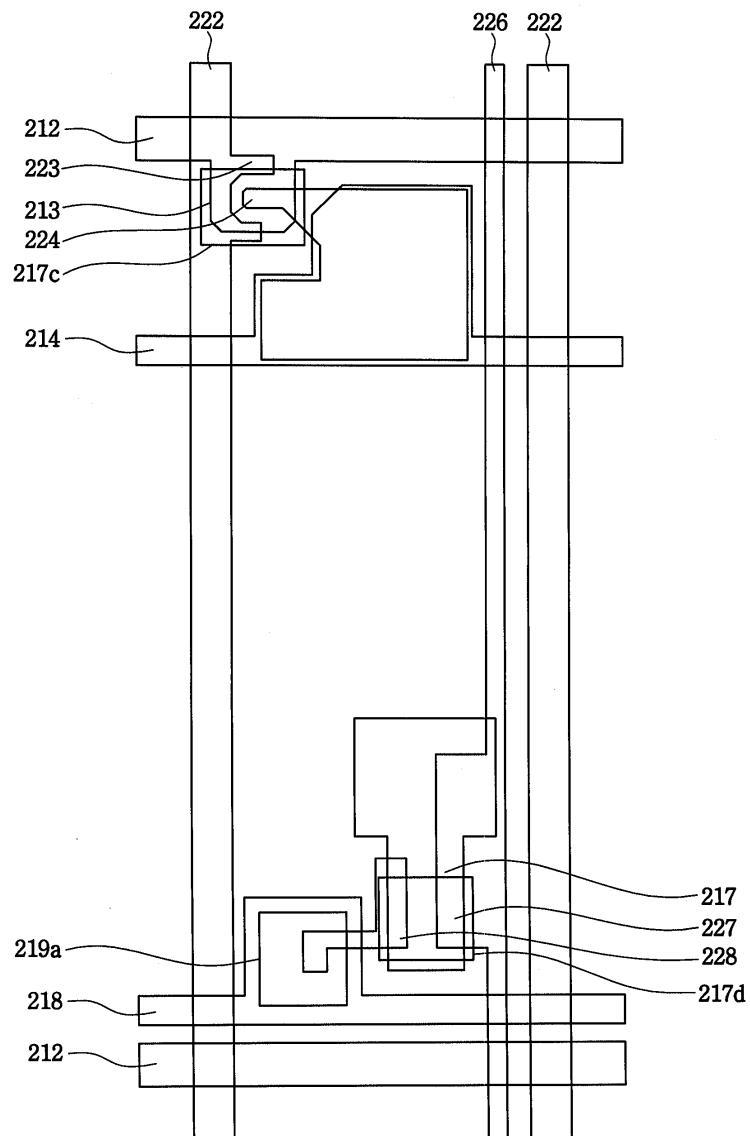
## 도면7



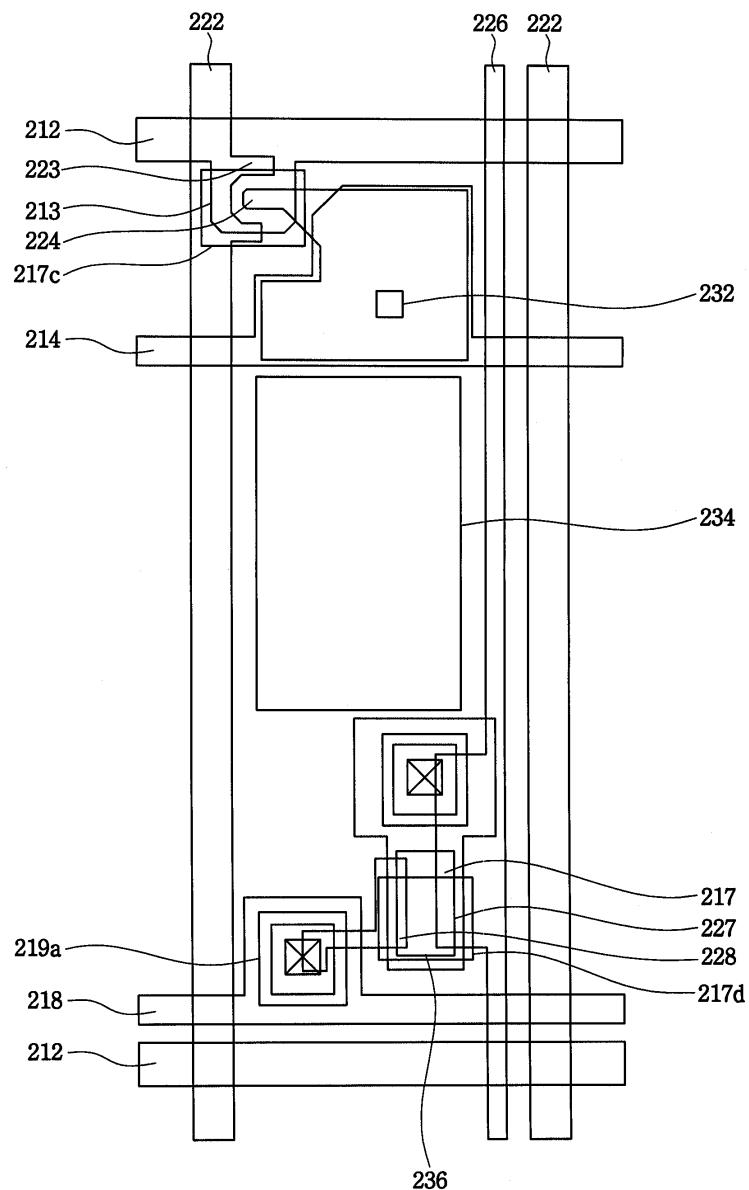
도면8a



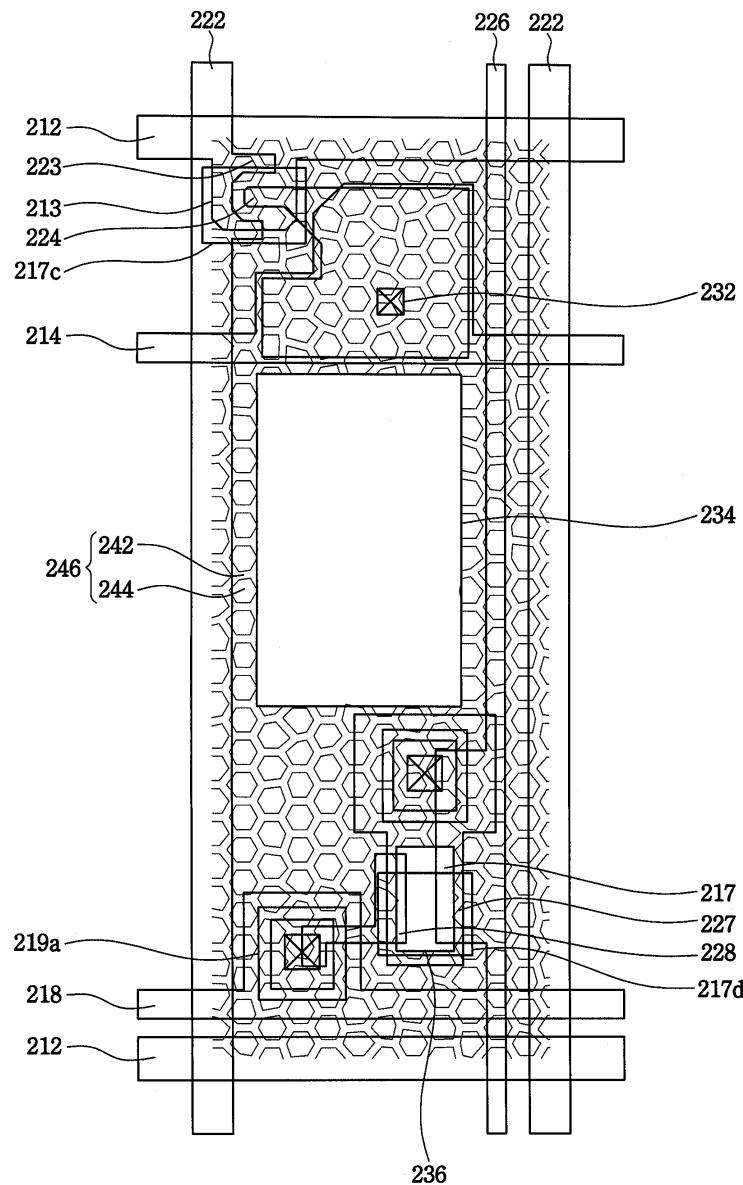
도면8b



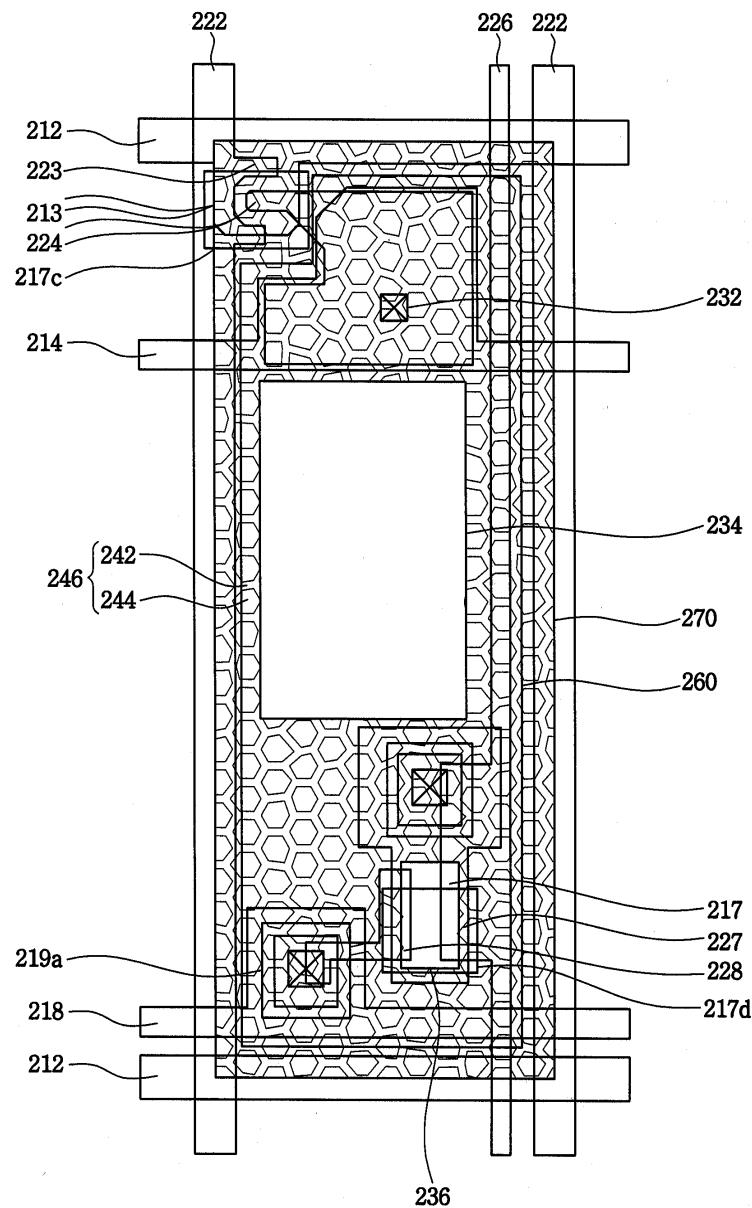
도면8c



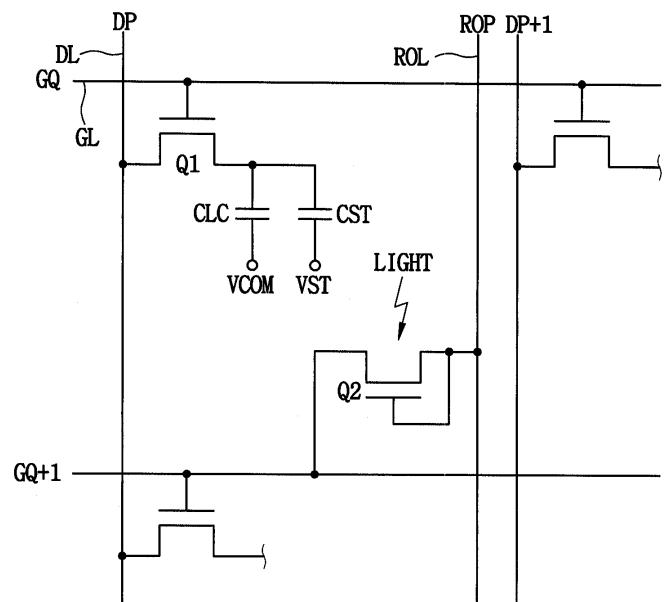
도면8d



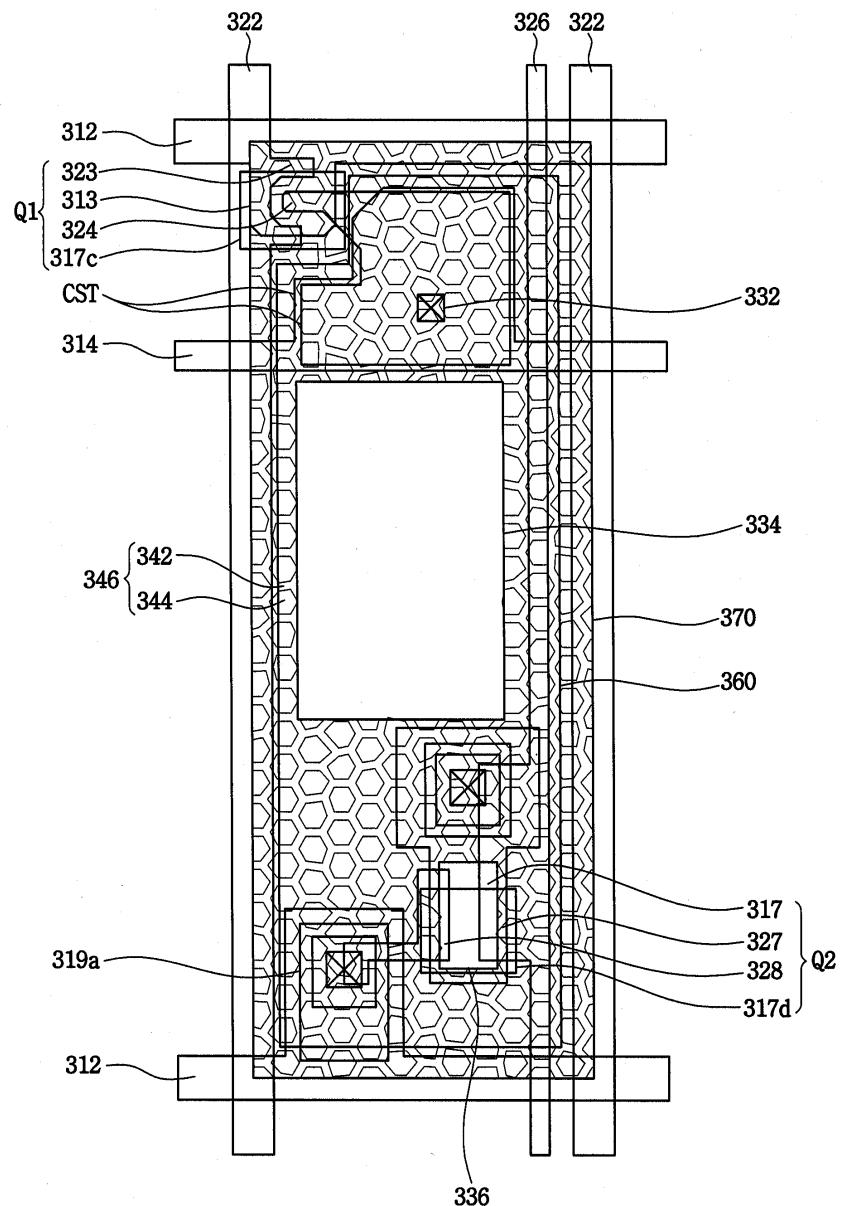
도면8e



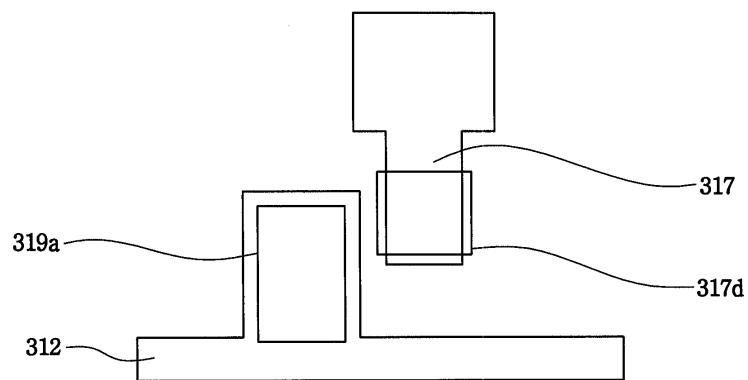
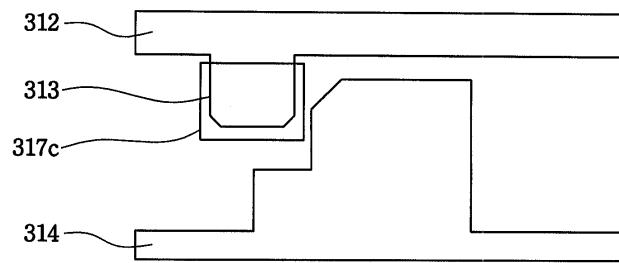
## 도면9



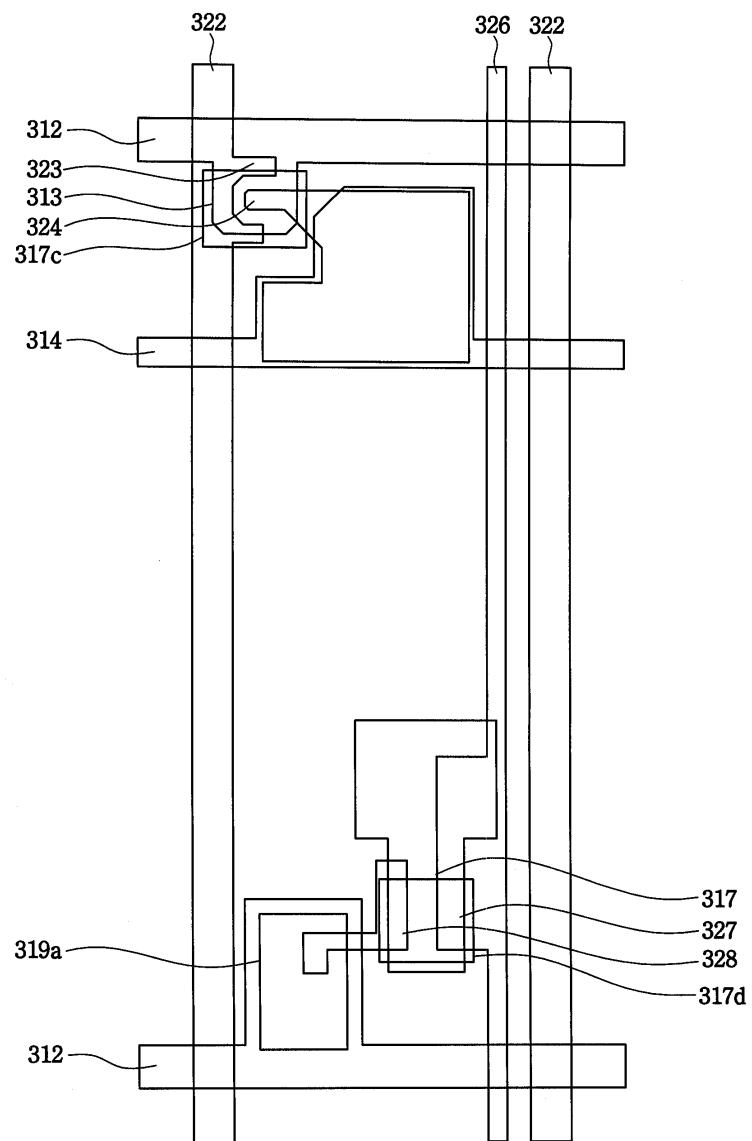
## 도면10



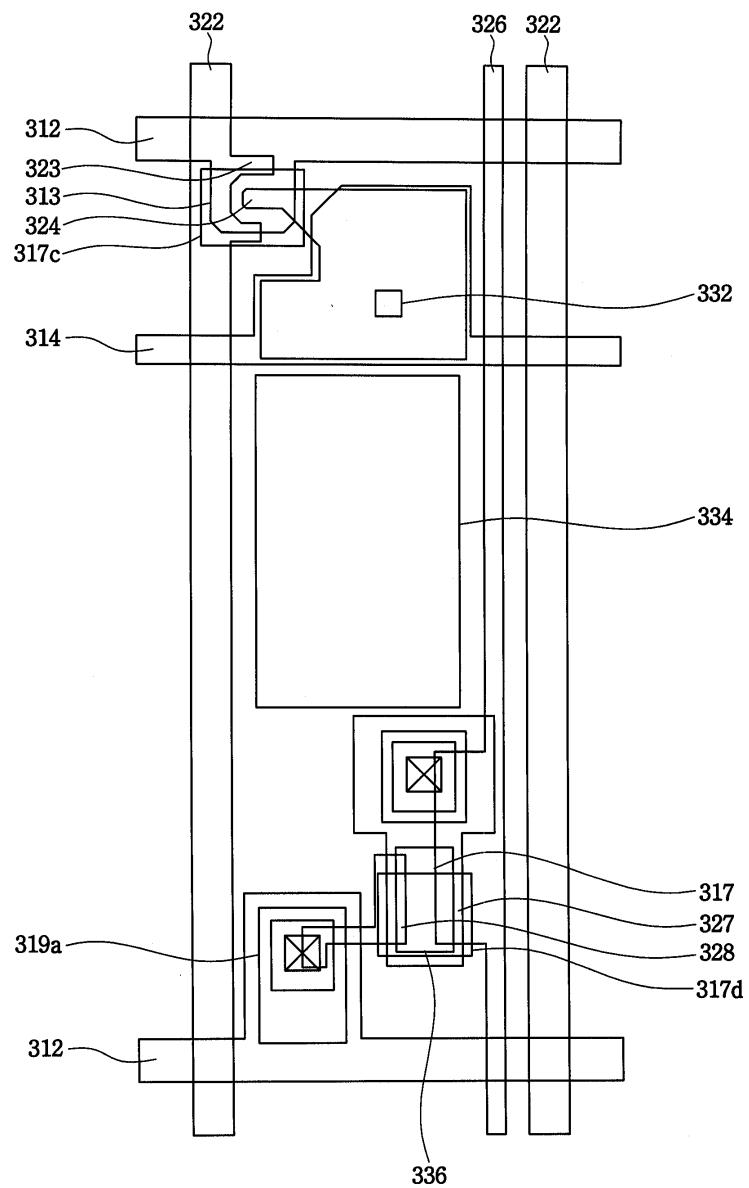
도면11a



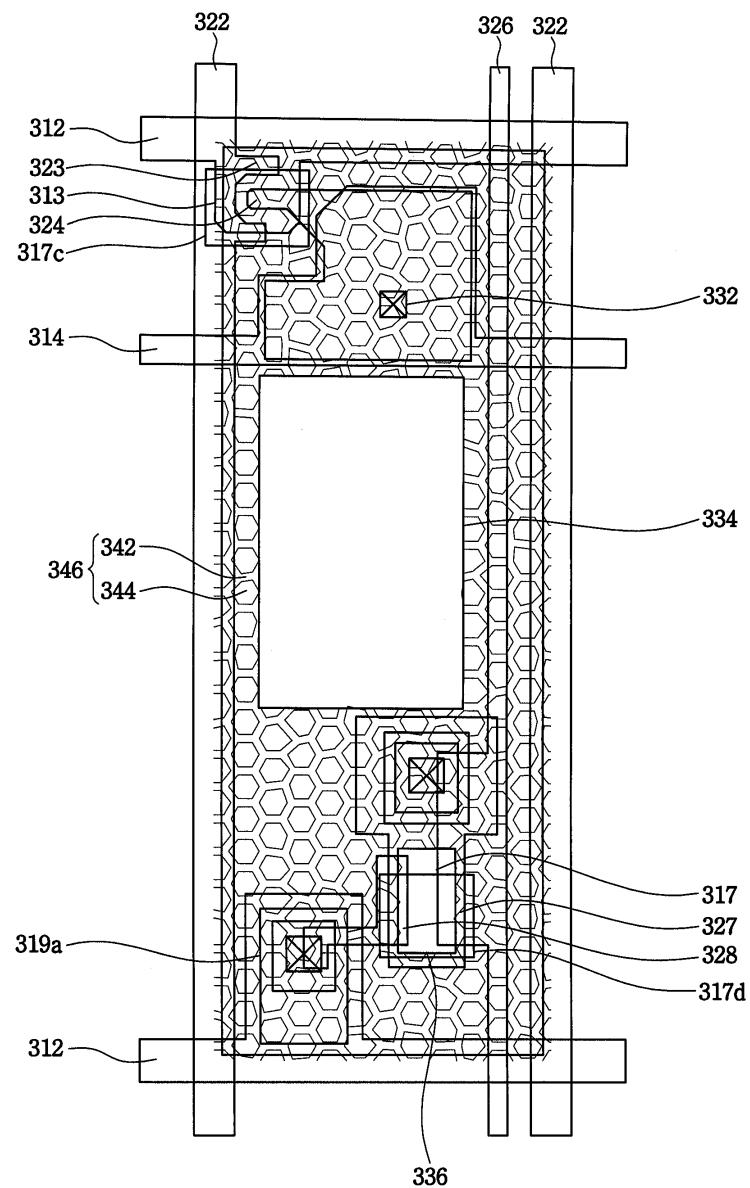
도면11b



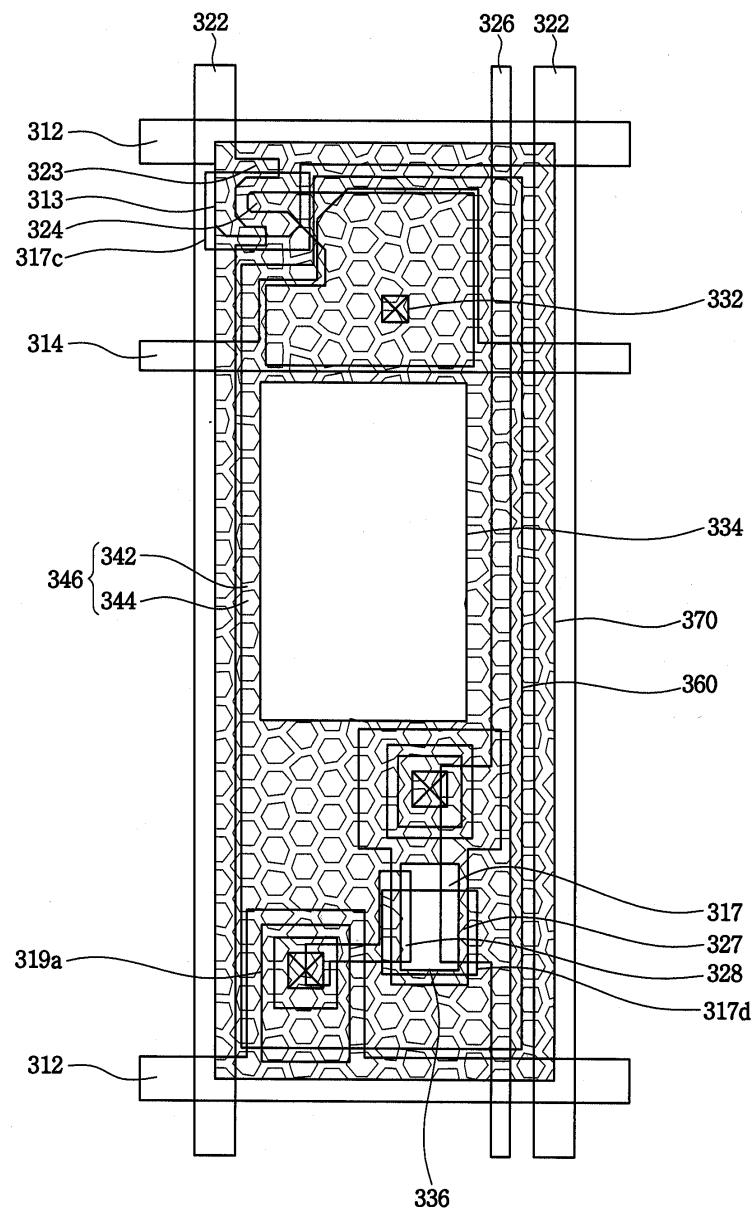
도면11c



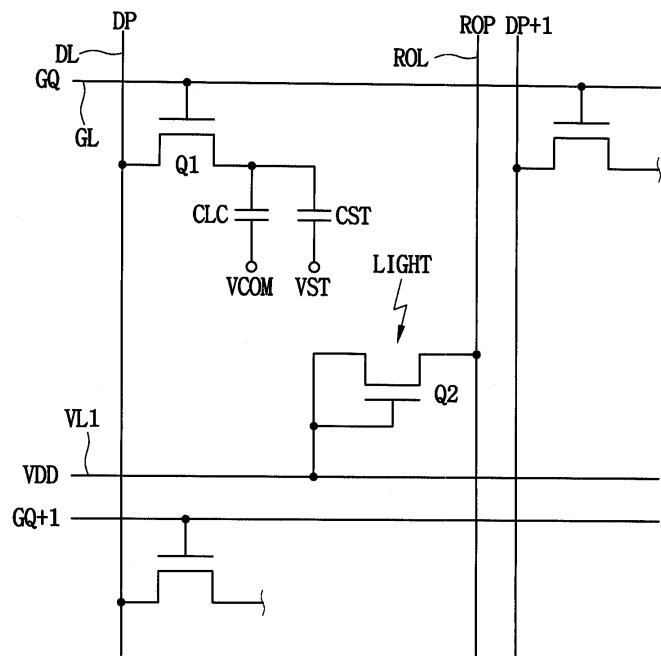
도면11d



도면11e



도면12



专利名称(译)	光学传感装置，阵列基板和具有其的液晶显示装置		
公开(公告)号	<a href="#">KR100923025B1</a>	公开(公告)日	2009-10-22
申请号	KR1020030074317	申请日	2003-10-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PAK SANGJIN 박상진 KIM HYUNGGUEL 김형걸 UH KEEHAN 어기한 CHO JONGWHAN 조종환 JEON JIN 전진 JUNG YOUNGBAE 정영배		
发明人	박상진 김형걸 어기한 조종환 전진 정영배		
IPC分类号	G02F1/1368 G01J1/02 G01J1/44 G02F1/133 G02F1/1333 G02F1/1335 G02F1/1343 G02F1/1362 G06F3/041 G06F3/042 H01L21/336 H01L27/146 H01L29/786 H01L31/10		
CPC分类号	G02F1/13338 G02F1/133555 G02F1/1362 G02F2001/13312 H01L27/14603		
代理人(译)	英西湖公园		
其他公开文献	KR1020050038987A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

目的：提供光敏元件，包括光敏元件的阵列基板，以及包括阵列基板的LCD（液晶显示器），在一个像素区域形成一个TFT（薄膜晶体管），用于感光功能，从而获得与具有两个TFT和一个电容器的传统光传感元件相比，阵列基板具有足够的设计余量并防止LCD的孔径比降低。组成：多条栅极线（GL），多条数据线（DL）并且设置多个读出线（ROL）。多个开关元件（Q1）形成在由栅极线和数据线限定的区域中，其中开关元件具有连接到数据线的源电极和连接到栅极线的栅电极。多个光传感元件（Q2）形成在由栅极线，数据线和读出线限定的区域中。光传感元件具有接收偏置电压的第一电流电极，接收截止电压的控制电极，以及响应于偏置电压和外部光而产生的漏光电流输出到读出线的第二电流电极。©KIPO 2006年

