



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년08월19일
(11) 등록번호 10-0912691
(24) 등록일자 2009년08월11일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0069689

(22) 출원일자 2002년11월11일

심사청구일자 2007년10월29일

(65) 공개번호 10-2004-0041811

(43) 공개일자 2004년05월20일

(56) 선행기술조사문헌

KR1019990079263 A*

KR1020010017524 A*

JP09120081 A

JP10268349 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

진교원

서울특별시마포구창전동2-44

박성일

대구광역시수성구지산동1275번지한라아파트103동1201호

박준호

경상북도구미시임수동LG.PhilipsLCD동락원B동615호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 5 항

심사관 : 남기영

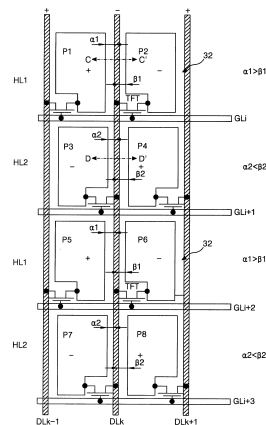
(54) 액정표시패널

(57) 요약

본 발명은 소비전력을 절감하면서도 화질을 향상시킬 수 있는 액정표시패널에 관한 것이다.

본 발명에 따른 액정표시패널은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 형성된 액정셀들을 구비하는 액정표시패널에 있어서, 데이터라인과 좌측으로 인접한 화소전극 간에 형성된 제1 기생캐패시터와; 데이터라인과 우측으로 인접한 화소전극 간에 형성된 제2 기생캐패시터를 구비하고; 제1 및 제2 기생캐패시터는 서로 다른 용량값을 갖도록 형성된 것을 특징으로 한다.

대표도 - 도9



특허청구의 범위

청구항 1

다수의 게이트 라인들과 다수의 데이터 라인들의 교차로 정의되는 영역마다 형성된 다수의 화소전극을 포함하는 액정셀들을 구비하는 액정표시패널에 있어서,

상기 데이터라인과 좌측으로 인접한 화소전극 간에 형성된 제1 기생캐패시터와;

상기 데이터라인과 우측으로 인접한 화소전극 간에 형성된 제2 기생캐패시터를 구비하고;

상기 액정셀들은 좌측으로 인접한 데이터라인과 박막트랜지스터를 통해 접속된 액정셀들로 구성되는 제1 수평라인과, 우측으로 인접한 데이터라인과 박막트랜지스터를 통해 접속된 액정셀들로 구성되는 제2 수평라인을 구비하고,

상기 제1 수평라인에서 상기 제1 기생캐패시터는 상기 제2 기생캐패시터 보다 작은 용량을 갖도록 상기 제1 수평라인에서 상기 데이터라인과 좌측 화소전극 간의 거리가 그 데이터라인과 우측 화소전극 간의 거리보다 크게 설정되고,

상기 제2 수평라인에서 상기 제2 기생캐패시터는 상기 제1 기생캐패시터 보다 작은 용량을 갖도록 상기 제2 수평라인에서 상기 데이터라인과 우측 화소전극 간의 거리가 그 데이터라인과 좌측 화소전극 간의 거리보다 작게 설정되어, 상기 제1 및 제2 기생캐패시터는 서로 다른 용량값을 갖도록 하되, 상기 제1 및 제2 기생캐패시터의 비대칭 관계가 상기 제1 수평라인과 상기 제2 수평라인에서 서로 반대가 되도록 형성되는 것을 특징으로 하는 액정표시패널.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 제1 수평라인에서 상기 데이터라인과 그의 우측 화소전극은 동일극성의 화소신호를, 그의 좌측 화소전극은 상반된 극성의 화소신호를 충전하고,

상기 제2 수평라인에서 상기 데이터라인과 그의 좌측 화소전극은 동일극성의 화소신호를, 그의 우측 화소전극은 상반된 극성의 화소신호를 충전하는 것을 특징으로 하는 액정표시패널.

청구항 8

제 1 항에 있어서,

상기 데이터라인과 나란한 상기 화소전극의 양측부와 중첩되는 차광패턴을 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 9

제 8 항에 있어서,

상기 제1 수평라인에서 상기 데이터라인을 기준으로 한 좌측 차광패턴은 상기 좌측 화소전극을 따라 상기 데이터라인으로부터 상대적으로 멀게 이격되고,

상기 제2 수평라인에서 상기 데이터라인을 기준으로 한 우측 차광패턴은 상기 우측 화소전극을 따라 상기 데이터라인으로부터 상대적으로 멀게 이격된 것을 특징으로 하는 액정표시패널.

청구항 10

제 1 항에 있어서,

상기 제1 수평라인과 제2 수평라인은 적어도 한 수평라인 단위로 교번하여 배치된 것을 특징으로 하는 액정표시패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 액정표시장치에 관한 것으로, 특히 소비전력을 절감하면서도 화질을 향상시킬 수 있는 액정표시패널에 관한 것이다.
- <20> 액정표시장치는 전계를 이용하여 유전이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스형으로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.
- <21> 액정표시패널은 액정셀들이 화소신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다. 구동회로는 액정표시패널의 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버에 타이밍 제어신호와 화소 데이터를 공급하는 타이밍 제어부와, 전원 전압을 공급하는 전원부를 구비한다.
- <22> 구체적으로, 액정표시장치는 도 1에 도시된 바와 같이 액정셀들(C1c)이 매트릭스 형태로 배열되어진 액정표시패널(2)과, 액정표시패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(4)와, 액정표시패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(6)를 구비한다.
- <23> 도 1에서 액정표시패널(2)은 n개의 게이트라인들(GL1 내지 GLn)과 m개의 데이터라인들(DL1 내지 DLm)의 교차로 정의되는 영역마다 형성되어 매트릭스 형태로 배열된 박막트랜지스터(TFT)와 액정셀(C1c)을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 화소신호를 액정셀(C1c)에 공급한다. 액정셀(C1c)은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터에 접속된 화소전극을 포함하여 등가적으로는 액정용량 캐패시터(C1c)로 표시된다.
- <24> 게이트 드라이버(4)는 타이밍 제어부(8)로부터의 게이트 제어신호들에 응답하여 게이트라인들(GL1 내지 GLn)에 순차적으로 공급되는 스캔신호를 발생한다.
- <25> 데이터 드라이버(6)는 타이밍 제어부(8)로부터의 데이터 제어신호들에 응답하여 타이밍 제어부(8)로부터의 화소 데이터를 아날로그 화소신호로 변환한다. 이 경우 데이터 드라이버(6)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소 데이터를 화소신호로 변환한다. 그리고, 데이터 드라이버(6)는 변환된 화소신호를 게이트라인(GL)에 스캔신호가 공급될 때마다 데이터라인들(DL1 내지 DLm)에 공급한다.
- <26> 타이밍 제어부(8)는 입력되는 수직 동기신호 및 수평 동기신호 등을 이용하여 게이트 제어신호들과 데이터 제어신호들을 발생하여 게이트 드라이버(4) 및 데이터 드라이버(6)의 타이밍을 제어한다. 또한, 타이밍 제어부(8)는 입력되는 화소데이터를 정렬하여 데이터 드라이버(6)로 공급한다.
- <27> 이러한 액정표시장치는 액정을 열화를 방지함과 아울러 표시 품질을 향상시키기 위하여 액정표시패널을 인버전

구동방법으로 구동한다. 인버전 구동방법으로는 프레임 인버전 방식(Frame Inversion System), 라인(칼럼) 인버전 방식(Line(Column) Inversion System), 그리고 도트 인버전 방식(Dot Inversion System) 등이 이용된다

- <28> 프레임 인버전 구동방법은 도 2a 및 도 2b에 도시된 바와 같이 액정셀들의 극성이 한 프레임 내에서는 동일하고 프레임마다 반전되게 한다. 이러한 프레임 인버전 구동방법은 프레임 단위로 플리커가 발생하는 문제점이 있다.
- <29> 라인 인버전 구동방법은 액정셀들의 극성이 도 3a 및 도 3b에서와 같이 한 수평 라인 내에서는 동일하고 수평라인마다 그리고 프레임마다 반전되게 한다. 이러한 라인 인버전 구동방식은 수평방향 액정셀들간의 크로스토크가 존재함에 따라 수평 줄무늬 패턴으로 플리커가 발생하는 문제점이 있다.
- <30> 칼럼 인버전 구동방법은 액정셀들의 극성이 도 4a 및 도 4b에서와 같이 한 칼럼 라인 내에서는 동일하고 칼럼라인마다 그리고 프레임마다 반전되게 한다. 이러한 칼럼 인버전 구동방식은 수직방향 액정셀들간에 크로스토크가 존재함에 따라 수직 줄무늬 패턴으로 플리커가 발생하는 문제점이 있다.
- <31> 도트 인버전 구동방법은 도 5a 및 도 5b에서와 같이 액정셀들의 극성이 수평 및 수직 방향으로 인접하는 액정셀들 모두와 상반되고, 프레임마다 반전되게 한다. 이러한 도트 인버전 구동방법은 수직 및 수평 방향으로 인접한 액정셀들간에 발생하는 플리커가 서로 상쇄되게 함으로써 다른 인버전 방법들에 비하여 뛰어난 화질의 화상을 제공한다.
- <32> 그러나, 도트 인버전 구동방식은 데이터 드라이버에서 데이터라인들에 공급되는 화소전압신호의 극성이 수평 및 수직 방향으로 반전되어야 함에 따라 다른 인버전 방법들에 비하여 화소신호의 변동량, 즉 화소신호의 주파수가 크기 때문에 소비전력이 크다는 단점을 가진다.

발명이 이루고자 하는 기술적 과제

- <33> 따라서, 본 발명의 목적은 소비전력을 절감하면서도 화질을 향상시킬 수 있는 액정표시패널을 제공하는 것이다.

발명의 구성 및 작용

- <34> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 형성된 액정셀들을 구비하는 액정표시패널에 있어서, 데이터라인과 좌측으로 인접한 화소전극 간에 형성된 제1 기생캐패시터와; 데이터라인과 우측으로 인접한 화소전극 간에 형성된 제2 기생캐패시터를 구비하고; 제1 및 제2 기생캐패시터는 서로 다른 용량값을 갖도록 형성된 것을 특징으로 한다.
- <35> 여기서, 상기 데이터라인과 상기 좌측 화소전극과의 거리와 그 데이터라인과 상기 우측 화소전극과의 거리가 서로 다르게 설정된 것을 특징으로 한다.
- <36> 상기 액정셀들은 좌측으로 인접한 데이터라인과 박막트랜지스터를 통해 접속된 액정셀들로 구성되는 제1 수평라인과; 우측으로 인접한 데이터라인과 박막트랜지스터를 통해 접속된 액정셀들로 구성되는 제2 수평라인을 구비하는 것을 특징으로 한다.
- <37> 상기 제1 및 제2 기생캐패시터의 비대칭 관계가 상기 제1 수평라인과 상기 제2 수평라인에서 서로 반대가 되는 것을 특징으로 한다.
- <38> 상기 제1 수평라인에서 상기 제1 기생캐패시터는 상기 제2 기생캐패시터 보다 작은 용량을 갖도록 형성되고, 상기 제2 수평라인에서 상기 제2 기생캐패시터는 상기 제1 기생캐패시터 보다 작은 용량을 갖도록 형성된 것을 특징으로 한다.
- <39> 상기 제1 수평라인에서 상기 데이터라인과 좌측 화소전극 간의 거리가 그 데이터라인과 우측 화소전극 간의 거리보다 크게 설정되고, 상기 제2 수평라인에서 상기 데이터라인과 우측 화소전극 간의 거리가 그 데이터라인과 좌측 화소전극 간의 거리보다 작게 설정된 것을 특징으로 한다.
- <40> 상기 제1 수평라인에서 상기 데이터라인과 그의 우측 화소전극은 동일극성의 화소신호를, 그의 좌측 화소전극은 상반된 극성의 화소신호를 충전하고, 상기 제2 수평라인에서 상기 데이터라인과 그의 좌측 화소전극은 동일극성의 화소신호를, 그의 우측 화소전극은 상반된 극성의 화소신호를 충전하는 것을 특징으로 한다.

- <41> 상기 데이터라인과 나란한 상기 화소전극의 양측부와 중첩되는 차광패턴을 추가로 구비하는 것을 특징으로 한다.
- <42> 상기 제1 수평라인에서 상기 데이터라인을 기준으로 한 좌측 차광패턴은 상기 좌측 화소전극을 따라 상기 데이터라인으로부터 상대적으로 멀게 이격되고, 상기 제2 수평라인에서 상기 데이터라인을 기준으로 한 우측 차광패턴은 상기 우측 화소전극을 따라 상기 데이터라인으로부터 상대적으로 멀게 이격된 것을 특징으로 한다.
- <43> 상기 제1 수평라인과 제2 수평라인은 적어도 한 수평라인 단위로 교번하여 배치된 것을 특징으로 한다.
- <44> 상기 목적들 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.
- <45> 본 발명의 바람직한 실시예들을 설명하기에 앞서 본 발명의 직접적인 기술적인 배경이 되는 액정표시장치를 살펴보기로 한다.
- <46> 액정표시장치는 액정셀들을 교류 구동하여 액정열화를 방지하면서도 화질향상을 위하여 도트 인버전 구동방법을 주로 채용한다. 그러나, 도트 인버전 구동방법은 액정셀 단위로 화소신호의 극성을 반전시켜야 하므로 화소신호의 변동량이 커지게 되어 소비전력이 크다는 문제점을 안고 있다. 이러한 도트 인버전 구동방법의 큰 소비전력 문제를 해결하기 위하여, 본 출원인은 데이터라인들을 칼럼 인버전 방식으로 구동하면서도 액정셀들을 도트 인버전 방식으로 구동할 수 있는 액정표시장치와 그 구동 방법을 특허출원 제2002-37740호에서 제안하였다.
- <47> 도 6은 특허출원 제2002-37740호에서 제안된 액정표시장치(이하, "Z-인버전 액정표시장치"라 함)를 도시한 것이다.
- <48> 도 6에 도시된 액정표시장치는 액정셀 매트릭스를 갖는 액정표시패널(12)과, 액정표시패널(12)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(14)와, 액정표시패널(12)의 데이터라인들(DL1 내지 DLm+1)을 구동하기 위한 데이터 드라이버(16)와, 게이트 드라이버(14) 및 데이터 드라이버(16)를 제어하기 위한 타이밍 제어부(18)를 구비한다.
- <49> 액정표시패널(12)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm+1)의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와, 화소전극(PXL)을 포함하는 액정셀을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DLm+1)으로부터의 화소신호를 화소전극(PXL)에 공급한다. 화소전극(PXL)은 화소신호에 응답하여 공통전극(도시하지 않음)과의 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하게 된다. 이러한 액정셀은 박막트랜지스터(TFT)를 통해 수직방향을 따라 인접한 서로 다른 데이터라인(DL)과 교번적으로 접속된다.
- <50> 예를 들면, 기수번째 게이트라인(GL1, GL3, GL5, ...)에 접속된 기수번째 수평라인의 액정셀은 좌측으로 인접한 데이터라인(DLi)(여기서, i는 양의 정수)에 접속되어 화소신호를 공급받는다. 반면에 우수번째 게이트라인(GL2, GL4, GL6, ...)에 접속된 우수번째 수평라인의 액정셀은 우측으로 인접하는 데이터라인(DLi+1)에 접속되어 화소신호를 공급받는다.
- <51> 타이밍 제어부(18)는 게이트 드라이버(14) 및 데이터 드라이버(16)를 제어하는 타이밍 제어신호들을 발생하고, 데이터 드라이버(16)에 화소데이터 신호를 공급한다. 타이밍 제어부(18)에서 발생하는 게이트 타이밍 제어신호들에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 타이밍 제어부(18)에서 발생하는 데이터 타이밍 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.
- <52> 게이트 드라이버(14)는 상기 게이트 타이밍 제어신호들을 이용하여 게이트라인들(GL1 내지 GLn)에 스캔신호를 순차적으로 공급한다. 이에 따라, 게이트 드라이버(14)는 그 스캔신호에 응답하여 박막트랜지스터들(TFT)이 수평라인 단위로 구동되게 한다.
- <53> 데이터 드라이버(16)는 입력된 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 화소신호를 데이터라인들(DL1 내지 DLm+1)에 공급한다. 이 경우 데이터 드라이버(16)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여 화소데이터를 화소신호로 변환하게 된다.
- <54> 이러한 데이터 드라이버(16)는 칼럼 인버전 방식으로 화소신호를 공급하여 데이터라인(DL1 내지 DLm+1) 각각에 공급되는 화소신호가 인접한 데이터라인(DL)과는 상반된 극성을 갖고, 그 극성이 프레임 단위로 반전되게 한다.

다시 말하여, 데이터 드라이버(16)는 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2, DL4, ...)에 서로 상반된 극성의 화소신호를 공급하고, 그 데이터라인들(DL1 내지 DLm+1)에 공급되는 화소신호의 극성을 프레임 단위로 반전시키게 된다.

<55> 이 경우, 화소전극(PXL)이 칼럼 인버전 방식으로 화소신호가 공급되는 데이터라인들(DL1 내지 DLm+1)을 기준으로 지그재그형으로 배열되므로 그 화소전극(PXL)을 포함하는 액정셀들은 도트 인버전 방식으로 구동된다.

<56> 특히, 데이터 드라이버(16)는 데이터라인들(DL1 내지 DLm+1)을 따라 지그재그형으로 배열된 화소전극(PXL)에 정확한 화소신호를 공급하기 위하여 수평기간마다 교번적으로 화소신호의 출력채널을 변경하게 된다. 구체적으로, 데이터라인들(DL1 내지 DLm+1)의 우측에서 접속된 액정셀들(PXL)에 화소신호를 공급하는 경우 데이터 드라이버(16)는 제1 내지 제m 데이터라인들(DL1 내지 DLm)에 m개의 유효 화소신호를, 제m+1 데이터라인(DLm+1)에 블랭크 신호를 공급하게 된다. 이와 달리, 데이터라인들(DL1 내지 DLm+1)의 좌측에서 접속된 액정셀들(PXL)에 화소신호를 공급하는 경우 데이터 드라이버(16)는 m개의 유효 화소신호를 한 채널씩 오른쪽으로 쉬프트시켜 제2 내지 제m+1 데이터라인들(DL2 내지 DLm+1)에 공급하고, 제1 데이터라인(DL1)에는 블랭크 신호를 공급하게 된다. 여기서, 블랭크신호는 정의되지 않은(Don't care) 신호를 의미한다.

<57> 이에 따라, Z-인버전 액정표시장치는 도트 인버전 방식으로 구동되는 액정셀들(PXL)에 의해 화질이 향상되고, 데이터 드라이버(16)는 칼럼 인버전 방식으로 화소신호를 공급하므로 도트 인버전 방식으로 화소신호를 공급하는 경우보다 소비전력을 현저하게 절감할 수 있게 된다.

<58> 한편, 도 6에 도시된 액정표시패널(12)에서는 데이터라인(DL)과 그에 인접한 화소전극(PXL)과의 사이에 형성된 기생캐패시터(Cdp)에 의해 정극성(+) 또는 부극성(-)의 전압편차가 발생한다. 특히, Z-인버전 액정표시장치에서는 데이터라인(DL)이 한 프레임동안 동일한 극성을 유지함에 따라 그 기생캐패시터(Cdp)에 의한 전압편차 또한 동일한 극성을 한 프레임동안 유지하게 되어 수직 크로스토크가 발생하게 된다. 이러한 수직 크로스토크의 발생 원인을 도 7 내지 도 8b를 참조하여 상세히 살펴보면 다음과 같다.

<59> 도 7은 Z-인버전 액정표시패널의 일부분을 도시한 도면이고, 도 8a 및 도 8b는 도 7에 도시된 기생캐패시터(Cdp) 형성부분을 A-A'선 및 B-B'선 각각을 따라 절단하여 도시한 단면도이다.

<60> 도 7에 도시된 기생캐패시터(Cdp)는 데이터라인(DLk)과 좌측의 화소전극(P1 또는 P3)과의 사이에 위치하는 제1 기생캐패시터(Cdp1)와, 그 데이터라인(DLk)과 우측에 인접한 화소전극(P2 또는 P4)과의 사이에 위치하는 제2 기생캐패시터(Cdp2)를 구비한다. 이러한 제1 및 제2 기생캐패시터(Cdp1, Cdp2)는 도 8a 및 도 8b에 도시된 바와 같이 데이터라인(DL)과 화소전극(P)이 무기절연막 또는 유기절연막으로 구성되는 보호막(30)을 사이에 두고 위치함에 따라 형성된다. 여기서, 제1 기생 캐패시터(Cdp1)의 용량과 반비례 관계를 가지는 데이터라인(DLk)과 화소전극(P1 또는 P3) 간의 거리(α)와, 제2 기생 캐패시터(Cdp2)의 용량과 반비례 관계를 가지는 데이터라인(DL)과 화소전극(P2 또는 P4) 간의 거리(β)는 동일하게 설정된다. 그러나, 데이터라인(DLk)의 좌측 화소전극(P1 또는 P3)과, 우측 화소전극(P2 또는 P4)이 서로 상반된 극성의 화소신호를 충전함에 따라 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)간에 상대적으로 큰 용량 편차가 발생한다. 이러한 기생캐패시터(Cdp1, Cdp2)간의 용량 편차는 한 프레임동안 동일극성을 유지하는 데이터라인(DLk)에 의해 그 한 프레임동안 동일극성을 유지하여 데이터라인(DLk)을 간섭하게 되고, 이 결과 데이터라인(DLk) 상의 화소신호가 왜곡된다.

<61> 예를 들면, 도 7에서 데이터라인(DLk)에 부극성(-)의 화소신호가, 이전 및 이후 데이터라인(DLk-1, DLk+1)에 정극성(+)의 화소신호가 공급된다고 가정한다. 여기서, i번째 게이트라인(GLi)에 의해 구동되는 박막트랜지스터(TFT)를 통해 데이터라인(DLk)과 접속된 우측의 화소전극(P2)은 부극성(-)의 화소신호를 충전한다. 반면에, i번째 게이트라인(GLi)에 의해 구동되는 박막트랜지스터(TFT)를 통해 이전 데이터라인(DLk-1)과 박막트랜지스터(TFT)를 통해 접속된 좌측의 화소전극(P1)은 정극성(+)의 화소신호를 충전한다. 이에 따라, 서로 상반된 극성을 유지하는 데이터라인(DLk)과 좌측의 화소전극(P1) 사이의 전압편차가, 서로 동일한 극성을 유지하는 데이터라인(DLk)과 우측의 화소전극(P2) 사이의 전압편차가 보다 커지게 된다. 따라서, 도 8a에 도시된 바와 같이 제1 기생캐패시터(Cdp1)의 정극성(+) 용량이 제2 기생캐패시터(Cdp2)의 부극성(-) 용량 보다 커지게 된다. 이 결과, 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 정극성(+) 용량편차가 발생하게 되고, 그 정극성(+)의 용량편차는 그 데이터라인(DLk)이 동일한 극성을 유지하는 한 프레임동안 유지되어 데이터라인(DLk) 상의 화소신호를 왜곡시키게 된다.

<62> 그리고, i+1번째 게이트라인(GLi+1)에 의해 구동되는 박막트랜지스터(TFT)를 통해 데이터라인(DLk)과 접속된 좌측의 화소전극(P3)은 부극성(-)의 화소신호를 충전한다. 반면에, i+1번째 게이트라인(GLi+1)에 의해 구동되는

박막트랜지스터(TFT)를 통해 이후 데이터라인(DLk+1)과 박막트랜지스터(TFT)를 통해 접속된 우측의 화소전극(P4)은 정극성(+)의 화소신호를 충전한다. 이에 따라, 서로 상반된 극성을 유지하는 데이터라인(DLk)과 우측의 화소전극(P4) 사이의 전압편차가, 서로 동일한 극성을 유지하는 데이터라인(DLk)과 좌측의 화소전극(P3) 사이의 전압편차가 보다 커지게 된다. 따라서, 도 8b에 도시된 바와 같이 제2 기생캐패시터(Cdp2)의 정극성(+) 용량이 제1 기생캐패시터(Cdp1)의 부극성(-) 용량 보다 커지게 된다. 이 결과, 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 정극성(+) 용량편차가 발생하게 되고, 그 정극성(+)의 용량편차는 데이터라인(DLk)이 동일한 극성을 유지하는 한 프레임동안 한 방향으로 유지되어 데이터라인(DLk)으로 공급되는 화소신호를 왜곡하게 된다.

<63> 이렇게 Z-인버전 액정표시장치에서는 데이터라인(DLk)을 간접하는 제1 및 제2 기생캐패시터(Cdp1, Cdp2)간에 동일극성의 용량편차가 발생하게 된다. 그리고, 그 용량편차는 한 프레임동안 동일극성을 유지하는 데이터라인(DLk)에 의해 한 프레임동안 유지되면서 데이터라인(DL) 상의 화소신호를 왜곡시키게 된다. 이에 따라, 데이터라인(DL) 상에서 왜곡된 화소신호가 화소전극들(P)로 유기되어 충전된다. 이 결과, Z-인버전 액정표시장치의 특정영역에 크로스토크 테스트 패턴을 표시하는 경우 수직 크로스토크가 발생하게 된다.

<64> 이렇게 Z-인버전 액정표시장치에서 발생하는 수직 크로스토크를 최소화하기 위하여, 본 발명에서는 데이터라인(DLk)을 기준으로 한 제1 및 제2 기생 캐패시터(Cdp1, Cdp2) 용량편차를 보상할 수 있도록 액정표시패널을 설계하게 된다. 이러한 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)간의 용량편차를 보상할 수 있도록 액정표시패널의 설계시 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)가 서로 다른 용량을 가지게 설정하게 된다. 특히, 본 발명에서는 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)가 서로 다른 용량을 가지게 하기 위하여 데이터라인(DL)과 인접한 화소전극(P)과의 간격을 비대칭적으로 설정하게 된다.

<65> 도 9는 본 발명의 제1 실시 예에 따른 Z-인버전 액정표시패널의 일부분을 도시한 것이다.

<66> 도 9에 도시된 액정표시패널은 게이트라인(GL)과 데이터라인(DL)의 교차로 정의되는 영역마다 형성된 액정셀들(32) 구비한다.

<67> 액정셀(32) 각각은 박막트랜지스터(TFT)와 화소전극(P)을 포함한다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 데이터라인(DL)으로부터의 화소신호를 화소전극(P)에 공급한다. 화소전극(P)은 공급된 화소신호에 응답하여 공통전극(도시하지 않음)과의 사이에 위치하는 액정을 구동하게 된다. 이에 따라, 액정셀들(32)은 액정의 구동에 따라 광투과율을 조절하여 화상을 표시하게 된다.

<68> 특히, 도트 인버전 구동을 위하여 액정셀들(32)은 수직방향을 따라 인접한 서로 다른 데이터라인(DLk, DLk+1)과 교번적으로 접속된다. 다시 말하여, 액정표시패널은 좌측으로 인접한 데이터라인(DLk)에 접속된 액정셀들(32)로 구성되는 제1 수평라인(HL1)과, 우측으로 인접한 데이터라인(DLk+1)에 접속된 액정셀들(32)로 구성되는 제2 수평라인(HL2)을 구비한다. 이러한 제1 수평라인(HL1)과 제2 수평라인(HL2)은 도트 인버전 구동을 하는 경우도 도 9에 도시된 바와 같이 한 수평라인 단위로 교번하면서 배열된다. 이와 달리, 2도트 또는 3도트 이상의 인버전 구동을 하는 경우 제1 수평라인과 제2 수평라인은 2 또는 3 이상의 수평라인 단위로 교번하면서 배치된다.

<69> 이러한 데이터라인(DL)과 화소전극(P) 사이에는 기생 캐패시터(Cdp)가 존재하게 된다. 기생 캐패시터(Cdp)는 도 10a 및 도 10b에 도시된 바와 같이 데이터라인(DL)과 보호막(30)을 사이에 둔 좌측의 화소전극(P)에 의해 형성된 제1 기생캐패시터(Cdp1)와, 그 데이터라인(DL)과 보호막(30)을 사이에 둔 우측의 화소전극(P)에 의해 형성된 제2 기생캐패시터(Cdp2)를 구비한다. 여기서, 액정표시패널의 구동시 전압편차로 인한 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간의 용량편차를 방지하기 위하여 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)는 비대칭적인 용량을 가지도록 형성된다. 이렇게, 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)가 비대칭적인 용량을 가지게 하기 위하여 데이터라인(DL)과 좌측 화소전극(P)과의 거리(α)와, 그 데이터라인과 우측 화소전극(P)과의 거리(β)를 비대칭적으로 설정하게 된다.

<70> 구체적으로, 데이터라인(DL)과 상반된 극성의 화소신호를 충전하는 화소전극(P) 간의 기생 캐패시터(Cdp)는 그 데이터라인과 동일한 극성의 화소신호를 충전하는 화소전극 간의 기생 캐패시터(Cdp) 보다 작은 용량을 가지도록 형성된다. 이를 위하여, 데이터라인(DL)과 상반된 극성의 화소전극(P)과의 거리를 그 데이터라인(DL)과 동일한 극성의 화소전극(P)과의 거리 보다 크게 설정하게 된다. 이는 데이터라인(DL)과 극성반전된 화소전극(P) 간의 전압편차가 그 데이터라인(DL)과 동일극성의 화소전극(P) 간의 전압편차 보다 큼으로 인하여 데이터라인(DL)과 극성반전된 화소전극(P) 간의 기생 캐패시터 용량이 그 데이터라인(DL)과 동일극성의 화소전극(P) 간의 기생 캐패시터 용량보다 크게 증가하여 용량편차가 발생하는 것을 방지하기 위함이다.

<71> 예를 들면, 도 9 및 도 10a에 도시된 바와 같이 제1 수평라인(HL1)에서는 데이터라인(DLk)과 좌측 화소전극(P1,

P5) 간의 거리($\alpha 1$)를 그 데이터라인(DLk)과 우측 화소전극(P2, P6) 간의 거리($\beta 1$) 보다 크게 설정한다. 이에 따라, 데이터라인(DLk)과 좌측 화소전극(P1 또는 P5) 간의 제1 기생캐패시터(Cdp1)는 그 데이터라인(DLk)과 우측 화소전극(P2 또는 P6) 간의 제2 기생캐패시터(Cdp2) 보다 작은 용량을 가지게 형성된다. 이 결과, 액정표시패널 구동시 제1 기생 캐패시터(Cdp1)의 용량이 데이터라인(DLk)과 좌측 화소전극(P1 또는 P5)이 상반된 극성을 가짐에 따라 그 데이터라인(DLk)과 동일한 극성의 우측 화소전극(P2 또는 P6) 간의 제2 기생 캐패시터(Cdp2) 보다 증가되는 것을 방지할 수 있게 된다. 다시 말하여, 액정표시패널 구동시 데이터라인(DLk)과 인접한 화소전극들(P1, P2 또는 P5, P6)이 서로 상반된 극성을 가짐으로 인하여 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 용량편차가 발생하는 것을 방지할 수 있게 된다.

<72> 반면에, 제2 수평라인(HL2)에서는 도 9 및 도 10b에 도시된 바와 같이 데이터라인(DLk)과 우측 화소전극(P4, P8) 간의 거리($\beta 2$)를 그 데이터라인(DLk)과 좌측 화소전극(P5, P7) 간의 거리($\alpha 2$) 보다 크게 설정한다. 이에 따라, 데이터라인(DLk)과 우측 화소전극(P4 또는 P8) 간의 제2 기생캐패시터(Cdp2)가 그 데이터라인(DLk)과 좌측 화소전극(P5 또는 P7) 간의 제1 기생캐패시터(Cdp1) 보다 작은 용량을 가지도록 형성된다. 이 결과, 액정표시패널 구동시 제2 기생 캐패시터(Cdp2)의 용량이 데이터라인(DLk)과 우측 화소전극(P4 또는 P8)이 상반된 극성을 가짐에 따라 그 데이터라인(DLk)과 동일한 극성의 좌측 화소전극(P3 또는 P7) 간의 제1 기생 캐패시터(Cdp1) 보다 증가되는 것을 방지할 수 있게 된다. 다시 말하여, 액정표시패널 구동시 데이터라인(DLk)과 인접한 화소전극들(P3, P7 또는 P4, P8)이 서로 상반된 극성을 가짐으로 인하여 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 용량편차가 발생하는 것을 방지할 수 있게 된다.

<73> 이와 같이 본 발명에 따른 Z-인버전 액정표시패널에서는 데이터라인(DL)과 인접한 화소전극들(P) 간에 형성되는 제1 및 제2 기생캐패시터(Cdp1, Cdp2)는 상기 데이터라인(DL)과 화소전극(P) 간의 거리(α , β)를 서로 다르게 설정하여 비대칭적인 용량을 가지게 형성된다. 이에 따라, 액정표시패널 구동시 데이터라인(DL)을 기준으로 좌우측 화소전극들 각각이 상반된 극성을 가짐에 따른 전압편차로 인하여 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 용량편차가 발생하는 것을 방지할 수 있게 된다. 이에 따라, 상기 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간의 용량편차로 수직크로스트크 현상을 방지하여 화질을 향상시킬 수 있게 된다.

<74> 특히, 본 발명에 따른 Z-인버전 액정표시패널에서는 화소전극(P)이 좌측으로 인접한 데이터라인(DL)과 접속되는 제1 액정셀들로 이루어진 제1 수평라인(HL1)과 화소전극(P)이 우측으로 인접한 데이터라인(DL)과 접속되는 액정셀들로 이루어진 제2 수평라인(HL2)에서 제1 및 제2 기생캐패시터(Cdp1, Cdp2)가 서로 상반되는 크기관계를 가지도록 형성된다. 다시 말하여, 제1 수평라인(HL1)에서는 제1 기생캐패시터(Cdp1)가 제2 기생캐패시터(Cdp2) 보다 작은 용량을 가지게 형성되고, 제2 수평라인(HL2)에서는 제2 기생캐패시터(Cdp2)가 제1 기생캐패시터(Cdp1) 보다 작은 용량을 가지게 형성된다. 이는 액정표시패널 구동시 제1 수평라인(HL1)에서는 제1 기생 캐패시터(Cdp)가 제2 기생캐패시터(Cdp2) 보다 전압편차에 따른 용량이 증가하는 반면에, 제2 수평라인(HL2)에서는 제2 기생캐패시터(Cdp2)가 제1 기생캐패시터(Cdp1) 보다 전압편차에 따른 용량이 증가하기 때문이다.

<75> 도 11은 본 발명의 제2 실시 예에 따른 Z-인버전 액정표시패널의 일부분을 도시한 것이다.

<76> 도 11에 도시된 액정표시패널은 도 9에 도시된 액정표시패널과 대비하여 데이터라인(DL)과 나란한 화소전극(P)의 양측부와 중첩되는 차광패턴(40)을 추가로 구비하게 된다.

<77> 액정표시패널은 좌측으로 인접한 데이터라인(DL)에 접속된 액정셀들(42)로 구성되는 제1 수평라인(HL1)과, 우측으로 인접한 데이터라인(DL)에 접속된 액정셀들(42)로 구성되는 제2 수평라인(HL2)을 구비한다. 이러한 제1 수평라인(HL1)과 제2 수평라인(HL2)은 도트 인버전 구동을 하는 경우 도 11에 도시된 바와 같이 한 수평라인 단위로 교번하면서 배열된다. 이와 달리, 2도트 또는 3도트 이상의 인버전 구동을 하는 경우 제1 수평라인과 제2 수평라인은 2 또는 3 이상의 수평라인 단위로 교번하면서 배치된다. 차광패턴(40)은 데이터라인(DL)과 화소전극(P) 사이에서의 빛샘을 방지하게 된다. 이러한 차광패턴(40)은 게이트라인(GL)과 같이 게이트금속으로 형성되거나, 데이터라인(DL)과 같이 소스/드레인 금속으로 형성된다. 도 12a 및 도 12b는 게이트금속으로 이루어져 데이터라인(DLk)과 게이트 절연막(42)을 사이에 두고 위치하는 차광패턴(40)을 도시한다.

<78> 데이터라인(DL)과 화소전극(P) 사이에는 존재하는 기생 캐패시터(Cdp)는 도 12a 및 도 12b에 도시된 바와 같이 데이터라인(DL)과 보호막(44)을 사이에 둔 좌측의 화소전극(P)에 의해 형성된 제1 기생캐패시터(Cdp1)와, 그 데이터라인(DL)과 보호막(44)을 사이에 둔 우측의 화소전극(P)에 의해 형성된 제2 기생캐패시터(Cdp2)를 구비한다. 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)는 액정표시패널의 구동시 전압편차로 인한 제1 및 제2 기생 캐패시터(Cdp1, Cdp2) 간의 용량편차를 방지하기 위하여 비대칭적인 용량을 가지도록 형성된다.

- <79> 예를 들면, 도 11 및 도 12a에 도시된 바와 같이 제1 수평라인(HL1)에서는 데이터라인(DLk)과 좌측 화소전극(P1, P5) 간의 거리($\alpha 1$)를 그 데이터라인(DLk)과 우측 화소전극(P2, P6) 간의 거리($\beta 1$) 보다 크게 설정한다. 이에 따라, 데이터라인(DLk)과 좌측 화소전극(P1 또는 P5) 간의 제1 기생캐패시터(Cdp1)는 그 데이터라인(DLk)과 우측 화소전극(P2 또는 P6) 간의 제2 기생캐패시터(Cdp2) 보다 작은 용량을 가지게 형성된다. 이 결과, 액정표시패널 구동시 제1 기생 캐패시터(Cdp1)의 용량이 데이터라인(DLk)과 좌측 화소전극(P1 또는 P5)이 상반된 극성을 가짐에 따라 그 데이터라인(DLk)과 동일한 극성의 우측 화소전극(P2 또는 P6) 간의 제2 기생 캐패시터(Cdp2) 보다 증가되는 것을 방지할 수 있게 된다. 다시 말하여, 액정표시패널 구동시 데이터라인(DLk)과 인접한 화소전극들(P1, P2 또는 P5, P6)이 서로 상반된 극성을 가짐으로 인하여 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 용량편차가 발생하는 것을 방지할 수 있게 된다. 그리고, 제1 수평라인(HL1)에서는 데이터라인(DLk)의 좌측 차광패턴(40)도 좌측 화소전극(P1, P5)을 따라 위치 이동시켜 상기 데이터라인(DLk)의 우측 차광패턴(40) 보다 그 데이터라인(DLk)으로부터 멀어지게 한다. 이에 따라, 좌측 차광패턴(40)은 데이터라인(DLk)과 상대적으로 떨어진 좌측 화소전극(P1, P5) 사이의 빛샘을 효과적으로 차단할 수 있게 된다.
- <80> 반면에, 제2 수평라인(HL2)에서는 도 11 및 도 12b에 도시된 바와 같이 데이터라인(DLk)과 우측 화소전극(P4, P8) 간의 거리($\beta 2$)를 그 데이터라인(DLk)과 좌측 화소전극(P5, P7) 간의 거리($\alpha 2$) 보다 크게 설정한다. 이에 따라, 데이터라인(DLk)과 우측 화소전극(P4 또는 P8) 간의 제2 기생캐패시터(Cdp2)가 그 데이터라인(DLk)과 좌측 화소전극(P5 또는 P7) 간의 제1 기생캐패시터(Cdp1) 보다 작은 용량을 가지도록 형성된다. 이 결과, 액정표시패널 구동시 제2 기생 캐패시터(Cdp2)의 용량이 데이터라인(DLk)과 우측 화소전극(P4 또는 P8)이 상반된 극성을 가짐에 따라 그 데이터라인(DLk)과 동일한 극성의 좌측 화소전극(P3 또는 P7) 간의 제1 기생 캐패시터(Cdp1) 보다 증가되는 것을 방지할 수 있게 된다. 다시 말하여, 액정표시패널 구동시 데이터라인(DLk)과 인접한 화소전극들(P3, P7 또는 P4, P8)이 서로 상반된 극성을 가짐으로 인하여 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 용량편차가 발생하는 것을 방지할 수 있게 된다. 그리고, 제2 수평라인(HL2)에서는 데이터라인(DLk)의 우측 차광패턴(40)도 좌측 화소전극(P4, P8)을 따라 위치 이동시켜 상기 데이터라인(DLk)의 좌측 차광패턴(40) 보다 그 데이터라인(DLk)으로부터 멀어지게 한다. 이에 따라 제2 수평라인(HL)의 우측 차광패턴(40)은 데이터라인(DLk)과 상대적으로 떨어진 좌측 화소전극(P1, P5) 사이의 빛샘을 효과적으로 차단할 수 있게 된다.
- <81> 이와 같이 본 발명에 따른 Z-인버전 액정표시패널에서는 데이터라인(DL)과 인접한 화소전극들(P) 간에 형성되는 제1 및 제2 기생캐패시터(Cdp1, Cdp2)는 상기 데이터라인(DL)과 화소전극(P) 간의 거리(α , β)를 서로 다르게 설정하여 비대칭적인 용량을 가지게 형성된다. 이에 따라, 액정표시패널 구동시 데이터라인(DL)을 기준으로 좌우측 화소전극들 각각이 상반된 극성을 가짐에 따른 전압편차로 인하여 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간에 용량편차가 발생하는 것을 방지할 수 있게 된다. 이에 따라, 상기 제1 및 제2 기생캐패시터(Cdp1, Cdp2) 간의 용량편차로 수직크로스토크 현상을 방지하여 화질을 향상시킬 수 있게 된다.
- <82> 특히, 본 발명에 따른 Z-인버전 액정표시패널에서는 화소전극(P)이 좌측으로 인접한 데이터라인(DL)과 접속되는 제1 액정셀들로 이루어진 제1 수평라인(HL1)과 화소전극(P)이 우측으로 인접한 데이터라인(DL)과 접속되는 액정셀들로 이루어진 제2 수평라인(HL2)에서 제1 및 제2 기생캐패시터(Cdp1, Cdp2)가 서로 상반되는 크기관계를 가지도록 형성된다. 다시 말하여, 제1 수평라인(HL1)에서는 제1 기생캐패시터(Cdp1)가 제2 기생캐패시터(Cdp2) 보다 작은 용량을 가지게 형성되고, 제2 수평라인(HL2)에서는 제2 기생캐패시터(Cdp2)가 제1 기생캐패시터(Cdp1) 보다 작은 용량을 가지게 형성된다. 이는 액정표시패널 구동시 제1 수평라인(HL1)에서는 제1 기생 캐패시터(Cdp)가 제2 기생캐패시터(Cdp2) 보다 전압편차에 따른 용량이 증가하는 반면에, 제2 수평라인(HL2)에서는 제2 기생캐패시터(Cdp2)가 제1 기생캐패시터(Cdp1) 보다 전압편차에 따른 용량이 증가하기 때문이다.
- <83> 그리고, 본 발명에 따른 Z-인버전 액정표시패널에서는 데이터라인으로부터 상대적으로 떨어진 화소전극을 따라 차광패턴의 위치도 이동됨으로써 그 화소전극과 인접한 데이터라인 사이에서의 빛샘을 효과적으로 차단할 수 있게 된다.

발명의 효과

- <84> 상술한 바와 같이, 본 발명에 따른 액정표시패널은 데이터라인과 좌우측 화소전극 간의 거리를 서로 다르게 설정하여 그 데이터라인과 좌우측 화소전극들 간에 형성되는 제1 및 제2 기생캐패시터가 비대칭적인 용량을 가지게 한다. 이에 따라, 액정표시패널 구동시 데이터라인을 기준으로 좌우측 화소전극들 각각이 상반된 극성을 가짐에 따른 전압편차로 인하여 제1 및 제2 기생캐패시터 간에 용량편차가 발생하는 것을 방지할 수 있게 된다.

- <85> 특히, 좌측으로 인접한 데이터라인과 접속된 액정셀들로 이루어진 제1 수평라인과, 우측으로 인접한 데이터라인과 접속된 액정셀들로 이루어진 제2 수평라인을 포함하는 본 발명에 따른 액정표시패널에서는 상기 제1 및 제2 기생캐패시터가 그 제1 수평라인과 제2 수평라인에서 서로 상반되는 비대칭 관계를 가지도록 형성된다.
- <86> 이 결과, 본 발명에 따른 액정표시패널은 전압편차로 인한 제1 및 제2 기생캐패시터 간의 용량편차를 방지하여 수직크로스토크 현상을 방지하게 됨으로써 화질을 향상시킬 수 있게 된다.
- <87> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

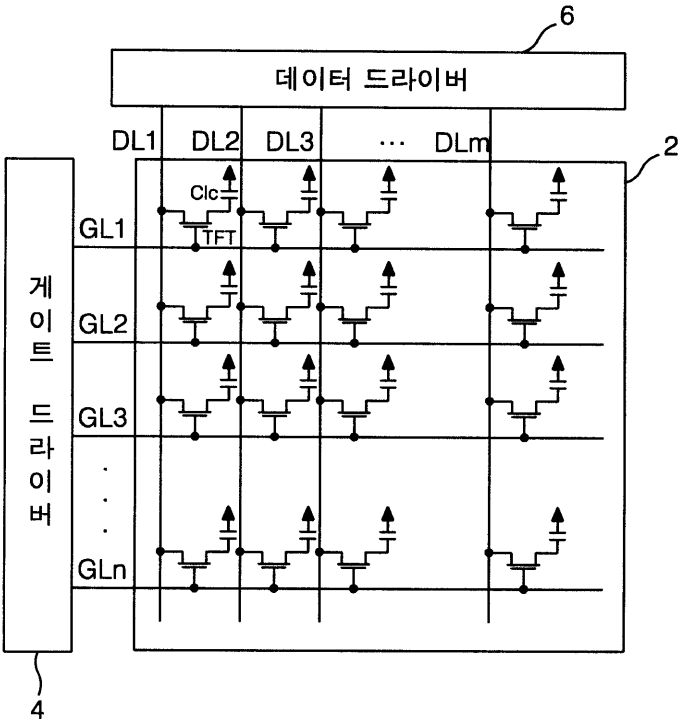
- <1> 도 1은 종래 액정표시장치를 도시한 도면.
- <2> 도 2a 및 도 2b는 액정표시장치의 프레임 인버전 방식을 설명하기 위한 도면.
- <3> 도 3a 및 도 3b는 액정표시장치의 라인 인버전 방식을 설명하기 위한 도면.
- <4> 도 4a 및 도 4b는 액정표시장치의 칼럼 인버전 방식을 설명하기 위한 도면.
- <5> 도 5a 및 도 5b는 액정표시장치의 도트 인버전 방식을 설명하기 위한 도면.
- <6> 도 6은 본 발명과 관련된 액정표시장치를 도시한 도면.
- <7> 도 7은 도 6에 도시된 액정표시패널에서의 크로스토크를 설명하기 위한 도면.
- <8> 도 8a 및 도 8b는 도 7에 도시된 기생캐패시터 형성부분을 A-A'선 및 B-B'선 각각을 따라 절단하여 도시한 단면도.
- <9> 도 9는 본 발명의 실시 예에 따른 액정표시패널의 일부분을 도시한 도면.
- <10> 도 10a 및 도 10b는 도 9에 도시된 기생캐패시터 형성부분을 C-C'선 및 D-D'선 각각을 따라 절단하여 도시한 단면도.
- <11> 도 11는 본 발명의 다른 실시 예에 따른 액정표시패널의 일부분을 도시한 도면.
- <12> 도 12a 및 도 12b는 도 11에 도시된 기생캐패시터 형성부분을 E-E'선 및 F-F'선 각각을 따라 절단하여 도시한 단면도.

<도면의 부호에 대한 간단한 설명>

- | | |
|-----------------------|------------------|
| <14> 2, 12 : 액정표시패널 | 4, 14 : 게이트 드라이버 |
| <15> 6, 16 : 데이터 드라이버 | 8, 18 : 타이밍 제어부 |
| <16> TFT : 박막트랜지스터 | 32, 42 : 액정셀 |
| <17> 40 : 차광패턴 | 30, 44 : 보호막 |
| <18> 42 : 게이트 절연막 | |

도면

도면1



도면2a

+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+

도면2b

-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-

도면3a

+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-

도면3b

-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+

도면4a

+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-

도면4b

-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+

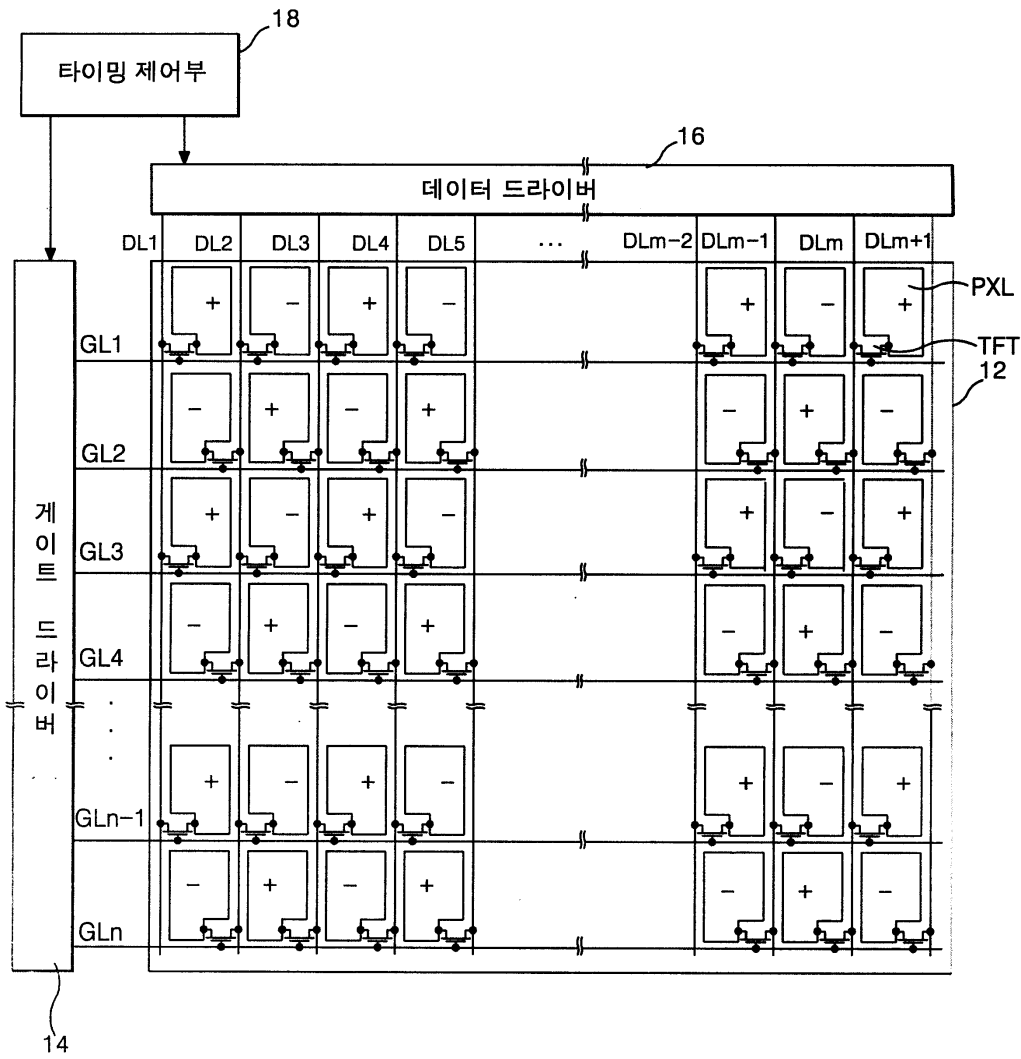
도면5a

+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+

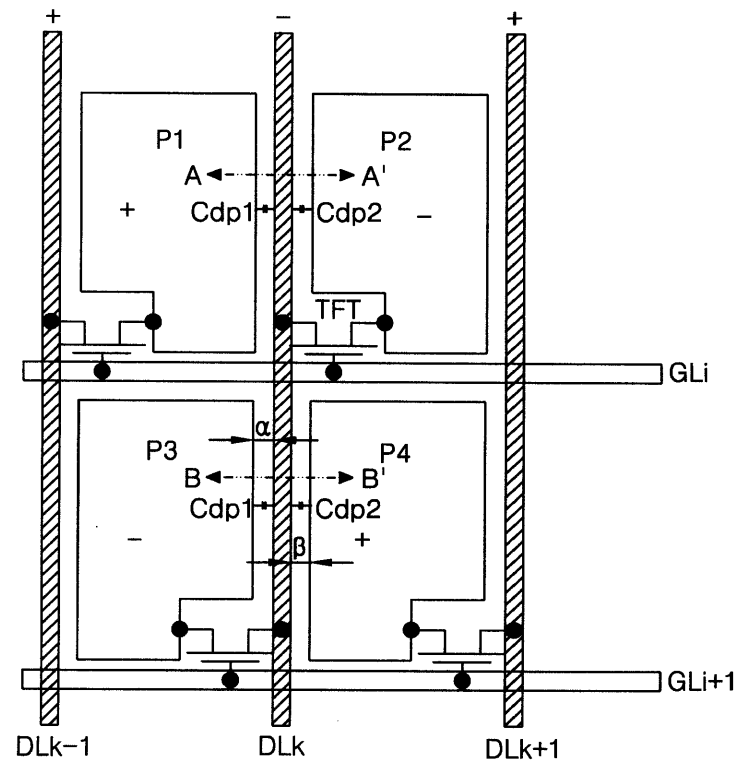
도면5b

-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-

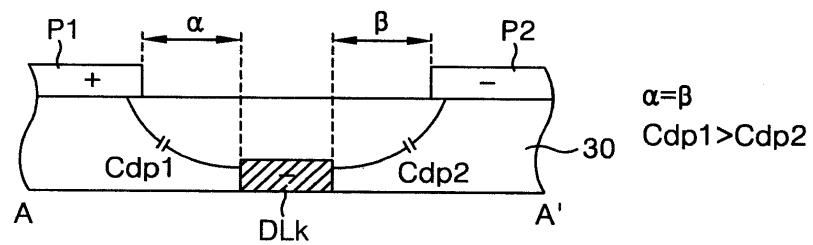
도면6



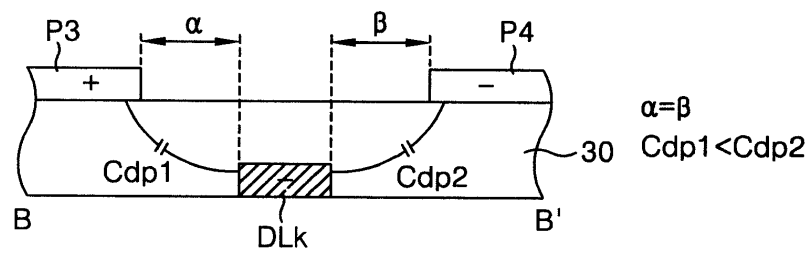
도면7



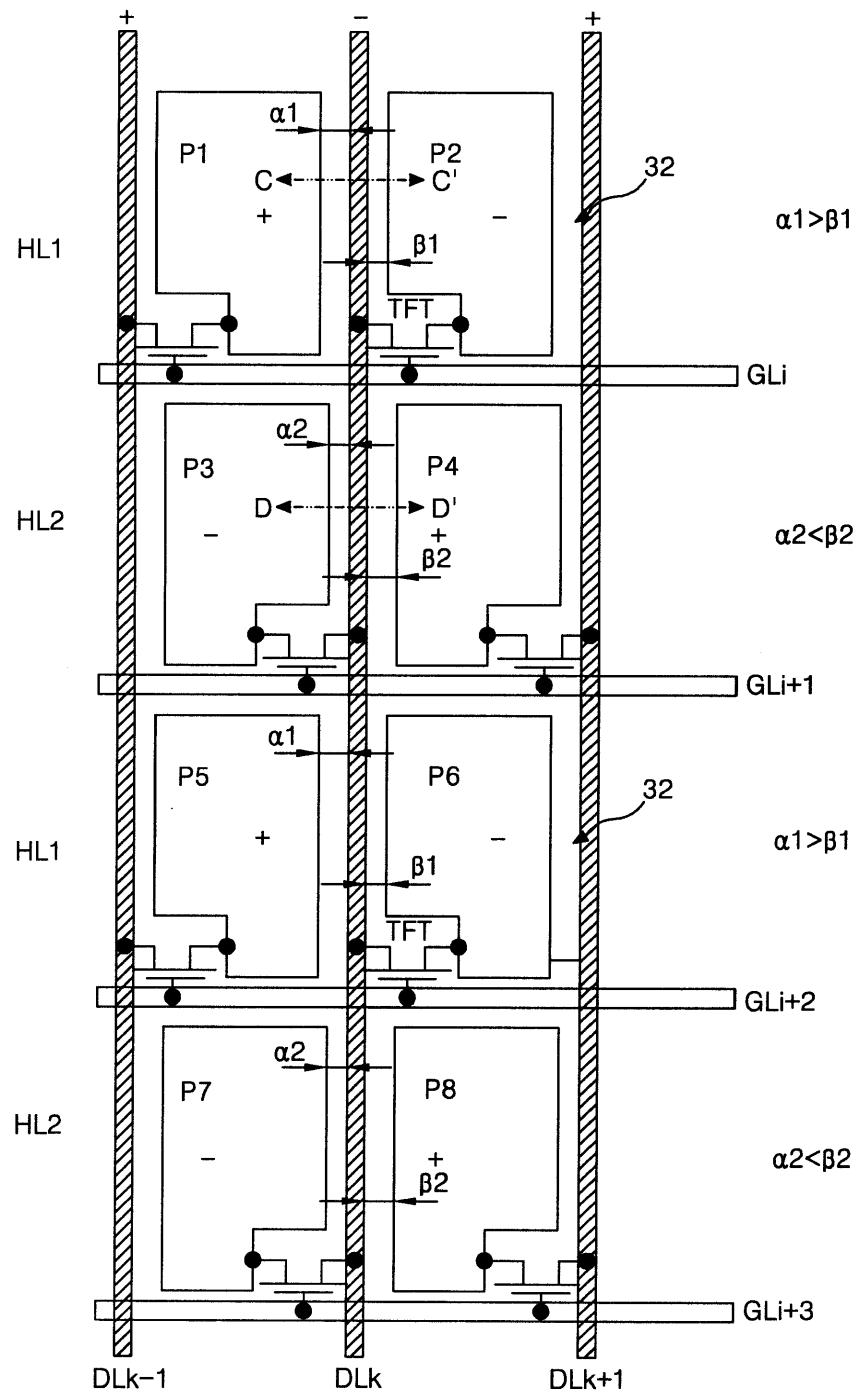
도면8a



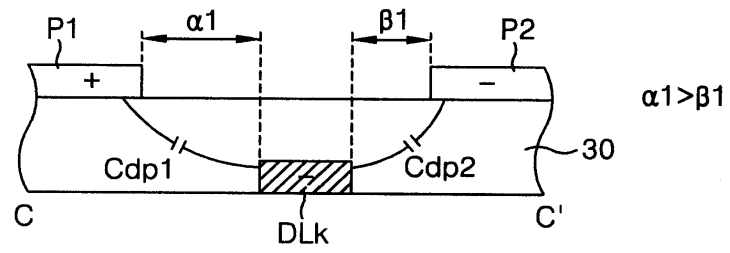
도면8b



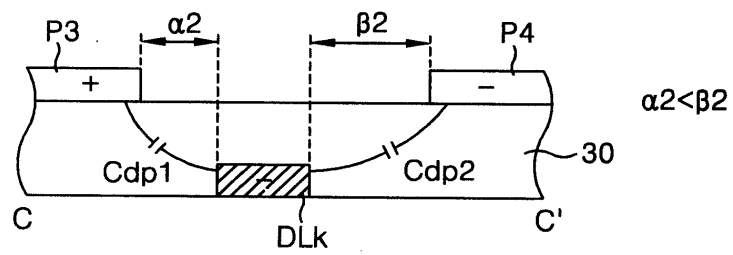
도면9



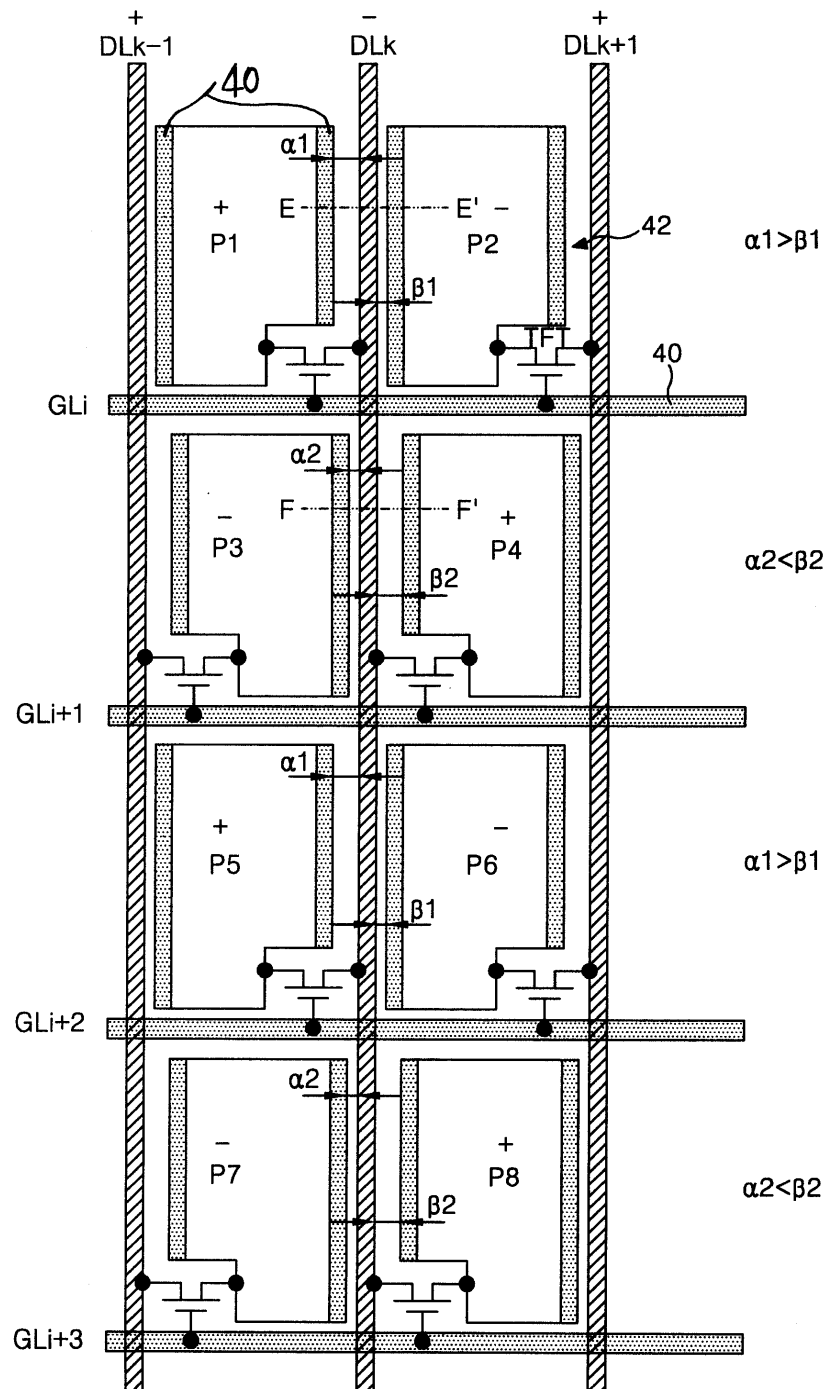
도면10a



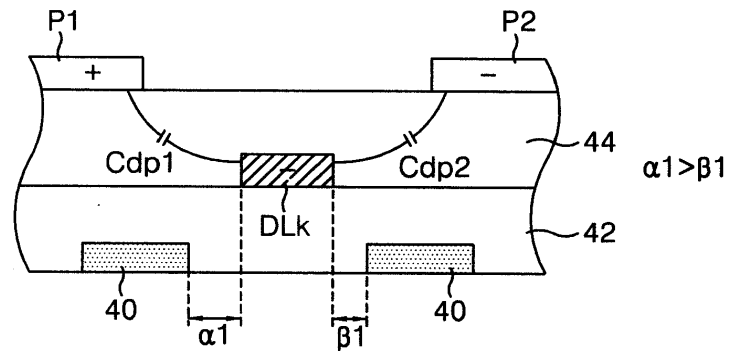
도면10b



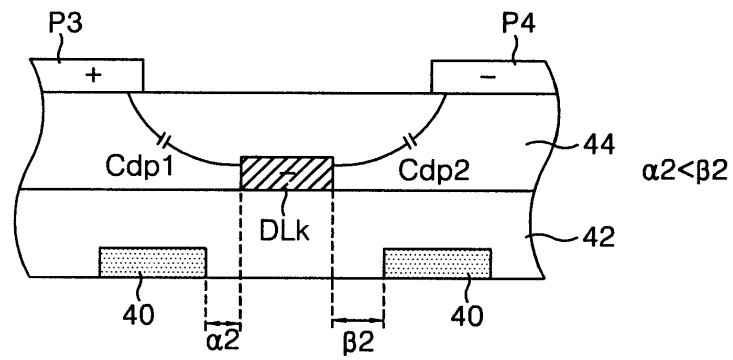
도면11



도면12a



도면12b



专利名称(译)	液晶显示面板		
公开(公告)号	KR100912691B1	公开(公告)日	2009-08-19
申请号	KR1020020069689	申请日	2002-11-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHIN GYOWON 진교원 PARK SUNGIL 박성일 PARK JUNEHO 박준호		
发明人	진교원 박성일 박준호		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G02F1/136286 G02F2001/13606 G02F2001/136295 G02F2201/123 G09G2330/021		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020040041811A		
外部链接	Espacenet		

摘要(译)

液晶显示板技术领域本发明涉及一种能够在降低功耗的同时提高图像质量的液晶显示板。 根据本发明的液晶显示面板是具有形成在由栅极线和数据线的交叉点限定的区域中的液晶单元的液晶显示面板，该液晶显示面板包括：第一寄生电容器，形成在数据线和与左侧相邻的像素电极之间；并且在右像素电极和相邻的像素电极之间形成第二寄生电容器；第一和第二寄生电容器形成为具有不同的电容值。

