



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월01일
(11) 등록번호 10-0800318
(24) 등록일자 2008년01월28일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2001-0081562

(22) 출원일자 2001년12월20일

심사청구일자 2006년10월23일

(65) 공개번호 10-2003-0051921

(43) 공개일자 2003년06월26일

(56) 선행기술조사문헌

KR 1020010045249 A

KR 1020010009044 A

KR 1020000066493 A

(73) 특허권자

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박대림

경상북도칠곡군약목면복성리1008-1

세정빌라가동302호

황성수

경상북도구미시형곡동146풍림아파트104동703호

문수환

경상북도구미시임은동대동아파트1510호

(74) 대리인

특히 법인으로 알

전체 청구항 수 : 총 11 항

심사관 : 안준형

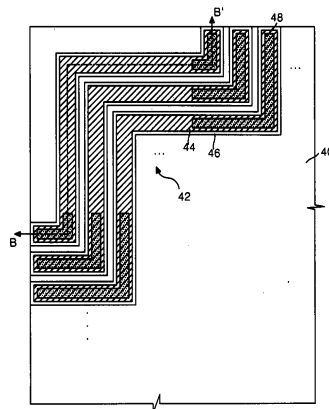
(54) 라인 온 글래스형 액정표시패널 및 그 제조방법

(57) 요약

본 발명은 제한된 영역내에서 LOG형 신호라인군의 라인저항을 감소시킬 수 있는 LOG형 액정표시패널 및 그 제조 방법을 제공하는 것이다.

본 발명의 LOG형 액정패널은 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와; 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 게이트라인들 및 데이터라인들을 구동하는 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들을 구비하고; 라인 온 글래스형 신호라인들 중 적어도 하나의 신호라인이 절연막을 사이에 두고 형성된 적어도 2개의 금속층이 병렬로 접속되어 형성된 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와;

상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트라인들 및 데이터라인들을 구동하는 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들을 구비하고;

상기 라인 온 글래스형 신호라인들 중 적어도 하나의 신호라인이 절연막을 사이에 두고 형성된 적어도 2개의 금속층이 병렬로 접속되어 형성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 라인 온 글래스형 신호라인은

게이트 절연막 및 보호막을 사이에 두고 형성되며 그 게이트 절연막 및 보호막을 관통하는 컨택홀을 통해 병렬로 접속된 게이트 금속층 및 투명도전층으로 구성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 3

제 1 항에 있어서,

상기 라인 온 글래스형 신호라인은

게이트 절연막을 사이에 두고 형성되며 그 게이트 절연막을 관통하는 컨택홀을 통해 병렬로 접속된 게이트 금속층 및 소스/드레인 금속층으로 구성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 4

제 1 항에 있어서,

상기 라인 온 글래스형 신호라인은

게이트 금속 패턴과, 그 게이트 금속 패턴과 게이트 절연막을 사이에 두고 형성된 소스/드레인 금속 패턴과, 그 소스/드레인 금속 패턴과 보호막을 사이에 두고 형성되고 상기 게이트 절연막 및 소스/드레인 금속 패턴과 보호막을 관통하는 컨택홀을 통해 상기 게이트 금속 패턴 및 소스/드레인 금속 패턴과 병렬로 접속된 투명도전물질 패턴으로 구성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 5

제 1 항에 있어서,

상기 라인 온 글래스형 신호라인들은

상기 게이트라인들을 구동하는 게이트 드라이브 집적회로에서 필요로 하는 게이트 구동신호들과 상기 화상표시부에 포함되는 공통전극에서 필요로 하는 공통전압을 공급하는 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 6

제 5 항에 있어서,

상기 라인 온 글래스형 신호라인들 중 게이트 로우전압 신호를 공급하는 게이트 로우전압 신호라인은 절연막을 사이에 두고 병렬로 접속된 상기 적어도 2개의 금속층을 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 7

제 6 항에 있어서,

상기 게이트 로우전압 신호라인은

다른 라인 온 글래스형 신호라인들과 나란하게 형성되는 게이트 금속 패턴과,

상기 게이트 금속 패턴과 게이트 절연막 및 보호막을 사이에 두고 형성되어 그 게이트 절연막 및 보호막을 관통하는 컨택홀을 통해 병렬로 접속되고 다른 라인 온 글래스형 신호라인들과 중첩하여 제한된 영역내에서 상기 다른 라인 온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖는 투명도전물질 패턴으로 구성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 8

제 6 항에 있어서,

상기 게이트 로우전압 신호라인은

다른 라인 온 글래스형 신호라인들과 나란하게 형성되는 게이트 금속 패턴과,

상기 게이트 금속 패턴과 게이트 절연막을 사이에 두고 형성되어 그 게이트 절연막을 관통하는 컨택홀을 통해 병렬로 접속되고 다른 라인 온 글래스형 신호라인들과 중첩하여 제한된 영역내에서 상기 다른 라인 온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖는 소스/드레인 금속 패턴으로 구성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 9

제 6 항에 있어서,

상기 게이트 로우전압 신호라인은

다른 라인 온 글래스형 신호라인들과 나란하게 형성되는 게이트 금속 패턴과,

상기 게이트 금속 패턴과 게이트 절연막을 사이에 두고 형성되고 다른 라인 온 글래스형 신호라인들과 중첩하여 제한된 영역내에서 상기 다른 라인 온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖는 소스/드레인 금속 패턴과,

상기 소스/드레인 금속 패턴과 보호막을 사이에 두고 상기 제한된 영역내에서 상기 다른 라인 온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖게 형성되고 상기 게이트 절연막 및 소스/드레인 금속 패턴과 보호막을 관통하는 컨택홀을 통해 상기 게이트 금속 패턴 및 소스/드레인 금속 패턴과 접속된 투명도전물질 패턴으로 구성된 것을 특징으로 하는 라인 온 글래스형 액정표시패널.

청구항 10

게이트라인들과 데이터라인들의 교차영역마다 형성된 박막트랜지스터를 포함하는 다수개의 액정셀들을 포함하는 화상표시부와; 상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트라인들을 구동하는 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들을 구비하는 액정표시패널의 제조방법에 있어서,

하부기판 상에 게이트금속을 증착한 후 패터닝하여 상기 박막트랜지스터의 게이트전극, 게이트라인들과 함께 상기 라인 온 글래스형 신호라인들의 게이트 금속 패턴을 형성하는 단계와;

게이트절연막을 전면 도포하고 반도체물질을 증착한 후 패터닝하여 상기 박막트랜지스터의 액티브층을 형성하는 단계와;

소스/드레인 금속을 증착한 후 패터닝하여 상기 박막트랜지스터의 소스/드레인전극과 데이터라인들을 형성하는 단계와;

보호막을 전면 도포한 후 상기 게이트라인 및 데이터라인의 패드들과, 상기 박막트랜지스터의 드레인 전극, 그리고 상기 라인 온 글래스형 신호라인의 게이트 금속 패턴의 패드를 노출시키는 컨택홀을 형성하는 단계와;

투명도전물질을 증착한 후 패터닝하여 상기 드레인전극과 접속되는 화소전극과, 상기 게이트라인 및 데이터라인들 패드들과 접속되는 보호전극, 그리고 상기 라인 온 글래스형 신호라인의 게이트 금속 패턴과 중첩되며 그의 패드와 접속되는 투명도전물질 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 라인 온 글래스형 액정표

시패널의 제조방법.

청구항 11

게이트라인들과 데이터라인들의 교차영역마다 형성된 박막트랜지스터를 포함하는 다수개의 액정셀들을 포함하는 화상표시부와; 상기 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 상기 게이트라인들을 구동하는 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들을 구비하는 액정표시패널의 제조방법에 있어서,

하부기판 상에 게이트금속을 증착한 후 패터닝하여 상기 박막트랜지스터의 게이트전극, 게이트라인들과 함께 상기 라인 온 글래스형 신호라인들의 게이트 금속 패턴을 형성하는 단계와;

게이트절연막을 전면 도포하고 반도체물질을 증착한 후 패터닝하여 상기 박막트랜지스터의 액티브층을 형성하는 단계와;

소스/드레인 금속을 증착한 후 패터닝하여 상기 박막트랜지스터의 소스/드레인 전극, 데이터라인들과 함께 상기 라인 온 글래스형 신호라인들의 게이트 금속 패턴과 중첩되는 소스/드레인 패턴을 형성하는 단계와;

보호막을 전면 도포한 후 상기 게이트라인 및 데이터라인의 패드들과, 상기 박막트랜지스터의 드레인 전극, 그리고 상기 라인 온 글래스형 신호라인의 게이트 금속 패턴의 패드를 노출시키는 콘택홀을 형성하는 단계와;

투명도전물질을 증착한 후 패터닝하여 상기 드레인전극과 접속되는 화소전극과, 상기 게이트라인 및 데이터라인들 패드들과 접속되는 보호전극, 그리고 상기 라인 온 글래스형 신호라인의 게이트 금속 패턴의 패드들 및 상기 소스/드레인 금속 패턴과 접속되는 투명도전물질 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 라인 온 글래스형 액정표시패널의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <24> 본 발명은 액정표시장치에 관한 것으로, 특히 액정패널 상에 형성된 라인 온 글래스형 패턴들의 라인 저항을 최소화할 수 있는 라인 온 글래스형 액정표시패널 및 그 제조방법에 관한 것이다.
- <25> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- <26> 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.
- <27> 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍 제어부와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍 제어부는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(Vcom), 게이트 하이전압(Vgh), 게이트 로우전압(Vgl) 등과 같은 구동전압들을 생성한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.
- <28> 이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로

집적화된다. 집적화된 데이터 드라이브 IC와 게이트 드라이브 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

- <29> 여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC들은 TCP에 접속되어진 PCB(Printed Circuit Board)에 실장된 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이브 IC들은 데이터 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이브 IC들은 게이트 PCB에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.
- <30> COG 방식으로 액정패널에 실장되는 드라이브 IC들은 신호라인들이 액정패널, 즉 하부 글래스 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍 제어부 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.
- <31> 최근에는 드라이브 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정표시장치가 더욱 박형화될 수 있게 하고 있다. 특히 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이브 IC들은 액정패널의 하부 글래스 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.
- <32> 실제로, LOG형 신호배선들을 이용하여 게이트 PCB를 제거한 액정표시장치는 도 1에 도시된 바와 같이 액정패널(1)과, 액정패널(1)과 데이터 PCB(12) 사이에 접속되어진 다수개의 데이터 TCP들(8)과, 액정패널(1)의 다른 측에 접속되어진 다수개의 게이트 TCP들(14)과, 데이터 TCP들(8) 각각에 실장되어진 데이터 드라이브 IC(10)들과, 게이트 TCP들(14) 각각에 실장되어진 게이트 드라이브 IC들(16)을 구비한다.
- <33> 액정패널(1)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기관(2)과, 칼라필터 어레이가 형성된 상부기관(4)과, 하부기관(2)과 상부기관(4) 사이에 주입된 액정을 포함한다. 이러한 액정패널(1)에는 게이트라인들(20)과 데이터라인들(18)의 교차영역마다 마련되는 액정셀들로 구성되어 화상을 표시하는 화상표시영역(21)이 마련된다. 화상표시영역(21)의 외곽부에 위치하는 하부기관(2) 외곽영역에는 데이터라인(18)으로부터 신장되어진 데이터 패드들과, 게이트라인(20)로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기관(2)의 외곽영역에는 게이트 드라이브 IC(16)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(26)이 위치하게 된다.
- <34> 데이터 TCP(8)에는 데이터 드라이브 IC(10)가 실장되고, 그 데이터 드라이브 IC(10)와 전기적으로 접속된 데이터 TCP(8)의 입력패드들(24) 및 데이터 TCP(8)의 출력패드들(25)이 형성된다. 데이터 TCP(8)의 입력패드들(24)은 데이터 PCB(12)의 출력패드들과 전기적으로 접속되고, 데이터 TCP(8)의 출력패드들(25)은 하부기관(2) 상의 데이터패드들과 전기적으로 접속된다. 특히 첫번째 데이터 TCP(8)는 하부기관(2) 상의 LOG형 신호라인군(26)에 전기적으로 접속되는 게이트 구동신호 전송군(22)이 추가적으로 형성된다. 이 게이트 구동신호 전송군(22)은 데이터 PCB(12)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(26)에 공급하게 된다.
- <35> 데이터 드라이브 IC들(10)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들(18)에 공급한다.
- <36> 게이트 TCP(14)에는 게이트 드라이브 IC(16)가 실장되고, 그 게이트 드라이브 IC(16)와 전기적으로 접속된 게이트 구동신호 전송라인군(28) 및 게이트 TCP(14)의 출력패드들(30)이 형성된다. 게이트 구동신호 전송라인군(28)은 하부기관(2) 상의 LOG 신호라인군(26)과 전기적으로 접속되고, 게이트 TCP(14)의 출력패드들(30)은 하부기관(2) 상의 게이트패드들과 전기적으로 접속된다.
- <37> 게이트 드라이브 IC들(16)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(20)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(16)들은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간동안 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.
- <38> LOG형 신호라인군(26)은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGH), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같이 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타

트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다. 이러한 LOG형 신호라인군(26)은 도 2에 도시된 바와 같이 화상표시부(21)의 외곽영역에 위치하는 패드부와 같이 매우 한정된 좁은 공간에서 미세패턴으로 나란하게 형성된다.

<39> 도 2 및 도 3을 참조하면, LOG형 신호라인군(26)에 포함되는 LOG형 신호라인들 각각은 하부기관(2) 상에 형성된 게이트 금속 패턴(27)과, 게이트 절연막(32) 및 보호막(34)을 경유하여 형성된 컨택홀(38)을 통해 게이트 금속 패턴(27)과 접속되는 보호전극(36)을 구비한다. 보호전극(36)은 데이터 TCP(8) 및 게이트 TCP(14)와 접촉되는 게이트 패드영역과 데이터 패드영역에 위치한다. 이렇게 LOG형 신호라인군(26)은 게이트라인들(20)과 동시에 형성되는 게이트 금속 패턴(27)으로 구성된다. 게이트 금속으로는 AlNd 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속이 이용된다.

<40> 이렇게 LOG형 신호라인군(26)은 제한된 영역내에서 미세패턴으로 형성됨과 아울러 비교적 큰 비저항값을 갖는 게이트금속으로 구성됨에 따라 기존의 게이트 PCB에 동박으로 형성된 신호라인들과 대비하여 도 4에 도시된 바와 같이 상대적으로 높은 저항성분(Ri)을 포함하게 된다. 또한 LOG형 신호라인군(26)의 저항값은 라인길이에 비례함에 따라 데이터 PCB(12)로부터 멀어질수록 라인저항값이 증가하여 게이트 구동신호가 감쇄하게 된다. 이 결과 LOG형 신호라인군(26)을 통해 전송되는 게이트 구동신호들이 그의 라인저항값에 의해 왜곡됨으로써 화상표시부(21)에 표시되는 화상의 품질이 저하되게 된다.

<41> 상세히 하면, LOG형 신호라인군(26)의 라인저항값에 의해 게이트 드라이브 IC(16) 별로 공급되는 게이트 구동신호에 전압차이가 발생하게 된다. 그리고 데이터 PCB(12)로부터 멀어질 수록 LOG 신호라인군(26)의 길이에 따른 라인저항값이 증가하게 됨으로써 게이트 구동신호가 감쇄하게 된다. 이렇게 게이트 드라이브 IC(16) 마다 공급되는 게이트 구동신호의 차이로 인하여 화상표시부(21)에서는 서로 다른 게이트 드라이브 IC(16)에 접속되는 수평라인 블록간에 가로선 현상이 나타나게 됨으로써 화면이 분할되어 보이게 된다.

<42> 특히 이 수평라인 블록간의 가로선 현상은 다수의 게이트 구동신호들 중 게이트 로우전압(VGL)이 LOG형 신호라인군(26)의 라인저항으로 인하여 게이트 TCP(14) 마다, 즉 게이트 드라이브 IC(16) 마다 서로 다르게 공급됨에서 기인한다. LOG형 신호라인군(26)을 통해 공급되는 게이트 구동신호들 중 게이트 로우전압(VGL)의 왜곡이 화상표시부(21)의 화질에 막대한 영향을 미치게 된다. 이는 게이트 로우전압(VGL)이 게이트 하이전압(VGH) 구간에서 액정셀에 충전된 화소전압을 다음 화소전압이 충전되기 전까지 유지되게 하는 것으로 그 게이트 로우전압(VGL)이 왜곡되는 경우 충전된 화소전압이 가변되기 때문이다.

<43> 이러한 LOG형 신호라인군(26)의 라인저항에 의한 게이트 구동신호, 특히 게이트 로우전압의 감쇄를 방지하기 위해서는 LOG형 신호라인군(26)의 단면적을 크게 하거나 비저항값을 작게 하여 저항성분을 감소시켜야 한다. 그러나 LOG형 신호라인군(26)이 형성되는 화상표시부(21)의 외곽영역은 한정되어 있으므로 LOG형 신호라인군(26)의 단면적을 크게 하는데 한계가 있으며 게이트금속층으로 형성되므로 비저항값을 작게 하는데에도 한계가 있다.

<44> 따라서, 제한된 영역내에 미세한 게이트 금속 패턴으로 형성되는 LOG형 신호라인군(26)의 라인저항을 감소시킬 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

<45> 따라서, 본 발명의 목적은 제한된 영역내에서 LOG형 신호라인군의 라인저항을 감소시킬 수 있는 LOG형 액정표시패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<46> 상기 목적을 달성하기 위하여, 게이트라인들과 데이터라인들의 교차영역마다 형성된 다수개의 액정셀들을 포함하는 화상표시부와; 화상표시부의 외곽영역에 라인 온 글래스 방식으로 형성되어 게이트라인들 및 데이터라인들을 구동하는 드라이브 집적회로들에서 필요로 하는 구동신호들을 공급하는 라인 온 글래스형 신호라인들을 구비하고; 라인 온 글래스형 신호라인들 중 적어도 하나의 신호라인이 절연막을 사이에 두고 형성된 적어도 2개의 금속층이 병렬로 접속되어 형성된 것을 특징으로 한다.

- <47> 여기서 상기 라인 온 글래스형 신호라인은 게이트 절연막 및 보호막을 사이에 두고 형성되며 그 게이트 절연막 및 보호막을 관통하는 콘택홀을 통해 병렬로 접속된 게이트 금속층 및 투명도전층으로 구성된 것을 특징으로 한다.
- <48> 이와 달리 상기 라인 온 글래스형 신호라인은 게이트 절연막을 사이에 두고 형성되며 그 게이트 절연막을 관통하는 콘택홀을 통해 병렬로 접속된 게이트 금속층 및 소스/드레인 금속층으로 구성된 것을 특징으로 한다.
- <49> 또한 상기 라인 온 글래스형 신호라인은 게이트 금속 패턴과, 그 게이트 금속 패턴과 게이트 절연막을 사이에 두고 형성된 소스/드레인 금속 패턴과, 그 소스/드레인 금속 패턴과 보호막을 사이에 두고 형성되고 상기 게이트 절연막 및 소스/드레인 금속 패턴과 보호막을 관통하는 콘택홀을 통해 상기 게이트 금속 패턴 및 소스/드레인 금속 패턴과 병렬로 접속된 투명도전물질 패턴으로 구성된 것을 특징으로 한다.
- <50> 이러한 라인 온 글래스형 신호라인들은 게이트라인들을 구동하는 게이트 드라이브 집적회로에서 필요로 하는 게이트 구동신호들과 상기 화상표시부에 포함되는 공통전극에서 필요로 하는 공통전압을 공급하는 것을 특징으로 한다.
- <51> 특히 상기 라인 온 글래스형 신호라인들 중 게이트 로우전압 신호를 공급하는 게이트 로우전압 신호라인은 절연막을 사이에 두고 병렬로 접속된 상기 적어도 2개의 금속층을 구비하는 것을 특징으로 한다.
- <52> 여기서 상기 게이트 로우전압 신호라인은 다른 라인 온 글래스형 신호라인들과 나란하게 형성되는 게이트 금속 패턴과, 게이트 금속 패턴과 게이트 절연막 및 보호막을 사이에 두고 형성되어 그 게이트 절연막 및 보호막을 관통하는 콘택홀을 통해 병렬로 접속되고 다른 라인 온 글래스형 신호라인들과 중첩하여 제한된 영역내에서 상기 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖는 투명도전물질 패턴으로 구성된 것을 특징으로 한다.
- <53> 이와 달리 상기 게이트 로우전압 신호라인은 다른 라인 온 글래스형 신호라인들과 나란하게 형성되는 게이트 금속 패턴과, 게이트 금속 패턴과 게이트 절연막을 사이에 두고 형성되어 그 게이트 절연막을 관통하는 콘택홀을 통해 병렬로 접속되고 다른 라인 온 글래스형 신호라인들과 중첩하여 제한된 영역내에서 상기 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖는 소스/드레인 금속 패턴으로 구성된 것을 특징으로 한다.
- <54> 또한 상기 게이트 로우전압 신호라인은 다른 라인 온 글래스형 신호라인들과 나란하게 형성되는 게이트 금속 패턴과, 게이트 금속 패턴과 게이트 절연막을 사이에 두고 형성되고 다른 라인 온 글래스형 신호라인들과 중첩하여 제한된 영역내에서 상기 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖는 소스/드레인 금속 패턴과, 소스/드레인 금속 패턴과 보호막을 사이에 두고 상기 제한된 영역내에서 상기 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적을 갖게 형성되고 게이트 절연막 및 소스/드레인 금속 패턴과 보호막을 관통하는 콘택홀을 통해 게이트 금속 패턴 및 소스/드레인 금속 패턴과 접속된 투명도전물질 패턴으로 구성된 것을 특징으로 한다.
- <55> 본 발명의 한 특징에 따른 LOG형 액정표시패널 제조방법은 하부기판 상에 게이트금속을 증착한 후 패터닝하여 박막트랜지스터의 게이트전극, 게이트라인들과 함께 라인 온 글래스형 신호라인들의 게이트 금속 패턴을 형성하는 단계와; 게이트절연막을 전면 도포하고 반도체물질을 증착한 후 패터닝하여 박막트랜지스터의 액티브층을 형성하는 단계와; 소스/드레인 금속을 증착한 후 패터닝하여 박막트랜지스터의 소스/드레인전극과 데이터라인들을 형성하는 단계와; 보호막을 전면 도포한 후 게이트라인 및 데이터라인의 패드들과, 박막트랜지스터의 드레인 전극, 그리고 라인 온 글래스형 신호라인의 게이트 금속 패턴의 패드를 노출시키는 콘택홀을 형성하는 단계와; 투명도전물질을 증착한 후 패터닝하여 드레인전극과 접속되는 화소전극과, 게이트라인 및 데이터라인들 패드들과 접속되는 보호전극, 그리고 상기 라인 온 글래스형 신호라인의 게이트 금속 패턴과 중첩되며 그의 패드와 접속되는 투명도전물질 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <56> 본 발명의 다른 특징에 따른 LOG형 액정표시패널의 제조방법은 하부기판 상에 게이트금속을 증착한 후 패터닝하여 박막트랜지스터의 게이트전극, 게이트라인들과 함께 라인 온 글래스형 신호라인들의 게이트 금속 패턴을 형성하는 단계와; 게이트절연막을 전면 도포하고 반도체물질을 증착한 후 패터닝하여 박막트랜지스터의 액티브층을 형성하는 단계와; 소스/드레인 금속을 증착한 후 패터닝하여 박막트랜지스터의 소스/드레인 전극, 데이터라인들과 함께 라인 온 글래스형 신호라인들의 게이트 금속 패턴과 중첩되는 소스/드레인 패턴을 형성하는 단계와; 보호막을 전면 도포한 후 게이트라인 및 데이터라인의 패드들과, 상기 박막트랜지스터의 드레인 전극, 그리고 라인 온 글래스형 신호라인의 게이트 금속 패턴의 패드를 노출시키는 콘택홀을 형성하는 단계와; 투명도전물질을 증착한 후 패터닝하여 드레인전극과 접속되는 화소전극과, 상기 게이트라인 및 데이터라인들 패드들과

접속되는 보호전극, 그리고 라인 온 글래스형 신호라인의 게이트 금속 패턴의 패드들 및 상기 소스/드레인 금속 패턴과 접속되는 투명도전물질 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <57> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <58> 이하, 본 발명의 바람직한 실시 예를 도 5 내지 도 10을 참조하여 상세히 설명하기로 한다.
- <59> 도 5는 본 발명의 실시 예에 따른 액정패널에서 LOG형 신호라인군을 확대도시한 평면도이고, 도 6은 도 5에 도시된 LOG형 신호라인을 B-B'선을 따라 절단하여 도시한 단면도이다.
- <60> 도 5 및 도 6에 도시된 LOG형 신호라인들(42)은 다수의 액정셀들을 포함하는 화상표시부(도시하지 않음)의 외곽 영역에 형성되어 게이트 드라이브 IC에서 필요로 하는 게이트 구동신호들을 공급한다. 예를 들면 LOG형 신호라인들(42) 각각은 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압 신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급한다.
- <61> 특히 LOG형 신호라인들(42) 각각은 하부기관(40) 상에 형성된 게이트 금속 패턴(44)과, 게이트 절연막(50) 및 보호막(52)을 관통하는 컨택홀(48)을 통해 게이트 금속 패턴(44)과 접속되는 투명도전물질 패턴(46)을 구비한다.
- <62> 여기서 투명도전물질 패턴(46)은 종래의 도 2에 도시된 바와 같이 패드영역에만 부분적으로 형성되어진 보호전극(36)과 동일하게 게이트 금속 패턴(44)을 보호하는 역할을 하면서 게이트 TCP 및 데이터 TCP와 접속된다. 그리고, 투명도전물질 패턴(46)은 게이트 절연막(50) 및 보호막(52)을 사이에 두고 게이트 금속 패턴(44)과 전체적으로 중첩되게 형성되고 패드영역에서 컨택되므로 게이트 금속 패턴(44)과 투명도전물질 패턴(46)은 병렬로 접속된 구조를 갖게 된다. 이에 따라 LOG형 신호라인들(42) 각각의 라인저항은 도 7에 도시된 바와 같이 게이트 금속 패턴(44)의 제1 라인저항(Ri1)과, 투명도전물질 패턴(46)의 제2 라인저항(Ri2)이 병렬로 접속된 구성을 가짐에 따라 종래의 도 2에 도시된 바와 같이 게이트 금속 패턴(27)으로만 형성된 경우 보다 그 라인저항 값이 현저하게 작아지게 된다. 다시 말하여 LOG형 신호라인들(42) 각각을 절연막을 사이에 둔 게이트 금속 패턴(44)과 투명도전물질 패턴(46)이 병렬로 접속된 구조를 가지게 하여 제한된 영역내에서도 라인저항값을 현저하게 감소시킬 수 있게 된다.
- <63> 이러한 LOG형 신호라인들(42)의 제조방법을 하부기관의 박막트랜지스터 어레이 공정과 결부하여 설명하면 다음과 같다.
- <64> 하부기관(40) 상에 게이트금속을 증착한 후 패터닝하여 박막트랜지스터의 게이트전극, 게이트라인들, 게이트패드들과 함께 LOG형 신호라인들의 게이트 금속 패턴(44)을 형성한다. 그 다음, 게이트절연막(50)을 전면 도포하고 아모퍼스(Amorphous) 실리콘을 증착한 후 패터닝하여 박막트랜지스터의 액티브층을 형성한다. 이어서 소스/드레인 금속을 증착한 후 패터닝하여 박막트랜지스터의 소스/드레인전극, 데이터라인들, 데이터패드들을 형성한다. 그리고 보호막(52)을 전면 도포한 후 게이트 패드들 및 데이터 패드들과 LOG형 신호라인들(42)의 게이트 금속 패턴(44)의 패드부 그리고 박막트랜지스터의 드레인전극 등을 노출시키는 컨택홀을 형성한다. 마지막으로 투명도전물질을 증착한 후 패터닝하여 드레인전극과 접속되는 화소전극과, 게이트패드들 및 데이터패드들과 접속되는 보호전극과, LOG형 신호라인들(42)의 게이트 금속 패턴(44)과 접속되는 투명도전물질 패턴(46)을 형성하게 된다.
- <65> 이와 달리, LOG형 신호라인들(42) 중 화질에 중대한 영향을 미치는 게이트 로우전압을 공급하는 게이트 로우전압 신호라인만을 게이트 금속 패턴(44)과 투명도전물질 패턴(46)이 병렬로 접속된 구조를 가지게끔 형성할 수 있다. 이 경우 게이트 로우전압 신호라인의 게이트 금속패턴(44)은 다른 LOG형 신호라인들과 동일 라인폭으로 나란하게 형성하는 반면에 게이트 절연막(50) 및 보호막(52) 위에 형성되는 투명도전물질 패턴(46)은 다른 LOG형 신호라인들의 게이트 금속패턴들(44)과 중첩하면서 최대한 넓게 형성할 수 있게 된다. 다시 말해서 게이트 로우전압 신호라인은 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적으로 형성할 수 있게 된다. 이렇게 최대한 넓게 형성된 투명도전물질 패턴(46)에 의해 투명도전물질 패턴(46)의 라인저항 값(Ri2)은 더욱 작아지게 되므로 결과적으로 게이트 로우전압 전송라인의 라인저항값을 제한된 영역내에서 최대한 감소시킬 수 있게 된다.
- <66> 또한, LOG형 신호라인들(42)을 게이트 절연막(50)을 사이에 두고 게이트 금속 패턴(44)과 소스/드레인 금속 패

턴(도시하지 않음)이 병렬로 접속된 2중 금속층 구조를 갖게 형성하는 경우에도 전술한 바와 같이 현저한 라인 저항 감소 효과를 얻을 수 있게 된다. 이 경우 게이트 금속 패턴(44)과 소스/드레인 금속 패턴(도시하지 않음)을 동일패턴으로 형성하고, 그 사이의 게이트 절연막(50)에 형성된 컨택홀(도시하지 않음)을 통해 접속시킴으로써 병렬로 접속된 2중 금속층 구조를 가지게 된다. 아울러 LOG형 신호라인들(42) 중 화질에 중대한 영향을 미치는 게이트 로우전압을 공급하는 게이트 로우전압 신호라인 만을 게이트 금속 패턴(44)과 소스/드레인 금속 패턴이 병렬로 접속된 구조를 가지게끔 형성할 수 있다. 이 경우 게이트 로우전압 신호라인의 게이트 금속 패턴(44)은 다른 LOG형 신호라인들과 동일 라인폭으로 나란하게 형성하는 반면에 게이트 절연막(50) 위에 형성되는 소스/드레인 금속 패턴은 다른 LOG형 신호라인들의 게이트 금속패턴들(44)과 중첩하면서 최대한 넓게 형성할 수 있게 된다. 다시 말해서 게이트 로우전압 신호라인은 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적으로 형성할 수 있게 된다. 이렇게 최대한 넓게 형성된 소스/드레인 금속 패턴에 의해 그의 라인저항 값이 더욱 작아지게 되므로 게이트 로우전압 전송라인의 라인저항 값을 제한된 영역내에서 최대한 감소시킬 수 있게 된다.

<67> 도 8은 본 발명의 다른 실시 예에 따른 액정패널에서 LOG형 신호라인군을 확대도시한 평면도이고, 도 9는 도 8에 도시된 LOG형 신호라인을 C-C'선을 따라 절단하여 도시한 단면도이다.

<68> 도 8 및 도 9에 도시된 LOG형 신호라인들(60)은 다수의 액정셀들을 포함하는 화상표시부(도시하지 않음)의 외곽 영역에 형성되어 게이트 드라이브 IC에서 필요로 하는 게이트 구동신호들을 공급한다. 예를 들면 LOG형 신호라인들(60) 각각은 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드 전압 신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 직류전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어신호들 각각을 공급한다.

<69> 특히 LOG형 신호라인들(60) 각각은 하부기관(40) 상에 형성된 게이트 금속 패턴(44)과, 그 게이트 패턴(44)과 게이트 절연막(50)을 사이에 두고 형성된 소스/드레인 금속 패턴(54)과, 게이트 절연막(50) 및 소스/드레인 금속 패턴(54)과 보호막(52)을 관통하는 컨택홀(58)을 통해 게이트 금속 패턴(44) 및 소스/드레인 금속 패턴(54)과 접속되는 투명도전물질 패턴(56)을 구비한다.

<70> 소스/드레인 금속 패턴(54)은 게이트 절연막(50)을 사이에 두고 게이트 금속 패턴(44)과 전체적으로 중첩되게 형성된다. 투명도전물질 패턴(56)은 보호막(52)을 사이에 두고 소스/드레인 금속 패턴(54)과 전체적으로 중첩되게 형성된다. 특히 투명도전물질 패턴(56)은 패드영역에서 게이트 절연막(50) 및 소스/드레인 금속 패턴(54)과 보호막(52)을 관통하는 컨택홀(58)을 통해 게이트 금속 패턴(44) 및 소스/드레인 금속 패턴(54)과 병렬로 접속된 구조를 갖게 된다. 이 경우 투명도전물질 패턴(56)은 소스/드레인 금속 패턴(54)과는 사이드 컨택을 하게 된다. 이에 따라 LOG형 신호라인들(60) 각각의 라인저항은 도 10에 도시된 바와 같이 게이트 금속 패턴(44)의 제1 라인저항(Ri1)과, 소스/드레인 금속 패턴(54)의 제2 라인저항(Ri2)과, 투명도전물질 패턴(56)의 제3 라인저항(Ri3)이 병렬로 접속된 구성을 가짐에 따라 종래의 도 2에 도시된 바와 같이 게이트 금속 패턴(27)으로만 형성된 경우 보다 그 라인저항 값이 현저하게 작아지게 된다. 다시 말하여 LOG형 신호라인들(60) 각각은 절연막을 사이에 둔 게이트 금속 패턴(44) 및 소스/드레인 금속 패턴(54)과 투명도전물질 패턴(56)이 병렬로 접속된 3중 금속층 구조를 가짐에 따라 제한된 영역내에서도 라인저항값을 현저하게 감소시킬 수 있게 된다. 여기서 투명도전물질 패턴(56)은 종래의 도 2에 도시된 바와 같이 패드영역에만 부분적으로 형성되어진 보호전극(36)과 동일하게 게이트 금속 패턴(44)을 보호하는 역할을 하면서 게이트 TCP 및 데이터 TCP와 접속된다.

<71> 이러한 LOG형 신호라인들(60)의 제조방법을 하부기관의 박막트랜지스터 어레이 공정과 결부하여 설명하면 다음과 같다.

<72> 하부기관(40) 상에 게이트금속층을 증착한 후 패터닝하여 게이트라인들 및 게이트패드들과 함께 LOG형 신호라인들의 게이트 금속 패턴(44)을 형성한다. 그 다음, 게이트절연막(50)을 전면 도포하고 반도체층을 증착한 후 패터닝하여 박막트랜지스터의 채널부를 형성한다. 이어서 소스/드레인 금속층을 증착한 후 패터닝하여 데이터라인들 및 데이터패드들과 함께 LOG형 신호라인들의 소스/드레인 금속 패턴(54)을 형성한다. 그리고 보호막(52)을 전면 도포한 후 게이트 패드들 및 데이터 패드들과 LOG형 신호라인들(42)의 게이트 금속 패턴(44)의 패드부 그리고 박막트랜지스터의 드레인전극 등을 노출시키는 컨택홀을 형성한다. 여기서 게이트 금속 패턴(44)의 패드부는 게이트절연막(50) 및 소스/드레인 금속 패턴(54)과 보호막(52)을 관통하여 형성된 컨택홀을 통해 노출된다. 마지막으로 투명도전층을 증착한 후 패터닝하여 드레인전극과 접속되는 화소전극과, 게이트패드들 및 데이터패드들과 접속되는 보호전극과, LOG형 신호라인들(60)의 게이트 금속 패턴(44) 및 소스/드레인 금속 패턴(54)

4)과 접속되는 투명도전물질 패턴(56)을 형성하게 된다.

<73> 이와 달리, LOG형 신호라인들(60) 중 화질에 중대한 영향을 미치는 게이트 로우전압을 공급하는 게이트 로우전압 신호라인 만을 게이트 금속 패턴(44) 및 소스/드레인 금속 패턴(54)과 투명도전물질 패턴(56)이 병렬로 접속된 구조를 가지게끔 형성할 수 있다. 이 경우 게이트 로우전압 신호라인의 게이트 금속패턴(44)은 다른 LOG형 신호라인들과 동일 라인폭으로 나란하게 형성되는 반면에 게이트 절연막(50) 위에 형성되는 소스/드레인 금속 패턴(54)과, 보호막(52) 위에 형성되는 투명도전물질 패턴(56)은 다른 LOG형 신호라인들의 게이트 금속패턴들(44)과 중첩하면서 최대한 넓게 형성할 수 있게 된다. 다시 말해서 게이트 로우전압 신호라인은 다른 라인온 글래스형 신호라인 중 어느 한 라인보다 넓은 면적으로 형성할수 있게 된다. 이렇게 최대한 넓게 형성된 소스/드레인 금속 패턴(54) 및 투명도전물질 패턴(56)에 의해 소스/드레인 금속 패턴(54) 및 투명도전물질 패턴(46)의 라인저항 값(Ri2, Ri3)은 더욱 작아지게 되므로 게이트 로우전압 전송라인의 라인저항값을 제한된 영역내에서 최대한 감소시킬 수 있게 된다.

발명의 효과

<74> 상술한 바와 같이, 본 발명에 따른 LOG형 액정패널은 LOG형 신호라인들을 절연막을 사이에 두고 병렬로 접속되는 2중 금속층(게이트 금속층+투명 도전층 또는 게이트 금속층+소스/드레인 금속층) 또는 3중 금속층(게이트 금속층+소스/드레인 금속층+투명 도전층) 구조로 형성함으로써 제한된 영역내에서도 그들의 라인저항 값을 현저하게 감소시킬 수 있게 된다. 이에 따라, LOG형 신호라인들은 라인저항 값에 의한 신호감쇄를 최소화할 수 있게 된다. 특히 화상표시부의 화질에 중대한 영향을 미치는 게이트 로우전압 신호라인만을 다른 게이트 구동 신호라인들과는 달리 절연막을 사이에 두고 병렬로 접속되는 2중 금속층 또는 3중 금속층 구조로 형성하고 그 금속층 중 게이트 금속층을 제외한 나머지 금속층의 면적을 최대한 넓게 형성함으로써 제한된 영역내에서도 그의 라인저항 값을 더욱 감소시킬 수 있게 된다. 이 결과, 게이트 로우전압 신호라인의 저항값을 최소화하여 게이트 드라이브 IC 별로 공급되는 게이트 로우전압 차가 최소화되게 함으로써 드라이브 IC별로 접속되는 수평라인 블록간의 가로선 현상을 방지할 수 있게 된다.

<75> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래의 라인 온 글래스형 액정표시장치의 구성을 개략적으로 도시한 평면도.
- <2> 도 2는 도 1에 도시된 라인 온 글래스형 신호라인군을 확대도시한 평면도.
- <3> 도 3은 도 2에 도시된 라인 온 글래스형 신호라인을 A-A' 선을 따라 절단하여 도시한 단면도.
- <4> 도 4는 도 3에 도시된 라인 온 글래스형 신호라인의 등가저항을 도시한 도면.
- <5> 도 5는 본 발명의 실시 예에 따른 액정패널에서 라인 온 글래스형 신호라인군을 확대도시한 평면도.
- <6> 도 6은 도 5에 도시된 라인 온 글래스형 신호라인을 B-B' 선을 따라 절단하여 도시한 단면도.
- <7> 도 7은 도 6에 도시된 라인 온 글래스형 신호라인의 등가저항을 도시한 도면.
- <8> 도 8은 본 발명의 다른 실시 예에 따른 액정패널에서 라인 온 글래스형 신호라인군을 확대도시한 평면도.
- <9> 도 9는 도 8에 도시된 라인 온 글래스형 신호라인을 C-C' 선을 따라 절단하여 도시한 단면도.
- <10> 도 10은 도 9에 도시된 라인 온 글래스형 신호라인의 등가저항을 도시한 도면.

<11> < 도면의 주요 부분에 대한 부호의 설명 >

<12> 1 : 액정패널 2, 40 : 하부기판

<13> 4 : 상부기관 8 : 데이터 TCP

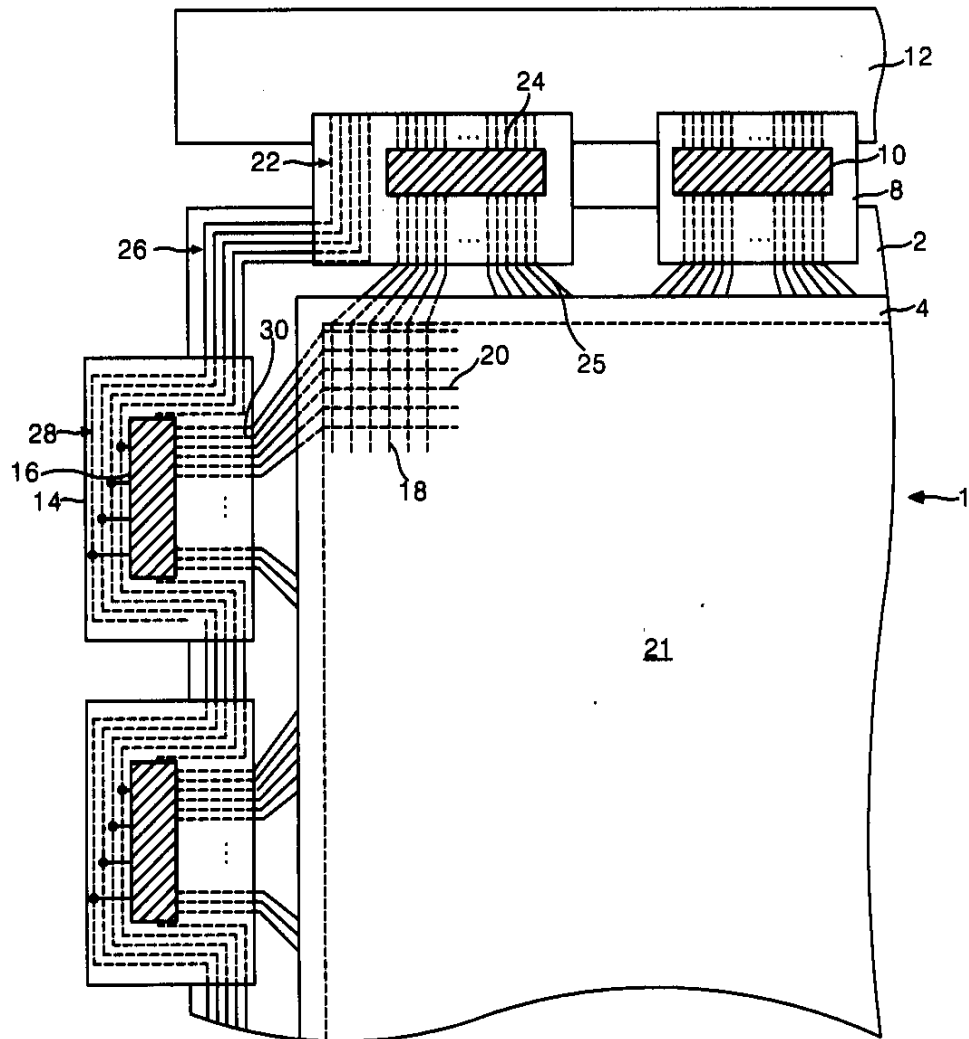
<14> 10 : 데이터 드라이브 IC 12 : 데이터 PCB

<15> 14 : 게이트 TCP 16 : 게이트 드라이브 IC

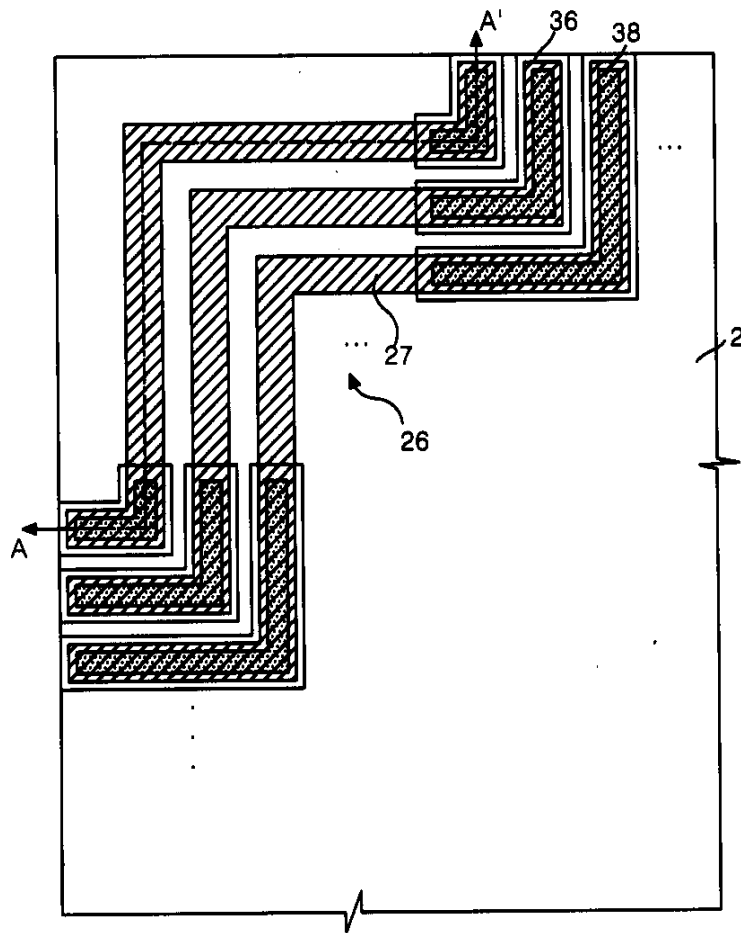
- | | | |
|------|-------------------------|-----------------------|
| <16> | 18 : 데이터라인 | 20 : 게이트라인 |
| <17> | 21 : 화상표시부 | 22, 28 : 게이트 구동신호 전송군 |
| <18> | 24 : 데이터 TCP 입력패드 | 25 : 데이터 TCP 출력패드 |
| <19> | 26, 42, 60 : LOG형 신호라인군 | 27, 44 : 게이트 금속 패턴 |
| <20> | 30 : 게이트 TCP 출력패드 | 32, 50 : 게이트 절연막 |
| <21> | 34, 52 : 보호막 | 36 : 보호전극 |
| <22> | 38, 48, 58 : 콘택홀 | 46, 56 : 투명도전물질 패턴 |
| <23> | 54 : 소스/드레인 금속 패턴 | |

도면

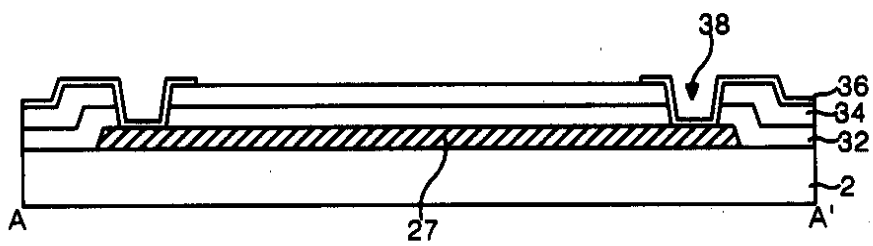
도면1



도면2



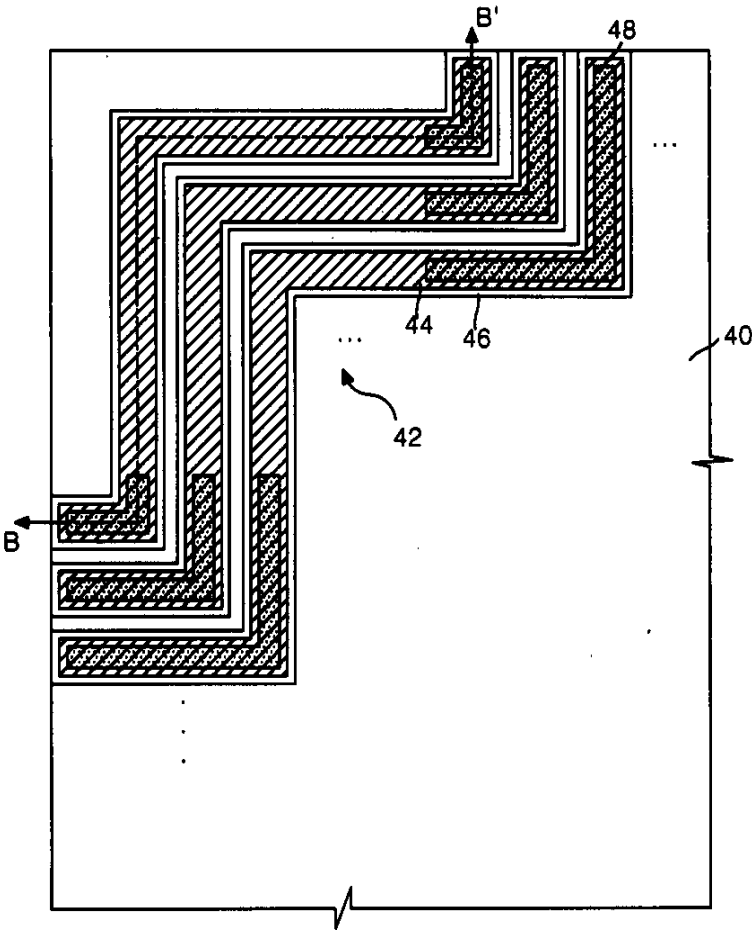
도면3



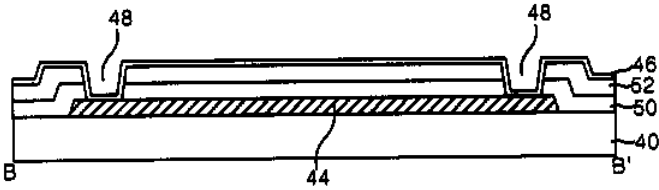
도면4



도면5



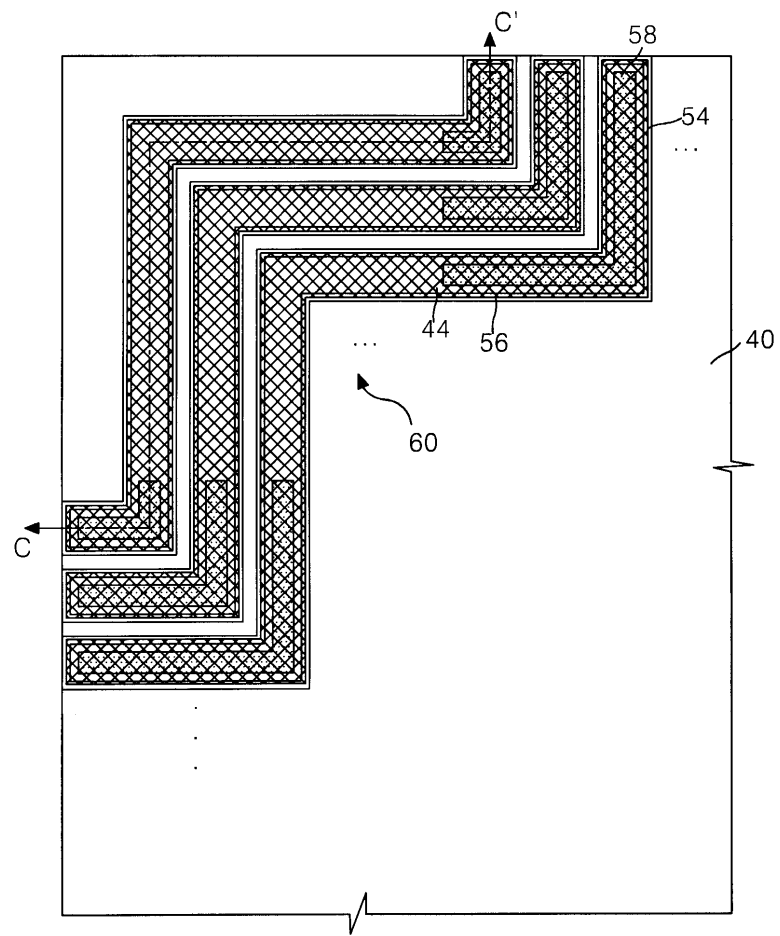
도면6



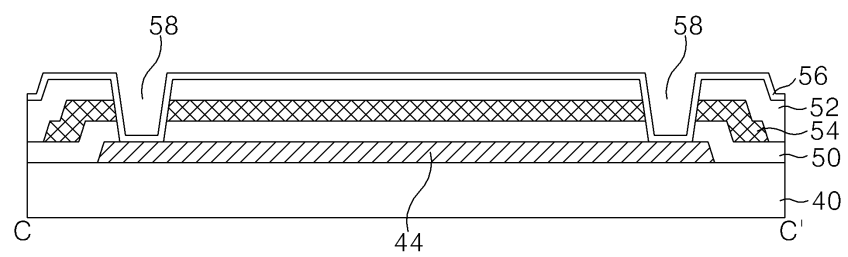
도면7



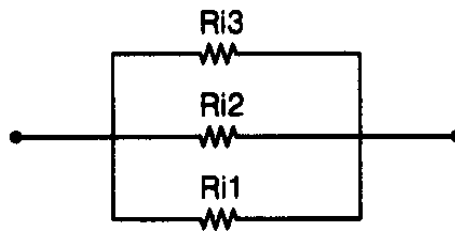
도면8



도면9



도면10



专利名称(译)	玻璃上线型液晶显示面板及其制造方法		
公开(公告)号	KR100800318B1	公开(公告)日	2008-02-01
申请号	KR1020010081562	申请日	2001-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK DAELIM 박대림 HWANG SEONGSOO 황성수 MOON SUHWAN 문수환		
发明人	박대림 황성수 문수환		
IPC分类号	G02F1/1345 G02F1/13 G02F1/1362		
CPC分类号	G02F1/13452 G02F1/1345 G02F2001/13629		
其他公开文献	KR1020030051921A		
外部链接	Espacenet		

摘要(译)

用途：提供一种玻璃型液晶显示面板上的线及其制造方法，以通过减小线电阻值来最小化由于线电阻值引起的信号衰减。组成：图像显示单元包括多个液晶单元在栅极线和数据线的每个交叉区域形成。在图像显示单元的轮廓区域处形成多条玻璃线型信号线（42），以提供驱动栅极线和数据线的驱动集成电路所需的驱动信号。玻璃型信号线上的每条线包括栅极金属图案（44）和透明导电材料图案（46），其通过穿过栅极绝缘膜和保护层的接触孔（48）平行地与栅极金属图案连接。©KIPO 2003

