

# (19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.<sup>7</sup>  
G02F 1/1343

(45) 공고일자 2005년05월06일  
(11) 등록번호 10-0488156  
(24) 등록일자 2005년04월28일

(21) 출원번호 10-2002-0088203  
(22) 출원일자 2002년12월31일

(65) 공개번호 10-2004-0061901  
(43) 공개일자 2004년07월07일

(73) 특허권자 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 이덕원  
경상북도칠곡군석적면중리224-1번지204동601호  
박순영  
경상남도하동군진교면송원리817

(74) 대리인 김영호

심사관 : 이판대

## (54) 액정표시소자

### 요약

본 발명은 인 플레인 스위치 모드에 있어서, 액정패널 내의 잔류 직류 성분을 제거하여 화질을 향상시킬 수 있는 액정 표시 소자에 관한 것이다.

본 발명은 박막트랜지스터에 데이터신호를 인가하기 위한 다수의 데이터라인과, 박막트랜지스터에 게이트전압을 인가하기 위한 다수의 게이트라인과, 박막트랜지스터에 공통전압을 인가하기 위한 다수의 공통전압라인과, 상기 데이터라인에 접속된 제1 쇼팅바, 그 제1 쇼팅바와 절연막을 사이에 두고 중첩되는 제1 더미라인을 포함하며 상기 표시부 내에 잔류하는 직류성분을 축적/제거하기 위해 상기 표시부를 제외한 비표시부에 형성되는 제1 바이패스 캐패시터와; 상기 게이트라인 및 공통라인 중 적어도 어느 하나에 접속된 제2 쇼팅바, 그 제2 쇼팅바와 절연막을 사이에 두고 중첩되는 제2 더미라인을 포함하며 상기 표시부 내에 잔류하는 직류성분을 축적/제거하기 위해 상기 비표시부에 형성되는 적어도 하나의 제2 바이패스캐패시터를 구비하는 것을 특징으로 한다.

### 대표도

도 2

### 명세서

### 도면의 간단한 설명

도 1은 통상적인 인 플레인 스위치 모드 액정표시소자의 신호라인을 나타내는 평면도.

도 2는 본 발명에 따른 인 플레인 스위치 모드 액정표시소자의 신호라인을 나타내는 평면도.

도 3은 도 2에 도시된 게이트라인과 데이터라인의 교차부 사이에 형성되는 한 화소의 하부기관을 나타내는 평면도.

도 4는 도 3에서 선 "A-A"를 따라 절취한 하나의 화소의 하부기관을 나타내는 단면도.

도 5는 도 2에 도시된 한 화소의 상부기관을 나타내는 단면도.

도 6은 도 2에 도시된 바이패스캐패시터를 상세히 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2,32 : 하부기관 4,6,8,34,36,38 : 정전기방지회로

10,12,40,42 : 쇼팅바 14,16 : 연결라인

50,52 : 더미라인 54 : 블랙매트릭스

56 : 컬러필터 58 : 평탄화층

60 : 액정층 66 : 게이트전극

68 : 소스전극 70 : 드레인전극

72 : 화소전극 74 : 접촉홀

76 : 공통전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시소자에 관한 것으로서, 특히 인 플레인 스위치 모드에 있어서, 액정패널 내의 잔류 직류 성분을 제거하여 화질을 향상시킬 수 있는 액정 표시소자에 관한 것이다.

액티브 매트릭스(Active Matrix) 구동방식의 액정 표시소자는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정 표시소자는 브라운관에 비하여 소형화가 가능하여 휴대용 텔레비전(Television), 노트북 컴퓨터나 랩탑(Lap-Top)형 퍼스널 컴퓨터(Personal Computer) 등의 모니터로서 상품화되고 있다.

액티브 매트릭스 타입의 액정 표시소자는 화소들이 게이트라인들과 데이터라인들의 교차부를 각각에 배열되어진 화소매트릭스(Picture Element Matrix 또는 Pixel Matrix)에 텔레비전 신호와 같은 비디오신호에 해당하는 화상을 표시하게 된다. 화소들 각각은 데이터라인으로부터의 데이터신호의 전압레벨에 따라 투과 광량을 조절하는 액정셀을 포함한다. TFT는 게이트라인과 데이터라인들의 교차부에 설치되어 게이트라인으로부터의 스캔신호(게이트펄스)에 응답하여 액정셀쪽으로 전송될 데이터신호를 절환하게 된다.

이와 같은 액정 표시소자는 액정을 구동시키는 전계의 방향에 따라 수직방향 전계가 인가되는 트위스티드 네마틱(Twisted Nematic : 이하 "TN"이라 함) 모드와 수평전계가 인가되어 시야각이 넓게 되는 인 플레인 스위치(In Plane Switch : 이하 "IPS"라 함) 모드로 대별될 수 있다.

IPS 모드 액정 표시소자는 TN 모드 액정 표시소자와 다르게 화소셀 내의 액정이 수평전계에 의해 수평방향을 기준으로 회전함으로써 시야각이 넓은 장점이 있다.

도 1은 종래 IPS모드 액정표시소자의 신호라인을 나타내는 도면이다.

도 1을 참조하면, TFT 어레이가 형성된 하부기관(2) 상에는 공통전압(Vcom)을 공통전극으로 인가하기 위한 다수의 공통라인(CL1 내지 CLm)과, 게이트전압을 게이트전극에 인가하기 위한 다수의 게이트라인(GL1 내지 GLm)과, 데이터전압을 화소전극에 인가하기 위한 다수의 데이터라인(DL1 내지 DLn)을 구비한다.

공통라인(CL1 내지 CLm)들은 게이트라인(GL1 내지 GLm)들과 나란한 방향으로 m개 형성되며, 공통라인(CL1 내지 CLm)에 공통전압을 공급하기 위한 공급라인(SL)은 게이트라인(GL1 내지 GLm)과 수직한 방향으로 하부기관(2)의 양측단에 형성된다.

게이트라인들(GL1 내지 GLm)은 공통라인(CL1 내지 CLm)과 나란한 방향으로 공통라인(CL1 내지 CLm)과 교번적으로 m개 형성되어 게이트전압을 TFT의 게이트전극에 인가하게 된다.

데이터라인들(DL1 내지 DLn)은 게이트라인(GL1 내지 GLm)과 수직한 방향으로 n개 형성되어 데이터신호를 TFT의 드레인전극을 통해 화소전극에 인가하게 된다.

이러한 게이트라인들(GL1 내지 GLm)과 데이터라인들(DL1 내지 DLn)은 TFT의 제조공차 및 작업에러로 인하여 단선되는 경우가 종종 발생하게 된다. 게이트라인(GL1 내지 GLm)이 단선되는 경우 일부 TFT가 구동되지 않게 되고, 또한 데이터라인(DL1 내지 DLn)이 단선되는 경우 일부 TFT에 데이터신호가 공급되지 않게 된다. 이러한 게이트라인(GL1 내지 GLm) 및 데이터라인(DL1 내지 DLn)의 단선되어 있는가의 여부는 도시하지 않은 테스트회로로 검사하게 된다. 테스트가 완료된 후 테스트신호나 액정패널 내의 잔류 직류 성분은 공급라인(SL)을 경유하여 바이패스됨으로써 제거된다.

한편, TFT의 동작을 테스트하기 위해 각각의 게이트쇼팅바(12)와 데이터쇼팅바(10)에 전압을 가하여 얻은 출력전압값으로 TFT의 정상적인 동작여부를 감지하게 된다.

게이트쇼팅바(12)는 게이트라인들(GL) 및 공통라인들(CL) 중 적어도 어느 하나와 연결되고, 데이터쇼팅바(10)는 데이터라인(DL)에 연결되어 있다. 게이트쇼팅바(12)와 접속된 게이트라인(GL) 및 공통라인(CL) 중 적어도 어느 하나는 정전기를 방지할 수 있는 정전기방지회로(4)에 의해 공급라인(SL)과 접속되며, 데이터쇼팅바(10)와 데이터라인(DL)은 정전기를 방지할 수 있는 정전기 방지회로(4)에 의해 공급라인(SL)과 접속된다. 공급라인(SL)은 하부기관(2)의 표시영역의 주위를 둘러싸며, 데이터라인(DL), 게이트라인(GL) 및 공통라인(CL) 각각의 양쪽 끝단에 형성된 정전기방지회로(4)와 연결되어 있다.

이와 같이, 공급라인(SL)을 통해 바이패스루프(bypass loop)가 형성된다. 이 바이패스루프를 통해 액정패널 내에 잔류하는 직류성분이나 전원오프신호가 바이패스되어 자연방전됨으로써 제거된다.

그러나, 바이패스루프와 신호라인들과의 접촉불량 또는 바이패스루프의 결함이 발생할 경우, 잔류 직류성분이 액정패널에 가해짐으로써 액정패널 내의 오염물질이 여기되어 액정패널이 손상된다. 특히, 도시하지 않은 액정주입구 주변을 중심으로 얼룩 등이 나타나 화질이 저하되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 IPS 모드에 있어서 액정패널 내의 잔류 직류 성분을 제거하여 화질을 향상시킬 수 있는 액정 표시소자를 제공함에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자는 표시부를 구동하기 위한 박막트랜지스터가 형성된 인 플레인 스위치 모드의 액정표시소자에 있어서, 박막트랜지스터에 데이터신호를 인가하기 위한 다수의 데이터라인과, 박막트랜지스터에 게이트전압을 인가하기 위한 다수의 게이트라인과, 박막트랜지스터에 공통전압을 인가하기 위한 다수의 공통전압라인과, 상기 데이터라인에 접속된 제1 쇼팅바, 그 제1 쇼팅바와 절연막을 사이에 두고 중첩되는 제1 더미라인을 포함하며 상기 표시부 내에 잔류하는 직류성분을 축적/제거하기 위해 상기 표시부를 제외한 비표시부에 형성되는 제1 바이패스 캐패시터와; 상기 게이트라인 및 공통라인 중 적어도 어느 하나에 접속된 제2 쇼팅바, 그 제2 쇼팅바와 절연막을 사이에 두고 중첩되는 제2 더미라인을 포함하며 상기 표시부 내에 잔류하는 직류성분을 축적/제거하기 위해 상기 비표시부에 형성되는 적어도 하나의 제2 바이패스캐패시터를 구비하는 것을 특징으로 한다.

### 삭제

상기 액정표시소자는 게이트라인과 바이패스캐패시터에 접속되는 제1 정전기방지수단과, 데이터라인과 바이패스캐패시터에 접속되는 제2 정전기방지수단을 추가로 구비하는 것을 특징으로 한다.

### 삭제

상기 제1 및 제2 쇼팅바는 공통전압라인과 동일한 금속으로 형성되는 것을 특징으로 한다.

상기 제1 및 제2 쇼팅바는 데이터라인과 동일한 금속으로 형성되는 것을 특징으로 한다.

상기 표시부는 게이트라인과 데이터라인의 교차부에 형성되는 박막트랜지스터와, 게이트라인과 데이터라인의 화소영역에 상기 박막트랜지스터와 접속되는 화소전극과, 화소영역에 상기 화소전극과 교번적으로 형성되는 공통전극을 구비하는 것을 특징으로 한다.

상기 제1 및 제2 더미라인은 화소전극과 동일한 금속으로 형성되는 것을 특징으로 한다.

상기 박막트랜지스터는 게이트라인과 접속되는 게이트전극과, 데이터라인에 접속되는 소스전극과, 소스전극과 채널을 사이에 두고 형성되는 드레인전극을 구비하는 것을 특징으로 한다.

상기 액정표시소자는 게이트전극과 소스 및 드레인전극 사이에 형성되는 게이트절연막과, 박막트랜지스터를 보호하기 위한 보호막을 추가로 구비하는 것을 특징으로 한다.

상기 절연막은 게이트절연막 및 보호막 중 적어도 어느 하나인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 2 내지 도 6을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 2는 본 발명에 따른 IPS 모드의 액정표시소자를 나타내는 평면도이다.

도 2를 참조하면, 본 발명에 따른 IPS 모드의 액정표시소자는 공통전극에 공통전압(Vcom)을 인가하기 위한 다수의 공통라인(CL1 내지 CLm)과, 게이트전압을 TFT의 게이트전극에 인가하기 위한 다수의 게이트라인(GL1 내지 GLm)과, 데이터전압을 TFT의 드레인전극을 통해 화소전극에 인가하기 위한 다수의 데이터라인(DL1 내지 DLn)과, 데이터라인(DL1 내지 DLn)의 끝단에 형성되는 제1 바이패스캐패시터(C1)와, 게이트라인(GL1 내지 GLm)의 끝단에 형성되는 제2 바이패스캐패시터(C2)를 구비한다. 여기서, 공통라인(CL), 게이트라인(GL) 및 데이터라인(DL)은 표시부(62)에 형성되며, 제1 및 제2 바이패스캐패시터(C1, C2)는 표시부(62)를 제외한 비표시부에 형성된다.

공통라인(CL1 내지 CLm)들은 게이트라인(GL1 내지 GLm)들과 나란한 방향으로 m개 형성되며, 공통라인(CL1 내지 CLm)에 공통전압을 공급하기 위한 공급라인(SL)은 게이트라인(GL1 내지 GLm)과 수직한 방향으로 하부기판(32)의 양측단에 형성된다. 공통라인들(CL)은 제2 쇼팅바(42)와 직접 연결되거나 제2 쇼팅바(42)와 연결된 제3 정전기방지회로(38)에 접속된다.

게이트라인들(GL1 내지 GLm)은 공통라인(CL1 내지 CLm)과 나란한 방향으로 공통라인(CL1 내지 CLm)과 교번적으로 m개 형성되어 게이트전압을 TFT의 게이트전극에 인가하게 된다. 게이트라인들(GL)은 제2 쇼팅바(42)와 연결된 제3 정전기방지회로(38)에 각각 접속되거나 제2 쇼팅바(42)와 직접 연결된다.

데이터라인들(DL1 내지 DLn)은 게이트라인(GL1 내지 GLm)과 수직한 방향으로 n개 형성되어 데이터신호를 TFT의 화소전극에 인가하게 된다. 데이터라인(DL) 중 기수번째 데이터라인들(DL1, DL3, ..., DL(n-3), DL(n-1))은 제1 쇼팅바(40)와 연결된 제1 정전기방지회로(34)에 각각 접속되며, 각각의 제1 정전기 방지회로(34)는 제1 연결라인(44)을 통해 서로 연결된다. 또한, 우수번째 데이터라인들(DL2, DL4, ..., DL(n-2), DLn)은 제1 쇼팅바(40)와 연결된 제2 정전기 방지회로(36)에 각각 접속되며, 각각의 제2 정전기방지회로(36)는 제2 연결라인(46)을 통해 서로 연결된다. 여기서, 제1 및 제2 정전기방지회로(34, 36)는 공통라인(CL) 및 공급라인(SL)과 연결된 공통정전기방지회로(48)에 공통으로 접속된다.

이와 같은 게이트라인(GL)과 데이터라인(DL)의 교차부의 하부기판(32)에는 도 3 및 도 4에 도시된 바와 같이 TFT가 형성되며, 데이터라인(DL)과 게이트라인(GL)의 화소영역에는 화소전극(72)이 매트릭스 형태로 배치된다. 또한, 화소영역에는 화소전극(72)과 교번되도록 스트라이프 형태로 공통전극(76)이 형성된다.

TFT는 게이트라인(GL)에 접속된 게이트전극(66), 데이터라인(DL)에 접속된 소스전극(68) 및 접촉홀(74)을 통해 화소전극(72)에 접속된 드레인전극(70)을 구비한다. 또한, TFT는 게이트전극(66)에 공급되는 게이트전압에 의해 소스전극(68)과 드레인전극(70)간에 도통채널을 형성하기 위한 반도체층들(78, 80)을 더 구비한다. 이 반도체층들(78, 80)은 게이트절연막(82) 상에 형성된다. 이러한 TFT는 게이트라인(GL)으로부터의 게이트신호에 응답하여 데이터라인(DL)으로부터의 데이터신호를 선택적으로 화소전극(72)에 공급한다.

화소전극(72)은 데이터라인(DL)과 게이트라인(GL)에 의해 분할된 화소영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 화소전극(72)은 하부기판(32) 전면에 도포되는 보호층(84) 상에 형성되며, 보호층(84)을 관통하는 접촉홀(74)을 통해 드레인전극(70)과 전기적으로 접속된다.

공통전극(76)은 데이터라인(DL)과 게이트라인(GL)에 의해 분할된 화소영역에 화소전극(72)과 교번적으로 위치하게 된다. 공통전극(76)은 하부기판(32) 상에 게이트전극(66)과 동일금속으로 동시에 형성된다.

이와 같이, TFT, 화소전극(72) 및 공통전극(76)이 형성된 하부기판(32)은 도 5에 도시된 바와 같이 액정층(60)을 사이에 두고 블랙 매트릭스(54), 컬러필터(56) 및 평탄화층(58)이 형성된 상부기판(31)과 대면된다.

블랙매트릭스(54)는 상부기판(31) 상에 매트릭스 형태로 형성되어 상부기판(31)의 표면을 칼라필터(56)들이 형성되어질 다수의 셀영역들로 나눴고 아울러 인접 셀간의 광간섭을 방지하는 역할을 하게 된다. 이 블랙매트릭스(54)에 의해 셀단위로 구분되어진 상부기판(31) 상에 적, 녹, 청 삼원색의 칼라필터(56)들이 순차적으로 형성된다. 이 칼라필터(56)는 안료들이 분산된 아크릴 또는 폴리이미드계 수지로 형성되며, 혼색을 방지하기 위해 블랙매트릭스(54)상에서 서로 분리되게 형성된다. 칼라필터(56)의 표면에는 칼라필터(56)의 오염방지와 분리되어 형성된 적, 녹, 청색 칼라필터(56) 간의 단차를 보상하여 상부기판(31)을 평탄화시키기 위한 평탄화층(58)이 형성된다.

이러한 액정표시소자는 TFT의 게이트전극(66)에 게이트하이펄스가 인가되면 소스전극(68)과 드레인전극(70) 사이에 채널이 형성되는 스캐닝 기간동안, 수평방향으로 대향된 화소전극(72)과 공통전극(76) 사이에 비디오 데이터전압과 공통전압의 차전압에 해당하는 전계가 인가된다. 이 수직전계에 의해 액정층(60)의 액정들이 구동됨으로써 백라이트로부터 입사되는 광의 광량을 조절하게 된다.

제1 바이패스캐패시터(C1)는 데이터라인(DL)의 끝단에 비표시영역에 형성된다. 이 바이패스캐패시터(C1)는 도 6에 도시된 바와 같이 게이트절연막(82) 및/또는 보호막(84)을 사이에 두고 형성되는 제1 쇼팅바(40)와 제1 더미라인(52)으로 이루어진다. 제1 쇼팅바(40)는 공통전극(76) 및 게이트전극(66)과 동일한 게이트금속으로 동시에 형성되거나, 소스 및 드레인전극(68, 70)과 동일한 데이터금속으로 동시에 형성된다. 제1 더미라인(52)은 화소전극(72)과 동일금속인 투명전도성금속으로 동시에 형성된다. 여기서, 투명전도성금속으로는 인듐-틴-옥사이드(Indium-Tin-Oxide), 인듐-징크-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide) 등이 이용된다.

게이트금속으로 제1 쇼팅바(40)를 형성하게 되면, 게이트절연막(82) 및 보호막(84)을 사이에 두고 제1 쇼팅바(40)와 제1 더미라인(52)으로 이루어진 제1 바이패스캐패시터(C1)가 형성된다. 데이터금속으로 제1 쇼팅바(40)를 형성하게 되면, 보호막(84)을 사이에 두고 제1 쇼팅바(40)와 제1 더미라인(52)으로 이루어진 제1 바이패스캐패시터(C1)가 형성된다.

제2 바이패스캐패시터(C2)는 게이트라인(GL)의 끝단에 비표시영역에 형성된다. 이 제2 바이패스캐패시터(C2)는 게이트절연막(82) 및/또는 보호막(84)을 사이에 두고 형성되는 제2 쇼팅바(42)와 제2 더미라인(50)으로 이루어진다. 제2 쇼팅바(42)는 공통전극(76) 및 게이트전극(66)과 동일한 게이트금속으로 동시에 형성되거나 소스 및 드레인전극(68,70)과 동일한 데이터금속으로 동시에 형성된다. 제2 더미라인(50)은 화소전극(72)과 동일한 투명전도성금속으로 형성된다.

게이트금속으로 제2 쇼팅바(42)를 형성하게 되면, 게이트절연막(82) 및 보호막(84)을 사이에 두고 제2 쇼팅바(42)와 제2 더미라인(50)으로 이루어진 제2 바이패스캐패시터(C2)가 형성된다. 데이터금속으로 제2 쇼팅바(42)를 형성하게 되면, 보호막(84)을 사이에 두고 제2 쇼팅바(42)와 제2 더미라인(50)으로 이루어진 제2 바이패스캐패시터(C2)가 형성된다.

이러한 제1 및 제2 바이패스캐패시터(C1,C2)는 데이터라인들(DL)에 접속되는 제1 쇼팅바(40)와, 게이트라인들(GL)에 접속되는 제2 쇼팅바(42)와, 등전위를 이루는 공통라인들(CL)로 이루어진 바이패스루프의 단선(open)이 발생할 경우 액정패널 내에 잔류성분을 축적하여 서서히 방전시키게 된다. 이와 같이, 바이패스루프의 단선시에도 액정패널 내에 잔류하는 직류성분이나 전원오프신호를 제1 및 제2 바이패스캐패시터(C1,C2)에 축적한 후 제거함으로써 액정패널의 손상을 최소화하여 화질을 향상시킨다.

### 발명의 효과

상술한 바와 같이, 본 발명의 실시예에 따른 액정 표시소자는 액정패널 내의 신호라인간의 접촉불량이나 바이패스루프의 오픈으로 잔류하는 직류성분을 제거하기 위해 바이패스캐패시터를 형성하게 된다. 이 바이패스캐패시터는 게이트절연막 및/또는 보호막을 사이에 두고 형성되는 쇼팅바와 더미라인을 통해 형성된다. 이 바이패스캐패시터를 통해 잔류 직류성분이 축적됨으로써 액정패널 내의 손상을 줄일 수 있어 화질이 향상됨과 동시에 수율이 향상된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

표시부를 구동하기 위한 박막트랜지스트가 형성된 인 플레인 스위치 모드의 액정표시소자에 있어서,

상기 박막트랜지스터에 데이터신호를 인가하기 위한 다수의 데이터라인과;

상기 박막트랜지스터에 게이트전압을 인가하기 위한 다수의 게이트라인과;

상기 박막트랜지스터에 공통전압을 인가하기 위한 다수의 공통전압라인과;

상기 데이터라인에 접속된 제1 쇼팅바, 그 제1 쇼팅바와 절연막을 사이에 두고 중첩되는 제1 더미라인을 포함하며 상기 표시부 내에 잔류하는 직류성분을 축적/제거하기 위해 상기 표시부를 제외한 비표시부에 형성되는 제1 바이패스 캐패시터와;

상기 게이트라인 및 공통라인 중 적어도 어느 하나에 접속된 제2 쇼팅바, 그 제2 쇼팅바와 절연막을 사이에 두고 중첩되는 제2 더미라인을 포함하며 상기 표시부 내에 잔류하는 직류성분을 축적/제거하기 위해 상기 비표시부에 형성되는 적어도 하나의 제2 바이패스캐패시터를 구비하는 것을 특징으로 하는 액정표시소자.

#### 청구항 2.

삭제

#### 청구항 3.

제 1 항에 있어서,

상기 데이터라인과 상기 제1 바이패스캐패시터 사이에 접속되는 제1 정전기방지수단과;

상기 게이트라인과 상기 제2 바이패스캐패시터 사이에 접속되는 제2 정전기방지수단을 추가로 구비하는 것을 특징으로 하는 액정표시소자.

#### 청구항 4. 삭제

#### 청구항 5.

제 1 항에 있어서,

상기 제1 및 제2 쇼팅바는 상기 공통전압라인과 동일한 금속으로 형성되는 것을 특징으로 하는 액정표시소자.

#### 청구항 6.

제 1 항에 있어서,

상기 제1 및 제2 쇼팅바는 상기 데이터라인과 동일한 금속으로 형성되는 것을 특징으로 하는 액정표시소자.

#### 청구항 7.

제 1 항에 있어서,

상기 표시부는

상기 게이트라인과 데이터라인의 교차부에 형성되는 박막트랜지스터와,

상기 게이트라인과 데이터라인의 화소영역에 상기 박막트랜지스터와 접속되는 화소전극과,

상기 화소영역에 상기 화소전극과 교번적으로 형성되며 상기 공통전압라인과 접속된 공통전극을 구비하는 것을 특징으로 하는 액정표시소자.

#### 청구항 8.

제 7 항에 있어서,

상기 제1 및 제2 더미라인은 상기 화소전극과 동일한 금속으로 형성되는 것을 특징으로 하는 액정표시소자.

#### 청구항 9.

제 1 항에 있어서,

상기 박막트랜지스터는

상기 게이트라인과 접속되는 게이트전극과,

상기 데이터라인에 접속되는 소스전극과,

상기 소스전극과 채널을 사이에 두고 형성되는 드레인전극을 구비하는 것을 특징으로 하는 액정표시소자.

#### 청구항 10.

제 9 항에 있어서,

상기 게이트전극과 소스 및 드레인전극 사이에 형성되는 게이트절연막과,

상기 박막트랜지스터를 보호하기 위한 보호막을 추가로 구비하는 것을 특징으로 하는 액정표시소자.

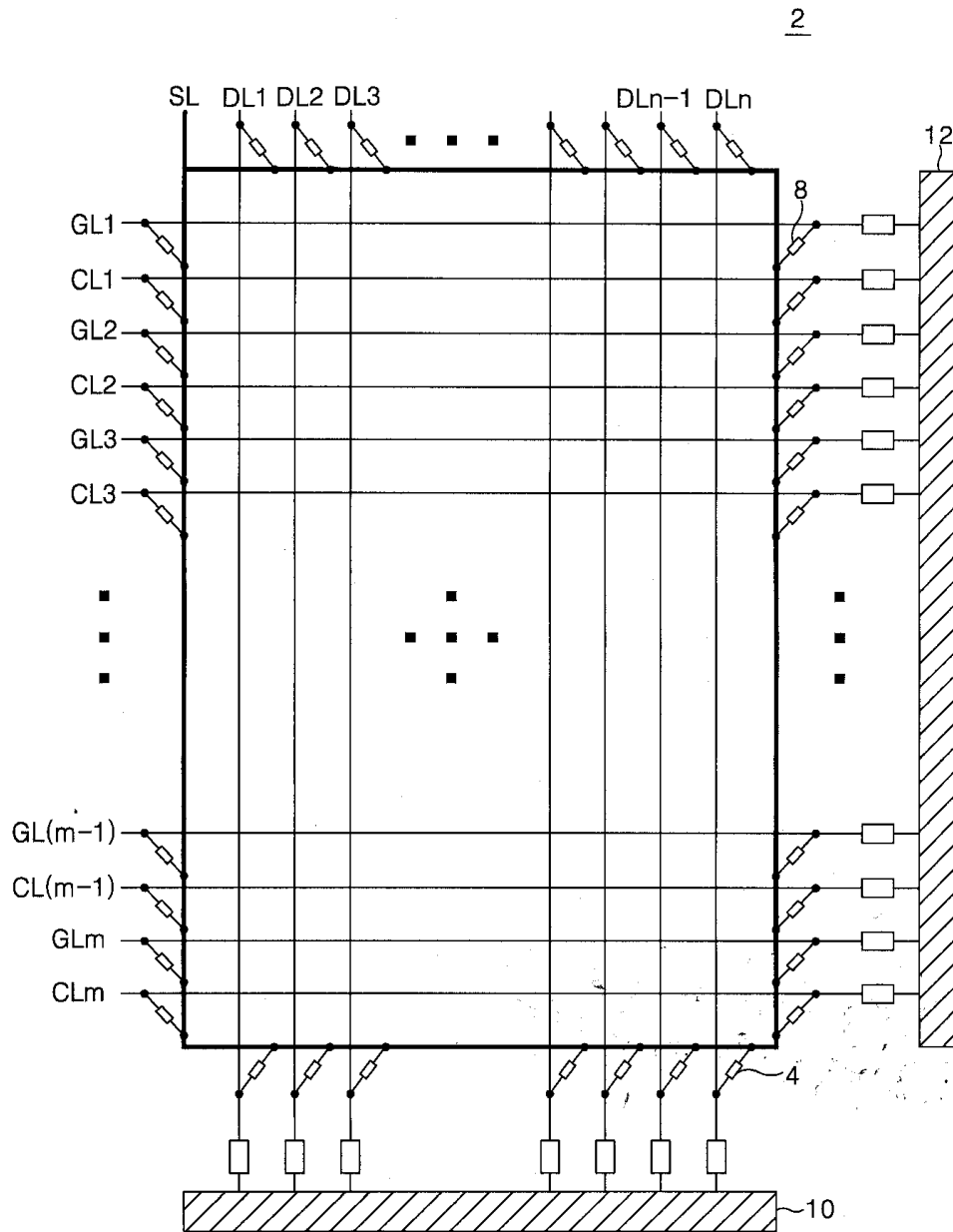
청구항 11.

제 10 항에 있어서,

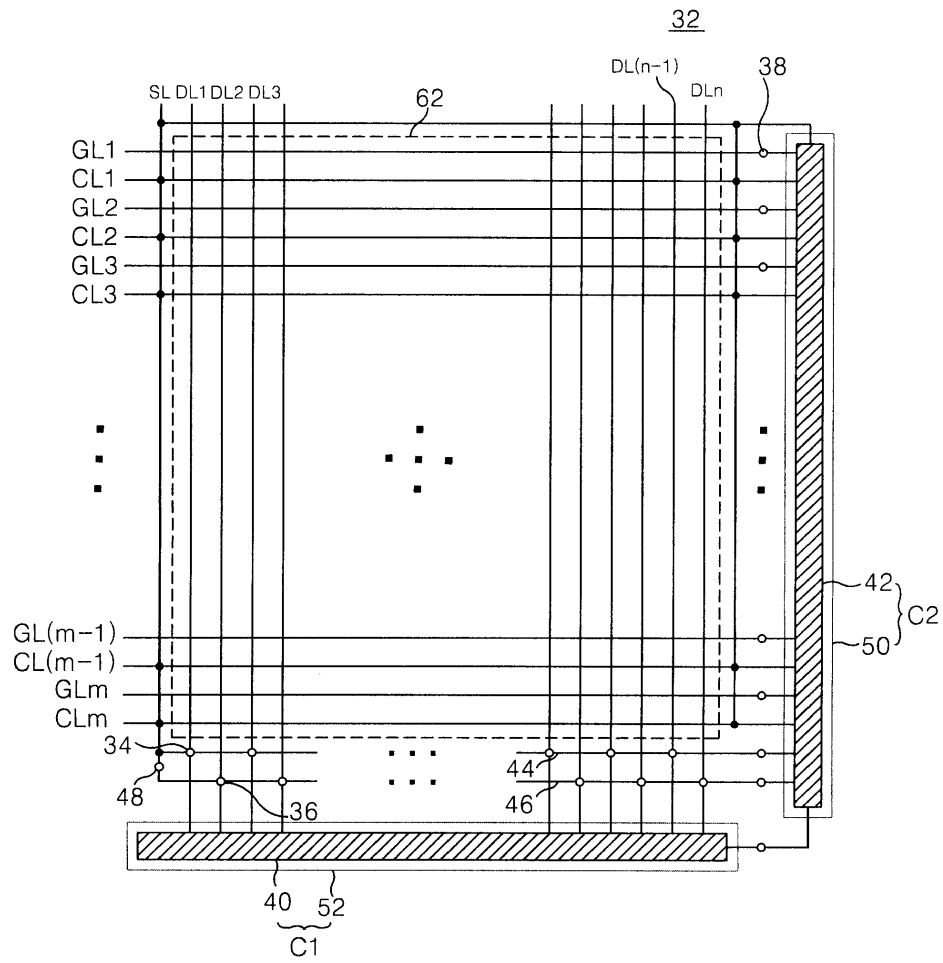
상기 절연막은 게이트절연막 및 보호막 중 적어도 어느 하나인 것을 특징으로 하는 액정표시소자.

도면

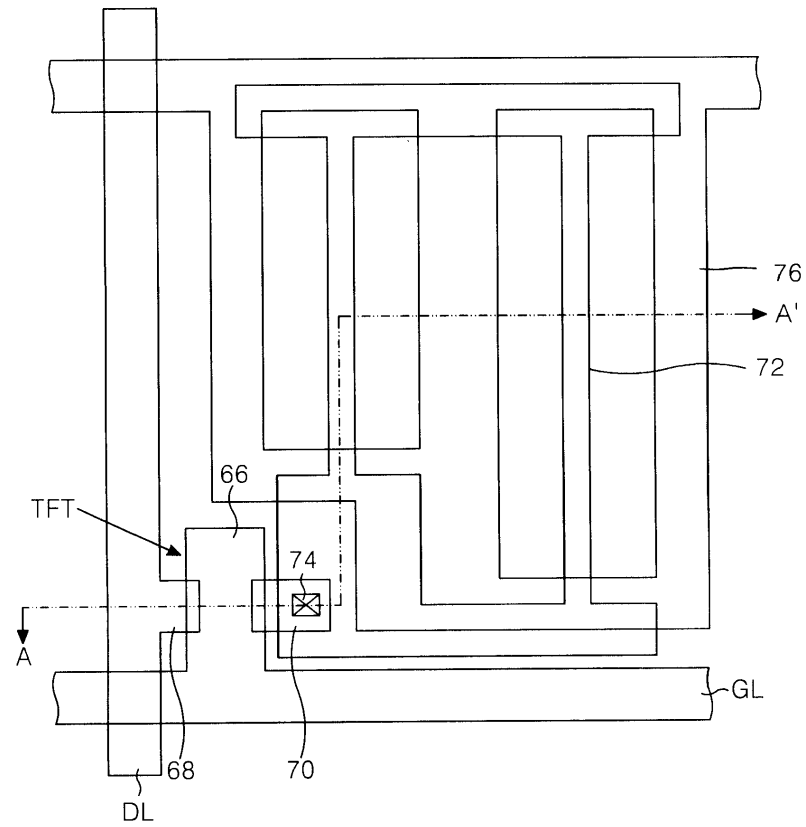
도면1



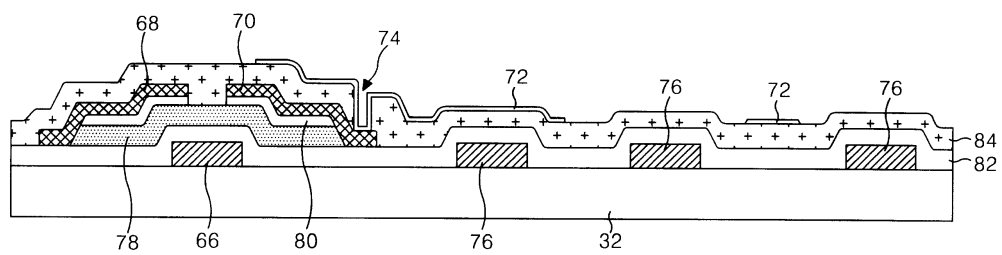
도면2



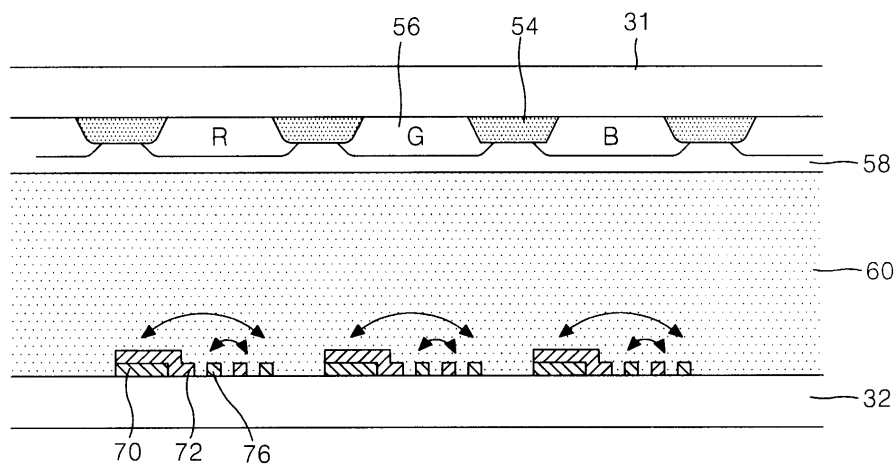
도면3



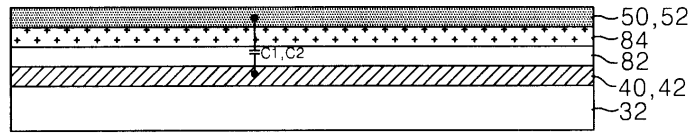
도면4



도면5



도면6



|                |                                             |         |            |
|----------------|---------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示元件                                      |         |            |
| 公开(公告)号        | <a href="#">KR100488156B1</a>               | 公开(公告)日 | 2005-05-06 |
| 申请号            | KR1020020088203                             | 申请日     | 2002-12-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                    |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                   |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                   |         |            |
| [标]发明人         | LEE DEOKWON<br>이덕원<br>PARK SOONYOUNG<br>박순영 |         |            |
| 发明人            | 이덕원<br>박순영                                  |         |            |
| IPC分类号         | G02F1/1345 G02F1/1368 G02F1/1362 G02F1/1343 |         |            |
| CPC分类号         | G02F1/136213 G02F1/134363                   |         |            |
| 代理人(译)         | KIM , YOUNG HO                              |         |            |
| 其他公开文献         | KR1020040061901A                            |         |            |
| 外部链接           | <a href="#">Espacenet</a>                   |         |            |

## 摘要(译)

液晶显示装置技术领域本发明涉及一种能够通过面内切换模式去除液晶面板中的残留DC分量来提高图像质量的液晶显示装置。本发明和用于将数据信号施加到所述薄膜晶体管的多条数据线，以及用于将栅极电压施加到薄膜晶体管的多条栅极线以及用于将公共电压施加到所述薄膜晶体管的多个公共电压线，所述包括第一显示tingba，即第一虚拟线被置于重叠短路棒和连接到所述数据线的绝缘膜之间以形成除了累积/除去残留在显示单元中的DC分量在显示单元的非显示部分第一旁路电容器；第二个显示tingba连接到栅极线中的至少一个和公共线，所述第二短接该第二包含叠加作为绝缘膜之间夹设一个虚设线，和用于存储/除去残留在显示单元中的DC分量并且在非显示部分中形成至少一个第二旁路电容器。 2

