(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G02F 1/136

(45) 공고일자 2005년03월10일
(11) 등록번호 10-0475108
(24) 등록일자 2005년02월24일

(21) 출원번호	10-2001-0083399	(65) 공개번호	10-2003-0053241
(22) 출원일자	2001년12월22일	(43) 공개일자	2003년06월28일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 추교섭
경상북도구미시황상동금봉타운501동201호

(74) 대리인 김용인
심창섭

심사관 : 임동재

(54) 액정표시장치 및 그 제조 방법

요약

본 발명은 박막트랜지스터의 구조를 변경하여 액정표시장치의 개구율을 향상시키기 위한 액정표시장치 및 그 제조 방법에 관한 것으로, 기판위에 일정한 간격을 갖고 일 방향으로 일정부분이 다른 부분보다 두꺼운 폭을 갖으면서 형성되는 게이트 라인, 화소 영역을 정의하기 위해 상기 게이트 라인에 수직한 방향으로 형성되는 데이터 라인, 상기 게이트 라인을 게이트 전극으로 하고 상기 데이터 라인을 소오스 전극으로 하여, 상기 게이트 라인과 데이터 라인이 교차되는 부분의 게이트 라인 중 다른 부분보다 두껍게 형성된 부분상에 형성되는 반도체층과, 상기 데이터 라인에 대향되는 부분의 상기 반도체층상에 걸쳐 상기 게이트 라인상에 형성되는 드레인 전극을 포함하여 이루어진 박막트랜지스터, 그리고 상기 화소 영역에 형성되는 화소 전극을 포함하여 구성됨을 특징이 있다.

대표도

도 4

색인어

액정표시장치, 박막트랜지스터, 액정표시장치 제조 방법, 박막트랜지스터 제조방법.

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치용 박막트랜지스터의 레이 아웃도

도 2는 본 발명 제 1 실시예에 따른 액정표시장치의 박막트랜지스터 레이 아웃도

도 3은 도 2의 Ⅰ-Ⅰ' 선상의 본 발명 제 1 실시예에 따른 액정표시장치의 박막트랜지스터 구조 단면도

도 4는 본 발명 제 2 실시예에 따른 액정표시장치의 박막트랜지스터 레이 아웃도

도 5는 도 4의 Ⅱ-Ⅱ' 선상의 본 발명 제 2 실시예에 따른 액정표시장치의 박막트랜지스터의 구조 단면도

도면의 주요 부분에 대한 부호의 설명

1 : 게이트 라인 2 : 데이터 라인

2b : 드레인 전극 3 : 반도체층

4 : 화소 전극 5 : 게이트 절연막

6 : 보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(liquid crystal display device)에 관한 것으로, 특히 박막트랜지스터의 구조를 변경하여 액정표시장치의 개구율을 향상시키기 위한 액정표시장치 및 그 제조 방법에 관한 것이다.

일반적으로 액정표시장치는, 크게, 박막트랜지스터와 화소 전극이 배열되는 하판과, 색상을 나타내기 위한 칼라필터 및 공통전극이 구성되는 상판, 그리고 상기 상하판 사이에 채워져 전압 인가 유무에 따라 액정의 광투과 상태가 변하여 화상이 표시되도록 하는 액정으로 구성된다.

즉, 상기 하판에는 일정 간격을 갖고 일 방향으로 복수개의 게이트 라인들이 배열되고, 매트릭스 형태의 화소 영역을 정의하기 위하여 상기 각 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 데이터 라인들이 배열되며, 상기 각 화소 영역에는 복수개의 화소 전극들이 형성되고, 상기 각 게이트 라인과 데이터 라인이 교차되는 부분의 각 화소 영역에 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 데이터 신호를 해당 화소 전극에 인가하는 복수개의 박막트랜지터가 형성된다.

그리고, 상판에는 상기 하판에 형성된 게이트 라인들, 데이터 라인들 및 박막트랜지스터들에 상응하는 부분에서 빛을 차단하기 위한 블랙 매트릭스층이 형성되고, 각 화소 영역에 상응하는 부분에 R, G, B 칼라 필터층이 형성되며, 상기 칼라 필터층위에 공통 전극이 형성된다.

이와 같이, 일반적인 액정표시장치에서는 박막트랜지스터가 형성된 부분에 빛을 차단하기 위한 블랙 매트릭스층이 형성되기 때문에 박막트랜지스터가 형성되는 부분에 상응하는 만큼의 개구율이 감소된다.

이와 같은 종래의 액정표시장치의 박막트랜지스터의 구성을 설명하면 다음과 같다.

도 1은 일반적인 액정표시장치의 박막트랜지스터 레이 아웃도이다.

즉, 기판(도면에는 도시되지 않음)위에 게이트 전극(1a)을 구비한 게이트 라인(1)이 일정한 간격을 갖고 일 방향으로 배열되고 전면에 게이트 절연막(도면에는 도시되지 않음)이 형성된다. 그리고, 상기 게이트 전극(1a) 상측의 게이트 절연막위에 섬 모양으로 박막트랜지스터의 활성층인 반도체층(3)이 형성되고, 화소 영역을 정의하기 위한 데이터 라인(2)이 소오스 전극(2a)을 구비하여 상기 게이트 라인(1)에 수직한 방향으로 일정한 간격으로 상기 게이트 절연막위에 배열된다. 이 때, 상기 게이트 전극(1a)과 소오스 전극(2a)은 상기 게이트 라인(1)과 데이터 라인(2)이 교차하는 부분의 화소 영역에 형성되며, 상기 소오스 전극(2a)이 상기 반도체층(3)위에 걸치도록 데이터 라인(2)으로부터 연장된다.

상기 소오스 전극(2a)의 반대편 반도체층(3)위에 드레인 전극(2b)이 형성되어 박막트랜지스터(TFT)가 구성된다. 그리고, 상기 드레인 전극(2b)에 연결되도록 상기 화소 영역에 화소 전극(4)이 형성된다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같은 일반적인 액정표시장치의 박막트랜지스터에는 다음과 같은 문제점이 있었다.

첫째, 화소 영역의 특정 면적에 박막트랜지스터가 형성되므로 액정표시장치의 개구율이 감소된다.

둘째, 소오스 전극이 데이터 라인으로부터 돌출되어 게이트 전극과 오버랩(overlap)되므로 게이트 전극과 소오스 전극간에 기생 커패시턴스의 변동 편차가 발생하고, 이로 인하여 액정표시장치의 플리커 현상을 완전히 해소하는데 한계가 있다.

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 소오스 전극을 데이터 라인으로부터 돌출되지 않도록 하고, 박막트랜지스터의 채널 영역이 게이트 라인상에 위치되도록하여 개구율을 향상시키고 게이트 전극과 소오스 및 드레인 전극간의 기생 커패시턴스(Cgs, Cgd)의 변동 편차를 감소시킬 수 있는 액정표시장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는, 기판위에 일정한 간격을 갖고 일 방향으로 일정부분이 다른 부분보다 두꺼운 폭을 갖으면서 형성되는 게이트 라인, 화소 영역을 정의하기 위해 상기 게이트 라인에 수직한 방향으로 형성되는 데이터 라인, 상기 게이트 라인을 게이트 전극으로 하고 상기 데이터 라인을 소오스 전극으로 하여, 상기 게이트 라인과 데이터 라인이 교차되는 부분의 게이트 라인 중 다른 부분보다 두껍게 형성된 부분상에 형성되는 반도체층과, 상기 데이터 라인에 대향되는 부분의 상기 반도체층상에 걸쳐 상기 게이트 라인상에 형성되는 드레인 전극을 포함하여 이루어진 박막트랜지스터, 그리고 상기 화소 영역에 형성되는 화소 전극을 포함하여 구성됨을 특징이 있다.

여기서, 상기 박막트랜지스터는 상기 게이트 라인을 게이트 전극으로 하고 상기 데이터 라인을 소오스 전극으로 하여, 상기 게이트 라인과 데이터 라인이 교차하는 부분의 상기 게이트 라인상에 형성되는 반도체층과, 상기 데이터 라인에 대향되는 부분의 상기 반도체층에 걸쳐 상기 게이트 라인 상에 형성되는 드레인 전극을 포함하여 구성됨이 바람직하다.

상기 반도체층은 상기 데이터 라인 하측에도 형성됨이 바람직하다.

상기 드레인 전극에서는 화소 전극이 연장되어 연결됨이 바람직하다.

삭제

상기 게이트 라인은 상기 박막트랜지스터의 게이트 전극이 돌출되지 않고, 상기 데이터 라인에는 상기 박막트랜지스터의 소오스 전극이 돌출되지 않음이 바람직하다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조 방법은, 기판에 소정부분이 다른 부분보다 두꺼운 폭을 갖는 게이트 라인을 형성하는 단계와, 상기 게이트 라인이 형성된 기판 전면에 게이트 절연막을 증착하는 단계와, 상기 다른 부분보다 두껍게 형성된 게이트 라인 상층의 상기 게이트 절연막위에 섬모양으로 반도체층을 형성하는 단계와, 상기 게이트 라인과 수직한 방향으로 상기 반도체층의 일측면에 오버랩되도록 상기 게이트 절연막위에 데이터 라인을 형성하고 상기 반도체층의 타측면에 오버랩되도록 상기 게이트 라인 상측에 드레인 전극을 형성하는 단계를 포함하여 이루어짐을 특징이 있다.

여기서, 상기 드레인 전극에 콘택 홀을 갖는 보호막을 기판 전면에 형성하는 단계와, 상기 콘택홀을 통해 상기 드레인 전극과 연결되도록 화소 영역에 화소 전극을 형성하는 단계를 더 포함함이 바람직하다.

이와 같은 특징을 갖는 본 발명에 따른 액정표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

도 2는 본 발명 제 1 실시예에 따른 액정표시장치의 박막트랜지스터 레이 아웃도이고, 도 3은 도 2의 Ⅰ-Ⅰ' 선상의 본 발명 제 1 실시예에 따른 액정표시장치의 박막트랜지스터 구조 단면도이다. 또한, 도 4는 본 발명 제 2 실시예에 따른 액정표시장치의 박막트랜지스터 레이 아웃도이고, 도 5는 도 4의 Ⅱ-Ⅱ' 선상의 본 발명 제 2 실시예에 따른 액정표시장치의 박막트랜지스터의 구조 단면도이다.

본 발명 제 1 실시예의 액정표시장치의 박막트랜지스터는, 도 2 및 도 3에 도시된 바와 같이, 유리 기판(10)위에 일정한 간격을 갖고 일 방향으로 게이트 라인(1)이 형성된다. 그리고, 상기 게이트 라인을 포함한 기판 전면에 게이트 절연막(5)이 형성되고, 상기 게이트 라인의 소정 영역(박막트랜지스터가 형성될 영역)위의 게이트 절연막(5)위에 섬 모양의 박막트랜지스터 활성층인 반도체층(3)이 형성된다.

상기 게이트 라인(1)에 수직한 방향으로 상기 게이트 라인(1) 방향의 반도체층 일측 부분과 오버랩되도록 상기 게이트 절연막(5)위에 데이터 라인(2)이 형성되고, 상기 데이터 라인(2)에 대향된 부분의 반도체층(3) 타측 부분 및 게이트 절연막(5)에 걸쳐 드레인 전극(2b)이 형성된다.

그리고, 상기 드레인 전극(2b)상에 콘택 홀을 갖는 보호막(6)이 상기 데이터 라인(2) 및 드레인 전극을 포함한 기판(10) 전면에 형성되고, 상기 콘택 홀을 통해 상기 드레인 전극(2b)에 전기적으로 연결되도록 화소 영역에 화소 전극(4)이 형성된다.

상기 도 2에서 알 수 있는 바와 같이, 본 발명의 액정표시장치의 박막트랜지스터는 데이터 라인(2)으로부터 별도의 박막트랜지스터의 소오스 전극이 돌출되지 않으며, 상기 게이트 라인(1)으로부터 별도의 게이트 전극이 돌출되지 않는다. 단, 박막트랜지스터가 형성될 부분에서 상기 게이트 라인(1)의 폭이 다른 부분에 비해 더 넓게 형성된다.

한편, 본 발명 제 2 실시예의 액정표시장치의 박막트랜지스터는, 도 4 및 도 5에 도시된 바와 같이, 유리 기판(10)위에 일정한 간격을 갖고 일 방향으로 게이트 라인(1)이 형성된다. 그리고, 상기 게이트 라인을 포함한 기판 전면에 게이트 절연막(5)이 형성되고, 상기 게이트 라인의 소정 영역(박막트랜지스터가 형성될 영역)위와 데이터 라인이 형성될 부분의 게이트 절연막(5)위에 반도체층(3)이 형성된다.

그리고, 상기 게이트 라인(1)에 수직한 방향의 상기 반도체층(3)위에 데이터 라인(2)이 형성되고, 상기 데이터 라인(2)에 대향된 부분의 반도체층(3) 타측 부분 및 게이트 절연막(5)에 걸쳐 드레인 전극(2b)이 형성된다.

그리고, 상기 드레인 전극(2b)상에 콘택 홀을 갖는 보호막(6)이 상기 데이터 라인(2) 및 드레인 전극을 포함한 기판(10) 전면에 형성되고, 상기 콘택 홀을 통해 상기 드레인 전극(2b)에 전기적으로 연결되도록 화소 영역에 화소 전극(4)이 형성된다.

여기서, 상기 도 4에서 알 수 있는 바와 같이, 상기 데이터 라인(2)은 상기 반도체층(3)보다 더 넓은 폭으로 형성되며, 마찬가지로, 본 발명의 액정표시장치의 박막트랜지스터는 데이터 라인(2)으로부터 별도의 박막트랜지스터의 소오스 전극이 돌출되지 않으며, 상기 게이트 라인(1)으로부터 별도의 게이트 전극이 돌출되지 않는다. 단, 박막트랜지스터가 형성될 부분에서 상기 게이트 라인(1)의 폭이 다른 부분에 비해 더 넓게 형성된다. 그리고, 데이터 라인(2) 하측에 형성된 반도체층(3)과 박막트랜지스터 형성 영역에 형성되는 반도체층(3)을 일체로 형성된다.

이와 같은 구성을 갖는 본 발명에 따른 액정표시장치의 박막트랜지스터의 제조 방법을 설명하면 다음과 같다.

즉, 기판(10)에 금속층 또는 전도성 반도체층을 증착하고 선택적으로 제거하여 게이트 라인(1)을 형성한다. 이 때, 상기 게이트 라인(1)은 별도로 돌출되는 게이트 전극이 형성되지 않으며, 단지 박막트랜지스터를 형성할 부분의 게이트 라인(1) 폭이 다른 부분 보다 더 넓게 형성된다.

그리고 상기 게이트 라인(1)이 형성된 기판(10) 전면에 절연막(5)을 증착하고, 상기 게이트 절연막(5)위에 반도체층(3)을 증착한 후, 상기 반도체층(3)을 선택적으로 제거하여 박막트랜지스터의 활성영역을 형성한다. 이 때, 본 발명 제 1 실시예에서는 상기 반도체층(3)이 박막트랜지스터를 형성할 부분의 게이트 라인(1) 상측에 섬 모양으로 남도록 하고, 상기 본 발명 제 2 실시예에서는 상기 반도체층(3)이 박막트랜지스터를 형성할 부분의 게이트 라인(1) 상측 및 데이터 라인이 형성될 부분의 게이트 절연막위에 남도록한다.

그리고 상기 기판 전면에 금속층을 증착하고 상기 금속층을 선택적으로 패터닝하여 데이터 라인(2) 및 드레인 전극(2b)을 형성한다. 이 때, 상기 데이터 라인(2)에는 돌출되는 소오스 전극이 형성되지 않고, 데이터 라인(2)은 상기 반도체층(3)보다 더 넓은 폭으로 형성되며, 상기 드레인 전극(2b)은 화소 영역에 형성되지 않고 게이트 라인(1) 상측에 형성된다.

전면에 보호막(6)을 증착하고, 상기 드레인 전극(2b)에 콘택 홀을 형성한 다음, 상기 콘택 홀을 통해 상기 드레인 전극(2b)에 연결되도록 전면에 투명전극(ITO)을 증착하고 화소 영역에만 남도록 상기 투명 전극을 패터닝하여 화소 전극(4)을 형성한다.

발명의 효과

이상에서 설명한 바와 같은 본 발명의 액정표시장치 및 그 제조방법에 있어서는 다음과 같은 효과가 있다.

첫째, 박막트랜지스터가 화소 영역에 형성되지 않고 게이트 라인과 데이터 라인이 교차되는 부분의 게이트 라인 상에 형성되므로 액정표시장치의 개구율을 최대화 할 수 있다.

둘째, 상기 게이트 라인 및 데이터 라인에서 별도로 게이트 전극 및 소오스 전극이 돌출되지 않으므로, 박막트랜지스터의 게이트 전극과 소오스 및 드레인 전극 간의 기생커패시턴스의 변동 편차를 없앨 수 있기 때문에 플리커(Flicker) 특성이 개선된다.

(57) 청구의 범위

청구항 1.

기판위에 일정한 간격을 갖고 일 방향으로 일정부분이 다른 부분보다 두꺼운 폭을 갖으면서 형성되는 게이트 라인;

화소 영역을 정의하기 위해 상기 게이트 라인에 수직한 방향으로 형성되는 데이터 라인;

상기 게이트 라인을 게이트 전극으로 하고 상기 데이터 라인을 소오스 전극으로 하여, 상기 게이트 라인과 데이터 라인이 교차되는 부분의 게이트 라인 중 다른 부분보다 두껍게 형성된 부분상에 형성되는 반도체층과, 상기 데이터 라인에 대향되는 부분의 상기 반도체층상에 걸쳐 상기 게이트 라인상에 형성되는 드레인 전극을 포함하여 이루어진 박막트랜지스터; 그리고

상기 화소 영역에 형성되는 화소 전극을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 반도체층은 상기 데이터 라인 하측에도 형성됨을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 드레인 전극에서는 화소 전극이 연장되어 연결됨을 특징으로 하는 액정표시장치.

청구항 5.

삭제

청구항 6.

제 1 항에 있어서,

상기 게이트 라인은 상기 박막트랜지스터의 게이트 전극이 돌출되지 않고, 상기 데이터 라인에는 상기 박막트랜지스터의 소오스 전극이 돌출되지 않음을 특징으로 하는 액정표시장치.

청구항 7.

기판에 소정부분이 다른 부분보다 두꺼운 폭을 갖는 게이트 라인을 형성하는 단계와,

상기 게이트 라인이 형성된 기판 전면에 게이트 절연막을 증착하는 단계와,

상기 다른 부분보다 두껍게 형성된 게이트 라인 상층의 상기 게이트 절연막위에 섬모양으로 반도체층을 형성하는 단계와,

상기 게이트 라인과 수직한 방향으로 상기 반도체층의 일측면에 오버랩되도록 상기 게이트 절연막위에 데이터 라인을 형성하고 상기 반도체층의 타측면에 오버랩되도록 상기 게이트 라인 상측에 드레인 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

청구항 8.

제 7 항에 있어서,

상기 드레인 전극에 콘택 홀을 갖는 보호막을 기판 전면에 형성하는 단계와,

상기 콘택홀을 통해 상기 드레인 전극과 연결되도록 화소 영역에 화소 전극을 형성하는 단계를 더 포함함을 특징으로 하는 액정표시장치의 제조 방법.

청구항 9.

제 7 항에 있어서,

상기 게이트 라인은 별도로 돌출되는 박막트랜지스터의 게이트 전극이 형성되지 않으며, 상기 박막트랜지스터가 형성될 부분의 폭이 다른 부분 보다 더 넓게 형성됨을 특징으로 하는 액정표시장치의 제조 방법.

청구항 10.

제 7 항에 있어서,

상기 반도체층이 박막트랜지스터를 형성할 부분의 게이트 라인 상측 및 데이터 라인이 형성될 부분의 게이트 절연막에 형성됨을 특징으로 하는 액정표시장치의 제조 방법.

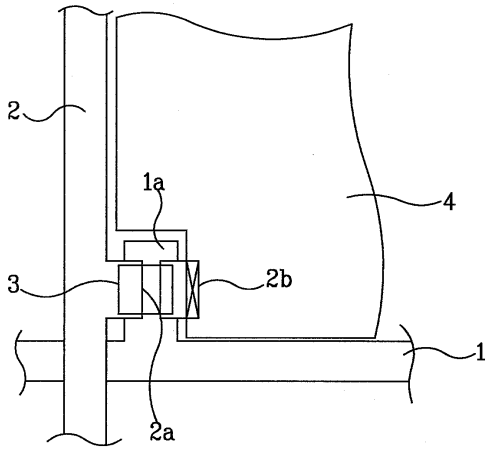
청구항 11.

제 7 항에 있어서,

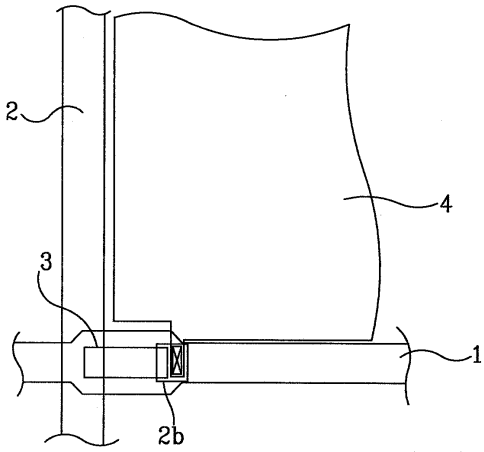
상기 데이터 라인은 별도의 돌출된 소오스 전극을 구비하지 않음을 특징으로 하는 액정표시장치의 제조 방법.

도면

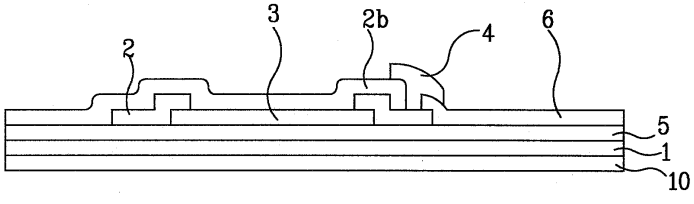
도면1



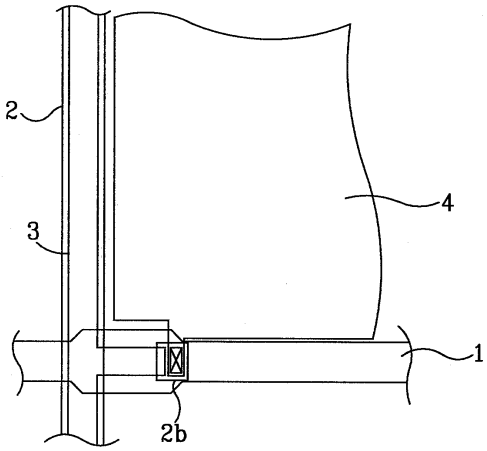
도면2



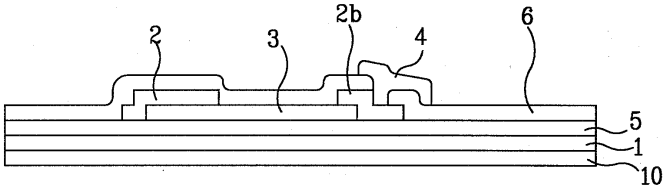
도면3



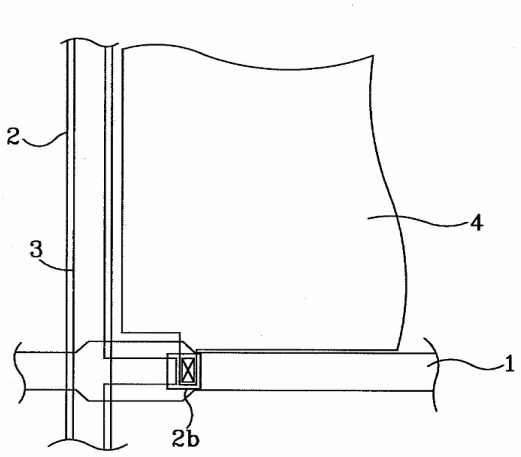
도면4



도면5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100475108B1	公开(公告)日	2005-03-10
申请号	KR1020010083399	申请日	2001-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOO KYOSEOP		
发明人	CHOO,KYOSEOP		
IPC分类号	G02F1/1362 G02F1/136 G02F1/1368		
CPC分类号	G02F1/136227 G02F2201/40 G02F1/1368		
代理人(译)	金勇 新昌		
其他公开文献	KR1020030053241A		
外部链接	Espacenet		

摘要(译)

本发明作为涉及一种液晶显示装置及其制造通过改变薄膜晶体管的结构中，具有在基板上的预定距离，以提高液晶显示装置的开口率的方法是在一个方向上的部分gateu比其他部分更厚的宽度要形成的栅极线，在栅极线的与数据线交叉的部分处的栅极线的一部分上，在垂直于线的方向上形成的数据线，用作栅电极的栅极线和用作源电极的数据线，形成在半导体层上的半导体层，一种薄膜晶体管，包括形成在半导体层上方的栅极线上的漏电极，以及形成在像素区域中的像素电极。 4 指数方面 液晶显示装置，薄膜晶体管，液晶显示装置的制造方法，薄膜晶体管方法。