

(19)
(12)

(KR)
(B1)

(51) 。 Int. Cl.7
G09G 3/36

(45)
(11)
(24)

2003 08 09
10-0394055
2003 07 25

(21) 10-2001-0029679
(22) 2001 05 29

(65)
(43)

2002-0003810
2002 01 15

(30) 2000-158365 2000 05 29 (JP)
2000-387063 2000 12 20 (JP)

(73) 가 가 1 1 1

(72) 1-9-2가 가

(74)

:

(54)

6 6 , D/A 1/6 , 1 ,
, 가 , 가 V , 1 ,

5

, , , ,

1
 2
 3 2
 4 A
 5
 6a V 1 6b HV
 7 5 D/A (7)
 8 5
 9 2
 10
 11
 12
 13
 14
 15
 16
 17 (5)
 18 17
 19 NOR
 20 NOR NAND
 21 NOR

< >
 1 :
 2 :
 3 :
 4 :
 5, 5a :
 6 :
 7 : D/A
 8 :
 11 : ()
 12 : ()
 13, 17, 27, 30 :
 14 :
 15 :
 16 :
 21 :
 22 :
 23 : ()
 24 :
 25 : ()
 26 :
 28 :
 31, 32 :
 35, 36, 37, 38 :
 47, 48 :
 57, 58 : NAND
 67, 68 : NOR
 80 :
 81, 82 : CMOS
 83, 85, 86 : NMOS
 84 : PMOS
 87, 88 : CMOS
 91, 92, 93, 94 :
 100 : (TFT)
 101 :
 120 :
 121, 122 :
 123 : (1)

124 : (2)
 125, 126 : (3)
 127 : NOR (1)
 128 : NOR (2)
 129 :
 131, 132 : PMOS
 133, 134 : NMOS

TFT , TFT ,
 TFT 가 , 가
 1 ,
 1 ,
 (5) , 1 (6) , D/A (7) (4) , L ,
 L 가 (4)
 (5) 1 가 1
 (6) (5)가 (5)
 (6) (5)
 (5)가 , D/A (7)
 1 , (5), (6) D/A (7)
 가 , 가
 (5), (6) D/A (7) 1 가 , 가
 2 (5) , CMOS (81)
 ((82) A) CMOS (82) , CMOS (81) ((81) B) CMOS (81)
 (82) NMOS (83) V_{SS} , PMOS
 (84) V_{DD}
 (80) NMOS (85) A , /
 NMOS (86) B
 (11) PMOS (84) NMOS (85, 86)
 , A CMOS (87)가, B CMOS (88)가 , CMOS (87)
 (6)

< >

TFT가

(1)

5 D/A 1 5 6 D/A

가 가 6a 가 HV

1 V 6b , V

5 (1) ,

(2) , (3) .

(1)가 143×176 144×3=432 . RGB

3 (1) TFT(Thin F

ilm Transistor : 100)가 . TFT(100) G1 Gn , TFT(100)

S1 Sm , TFT(100) (101)

(2) (4) , L

(S-Latch, 1 : 5) , (5) (

6) (L-Latch, 2 : 6) , D/A (7) ,

(8) .

4

(8) D/A (7) 6 ASW1 ASW6 .

ASW1 ASW6 ASW1 ASW6

SW1 SW6 ASW1 ASW6 , D/A (7)

7 5 D/A (7) , D/A (7) 4

NAND G1 G16 , NAND SW1 SW16 ,

(6) IV1 IV4 SW1 SW16 NAND 가 가 ,

(8) .

NAND G1 G16 4 IV1 IV4

가 NAND

8 5 L ,

(4) , (5) (6)

SW1 SW6, D/A (7) 1

가 8 5 (4) . (4)

(5) , (4)가 가 ,

L 6 가 .

(1) (6) 가 L

(1) S1 S7 S13 ... S427 가 L

(8 t1). (t

(2) S3 S9 S15 ... S429 가 (t

3). 가 (

(3) S5 S11 S17 ... S431 가 (

t5).

(4) , S2 S8 S14 ... S428 가 (t
7).
(5) , S4 S10 S16 ... S430 가 (t9).
(6) , S6 S12 S18 ... S432 가 (t11).
(1) (6) 1 6 6 가 , t13 가 .
, 1
(5) L
(5) , S1, S7, S13, ... S427 (t1
t2), S3, S9, S15, ... S429 (t3 t4),
S5, S11, S17, ... S431 (t5 t6), S2, S8, S14, ... S4
28 (t7 t8), S4, S10, S16, ... S430
(t9 t10), S6, S12, S18, ... S432
(t11 t12).
(6) (5)가 1 (5)
(t2, t4, t6, t8, t10, t12). , 1 6 (6)
, (6)가 (5) ()
(6) D/A (7) . D/A
(7) 1 1 , 8 n .
D/A (7) 1 (8) .
(8) SW1 SW6
SW1 SW6 SW1 SW3 SW5 SW2 SW4 SW6
S1, S7, ... S427 S3, S9, ...S429 S5, S11, ... S431 S2, S8, ... S428 S4, S10, ... S430 S6, S12, ... S432
, (2) 1 , 1 D/A (7) , 6
a V V , 6a ,
, D/A (7) ,
. 1 CRT , 60 , (5), (6) D/A
(7) 1/6 (1) (2) . (2)
, 1 , 가 , 가 , V ,
, , 1 , (32)
, , n , (n+1)
, L n (5), (6) D/A (7)가 (n+1)
, (5), (6) D/A (7) n 1 .
(2)
2 1 , 16 QCIF (144×176)
9 2 (2) (4) , (2) (5a) ,
2 (6) , (11) , (12) .
(L/S 1 (4) 14)가 XSTU, /XSTU, XCKU, /XCKU (13)
xst xclk (14) XSTU, XCKU

(4) (13) , 10 PMOS
 Q1, Q2 NMOS Q3, Q4 (13) 0 2.5V
 (14) , 11
 IN, /IN 0 10V OUT, /OUT
 11 (14) PMOS Q5 Q9 NMOS Q10 Q14 , NMOS
 Q11, Q14 , NMOS Q12, Q13 NMOS Q13, Q14
 IN, /IN
 0 10V 가
 (4) , 12
 (5a) 4 가 (5a)
 [12 (5a)] (4)
 (15) (6) LOAD, /LOAD (5a)
 LOAD, /LOAD (4)
 LOAD, /LOAD (4) (16)
 LOAD, /LOAD (17)가
 (16) , (4)
 가
 (11) , 13 (21) , (21)
 (, 2 : 22) , (22)
 (, : 23)
 (11) 13 가 (6)
 13 가
 OS NMOS Q21 NMOS Q24 Q22 , 14 10V (-5)V 10V (-5)V PMOS Q23
 NMOS (-5) 10V (-5) 10V
 (23)
 (24) (24) V1 V16 15 (23)
 : 25) (30)
 (24) 2 V_{ref1} , V_{ref2} 가 , (2)
 (24) (23) 가 (25) (24)
 4) (24) (23)
 13 16 (23)
 (12) , 15 (25)
 (11) 16 (23) 6 (25)가 6
 (25) 6 (11) 16 (23) 6
 (25) sw1 sw6 (26) SW1 SW6 (27)
 (28) (25)
 (28) , 16 0 2.5V
 (-5) 10V 16 (31) 11
 PMOS Q25, Q28 NMOS Q26, Q27, Q29, Q30
 (32) 가 (32) (31)
 0 10V (-5) 10V sw1 sw6 6
 (12)
 6 15 가 , (1) , 15 , RGB
 , 6 가

, 2 , 2 가 6 6 .
 (5a), 1 (6) (11) (2)
 (23) (14, 22, 28) 가
 (23) (24) 2 16 (24)
 (25) (24) (24) (23) 가
 (3)
 3 (5) V_{DD} V_{SS} 가
 17 (5) 3 17 (5)
 : 123, 124) , V_{DD} (1 2 : 121, 122) (120) ,
 : 125, 126) , (120) (1 2 (3
 PMOS (124 126) : 127, 128) (120) NOR (3
)가 가 (4) NMOS (123)
 NOR (127, 128) PMOS (129) 가
 (4) (131, 132) NMOS (133, 134) ,
 가 , NOR (127, 128) (133)가 (131)가
 가 (131)가 (133)가 (4)
 가 NOR (127, 128) (131)가
 t1 17 (4) 18 가 , NMOS (123) P
 MOS (124)가 , NMOS (125) NMOS (126)가 ,
 가 A B
 5) NMOS t2 (126)가 가 (4) , NMOS (123) PMOS , NMOS (12)
 가 (120) A, B (5) , (120) V_{DD} , V_{SS} 가
 V_{High} 가 V_{DD} , V_{Low} 가 V_{SS} , (120)
 t2 A, B
 NOR (127, 128) , t1 t2 , 0-3V 가
 (11) , NOR (127, 128) PMOS (131)
 (5) , V_{DD} V_{SS} 가 가 ,
 , 17 (5) A B NOR (127, 128) , A, B
 (5) 가 t2
 t2 , (4) , NOR (127, 128)
 , 2 (5) 가 (6)
 , (5) 가
 V_{DD} V_{SS} 가
 17 NOR (127, 128) (5) , NOR (127,
 (4)가 , V_{DD} V_{SS} 가 , 19 (47, 48)
 가 가
 19 (47, 48) V_{DD} V_{SS} 가 4 (35 38)
 (35, 38) (4) 가 가 (47, 48)
 (35, 38)가 , 가

(35, 38)가 (47, 48) (35, 38) (47, 48) (47, 48) 가
 (47, 48) (57, 58) (91 94) 20 NAND (57, 58) (91) (57, 58) 20
 NAND (57, 58) 가 (91) (5) (4) (4) (4) (4) , NA
 ND (57, 58) 가 (91)가 (94)가 (4) 가
 가 (5) (94)가 (11)
 가 t1 t2 가
 21 NOR (67, 68) t3 t4 t3
 (133)가 t3 t4 (131)가 t3 (5) t3
 17 (5) (120)
 (127, 128) 17 (125, 126) NOR
 가 144x176 가 6 (11) 가

D/A , 1 , 2
 가 (2) 2
 가

(57)

1. 1 1 1
 2 2 2
 D/A

2.

1

3.
 2
 1 , 2 , D/A
 , D/A

4.
 2 , n(n 2) , 1 , 2 D/A
 n/m(2 m < n/2 , n/m)
 D/A m

5.
 4
 1 , , m , 1

6.
 1 , , 1 , 1

7.
 1 , D/A , 2
 2 D/A 2 , 2

8.
 1 , , , ,
 D/A , , , ,
 2 , , , ,

9.
 1 , , , ,
 D/A , 2 , , ,
 1 2 , , , ,
 1 2 , , , ,

10.
 9 , , , ,
 2 , , , ,

11.
 1 , , , ,
 1 2 , , , ,

12.
 1 , , , ,
 , 1 , 1 , 1

12 13.
D/A ,

가 ,

14.

1 2

1 2

1 2
3 ,

1 2

1 2

3 ,

가

15.

14

16.

15

1

1

2

2

17.

16

1 2

NAND , NOR

18.

15

가

2

가

1 ,

가

1

1

2 가

가

2

2

2 가

19.

18

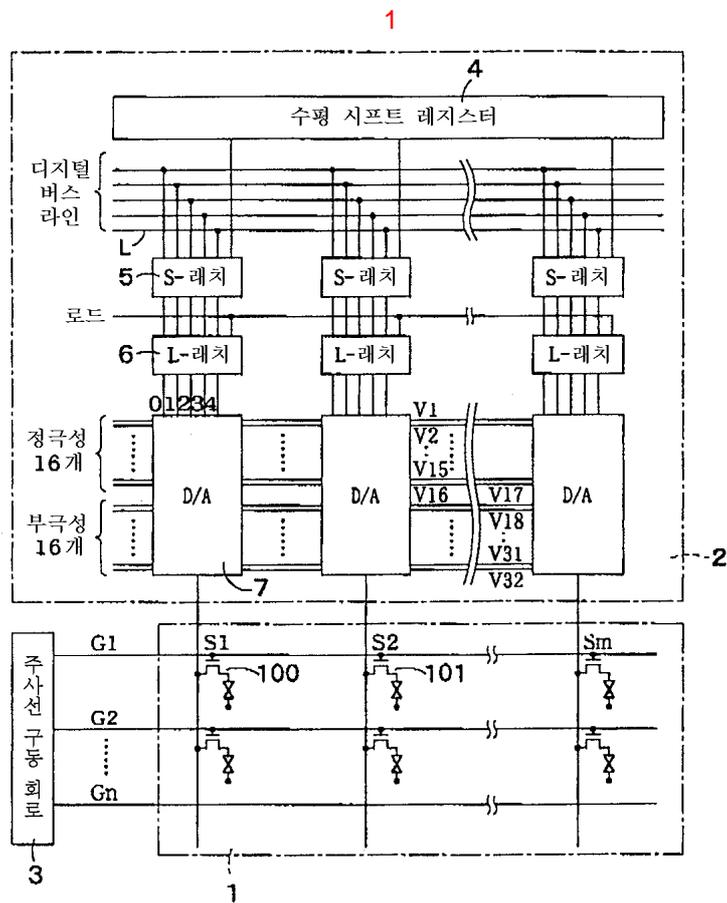
1 2

NAND , NOR

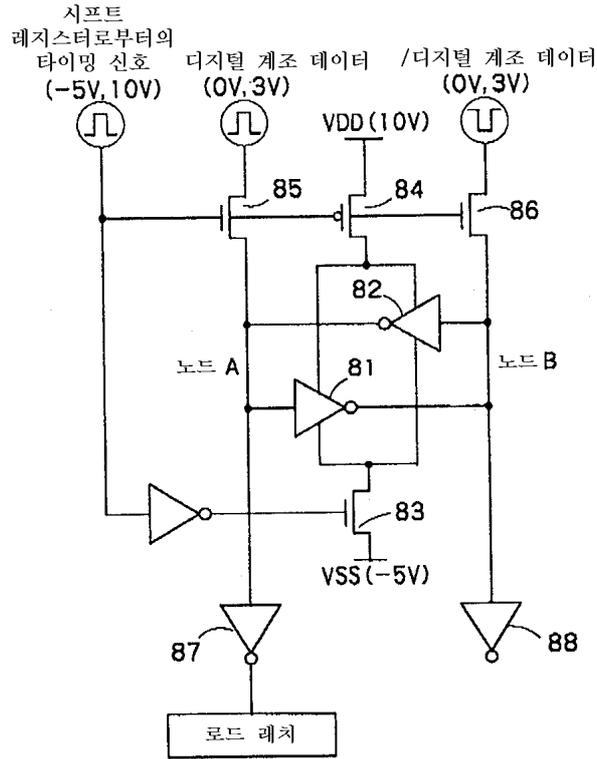
20.

D/A

1 2
 1 2
 1 2
 3
 21.
 20
 1
 2
 1 2
 1 2
 1 2

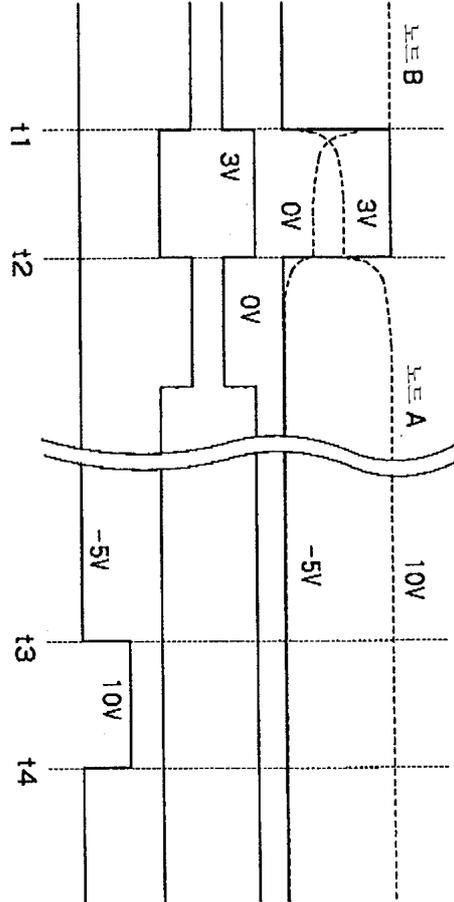


2

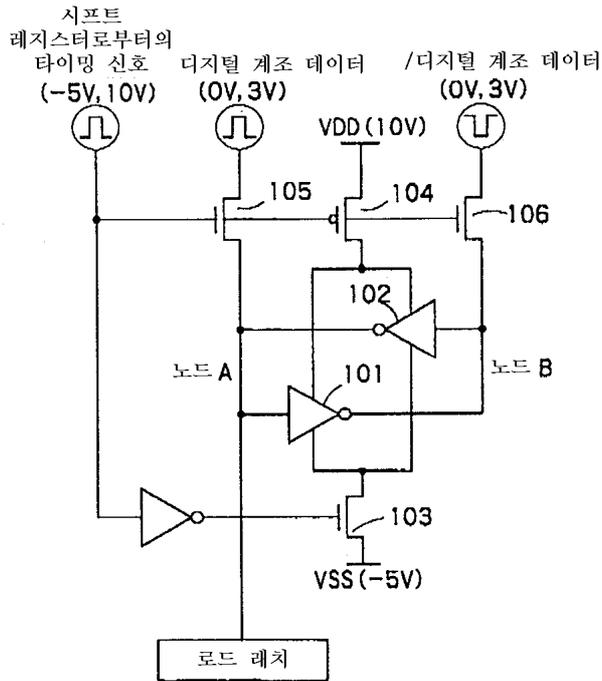


3

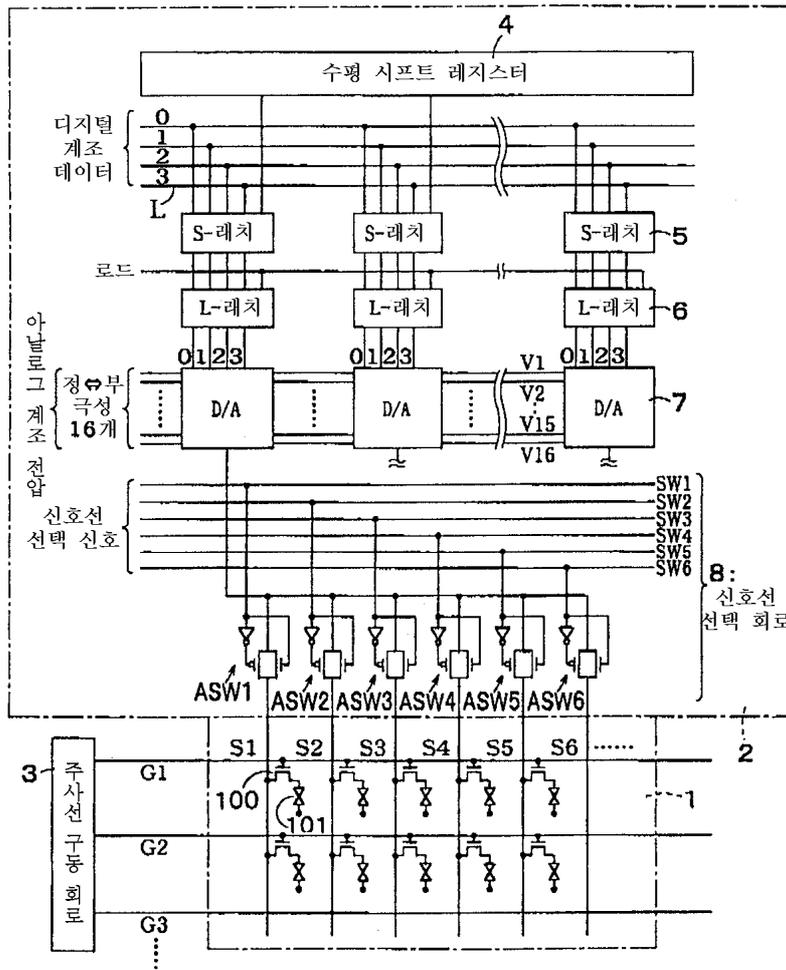
시프트 레지스터로부터의 타이밍 신호
 디지털 계조 데이터 / 디지털 계조 데이터
 로드 신호



4

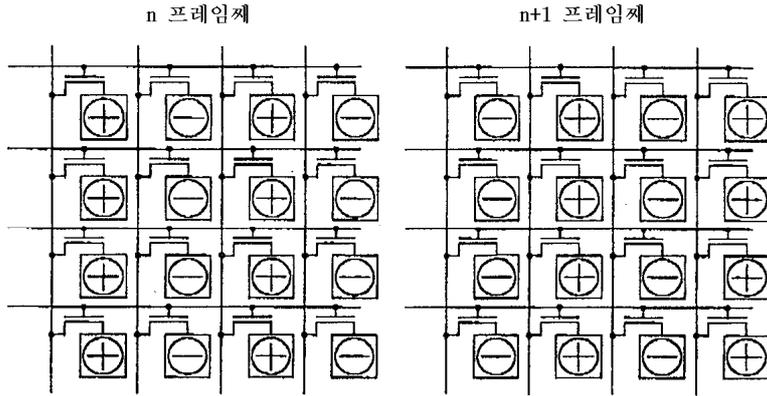


5



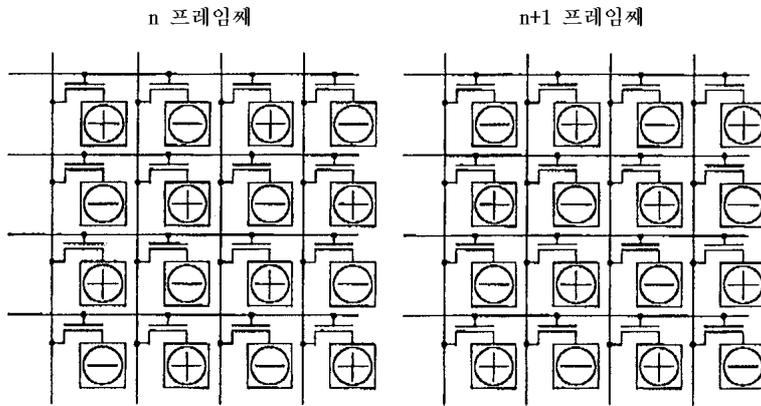
6a

V 반전 구동

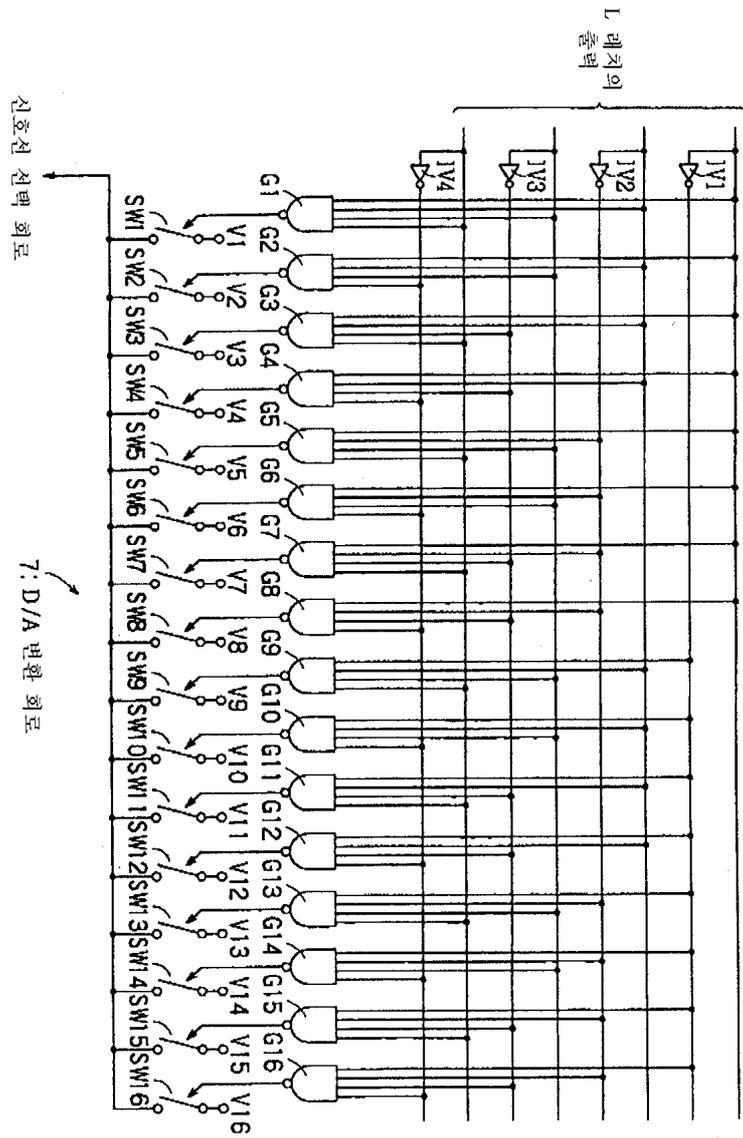


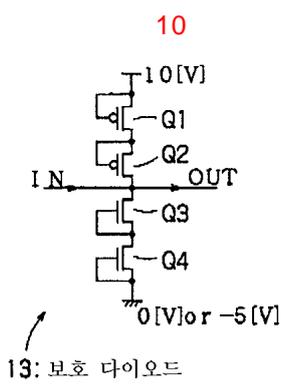
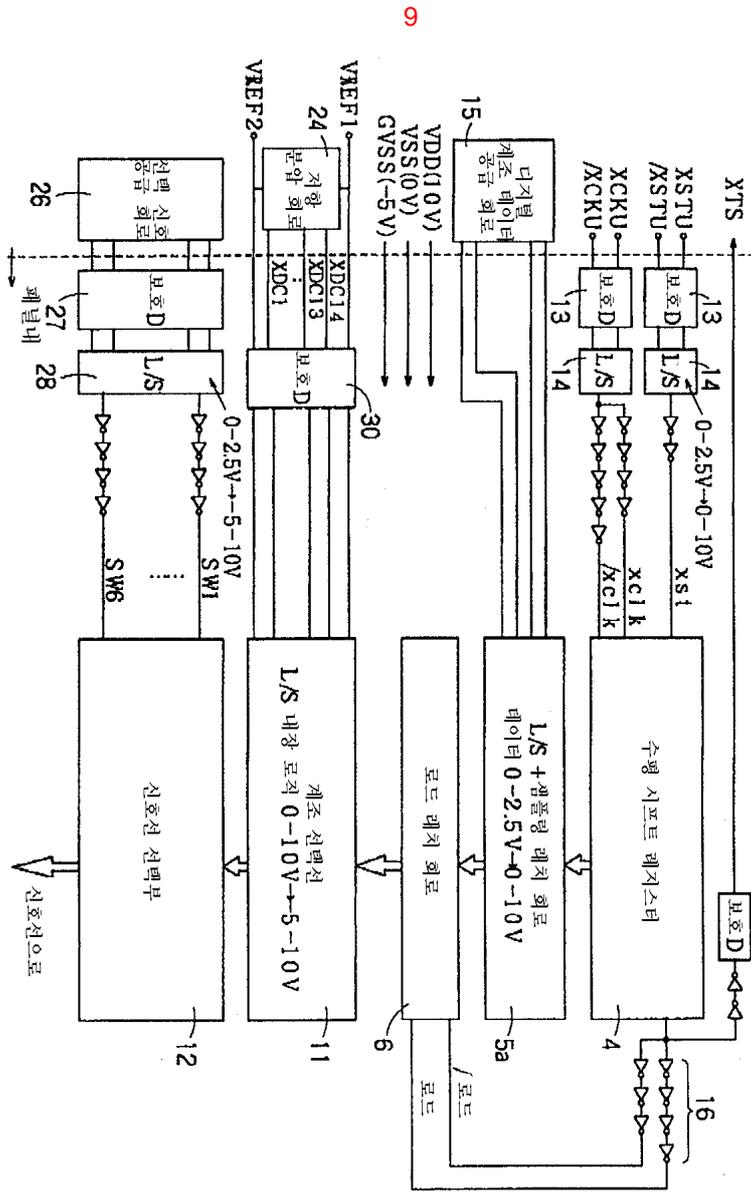
6b

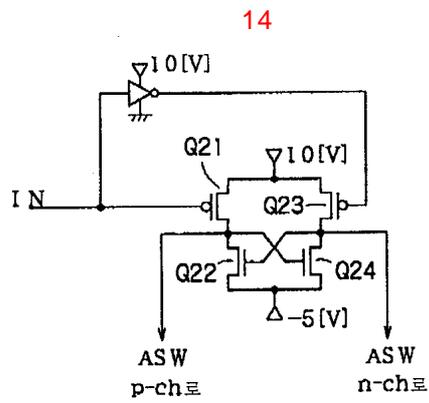
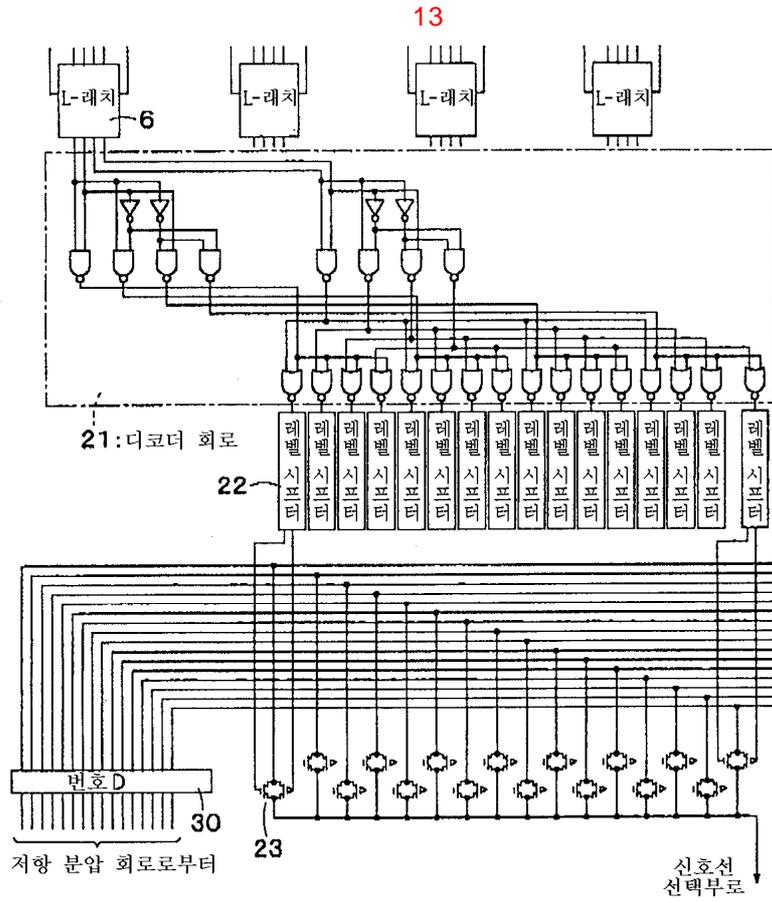
HV 반전 구동



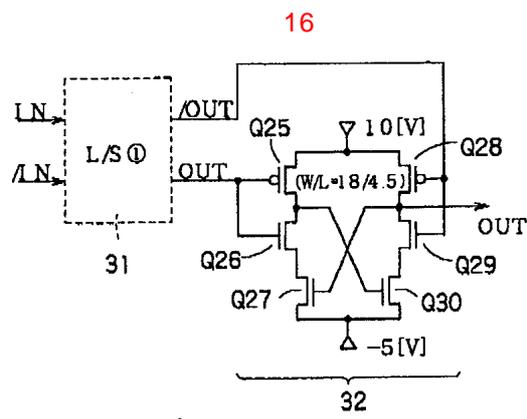
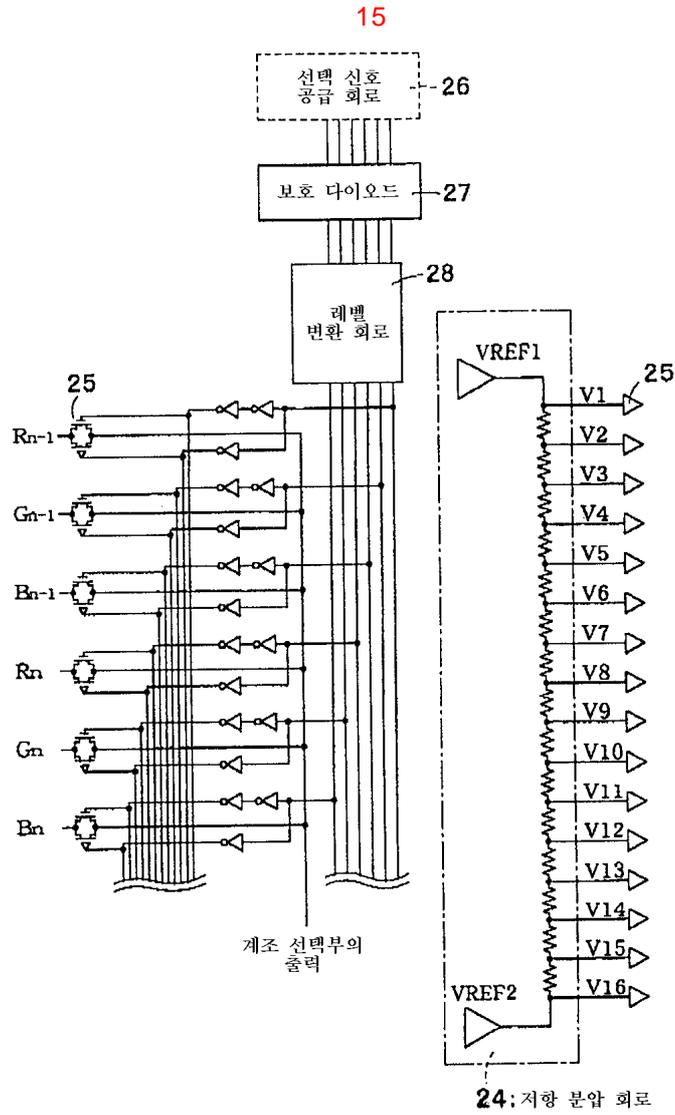
7







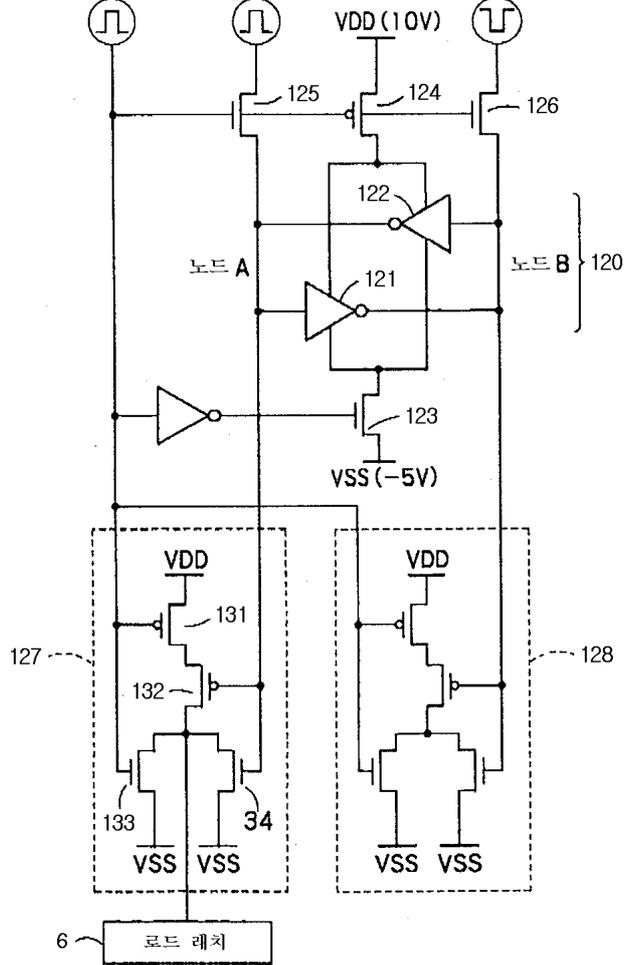
22: 레벨 변환 회로



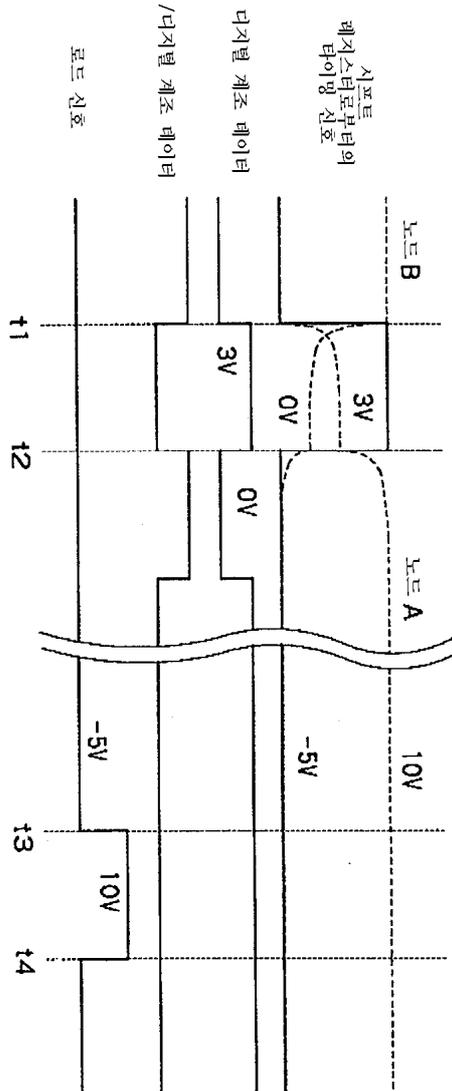
28: 레벨 변환 회로

17

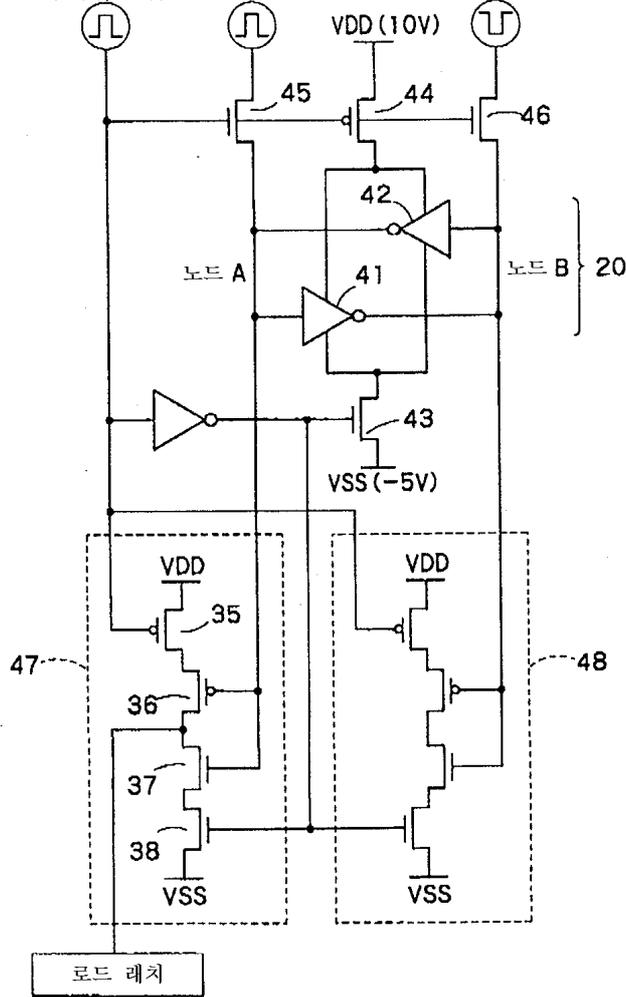
시프트 레지스터로부터의 타이밍 신호 (-5V, 10V) 디지털 계조 데이터 / 디지털 계조 데이터 (0V, 3V) (0V, 3V)



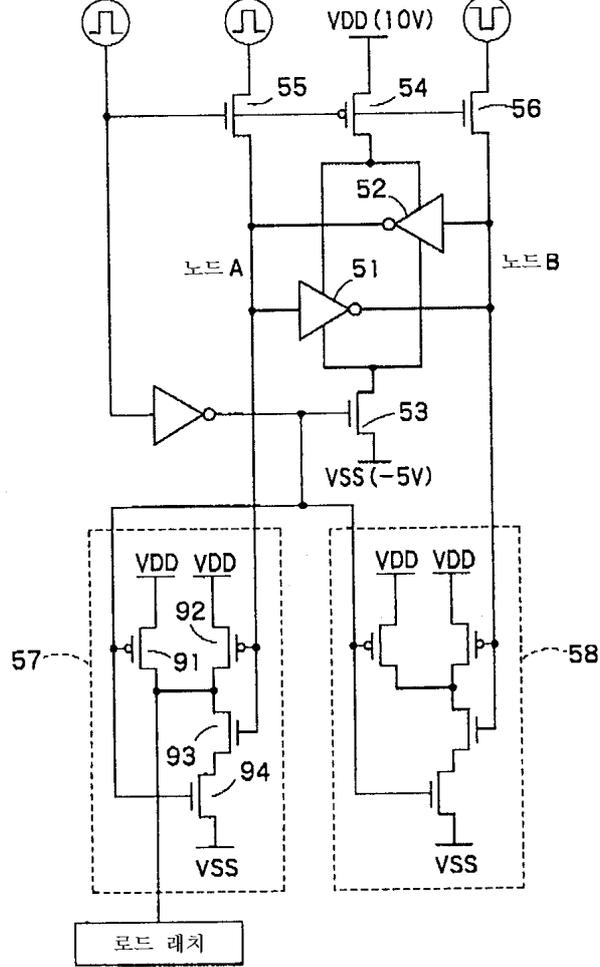
18



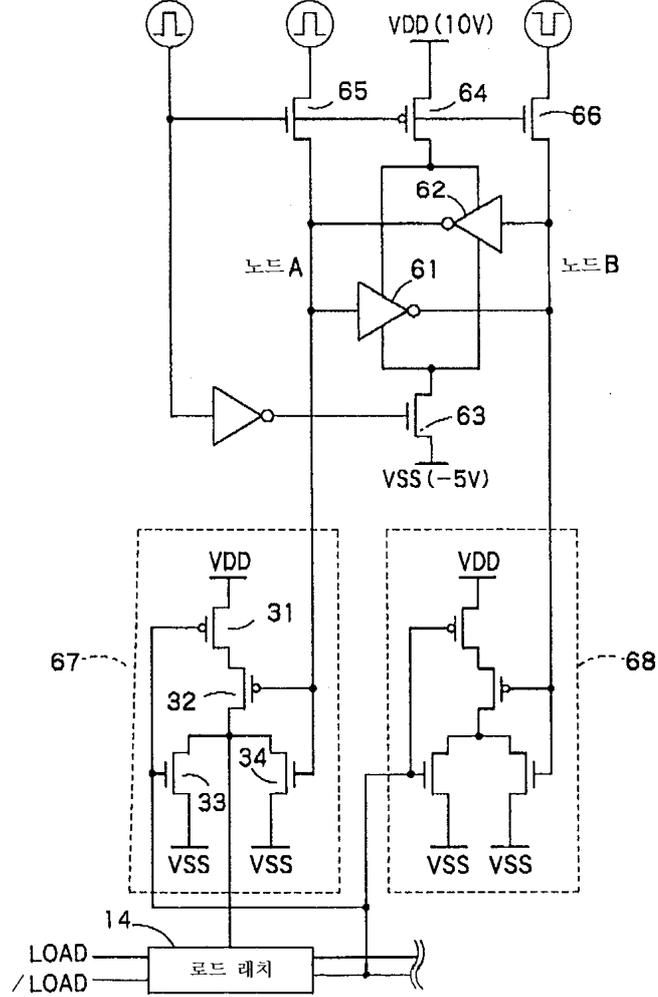
시프트 레지스터로부터의 타이밍 신호 (-5V, 10V) 디지털 계조 데이터 (0V, 3V) / 디지털 계조 데이터 (0V, 3V)



시프트 레지스터로부터의 타이밍 신호 (-5V, 10V) 디지털 계조 데이터 / 디지털 계조 데이터 (0V, 3V) (0V, 3V)



시프트 레지스터로부터 타이밍 신호 (-5V, 10V) 디지털 계조 데이터 (0V, 3V) / 디지털 계조 데이터 (0V, 3V)



专利名称(译)	液晶显示装置和数据锁存电路		
公开(公告)号	KR100394055B1	公开(公告)日	2003-08-09
申请号	KR1020010029679	申请日	2001-05-29
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	Sikki东芝股份有限公司		
当前申请(专利权)人(译)	Sikki东芝股份有限公司		
[标]发明人	MORITA TETSUO 모리타테쓰오		
发明人	모리타테쓰오		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/027 G09G2310/0289 G09G2310/0294		
代理人(译)	Jangsugil		
优先权	2000158365 2000-05-29 JP 2000387063 2000-12-20 JP		
其他公开文献	KR1020020003810A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，以简化信号线驱动电路的配置。结构：液晶显示（LCD）装置包括像素阵列（1），该像素阵列（1）具有多条信号线和扫描线。在信号线和扫描线之间的每个横截面处形成的多个像素晶体管（100），用于驱动相应信号线的信号线驱动电路（2）和用于驱动相应扫描的扫描线驱动电路（3）线。信号线驱动电路（2）包括多个采样锁存电路（5），用于分别锁存在不同时刻由多个位组成的数字灰度数据，多个负载锁存电路（6）分别对应安装多个采样锁存电路（5）用于在一定时锁存多个采样锁存电路（5）中的每一个的锁存数据，多个数模（D/A）转换电路（7）对应于多个加载锁存电路（6）中的每一个安装的，用于将多个加载锁存电路（6）中的每一个的锁存数据转换成模拟灰度电压和信号线选择电路（8），用于切换状态是否为每条信号线提供模拟灰阶电压，或由多条信号线驱动。©KIPO & JPO 2002

