



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0002222  
(43) 공개일자 2008년01월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0060903

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이창빈

부산 사하구 다대1동 948-1 조성아파트 5동 402호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 20 항

(54) 액정표시장치용 어레이 기판과 그 제조방법

(57) 요약

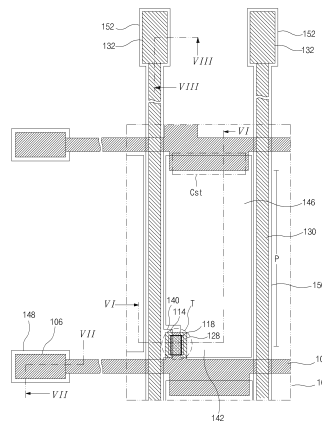
본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판을 새로운 4마스크 공정으로 제작하는 것을 특징으로 한다.

본 발명에 따른 새로운 4 마스크 공정으로 어레이기판을 제작하게 되면, 게이트 전극의 상부에만 액티브층이 섬형상으로 구성되고, 상기 액티브층의 표면을 식각방지막이 덮는 형태로 구성되는 동시에, 소스 및 드레인 전극을 투명 전극만으로 구성하는 것을 특징으로 한다.

이로 인해, 하부광이 직접 조사되거나, 반사되어 입사되는 현상으로, 상기 액티브층이 빛에 노출되지 않는 동시에, 이물질에 의한 오염 및 식각에 의한 데미지(damage)를 입지 않기 때문에, 박막트랜지스터의 오프커런트(off current)가 발생하는 것을 최소화 할 수 있는 장점이 있다.

또한, 데이터 배선의 하부에 액티브층(순수 비정질 실리콘층)이 존재하지 않기 때문에, 액티브층이 데이터 배선의 하부에 존재하는 종래의 구조에 비해 개구영역을 확대할 수 있어, 고휘도를 구현할 수 있는 장점이 있다.

대표도 - 도7



## 특허청구의 범위

### 청구항 1

화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과;

상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하는 데이터 배선과;

상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하면서 상기 데이터 배선에 연장된 투명한 소스 전극과 이와 이격된 드레인 전극과 상기 액티브층을 덮는 식각 방지막으로 구성된 박막트랜지스터와;

상기 게이트 영역에 위치하고, 일 끝단에 투명한 게이트 패드를 포함하는 게이트 배선과;

상기 화소 영역에 위치한 투명한 화소 전극

을 포함하는 액정표시장치용 어레이기판.

### 청구항 2

제 1 항에 있어서,

상기 데이터 패드와, 게이트 패드와 각각 접촉하는 투명 데이터 패드 전극과 투명 게이트 패드 전극을 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

### 청구항 3

제 1 항에 있어서,

상기 소스 및 드레인 전극과 게이트 패드 전극과 데이터 패드 전극과, 화소 전극과 투명 전극 패턴은 인듐-틴-옥사이드(ITO)로 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

### 청구항 4

제 1 항에 있어서,

상기 액티브층은 상기 게이트 전극의 상부에 섬형상으로 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

### 청구항 5

제 1 항에 있어서,

상기 데이터 배선의 상부에 이를 감싸는 형태로 구성되고, 상기 소스 전극과 데이터 패드 전극과 일체로 구성되는 투명 전극 패턴을 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

### 청구항 6

제 1 항에 있어서,

상기 게이트 배선의 일부 상부로 상기 화소 전극을 연장 구성하여, 게이트 배선을 제 1 전극으로 하고 상기 화소 전극의 연장된 부분을 제 2 전극으로 하여 형성된 스토리지 캐패시터를 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

### 청구항 7

기판에 화소 영역과 스위치 영역과 게이트 영역과 데이터 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극의 상부에 액티브층과 식각 방지막과 오믹 콘택층과 버퍼금속을 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와;

상기 버퍼 금속과 상기 데이터 배선과 동시에 접촉하는 투명한 소스전극과 이와 이격된 드레인 전극과, 상기 드레인 전극에서 상기 화소 영역으로 연장된 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 영역에 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하고, 상기 버퍼 금속과 하부의 오믹 콘택층을 이격하여 형성하는 제 3 마스크 공정 단계와;

상기 기관의 전면에 형성되고, 상기 게이트 패드 전극과 상기 데이터 패드를 노출하는 제 2 절연막(보호막)을 형성하는 제 4 마스크 공정 단계

를 포함하는 액정표시장치용 어레이 기관 제조방법.

#### 청구항 8

제 7 항에 있어서,

상기 도전성 금속층(버퍼 금속)은 몰리브덴(Mo)인 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

#### 청구항 9

제 7 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 식각 방지막이 형성된 기관의 전면에 불순물 비정질 실리콘층과 도전성 금속층과 감광층을 적층하는 단계와;

상기 감광층이 형성된 기관의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역에 대응하여 원래의 높이로 패터닝되고, 그 외의 영역은 낮은 높이로 패터닝된 감광패턴을 형성하는 단계와;

상기 게이트 패드에 대응하는 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 게이트 패드를 노출하는 단계와;

상기 감광패턴 중 낮은 높이로 형성된 부분을 애싱공정으로 완전히 제거하고, 상기 스위칭 영역에만 높이가 낮아진 감광패턴을 남기고, 상기 감광패턴의 주변으로 노출된 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 스위칭 영역에 버퍼금속과, 상기 데이터 영역에 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계

를 포함하는 액정표시장치용 어레이기관 제조방법.

#### 청구항 10

제 9 항에 있어서,

상기 마스크는, 상기 스위칭 영역과 데이터 영역에 차단부가 위치하고, 상기 게이트 패드에 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성된 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

#### 청구항 11

제 7 항에 있어서,

상기 제 4 마스크 공정 단계는

상기 데이터 배선 및 데이터 패드와, 상기 버퍼 금속이 형성된 기관의 전면에 투명 도전성 금속층을 형성하고, 상기 투명 도전성 금속층의 상부에 감광층을 형성하는 단계와;

상기 감광층의 이격된 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 상기 제 1 감광패턴의 일측과 일체로 구성된 제 2 감광패턴과, 상기 데이터 영역에 대응하여 상기 제 2 감광패턴의 타측과 일체로 구성된 제 3 감광패턴과, 상기 게이트 패드에 대응하여 제 2 감광패턴을 형성하는 단계

와;

상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 투명 금속층을 제거하여, 상기 버퍼금속과 상기 데이터 배선과 동시에 접촉하는 소스 전극과 이와 이격된 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 데이터 배선을 덮는 투명 전극패턴을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

### 청구항 12

제 11 항에 있어서,

상기 투명 도전성 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

### 청구항 13

기판에 화소 영역과 스위칭 영역과 게이트 영역과 데이터 영역을 정의하는 단계와;

상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과, 제 2 절연막을 적층하는 단계와;

상기 제 2 절연막을 패터하여, 상기 게이트 전극에 대응하는 상기 순수 비정질 실리콘층의 상부에 식각 방지막을 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정단계와;

상기 게이트 전극의 상부에 액티브층과 오믹 콘택층과 버퍼금속과, 상기 데이터 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 3 마스크 공정 단계와;

상기 버퍼 금속과 상기 데이터 배선과 동시에 접촉하는 소스전극과 이와 이격된 드레인 전극과, 상기 드레인 전극에서 상기 화소 영역으로 연장된 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계를

를 포함하는 액정표시장치용 어레이기판 제조방법.

### 청구항 14

제 13 항에 있어서,

상기 제 2 마스크 공정단계는

상기 게이트 패드 및 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 제 2 절연막과 감광층을 형성하는 단계와;

상기 감광층의 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역의 일부에 대응하여 원래의 높이대로 패터되고, 상기 게이트 패드에 대응하는 상기 제 2 절연막을 노출하고, 그 외의 영역은 낮은 높이로 패터된 감광패턴을 형성하는 단계와;

상기 게이트 패드에 대응하는 상부의 제 2 절연막과 순수 비정질 실리콘층과 제 1 절연막을 제거하여 게이트 패드를 노출하는 단계와;

상기 감광패턴 중, 높이가 낮은 부분을 완전히 제거하는 애싱공정을 진행하여 하부의 제 2 절연막을 노출하고, 상기 스위칭 영역에 대응하여 낮은 높이로 감광패턴을 남기는 단계와;

상기 감광패턴의 주변으로 노출된 제 2 절연막을 제거하여, 상기 스위칭 영역에 식각 방지막을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

**청구항 15**

제 14 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하는 일부에 대응하여 차단부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고, 그 외의 영역에 대응하여 반투과부가 위치하도록 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판 제조방법.

**청구항 16**

제 14 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 식각 방지막이 형성된 기판의 전면에 불순물 비정질 실리콘층과 도전성 금속층과 감광층을 적층하는 단계와;

상기 감광층이 형성된 기판의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역과 데이터 영역에 대응하여 원래의 높이로 패터닝되고, 그 외의 영역은 낮은 높이로 패터닝된 감광패턴을 형성하는 단계와;

상기 게이트 패드에 대응하는 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 게이트 패드를 노출하는 단계와;

상기 감광패턴 중 낮은 높이로 형성된 부분을 애싱공정으로 완전히 제거하고, 상기 스위칭 영역과 데이터 영역에 높이가 낮아진 감광패턴을 남기고, 상기 감광패턴의 주변으로 노출된 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 스위칭 영역에 상기 버퍼금속과 상기 데이터 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

**청구항 17**

제 16 항에 있어서,

상기 마스크는, 상기 스위칭 영역과 데이터 영역에 대응하여 차단부가 위치하고, 그 외의 영역은 투과부가 위치하도록 구성된 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

**청구항 18**

제 16 항에 있어서,

상기 도전성 금속층(버퍼 금속)은 몰리브덴(Mo)인 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

**청구항 19**

제 13 항에 있어서,

상기 제 4 마스크 공정 단계는,

상기 데이터 배선 및 데이터 패드와, 상기 버퍼 금속이 형성된 기판의 전면에서 투명한 도전성 금속층을 형성하고, 상기 투명한 도전성 금속층의 상부에 감광층을 형성하는 단계와;

상기 감광층의 이격된 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 상기 제 1 감광패턴의 일 측과 일체로 구성된 제 2 감광패턴과, 상기 데이터 영역에 대응하여 상기 제 1 감광패턴의 타측과 일체로 구성된 제 3 감광패턴과, 상기 게이트 패드에 대응하여 제 4 감광패턴을 형성하는 단

계와;

상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 투명 금속층을 제거하여, 상기 버퍼금속과 상기 데이터 배선과 동시에 접촉하는 소스 전극과 이와 이격된 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 데이터 배선을 덮는 투명 전극패턴을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

**청구항 20**

제 19 항에 있어서,

상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <17> 본 발명은 액정표시장치(LCD)에 관한 것으로 특히, 박막트랜지스터에 광전류 및 이물에 의한 누설전류가 발생하지 않고, 패널에 웨이비 노이즈(wavy noise)가 발생하지 않는 액정표시장치용 어레이기판을 새로운 4마스크 공정으로 제작하는 것을 특징으로 한다.
- <18> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <19> 상기 액정은 가늘고 긴 형상을 가지며, 분자의 배열에 방향성을 가지고 있는 동시에, 인위적으로 액정에 전기장을 인가하면 상기 분자배열의 방향을 제어할 수 있다.
- <20> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.
- <21> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이기판(하부기판)과, 상부 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- <22> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <23> 이하, 도 1을 참조하여 전술한 액정표시장치의 구성을 설명한다.
- <24> 도 1은 액정표시장치를 확대하여 개략적으로 도시한 사시도이다.
- <25> 도시한 바와 같이, 액정패널(51)은 액정층(미도시)을 사이에 두고 서로 이격하여 구성된 제 1 기판(5)과 제 2 기판(10)으로 구성되며, 상기 제 2 기판(10)과 마주보는 제 1 기판(5)의 일면에는 블랙매트릭스(6)와 컬러필터(적, 녹, 청)(7a,7b,7c)와, 컬러필터 상에 투명한 공통전극(9)이 구성된다.
- <26> 상기 제 1 기판(5)과 마주보는 제 2 기판(10)에는 다수의 화소영역(P)이 정의되며, 상기 화소영역(P)의 일 측을 지나 연장 형성된 게이트 배선(14)과, 게이트 배선(14)이 지나가는 화소영역(P)의 일 측과 평행하지 않은 타 측을 지나 연장 형성된 데이터 배선(26)이 구성된다.
- <27> 이러한 구성으로 인해, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(26)이 교차하여 정의되는 영역이 되며, 두 배선의 교차지점에는 박막트랜지스터(T)가 구성된다.
- <28> 상기 화소영역(P)에는 상기 박막트랜지스터(T)와 접촉하는 투명한 화소전극(32)이 구성되고, 이는 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 형성한다.

- <29> 기술한 바와 같이 구성된 액정표시장치용 어레이기판은, 대략 5~6 마스크 공정을 거쳐 제작되며 이를 간략히 소개하면 아래와 같다.
- <30> 아래 공정은 5 마스크 공정을 예를 들어 설명한 것이며, 마스크 공정만을 나열한 것이다.
- <31> 제 1 마스크 공정 : 게이트 전극과 게이트 배선(및 게이트 패드) 형성공정.
- <32> 제 2 마스크 공정 : 게이트 전극 상부의 액티브층 및 오믹 콘택층 형성공정.
- <33> 제 3 마스크 공정 : 데이터 배선( 및 데이터 패드)과 소스 전극과 드레인 전극 형성공정.
- <34> 제 4 마스크 공정 : 기판의 전면에 보호막을 형성하고, 상기 드레인 전극을 노출하는 콘택홀을 형성하는 공정.
- <35> 제 5 마스크 공정 : 상기 콘택홀을 통해 접촉하는 화소 전극을 형성하는 공정.
- <36> 이상과 같은 5 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- <37> 이와 같이 다수의 공정을 통해 어레이 기판이 제작되기 때문에, 공정이 많을수록 불량률이 발생할 확률이 커지게 되어 생산수율이 저하되는 문제가 있고, 공정시간 증가와 공정비용 상승으로 제품의 경쟁력이 약화되는 문제가 있다.
- <38> 이러한 문제를 해결하기 위한 방법으로 4 마스크 공정이 제안되었다.
- <39> 도 2는 종래의 4 마스크 공정으로 제작한 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- <40> 도시한 바와 같이, 어레이 기판은 절연 기판(60)상에 일 방향으로 연장된 게이트 배선(62)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(98)을 포함한다.
- <41> 상기 게이트 배선(62)의 일 끝단에 게이트 패드(64)가 구성되고, 상기 데이터 배선(98)의 일 끝단에는 데이터 패드(99)가 구성된다.
- <42> 상기 게이트 패드(64)와 데이터 패드(99)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(GP)과, 데이터 패드 전극(DP)이 구성된다.
- <43> 상기 게이트 배선(62)과 데이터 배선(98)의 교차지점에는 상기 게이트 배선(62)과 접촉하는 게이트 전극(64)과, 게이트 전극(64)의 상부에 위치한 제 1 반도체층(90a)과, 제 1 반도체층(90a)의 상부에 이격되어 위치하고 상기 데이터 배선(98)과 연결된 소스 전극(94)과, 이와는 이격된 드레인 전극(96)을 포함하는 박막트랜지스터(T)가 구성된다.
- <44> 상기 화소 영역(P)에는 상기 드레인 전극(96)과 접촉하는 투명한 화소 전극(PXL)이 구성된다.
- <45> 이때, 상기 게이트 배선(62)의 일부 상부에 상기 화소 전극(PXL)과 접촉하게 되는 섬형상의 금속층(86)을 형성함으로써, 상기 게이트 배선(62)의 일부를 제 1 전극으로 하고 상기 섬형상의 전극층(86)을 제 2 전극으로 하고, 상기 두 전극 사이에 위치한 게이트 절연막(미도시)을 유전체로 한 스토리지 캐패시터(Cst)가 형성된다.
- <46> 상기 데이터 배선(98)의 하부에는 상기 제 1 반도체층(90a)에서 연장된 제 2 반도체층(90b)이 구성되고, 상기 섬형상의 전극층(86)하부에는 제 3 반도체층(90c)이 형성된다.
- <47> 이때, 종래에 따른 범용적인 4 마스크 공정으로 제작된 어레이기판은, 상기소스 및 드레인 전극(94,96)및 데이터 배선(98)의 주변으로 하부의 액티브층(비정질 실리콘층, 92a,70)이 연장된 형태로 구성된다.
- <48> 상기 순수 비정질 실리콘층(70)은 빛에 노출되어 광전류가 발생하게 되며, 이와 같이 발생한 광 누설전류(photo-leakage current)로 인해 상기 박막트랜지스터의 동작저하를 유발하고, 또한 인접한 화소전극(PXL)과 커플링(coupling)현상이 발생하여, 액정패널의 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있다.
- <49> 이하, 도 3을 참조하여 이에 대해 상세히 설명한다.
- <50> 도 3은 도 2의 II-II와 V-V를 따라 절단한 단면도이다.
- <51> 도시한 바와 같이, 종래의 4마스크 공정으로 박막트랜지스터 어레이기판(60)을 제작하게 되면, 소스 및 드레인 전극(94,96)과 데이터 배선(98)의 하부에 제 1 반도체층(90a)과 제 2 반도체층(90b)이 구성된다.
- <52> 상기 제 1 및 제 2 반도체층(90a,90b)은 순수 비정질 실리콘층(a-Si:H layer)과 불순물이 포함된 비정질 실리콘

층(n+a-Si:H)으로 적층되어 구성되며 특히, 상기 제 1 반도체층(90a)을 구성하는 순수 비정질 실리콘층은 액티브층(active layer, 92a)이라 하고 상부의 불순물 비정질 실리콘층은 옴릭 콘택층(ohmic contact layer, 92b)이라 한다.

- <53> 상기 데이터 배선(98)의 하부에 위치하면서 상기 데이터 배선(98)의 양측으로 돌출된 제 2 반도체층(90b)의 순수 비정질 실리콘층(70)은 하부의 광원(미도시)에 노출되어 광전류가 발생하게 된다.
- <54> 이때, 하부의 광원에 의한 미세한 깜빡임으로 인해, 상기 순수 비정질 실리콘층(70)은 미세하게 반응하여 활성화와 비활성화 상태가 반복되며, 이로 인한 광전류의 변화가 발생하게 된다.
- <55> 이와 같은 전류 성분은 이웃하는 화소 전극(PXL)을 흐르는 신호와 함께 커플링(coupling)되어 화소전극(PXL)에 위치한 액정(미도시)의 움직임에 왜곡하게 된다.
- <56> 이로 인해, 액정패널의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.
- <57> 또한, 종래의 구조는 상기 액티브층(92a)과 옴릭 콘택층(92b)을 동시에 적층하고, 상기 옴릭 콘택층(92b)을 식각하여, 하부의 액티브층(92a)을 노출하는 공정으로 진행하기 때문에, 상기 옴릭 콘택층(92b)에 의한 액티브층(92a)으로의 불순물 유입을 막기 위해, 상기 옴릭 콘택층(92b)을 식각하는 과정에서 상기 액티브층(92a)을 과식각하는 경향이 있다.
- <58> 이를 감안하여, 상기 액티브층(92a)을 두껍게 형성하는 경향이 있는데, 이 또한 빛을 받으면 많은 양의 광전류가 발생하는 원인이 될 수 있다.
- <59> 또한, 상기 데이터 배선(98)하부의 순수비정질 실리콘층(70)은 데이터 배선(98)의 양측으로 각각 약 1.7 $\mu$ m정도 돌출된 상태이다.
- <60> 일반적으로 상기 데이터 배선(98)과 화소 전극(PXL)은 얼라인 오차를 감안하여 4.75 $\mu$ m정도의 이격거리를 두고 패턴하는데 이때, 상기 돌출부분을 감안하여 상기 데이터 배선(98)과 화소 전극(PXL)의 이격거리(D)는 6.45 $\mu$ m가 된다.
- <61> 즉, 데이터 배선(98)의 일 측으로 돌출된 부분의 길이만큼 화소전극(PXL)이 멀게 패턴되었고 이와 동시에, 이 부분의 빛샘을 가려주는 블랙매트릭스(BM)의 폭(W1) 또한 넓어지게 되어 개구영역이 잠식되는 문제가 있다.
- <62> 또한, 상기 소스 및 드레인 전극(94,96)의 이격된 사이로 액티브층(92a)이 노출되는 형태이고, 상기 노출된 액티브층(92a)은 상기 보호막(PAS)이 형성되기 전 외부로 노출되는 단계가 존재하기 때문에 이때, 이물에 의한 오염으로 누설전류가 발생하는 문제가 있다.
- <63> 전술한 바와 같이, 웨이비 노이즈(wavy noise)가 발생하는 데이터 배선(98)과 그 하부의 제 2 반도체층(90b)의 형태 및, 오프 커런트(off current)가 발생할 수 있는 박막트랜지스터(T)의 구조는, 종래의 범용적인 4마스크 공정으로 제작된 형태에 의해 필연적으로 발생하게 되는 것이며 이하, 이해를 돕기 위해 종래에 따른 4 마스크 공정을 설명한다.
- <64> 이하, 공정도면을 참조하여 종래에 따른 4 마스크 공정으로 어레이기판을 제작하는 방법을 설명한다.
- <65> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 II-II, III-III, IV-IV를 따라 절단하여, 종래의 4마스크 공정순서에 따라 도시한 공정 단면도이다.
- <66> 도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.
- <67> 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(60)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.
- <68> 이때, 상기 스토리지 영역(C)은 게이트 영역(G)의 일부에 정의된다.
- <69> 상기 다수의 영역(S,P,G,D,C)이 정의된 기판(60)상에 일방향으로 연장되고, 일 끝단에 게이트 패드(66)를 포함하는 게이트 배선(62)과, 상기 게이트 배선(62)과 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(64)을 형성한다.
- <70> 이때, 상기 게이트 패드 및 게이트 배선(66,62)과 게이트 전극(64)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

- <71> 다음으로, 도 4b 내지 도 4e와 도 5b 내지 도 5e와 도 6b 내지 도 6e는 제 2 마스크 공정을 나타낸 도면이다.
- <72> 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 전극(64)과 게이트 패드(66)를 포함하는 게이트 배선(62)이 형성된 기판(60)의 전면에 게이트 절연막(68)과, 순수 비정질 실리콘층(a-Si:H, 70)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 72)과 도전성 전극층(74)을 형성한다.
- <73> 상기 게이트 절연막(68)은 질화 실리콘(Si<sub>3</sub>N<sub>4</sub>)과 산화 실리콘(SiO<sub>2</sub>)등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착하여 형성하고, 상기 금속층(74)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.
- <74> 다음으로, 상기 도전성 금속층(74)이 형성된 기판(60)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(76)을 형성한다.
- <75> 다음으로, 상기 감광층(76)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <76> 이때, 상기 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여, 빛의 강도를 낮추거나 빛의 투과량을 낮추어 상기 감광층을 불완전 노광할 수 있도록 하는 기능을 한다.
- <77> 또한, 상기 차단부(B2)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(B1)는 빛을 투과시켜 빛에 의해 감광층(76)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.
- <78> 한편, 상기 스위칭 영역(S)에는 반투과부(B3)와, 반투과부(B3)의 양측에 차단부(B2)가 위치하도록 하고, 상기 스토리지 영역(C)에는 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(G)과 교차하는 방향인 상기 데이터 영역(D)에는 차단부(B2)가 위치하도록 한다.
- <79> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(76)을 노광하고 현상하는 공정을 진행한다.
- <80> 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)과 스토리지 영역(C)의 상부에 패턴된 제 1 내지 제 3 감광층(78a,78b,78c)을 형성한다.
- <81> 다음으로, 상기 제 1 내지 제 3 감광층(78a,78b,78c)의 주변으로 노출된 상기 금속층(74)과 그 하부의 불순물 비정질 실리콘층(72)과, 순수 비정질 실리콘층(70)을 제거하는 공정을 진행한다.
- <82> 이때, 상기 금속층(74)의 종류에 따라 금속층과 그 하부층(72,70)이 동시에 제거될 수도 있고, 상기 금속층을 먼저 식각한 후 건식식각 공정을 통해 하부의 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)을 제거하는 공정을 진행한다.
- <83> 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 내지 제 3 감광층(78a,78b,78c)의 하부에 제 1 금속패턴(80)과, 제 1 금속패턴(80)에서 화소영역(P)의 일 측을 따라 연장된 제 2 금속패턴(82)과, 상기 스토리지 영역(C)에 대응하여 아일랜드 형상의 제 3 금속패턴(86)이 형성된다.
- <84> 이때, 제 1 내지 제 3 금속패턴(80,82,86)의 하부에 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)이 존재하며, 편의상 상기 제 1 금속패턴(80)의 하부에 구성된 것은 제 1 반도체 패턴(90a), 상기 제 2 금속패턴(82)의 하부에 구성된 것은 제 2 반도체 패턴(90b), 상기 제 3 금속패턴(86)의 하부에 구성된 것은 제 3 반도체 패턴(90c)이라 칭한다.
- <85> 다음으로, 상기 제 1 감광층(78a)중, 상기 게이트 전극(64)의 중심에 대응하여 높이가 낮은 부분을 제거하여 하부의 금속패턴(80)을 노출하기 위한 애싱 공정(ashing process)을 진행한다.
- <86> 결과적으로 도시한 바와 같이, 상기 게이트 전극(64)의 중심에 대응하는 제 1 금속패턴(80)의 일부가 노출되며 이때, 상기 제 1 내지 제 3 감광패턴(78a,78b,78c)의 주변으로 제 1 내지 제 3 금속패턴(80,84,86)의 일부가 동시에 노출된다.
- <87> 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(86)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(72)을 제거하는 공정을 진행한다.
- <88> 도 4e와 도 5e와 도 6e에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(64)의 상부에 위치한 제 1 반도체 패턴(90a)중 하부층(순수 비정질 실리콘층)은 액티브층(92a)으로서 기능하게 되고, 상기 액티브층

(92a)의 상부에서 일부가 제거되어 이격된 상부층은 오믹 콘택층(92b)의 기능을 하게 된다.

- <89> 이때, 상기 액티브층(92a) 상부의 오믹 콘택층(92b)을 제거하면서, 하부의 액티브층(92a)을 과식각하여 액티브층의 표면(액티브채널, active channel)에 불순물이 남아 있지 않도록 한다.
- <90> 한편, 상기 오믹 콘택층(92b)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(94)와 드레인 전극(96)이라 칭한다.
- <91> 이때, 상기 소스 전극(94)과 접촉하는 제 2 금속패턴(도 5c의 82)은 데이터 배선(98)이라 하고, 상기 데이터 배선(98)의 일 끝단은 데이터 패드(99)라 칭한다.
- <92> 또한, 상기 스토리지 영역(C)에 대응하여 형성된 아일랜드 형상의 제 3 금속패턴(86)은 그 하부의 게이트 배선(62)과 함께 스토리지 전극(storage electrode)의 기능을 하게 된다.
- <93> 즉, 게이트 배선(62)은 스토리지 제 1 전극의 기능을 하게 되고, 상부의 제 3 금속패턴(86)은 스토리지 제 2 전극의 기능을 하게 된다. 따라서, 상기 스토리지 제 1 전극과 그 상부의 게이트 절연막(68)과 제 3 반도체 패턴(90c)과 그 상부의 스토리지 제 2 전극(86)은 보조 용량부인 스토리지 캐패시터(Cst)를 구성한다.
- <94> 다음으로, 상기 잔류한 감광층(78a, 78b, 78c)을 제거하는 공정을 진행함으로써, 제 2 마스크 공정을 완료할 수 있다.
- <95> 도 4f와 도 5f와 도 6f는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(94, 96)과 데이터 패드(99)를 포함하는 데이터 배선(98)과, 스토리지 캐패시터(Cst)가 구성된 기판(60)의 전면에 질화 실리콘(Si<sub>3</sub>N<sub>4</sub>) 또는 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(PAS)을 형성한다.
- <96> 연속하여, 상기 보호막(PAS)을 패터닝하여 드레인 전극(96)의 일부를 노출하는 드레인 콘택홀(CH1)과, 상기 섬형상의 제 3 금속패턴(86)을 노출하는 스토리지 콘택홀(CH2)과, 상기 게이트 패드(66)의 일부를 노출하는 게이트 패드 콘택홀(CH3)과 상기 데이터 패드(DP)의 일부를 노출하는 데이터 패드 콘택홀(CH4)을 형성한다.
- <97> 도 4g와 도 5g와 도 6g는 제 4 마스크 공정을 나타낸 도면으로, 상기 보호막(PAS)이 형성된 기판(60)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(96)과 섬형상의 제 3 금속패턴(86)과 동시에 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(PXL)을 형성한다. 동시에, 상기 게이트 패드(66)와 접촉하는 게이트 패드 전극(GP)과 상기 데이터 패드(99)와 접촉하는 데이터 패드 전극(DP)을 형성한다.
- <98> 전술한 공정을 통해 종래에 따른 4마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- <99> 종래의 4 마스크 공정은 기존의 5 마스크 공정에 비해 획기적이라 할 만큼 생산비용을 낮추는 효과 및 공정시간을 단축하는 효과가 있었고, 공정이 단축됨으로써 그 만큼 불량발생 확률 또한 감소하는 결과를 얻고 있다.
- <100> 그러나, 앞서 언급한 바와 같이, 종래의 4 마스크 공정으로 제작된 박막트랜지스터 어레이기판의 구조를 보면, 데이터 배선의 양측에 반도체층이 확장된 형태이기 때문에 이로 인해 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있고, 상기 확장된 반도체층으로 인해 개구율이 저하되는 문제가 있다.
- <101> 또한, 박막트랜지스터에 광누설전류 또는 이물에 의한 누설전류가 발생하는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

- <102> 본 발명은 전술한 문제를 해결하기 위한 것으로, 화면에 웨이비 노이즈(wavy noise)가 발생하지 않는 동시에, 박막트랜지스터에 누설전류가 발생하지 않아 고화질을 구현하는 액정표시장치를 제공하는 것을 제 1 목적으로 한다.
- <103> 또한, 개구영역 확대를 통해 고휘도를 구현하는 것을 제 2 목적으로 한다.

**발명의 구성 및 작용**

- <104> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과; 상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하

는 데이터 배선과; 상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하면서 상기 데이터 배선에 연장된 투명한 소스 전극과 이와 이격된 드레인 전극과, 상기 액티브층을 덮는식각 방지막으로 구성된 박막트랜지스터와; 상기 소스 전극과 연결되면서 상기 데이터 배선을 덮는 투명 전극패턴과; 상기 게이트 영역에 위치하고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과; 상기 화소 영역에 위치한 투명한 화소 전극을 포함한다.

- <105> 상기 데이터 패드와, 게이트 패드와 각각 접촉하는 투명 데이터 패드전극과 투명 게이트 패드전극을 더욱 포함하는 것을 특징으로 한다.
- <106> 상기 게이트 패드 전극과 데이터 패드 전극과, 화소 전극과 투명 전극 패턴은 인듐-틴-옥사이드(ITO)로 구성된 것을 특징으로 한다.
- <107> 상기 액티브층은 상기 게이트 전극의 상부에 섬형상으로 구성된 것을 특징으로 한다.
- <108> 상기 데이터 배선의 상부에 이를 감싸는 형태로 구성되고, 상기 소스 전극과 상기 데이터 패드 전극과 일체로 구성되는 투명 전극 패턴을 더욱 포함한다.
- <109> 상기 게이트 배선의 일부 상부로 상기 화소 전극을 연장 구성하여, 게이트 배선을 제 1 전극으로 하고 상기 화소 전극의 연장된 부분을 제 2 전극으로 하여 형성된 스토리지 캐패시터를 더욱 포함한다.
- <110> 본 발명의 제 1 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판에 화소 영역과 스위칭 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과, 제 2 절연막을 적층하는 단계와; 상기 제 2 절연막을 패터하여, 상기 게이트 전극에 대응하는 상기 순수 비정질 실리콘층의 상부에 식각 방지막을 형성하는 제 2 마스크 공정단계와; 상기 게이트 전극의 상부에 액티브층과 식각 방지막과 오믹 콘택층과 버퍼금속과, 상기 데이터 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하고 상기 게이트 패드를 노출하는 제 3 마스크 공정 단계와; 상기 버퍼 금속과 상기 데이터 배선과 동시에 접촉하는 소스전극과 이와 이격된 드레인 전극과, 상기 드레인 전극에서 상기 화소 영역으로 연장된 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계를 포함한다.
- <111> 상기 도전성 금속층(버퍼 금속)은 몰리브덴(Mo)인 것을 특징으로 한다.
- <112> 상기 제 3 마스크 공정 단계는 상기 식각 방지막이 형성된 기판의 전면에 불순물 비정질 실리콘층과 도전성 금속층과 감광층을 적층하는 단계와; 상기 감광층이 형성된 기판의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역에 대응하여 원래의 높이로 패터되고, 그 외의 영역은 낮은 높이로 패터된 감광패턴을 형성하는 단계와; 상기 게이트 패드에 대응하는 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 게이트 패드를 노출하는 단계와; 상기 감광패턴 중 낮은 높이로 형성된 부분을 애싱공정으로 완전히 제거하고, 상기 스위칭 영역에만 높이가 낮아진 감광패턴을 남기고, 상기 감광패턴의 주변으로 노출된 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 스위칭 영역에 버퍼금속과, 상기 데이터 영역에 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계를 포함한다.
- <113> 상기 마스크는, 상기 스위칭 영역과 데이터 영역에 차단부가 위치하고, 상기 게이트 패드에 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성된 것을 특징으로 한다.
- <114> 상기 제 4 마스크 공정 단계는 상기 데이터 배선 및 데이터 패드와, 상기 버퍼 금속이 형성된 기판의 전면에 투명 도전성 금속층을 형성하고, 상기 투명 도전성 금속층의 상부에 감광층을 형성하는 단계와; 상기 감광층의 이격된 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 상기 제 1 감광패턴의 일측과 일체로 구성된 제 2 감광패턴과, 상기 데이터 영역에 대응하여 상기 제 2 감광패턴의 타측과 일체로 구성된 제 3 감광패턴과, 상기 게이트 패드에 대응하여 제 2 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 투명 금속층을 제거하여, 상기 버퍼금속과 상기 데이터 배선과 동시에 접촉하는 소스 전극과 이와 이격된 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전

극과, 상기 데이터 배선을 덮는 투명 전극패턴을 형성하는 단계를 포함한다.

- <115> 상기 투명 도전성 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로
- <116> 본 발명의 다른 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판에 화소 영역과 스위칭 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과, 제 2 절연막을 적층하는 단계와; 상기 제 2 절연막을 패터하여, 상기 게이트 전극에 대응하는 상기 순수 비정질 실리콘층의 상부에 식각 방지막을 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정단계와; 상기 게이트 전극의 상부에 액티브층과 오믹 콘택층과 버퍼금속과, 상기 데이터 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 제 3 마스크 공정 단계와; 상기 버퍼 금속과 상기 데이터 배선과 동시에 접촉하는 소스전극과 이와 이격된 드레인 전극과, 상기 드레인 전극에서 상기 화소 영역으로 연장된 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하는 제 4 마스크 공정 단계를 포함한다.
- <117> 상기 제 2 마스크 공정단계는 상기 게이트 패드 및 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 제 2 절연막과 감광층을 형성하는 단계와; 상기 감광층의 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역의 일부에 대응하여 원래의 높이대로 패터되고, 상기 게이트 패드에 대응하는 상기 제 2 절연막을 노출하고, 그 외의 영역은 낮은 높이로 패터된 감광패턴을 형성하는 단계와;
- <118> 상기 게이트 패드에 대응하는 상부의 제 2 절연막과 순수 비정질 실리콘층과 제 1 절연막을 제거하여 게이트 패드를 노출하는 단계와; 상기 감광패턴 중, 높이가 낮은 부분을 완전히 제거하는 애싱공정을 진행하여 하부의 제 2 절연막을 노출하고, 상기 스위칭 영역에 대응하여 낮은 높이로 감광패턴을 남기는 단계와; 상기 감광패턴의 주변으로 노출된 제 2 절연막을 제거하여, 상기 스위칭 영역에 식각 방지막을 형성하는 단계를 포함한다.
- <119> 상기 마스크는, 상기 스위칭 영역에 대응하는 일부에 대응하여 차단부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고, 그 외의 영역에 대응하여 반투과부가 위치하도록 구성된 것을 특징으로 한다.
- <120> 상기 제 3 마스크 공정 단계는 상기 식각 방지막이 형성된 기판의 전면에 불순물 비정질 실리콘층과 도전성 금속층과 감광층을 적층하는 단계와; 상기 감광층이 형성된 기판의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역과 데이터 영역에 대응하여 원래의 높이로 패터되고, 그 외의 영역은 낮은 높이로 패터된 감광패턴을 형성하는 단계와; 상기 게이트 패드에 대응하는 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 게이트 패드를 노출하는 단계와; 상기 감광패턴 중 낮은 높이로 형성된 부분을 애싱공정으로 완전히 제거하고, 상기 스위칭 영역과 데이터 영역에 높이가 낮아진 감광패턴을 남기고, 상기 감광패턴의 주변으로 노출된 도전성 금속층과 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 제거하여, 상기 스위칭 영역에 상기 버퍼금속과 상기 데이터 영역에 대응하여 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계를 포함한다.
- <121> 상기 마스크는, 상기 스위칭 영역과 데이터 영역에 대응하여 차단부가 위치하고, 그 외의 영역은 투과부가 위치하도록 구성된 것을 특징으로 한다.
- <122> 상기 도전성 금속층(버퍼 금속)은 몰리브덴(Mo)인 것을 특징으로한다.
- <123> 상기 제 4 마스크 공정 단계는, 상기 데이터 배선 및 데이터 패드와, 상기 버퍼 금속이 형성된 기판의 전면에 투명 도전성 금속층을 형성하고, 상기 투명 도전성 금속층의 상부에 감광층을 형성하는 단계와; 상기 감광층의 이격된 상부에 투과부와 차단부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 대응하여 상기 제 1 감광패턴의 일 측과 일체로 구성된 제 2 감광패턴과, 상기 데이터 영역에 대응하여 상기 제 1 감광패턴의 타측과 일체로 구성된 제 3 감광패턴과, 상기 게이트 패드에 대응하여 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 투명 금속층을 제거하여, 상기 버퍼금속과 상기 데이터 배선과 동시에 접촉하는 소스 전극과 이와 이격된 드레인 전극과, 상기 화소 영역

에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 패드와 접촉하는 데이터 패드 전극과, 상기 데이터 배선을 덮는 투명 전극패턴을 형성하는 단계를 포함한다.

- <124> 상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된다.
- <125> 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.
- <126> -- 제 1 실시예 --
- <127> 본 발명은 새로운 4 마스크 공정을 통해, 게이트 전극의 상부에 액티브층이 섬형상으로 구성되고, 상기 액티브층을 덮는 별도의 식각 방지막을 포함하는 어레이기판을 제작하는 것을 특징으로 한다.
- <128> 도 7은 본 발명에 따른 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.
- <129> 도시한 바와 같이, 절연 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)가 구성된 게이트 배선(104)과, 게이트 배선(104)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(132)를 포함하는 데이터 배선(130)을 구성한다.
- <130> 이때, 상기 데이터 패드 및 데이터 배선(132,130)은 하부에 순수 비정질 실리콘층(액티브층,124)과 불순물 비정질 실리콘층(오믹 콘택층,126)이 이와 평면적으로 동일한 형상으로 구성되고, 상기 데이터 패드 및 데이터 배선(132,130)의 상부에는 데이터 패드 전극및 투명전극 패턴(152, 150)이 이를 감싸는 형태로 적층된 것을 특징으로 한다.
- <131> 또한, 상기 게이트 패드(106)의 상부에는 투명한 게이트 패드 전극(148)을 구성한다.
- <132> 상기 게이트 배선(104)과 데이터 배선(130)의 교차지점에 게이트 전극(102)과 액티브층(미도시)과 이격된 오믹 텍층(미도시)및 버퍼금속(128)과, 상기 버퍼금속(128)의 일 측과 접촉하면서 상기 데이터 배선(130)의 상부로 연장된 소스 전극(140)과 상기 버퍼금속(128)의 타 측과 접촉하는 투명한 드레인 전극(142)과, 상기 소스 및 드레인 전극(140,142)의 사이로 노출된 액티브층(미도시)을 덮는 식각 방지막(114)을 포함하는 박막트랜지스터(T)를 구성한다. 이때, 상기 소스 전극(140)은 상기 데이터 배선(130)의 상부를 감싸는 상기 투명 전극패턴(150)과 일체로 연결된다.
- <133> 상기 화소 영역(P)에는 상기 투명한 드레인 전극(142)에서 상기 화소 영역으로 연장된 화소 전극(146)을 구성한다.
- <134> 한편, 상기 화소영역(P)을 정의하는 부분의 게이트 배선(104)의 상부에는 이를 스토리지 제 1 전극으로 하고, 상기 게이트 배선(104)의 상부로 연장된 화소 전극(140)의 일부를 제 2 스토리지 전극으로 하는 스토리지 캐패시터(Cst)를 구성한다.
- <135> 이하, 도 8a와 도 8b와 도 8c를 참조하여, 본 발명에 따른 박막트랜지스터 어레이기판의 단면 구성을 살펴본다.
- <136> 도 8a와 도 8b와 도 8c는 각각 도 7의 VI-VI, VII-VII, VIII-VIII을 따라 절단한 단면도이며, 각각은 스위칭 영역 및 화소 영역을 절단한 단면도와 게이트 배선 및 패드를 절단한 단면도와 데이터 배선 및 패드를 절단한 단면도이다.
- <137> 도시한 바와 같이, 기판(100)을 다수의 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)으로 정의하고 동시에, 상기 게이트 영역(G)의 일부에 스토리지 영역(C)을 정의하고, 상기 화소 영역(P)마다 이에 근접하여 스위칭 영역(S)을 정의한다.
- <138> 상기 스위칭 영역(S)에는 게이트 전극(102)과, 게이트 전극(102)의 상부에 제 1 절연막(108)과 액티브층(124)과 이격된 오믹 콘택층(126)과, 오믹 콘택층(126)과 각각 접촉하는 버퍼 금속(128)과, 상기 버퍼 금속(128)의 일 측과 상기 데이터 배선(130)을 동시에 연결하는 소스 전극(140)과, 상기 버퍼 금속(128)의 타 측과 접촉하는 드레인 전극(142)으로 구성된 박막트랜지스터(T)를 구성한다.
- <139> 이때, 상기 소스 및 드레인 전극(140,142)은 투명 금속층으로 이루어지기 때문에, 상기 소스 및 드레인 전극(140,142)과 하부의 오믹 콘택층(126)의 접촉면에서 저항이 매우 높다. 따라서, 이를 낮추기 위해 상기 버퍼금속(128)을 더욱 구성하는 것이다.
- <140> 상기 데이터 패드 및 데이터 배선(132,130)의 하부에는 액티브층(비정질 실리콘층,124)과 오믹 콘택층(불순물 비정질 실리콘층,126)이 이와 평면적으로 동일한 폭으로 구성되고, 상기 데이터 패드 및 데이터 배선(132,130)의 상부에는 상기 액티브층 및 오믹 콘택층(124,126)을 감싸면서 상기 투명한 소스 전극(140)에서 연장된 형태

의 투명전극 패턴(150)이 구성된다.

- <141> 상기 게이트 패드(106)의 상부에는 투명한 금속층으로 구성된 게이트 패드 전극(148)을 구성한다.
- <142> 전술한 구성에서 특징적인 것은, 상기 액티브층(126, 순수 비정질 실리콘층)과 오믹 콘택층(126, 불순물 비정질 실리콘층)이 게이트 전극(102)의 상부에 섬형상으로 구성되는 것이며, 이로 인해 종래 4마스크 구조의 대표적인 문제점으로 작용했던 웨이비 노이즈(wavy noise) 및 개구율 문제가 해결될 수 있는 장점이 있다.
- <143> 또한, 상기 데이터 배선(130)의 상부에 구성된 상기 투명전극 패턴(150)은 공정 중 데이터 배선이 단선되었을 경우 자동으로 이를 대체하여 신호를 전송하는 기능을 할 수 있기 때문에, 셀프 리페어(self repair)가 가능하도록 한다.
- <144> 또한, 데이터 배선 및 하부의 액티브층(130, 124)을 감싸는 형태로 구성되기 때문에, 액티브층(124)에서 발생할 수 있는 최소의 광 누설전류를 차단하는 역할을 하게 된다.
- <145> 또한, 상기 소스 전극(140) 및 드레인 전극을 투명하게 구성하기 때문에, 하부로부터 조사된 빛이 상기 소스 및 드레인 전극으로 반사되어 상기 액티브층에 조사되는 현상이 발생하지 않는 장점이 있다.
- <146> 더욱이, 상기 소스 및 드레인 전극(140, 142) 사이로 노출된 액티브층(124)의 표면에 식각 방지막(114)을 더욱 구비함으로써 식각공정시 데미지(damage)를 받지 않고, 이물에 의한 오염을 방지할 수 있는 장점이 있다.
- <147> 또한, 상기 게이트 전극(102)에 대응하는 액티브층(124)은 상기 식각 방지막(114)에 의해 상부의 오믹 콘택층(126)과 접촉되지 않는 구성이기 때문에, 종래와 달리 액티브층(124)의 두께를 얇게 구성하는 것이 가능하다.
- <148> 전술한 특징적인 구성들은, 본 발명에서 제안한 4마스크 공정방법으로 인한 것이며 이하 도면을 참조하여, 본 발명에 따른 4 마스크 공정으로 액정표시장치용 어레이 기판을 제작하는 방법을 상세히 설명한다.
- <149> 도 9a 내지 도 9h와 도 10a 내지 도 10h와 도 11a 내지 도 11h은 도 7의 VI-VI, VII-VII, VIII-VIII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다. (이때, 도 7의 VI-VI은 박막트랜지스터 및 화소 영역의 절단선이고, VII-VII은 게이트 패드 및 배선의 절단선이고, VIII-VIII은 데이터 패드 및 배선의 절단선이다.)
- <150> 이하, 제 1 내지 제 4 마스크 공정은, 동일한 형식의 사진식각공정을 취하며, 공정을 설명하는 과정에서 마스크의 형태가 반투과부가 포함된 공정만을 좀더 상세히 설명하기로 한다.
- <151> 도 9a와 도 10a와 도 11a는 제 1 마스크 공정을 나타낸 공정 단면도이다.
- <152> 도시한 바와 같이, 기판(100) 상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다. 이때, 상기 스토리지 영역(C)을 게이트 영역(G)의 일부에 정의 한다.
- <153> 상기 다수의 영역(S, P, G, D, C)을 정의한 기판(100) 상에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta) 등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 1 도전성 금속층(미도시)을 형성하고, 상기 제 1 도전성 금속층(미도시)을 제 1 마스크 공정으로 패터닝하여, 상기 스위칭 영역(S)에 게이트 전극(102)을 형성하고, 상기 게이트 영역(G)에 대응하여 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(104)을 형성한다.
- <154> 다음으로, 상기 기판(100)의 전면에 제 1 절연막(108)과 순수 비정질 실리콘층(110)과 제 2 절연막(112)을 적층한다.
- <155> 이때, 상기 제 1 절연막(108)과 제 2 절연막(110)은 질화 실리콘(Si<sub>3</sub>N<sub>4</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성한다.
- <156> 상기 순수 비정질 실리콘층(110)은 불순물이 포함되지 않은 순수 비정질 실리콘(a-Si:H)을 증착하여 형성한다.
- <157> 이하, 도 9b 내지 도 9e와 도 10b 내지 도 10e와 도 11b 내지 도 11e는 제 2 마스크 공정과 연속한 제 3 마스크 공정을 나타낸 공정 단면도이다.
- <158> 도 9b와 도 10b와 도 11b에 도시한 바와 같이, 상기 제 2 절연막(112)을 제 2 마스크 공정으로 패터닝하여, 상기 게이트 전극(102)에 대하는 순수 비정질 실리콘층(110)의 상부에 식각 방지막(114)을 형성한다.
- <159> 상기 식각 방지막(114)은, 이후 공정에서 형성되는 액티브층(미도시)의 면적보다 작은 면적이 되도록 형성되어야 한다.

- <160> 다음으로, 상기 식각 방지막(114)이 형성된 기판의(100) 전면에 불순물이 비정질 실리콘층(116)과, 제 2 도전성 금속층(118)을 적층하고, 상기 제 2 도전성 금속층(118)의 상부에 감광층(120)을 형성한다.
- <161> 다음으로, 감광층(120)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <162> 이때, 상기 스위칭 영역(S)과 데이터 영역(D)에 대응하여 차단부(B2)가 위치하도록 하고, 상기 게이트 패드(106)에 대응하여 투과부(B1)가 위치하도록 하고, 그 외의 영역에 반투과부(B1)가 위치하도록 한다.
- <163> 이때, 상기 스위칭 영역(S)에 대응한 차단부(B2)의 면적은 상기 게이트 전극(102)의 면적보다 작은 면적으로 구성하는 것을 특징으로 한다.
- <164> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(120)을 노광하는 공정을 진행한다.
- <165> 도 9c와 도 10c와 도 11c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)에 대응하여 원래의 높이대로 패터닝되고, 상기 게이트 패드(106)에 대응하여 완전히 제거되어 하부의 제 2 도전성 금속층(118)을 노출하고 나머지 영역은 낮은 높이로 패터닝된 감광패턴(120)이 남게 된다.
- <166> 다음으로, 상기 게이트패드(106)에 대응하여 상부의 노출된 제 2 도전성 금속층(118)과 그 하부의 불순물 비정질 실리콘층(116)과 순수 비정질 실리콘층(110)과 제 1 절연막(108)을 제거하고, 상기 감광패턴(122)중 상기 스위칭 영역(S)을 제외한 영역에 대응하여 높이가 낮은 상태로 현상된 부분을 애싱하여 완전히 제거하는 공정을 진행한다.
- <167> 이와 같이 하면, 도 9d와 도 10d와 도 11d에 도시한 바와 같이, 상기 제 1 절연막(108)에 상기 게이트 패드(106)를 노출하는 게이트 패드 콘택홀(CH)이 형성되고, 상기 스위칭 영역(S)과 데이터 영역(D)에는 앞선 애싱공정에 의해 높이가 낮아진 감광패턴(120)이 남게 되고, 그 외의 영역에는 상기 제 1 절연막(108)과 순수 비정질 실리콘층(116)과 제 2 도전성 금속층(118)이 적층된 상태가 된다.
- <168> 다음으로, 상기 남겨진 감광패턴(122)의 주변으로 노출된 상기 도전성 금속층(118)과 그 하부의 불순물 비정질 실리콘층(116)과 순수 비정질 실리콘층(110)을 제거하는 공정을 진행한다.
- <169> 이와 같이 하면, 도 9e와 도 10e와 도 11e에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 게이트 전극(102)과 제 1 절연막(108)과 액티브층(패터닝된 순수 비정질 실리콘층, 124)과 오믹 콘택층(패터닝된 불순물 비정질 실리콘층, 126)과 버퍼금속(128)이 적층된 형태가 되고, 상기 데이터 영역(D)은 하부에 액티브층(패터닝된 순수 비정질 실리콘층, 122)과 오믹 콘택층(패터닝된 불순물 비정질 실리콘층, 124)이 적층된 데이터 패드(132)와 데이터 배선(130)이 형성된다.
- <170> 상기 게이트 영역(G)은 상기 제 1 절연막(108)에 형성된 콘택홀(CH)을 통해 하부의 게이트 패드(106)가 노출된 상태가 된다.
- <171> 이때, 상기 데이터 패드 및 데이터 배선(130, 128) 하부의 순수 비정질 실리콘층(액티브층, 122)은 외부로 노출된 형태는 아니다.
- <172> 이하, 도 9f 내지 도 9h와 도 10f 내지 도 10h와 도 11f 내지 도 11h는 본 발명의 제 4 마스크 공정단계를 공정 순서에 따라 도시한 공정 단면도이다.
- <173> 다음으로, 도 9f와 도 10f와 도 11f에 도시한 바와 같이, 기판(100)의 전면에 투명한 금속층(134)을 형성하고, 상기 투명한 금속층(134)의 상부에 감광층(136)을 형성한다.
- <174> 상기 투명 금속층(134)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- <175> 다음으로, 상기 감광층(136)의 이격된 상부에 투과부(B1)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.
- <176> 이때, 상기 스위칭 영역(S)에 대응하여 이격된 차단부(B2)와, 상기 화소 영역(P)과 데이터 영역(D)과 게이트 패드(106)에 대응하여 차단부(B2)가 위치하도록 한다.
- <177> 이때, 상기 스위칭 영역(S)의 일 측 차단부(B2)는 상기 데이터 영역(D)의 차단부(B2)와 일체로 구성된다. 상기 스위칭 영역(S)의 타 측 차단부(B2)는 상기 화소 영역(P)의 차단부(B2)와 일체로 구성된다.
- <178> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(134)을 노광한 후, 현상하는 공정을

진행한다.

- <179> 이와 같이 하면, 도 9g와 도 10g와 도 11g에 도시한 바와 같이, 상기 스위칭 영역(S)에 이격된 제 1 감광패턴(138a)과, 상기 화소 영역(P)에 제 2 감광패턴(138b)과 상기 게이트 패드(106)에 대응한 제 3 감광패턴(138c)과 상기 데이터 영역(D)에 대응하여 제 4 감광패턴(138d)이 형성된다.
- <180> 상기 이격된 제 1 감광패턴(138a)의 일 측과 타 측은 각각 상기 제 4 감광패턴(138d)과 상기 제 2 감광패턴(138b)과 평면적으로 일체로 패턴 된다.
- <181> 다음으로, 상기 제 1 내지 제 4 감광패턴(138a, 138b, 138c, 138d)사이로 노출된 하부의 투명 금속층(134)을 제거하고 다음으로, 상기 남겨진 제 1 내지 제 4 감광패턴(138a, 138b, 138c, 138d)을 하는 공정을 진행한다.
- <182> 이와 같이 하면, 도 9h와 도 10h와 도 11h에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 이격된 소스 전극(140)과 드레인 전극(142)이 형성되고, 상기 화소 영역(P)에는 화소 전극(146)이 형성되고, 상기 게이트 영역(G)에는 상기 게이트 패드(106)와 접촉하는 게이트 패드 전극(148)이 형성되고, 상기 데이터 영역(D)에는 상기 데이터 배선(130)을 감싸는 형태의 투명한 금속패턴(150)과, 상기 데이터 패드(132)와 접촉하는 투명한 데이터 패드 전극(152)이 형성된다.
- <183> 다음으로, 상기 소스 및 드레인 전극(140, 142)의 이격된 하부로 노출된 버퍼금속(128)과 그 하부의 오믹 콘택층(124)을 제거하여, 상기 소스 및 드레인 전극(140, 142)의 하부에만 위치하도록 한다.
- <184> 이때, 상기 오믹 콘택층(124)은 건식식각 공정으로 제거된다. 따라서, 상기 버퍼금속(128)이 건식식각(dry etch)이 가능한 금속일 경우에는 상기 오믹 콘택층(126)과 동시에 식각하는 것이 가능하나, 그렇지 않은 경우 상기 버퍼금속(128)을 습식식각(wet etch)으로 먼저 제거한 후, 상기 오믹 콘택층(126)을 건식식각으로 제거하는 공정을 진행한다.
- <185> 따라서, 바람직하게는 상기 버퍼금속(128)으로 몰리브덴(Mo)을 사용하는 것이 바람직하다.
- <186> 이때, 상기 오믹 콘택층(126)을 건식식각 하는 공정 중, 상기 식각 방지막(114)에 의해 상기 하부의 액티브층(124) 표면에 데미지가 가해지는 것을 방지할 수 있는 장점이 있으며, 상기 액티브층은 종래에 비해 얇게 구성하는 것이 가능하다.
- <187> 한편, 상기 소스 및 드레인 전극(140, 142)과 화소 전극(146)과 게이트 패드 전극(148)과 데이터 패드 전극(152)은 모두 투명한 금속층으로만 구성된다.
- <188> 이때, 상기 화소 전극(148)을 게이트 배선(104)의 상부로 연장된 형태로 구성하여, 상기 게이트 배선(104)을 제 1 전극으로 하고, 상기 게이트 배선(104)을 제 2 전극으로 하고, 상기 제 1 및 제 2 전극의 사이에 개재된 제 1 절연막(108)을 유전체로 하는 스토리지 캐패시터(Cst)를 형성할 수 있다.
- <189> 전술한 공정을 통해 본 발명에 따른 새로운 4마스크 공정으로, 배선의 하부에 액티브층이 존재하지 않는 형상의 액정표시장치용 어레이기판을 제작할 수 있다.
- <190> 이하, 본 발명에 따른 공정을 간략히 설명하면 아래와 같다.
- <191> 제 1 마스크 공정 : 게이트 전극과 게이트 배선 및 게이트 패드를 형성하는 공정.
- <192> 제 2 마스크 공정 : 식각 방지막을 형성하는 공정.
- <193> 제 3 마스크 공정 : 상기 식각방지막을 사이에 두고 상.하로 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 버퍼 금속과 데이터 패드 및 데이터 배선을 형성하는 공정.
- <194> 제 4 마스크 공정 : 투명 금속층으로 구성된 소스 전극 및 드레인 전극과 화소 전극과 상기 게이트 패드와 접촉하는 게이트 패드 전극과 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하고, 상기 버퍼금속과 상기 오믹 콘택층을 이격하여 형성하는 공정.
- <195> 이상의 공정을 통해, 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- <196> 이하, 제 2 실시예를 통해 상기 제 1 실시예의 변형예를 설명한다.
- <197> -- 제 2 실시예 --
- <198> 평면적인 구성은, 상기 제 1 실시예와 동일하므로 이를 생략하기로 한다.

- <199> 이하, 도 12a 내지 도 12k와 도 13a 내지 도 13k와 도 14a 내지 도 14k는 도 7의 VI-VI, VII-VII, VIII-VIII을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(번호는 도 7과 달리 표기함.)
- <200> 도 12a와 도 13a와 도 14a는 제 1 마스크 공정을 나타낸 공정 단면도이다.
- <201> 도시한 바와 같이, 기판(200)상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다. 이때, 상기 스토리지 영역(C)을 게이트 영역(G)의 일부에 정의 한다.
- <202> 상기 다수의 영역(S,P,G,D,C)을 정의한 기판(200)상에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 1 도전성 금속층(미도시)을 형성하고, 상기 제 1 도전성 금속층(미도시)을 제 1 마스크 공정으로 패터하여, 상기 스위칭 영역(S)에 게이트 전극(202)을 형성하고, 상기 게이트 영역(G)에 대응하여 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(204)을 형성한다.
- <203> 이하, 도 12b 내지 도 12e와 도 13b 내지 도 13e와 도 14a 내지 도 14e는 제 2 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.
- <204> 도 12b와 도 13b와 도 14b에 도시한 바와 같이, 상기 기판(200)의 전면에 제 1 절연막(208)과 순수 비정질 실리콘층(210)과 제 2 절연막(212)을 적층한다.
- <205> 이때, 상기 제 1 절연막(208)과 제 2 절연막(212)은 질화 실리콘( $Si_3N_4$ )과 산화 실리콘( $SiO_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성한다.
- <206> 상기 순수 비정질 실리콘층(210)은 불순물이 포함되지 않은 순수 비정질 실리콘(a-Si:H)을 증착하여 형성한다.
- <207> 다음으로, 상기 제 2 절연막(212)의 상부에 포토레지스트(photo resist)를 도포하여 감광층(214)을 형성하고, 상기 감광층(214)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.
- <208> 이때, 상기 스위칭 영역(S)에 대응하는 일부에 차단부(B2)가 위치하고, 상기 게이트 패드(206)에 대응하여 투과부(B3)가 위치하고, 나머지 영역에 대응하여 반투과부(B3)가 위치하도록 한다.
- <209> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(214)을 노광한 후, 현상하는 공정을 진행한다.
- <210> 도 12c와 도 13c와 도 14c에 도시한 바와 같이, 상기 스위칭 영역(S)의 일부(중심)에 대응하여 원래의 높이대로 패터 되고, 상기 게이트 패드(206)에 대응하여 하부의 제 2 절연막(212)을 노출하고 그 외의 영역에는 높이가 낮아진 상태로 패터된 감광패턴(216)을 형성한다.
- <211> 다음으로, 상기 게이트 패드(206)에 대응하여 노출된 제 2 절연막(212)과 순수 비정질 실리콘층(210)과 제 1 절연막(208)을 식각하는 공정을 진행한다.
- <212> 이와 같이 하면, 도 12d와 도 13d와 도 14d에 도시한 바와 같이, 상기 게이트 패드(206)를 노출하는 콘택홀(CH)이 형성된다.
- <213> 다음으로, 상기 남겨진 감광패턴(216)중, 높이가 낮게 패터된 부분을 애싱공정으로 완전히 제거하여 노출된 하부의 제 2 절연막(212)과 순수 비정질 실리콘층(210)을 제거하는 공정을 진행한다.
- <214> 이와 같이 하면, 도 12e와 도 13e와 도 14e에 도시한 바와 같이, 상기 게이트 전극(202)에 대응하는 상부에 식각 방지막(218)이 형성되고, 상기 게이트 패드(206)가 노출된 상태가 된다.
- <215> 이때, 상기 순수 비정질 실리콘층(210)은 여전히 기판(200)의 전면에 형성된다.
- <216> 이하, 도 12f 내지 도 12h와 도 13f 내지 도 13h와 도 14f 내지 도 14h는 제 3 마스크 공정단계를 공정순서에 따라 도시한 공정 단면도이다.
- <217> 도 12f와 도 13f와 도 14f에 도시한 바와 같이, 상기 식각 방지막(218)이 형성된 기판(200)의 전면에 불순물 비정질 실리콘층(n+a-Si:H, 220)과 제 2 도전성 금속층(222)을 적층하고, 상기 제 2 도전성 금속층(222)의 상부에 감광층(224)을 형성한다.
- <218> 다음으로, 감광층(224)의 이격된 상부에 투과부(B1)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.
- <219> 이때, 상기 스위칭 영역(S)과 데이터 영역(D)에 대응하여 차단부(B2)가 위치하도록 하고, 그 외의 영역에 투과

부(B1)가 위치하도록 한다.

- <220> 이때, 상기 스위칭 영역(S)에 대응한 차단부(B2)의 면적은 상기 게이트 전극(202)의 면적보다 작은 면적으로 구성하는 것을 특징으로 한다.
- <221> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(224)을 노광하는 공정을 진행한다.
- <222> 이와 같이 하면, 도 12g와 도 13g와 도 14g에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)에 대응하여 원래의 높이대로 패터닝된 감광패턴(226)이 남게 된다.
- <223> 다음으로, 상기 감광 패턴(226)의 주변으로 노출된 제 2 도전성 금속층(222)과 그 하부의 불순물 비정질 실리콘층(220)을 제거하는 공정을 진행한다.
- <224> 이와 같이 하면, 도 12h와 도 13h와 도 14h에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 게이트 전극(202)과 제 1 절연막(208)과 액티브층(패터닝된 순수 비정질 실리콘층, 228)과 오믹 콘택층(패터닝된 불순물 비정질 실리콘층, 230)과 금속패턴(232)이 적층된 형태가 되고, 상기 데이터 영역(D)은 하부에 액티브층(패터닝된 순수 비정질 실리콘층, 228)과 오믹 콘택층(패터닝된 불순물 비정질 실리콘층, 230)적층된 데이터 패드(236)와 데이터 배선(234)이 형성된다.
- <225> 상기 게이트 영역(G)은 상기 제 1 절연막(208)에 형성된 콘택홀(CH)을 통해 하부의 게이트 패드(206)가 노출된 상태가 된다.
- <226> 이때, 상기 데이터 패드 및 데이터 배선(236, 234) 하부의 순수 비정질 실리콘층(210)은 외부로 노출된 형태는 아니다.
- <227> 이하, 도 12i 내지 도 12k, 도 13i 내지 도 13k와 도 14i 내지 도 14k는 제 4 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.
- <228> 도 12i, 도 13i와 도 14i에 도시한 바와 같이, 기판(200)의 전면에 투명한 도전성 금속층(238)을 형성하고, 상기 투명한 도전성 금속층(238)의 상부에 감광층(240)을 형성한다.
- <229> 상기 투명 도전성 금속층(238)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성한다.
- <230> 다음으로, 상기 감광층(240)의 이격된 상부에 투과부(B1)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.
- <231> 이때, 상기 스위칭 영역(S)에 대응하여 이격된 차단부(B2)와, 상기 화소 영역(P)과 데이터 영역(D)과 게이트 패드(206)에 대응하여 차단부(B2)가 위치하도록 한다.
- <232> 이때, 상기 스위칭 영역(S)의 일측 차단부(B2)는 상기 데이터 영역(D)의 차단부(B2)와 일체로 구성된다. 상기 스위칭 영역(S)의 타측 차단부(B2)는 상기 화소 영역(P)의 차단부(B2)와 일체로 구성된다.
- <233> 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(242)을 노광한 후, 현상하는 공정을 진행한다.
- <234> 이와 같이 하면, 도 12j와 도 13j와 도 14j에 도시한 바와 같이, 상기 스위칭 영역(S)에 이격된 제 1 감광패턴(242a)과, 상기 화소 영역(P)에 제 2 감광패턴(242b)과 상기 게이트 패드(206)에 대응한 제 3 감광패턴(242c)과 상기 데이터 영역(D)에 대응하여 제 4 감광패턴(242d)이 형성된다.
- <235> 상기 이격된 제 1 감광패턴(242a)의 일 측과 타 측은 각각 상기 제 4 감광패턴(242d)과 상기 제 2 감광패턴(242b)과 평면적으로 일체로 패터닝 된다.
- <236> 다음으로, 상기 제 1 내지 제 4 감광패턴(242a, 242b, 242c, 242d)사이로 노출된 하부의 투명 금속층(238)을 제거하고 다음으로, 상기 남겨진 제 1 내지 제 4 감광패턴(242a, 242b, 242c, 242d)을 하는 공정을 진행한다.
- <237> 이와 같이 하면, 도 12k와 도 13k와 도 14k에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 이격된 소스 전극(246)과 드레인 전극(248)이 형성되고, 상기 화소 영역(P)에는 화소 전극(250)이 형성되고, 상기 게이트 영역(G)에는 상기 게이트 패드(206)와 접촉하는 게이트 패드 전극(256)이 형성되고, 상기 데이터 영역(D)에는 상기 소스 전극(246)에서 연장되면서 상기 데이터 배선(234)을 감싸는 형태의 투명한 금속패턴(252)과, 상기 데이터 패드(236)와 접촉하는 투명한 데이터 패드 전극(254)이 형성된다.
- <238> 다음으로, 상기 소스 및 드레인 전극(246, 248)의 이격된 하부로 노출된 버퍼금속(232)과 그 하부의 오믹 콘택층

(230)을 제거하여, 상기 소스 및 드레인 전극(246,248)의 하부에만 위치하도록 한다.

- <239> 이때, 상기 오믹 콘택층(230)은 건식식각 공정으로 제거된다. 따라서, 상기 버퍼금속(232)이 건식식각(dry etch)이 가능한 금속일 경우에는 상기 오믹 콘택층(230)과 동시에 식각하는 것이 가능하나, 그렇지 않은 경우 상기 버퍼금속(232)을 습식식각(wet etch)으로 먼저 제거한 후, 상기 오믹 콘택층(230)을 건식식각으로 제거하는 공정을 진행한다.
- <240> 따라서, 바람직하게는 상기 버퍼금속(232)으로 몰리브덴(Mo)을 사용하는 것이 바람직하다.
- <241> 이때, 상기 오믹 콘택층(230)을 건식식각 하는 공정 중, 상기 식각 방지막(218)에 의해 상기 하부의 액티브층(228)의 표면에 데미지가 가해지는 것을 방지할 수 있는 장점이 있다.
- <242> 한편, 상기 소스 및 드레인 전극(246,248)과 화소 전극(250)과 게이트 패드 전극(256)과 데이터 패드 전극(254)은 모두 투명한 금속층으로만 구성된다.
- <243> 이때, 상기 화소 전극(250)을 게이트 배선(204)의 상부로 연장된 형태로 구성하여, 상기 게이트 배선(204)을 제 1 전극으로 하고, 상기 게이트 배선(204)을 제 1 전극으로 하고, 상기 제 1 및 제 2 전극의 사이에 개재된 제 1 절연막(208)을 유전체로 하는 스토리지 캐패시터(Cst)를 형성할 수 있다.
- <244> 전술한 공정을 통해 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판을 제작할 수 있다.
- <245> 이하, 본 발명에 따른 공정을 간략히 설명하면 아래와 같다.
- <246> 제 1 마스크 공정 : 게이트 전극과 게이트 배선 및 게이트 패드를 형성하는 공정.
- <247> 제 2 마스크 공정 : 식각 방지막과 게이트 패드를 노출하는 공정.
- <248> 제 3 마스크 공정 : 상기 식각 방지막을 사이에 두고 상.하로 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 버퍼 금속과, 데이터 패드 및 데이터 배선을 형성하는 공정.
- <249> 제 4 마스크 공정 : 투명 금속층으로 구성된 소스 전극 및 드레인 전극과 화소 전극과 상기 게이트 패드와 접촉하는 게이트 패드 전극과 상기 데이터 패드와 접촉하는 데이터 패드 전극을 형성하고, 상기 버퍼금속과 하부의 오믹 콘택층이 이격되도록 형성하는 공정.
- <250> 전술한 바와 같이, 발명의 제 1 및 제 2 실시예에 따른 새로운 4 마스크 공정을 통해 액정표시장치용 어레이 기판을 제작할 수 있다.

### 발명의 효과

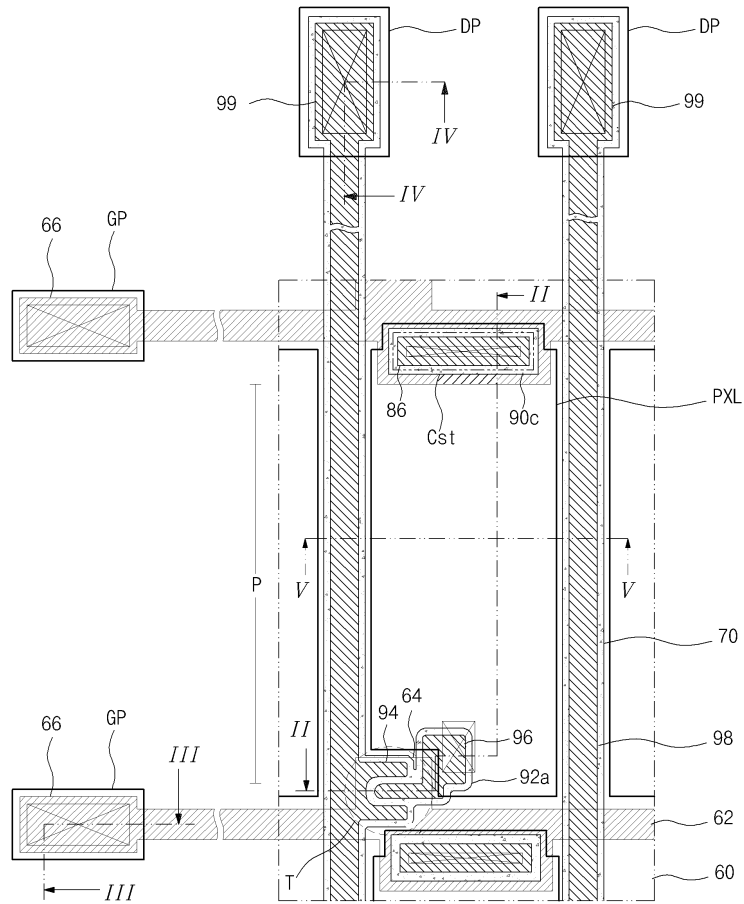
- <251> 본 발명에 따른 액정표시장치용 어레이기판의 구성은, 액티브층이 게이트 전극의 상부에 이보다 작은 면적으로 구성되기 때문에, 빛에 노출되지 않아 광전류가 발생하지 않는다.
- <252> 따라서, 박막트랜지스터의 동작에 오류가 발생하지 않아 고화질을 구현할 수 있는 효과가 있다.
- <253> 또한, 공정 중, 상기 데이터 배선이 단선되더라도, 상기 데이터 배선 상부의 투명한 금속패턴에 의해 셀프 리페어(self repair)가 가능하여 공정수율을 개선할 수 있는 효과가 있다.
- <254> 또한, 상기 데이터 배선의 하부에 존재하는 액티브층(비정질 실리콘층)이 상기 데이터 배선의 외측으로 연장된 형태가 아니기 때문에, 개구영역을 더욱 확보할 수 있는 효과가 있다.
- <255> 상기 식각방지막으로 인해, 상기 액티브층의 두께를 얇게 형성하는 것이 가능하여, 단차를 줄일 수 있는 효과가 있다.

### 도면의 간단한 설명

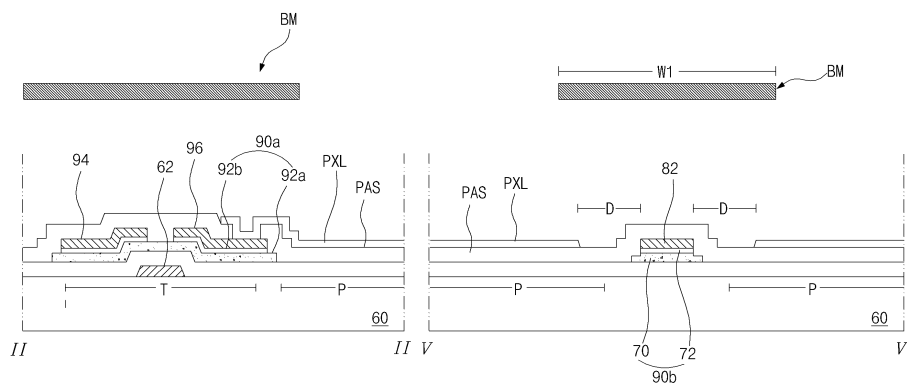
- <1> 도 1은 일반적인 액정패널의 구성을 개략적으로 도시한 사시도이고,
- <2> 도 2는 종래에 따른 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,
- <3> 도 3은 도 2의 II-II와 V-V를 따라 절단한 단면도이고,
- <4> 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 II-II, III-III, IV-IV를 절단하여, 종래에 따른 공정순서에 따라 도시한 공정 단면도이고,



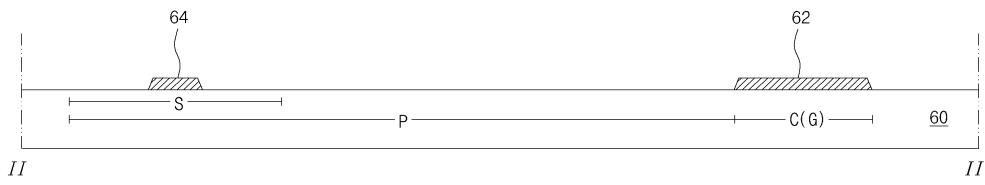
도면2



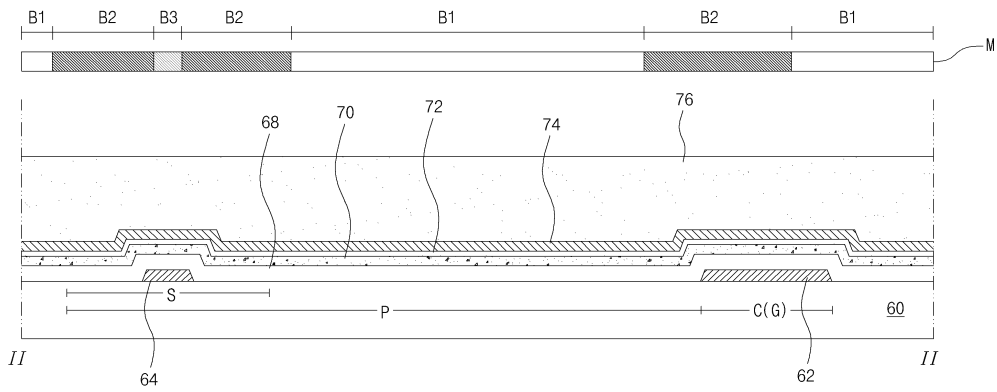
도면3



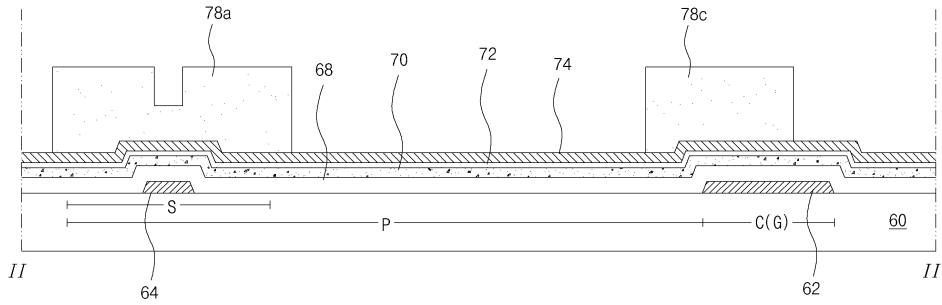
도면4a



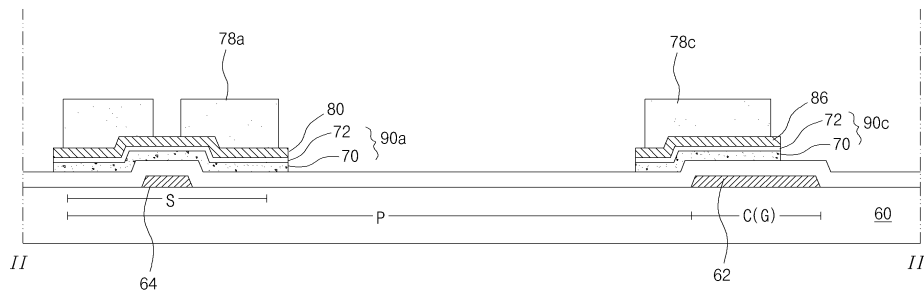
도면4b



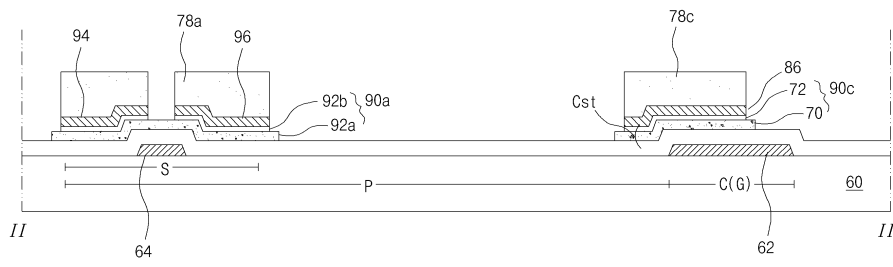
도면4c



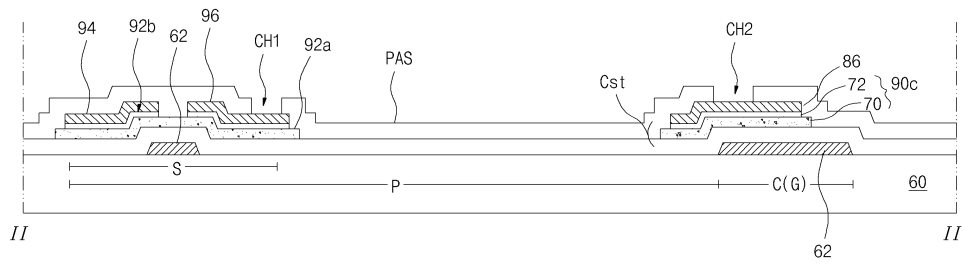
도면4d



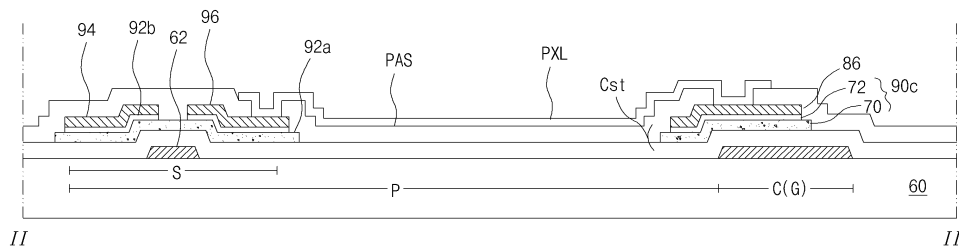
도면4e



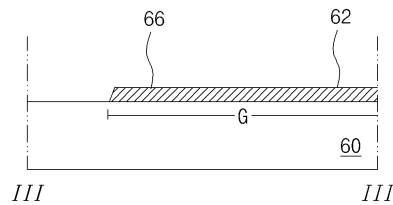
도면4f



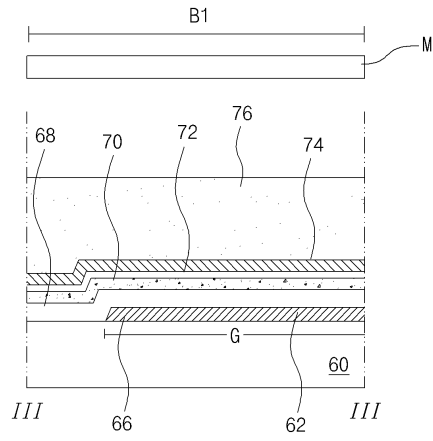
도면4g



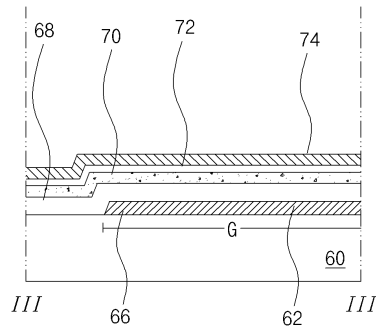
도면5a



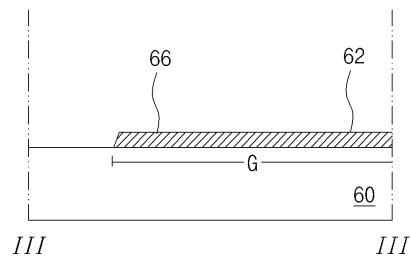
도면5b



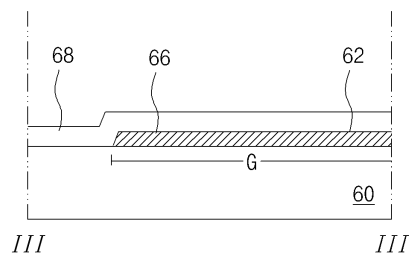
도면5c



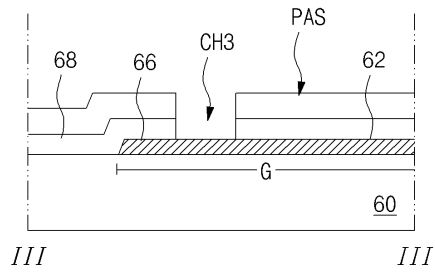
도면5d



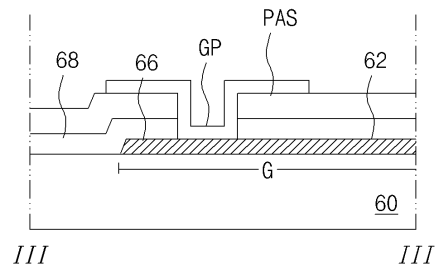
도면5e



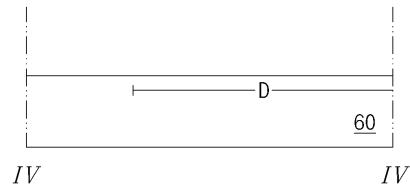
도면5f



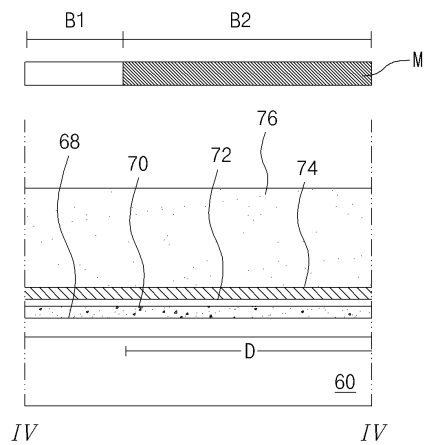
도면5g



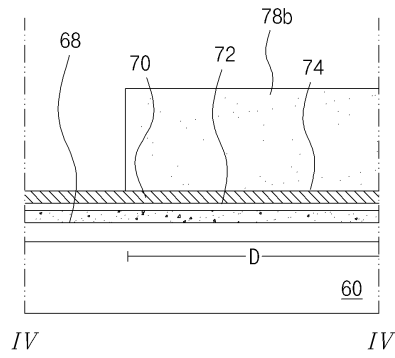
도면6a



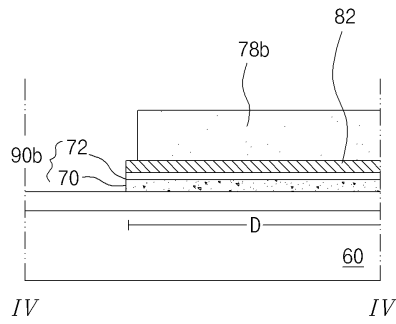
도면6b



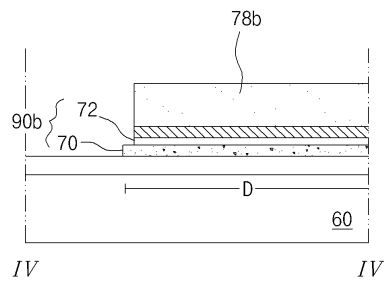
도면6c



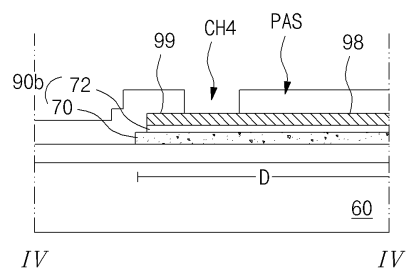
도면6d



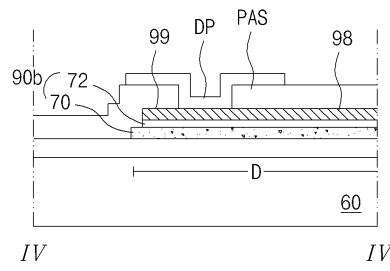
도면6e



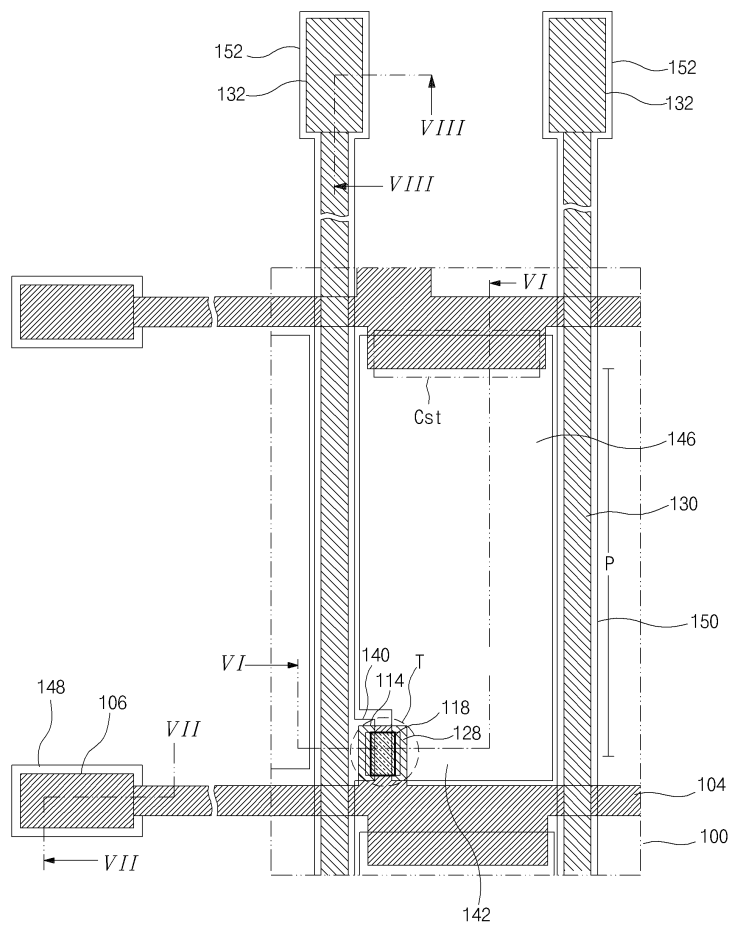
도면6f



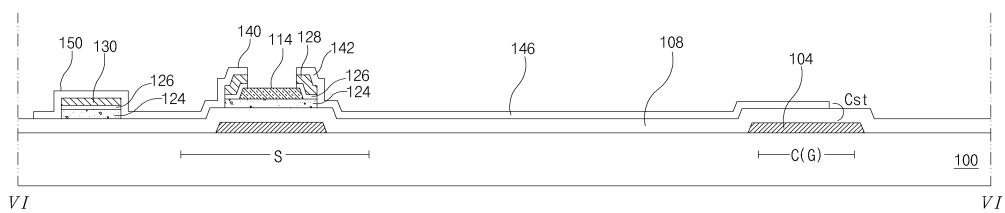
도면6g



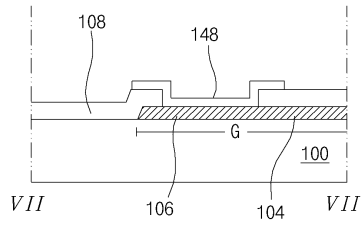
도면7



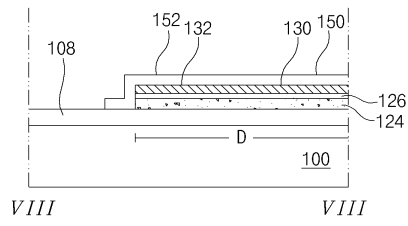
도면8a



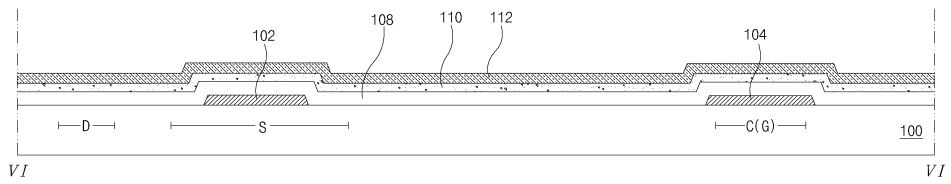
도면8b



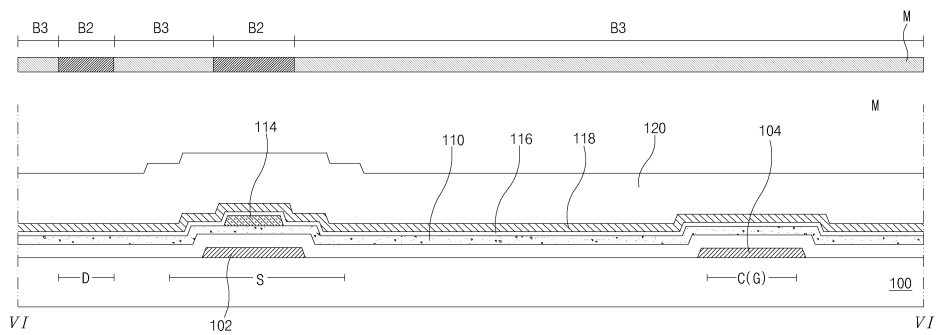
도면8c



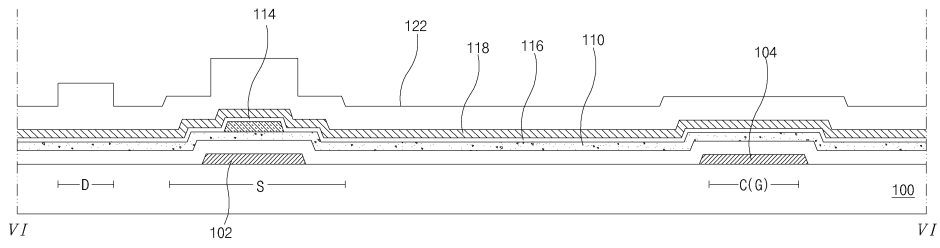
도면9a



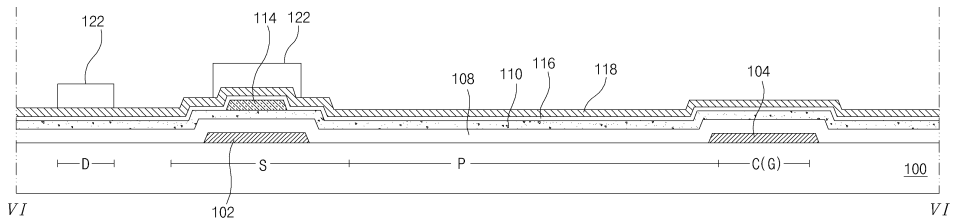
도면9b



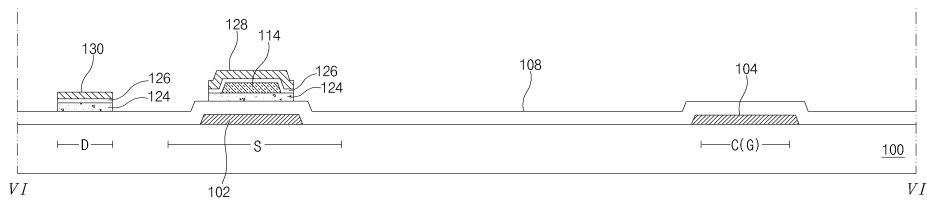
도면9c



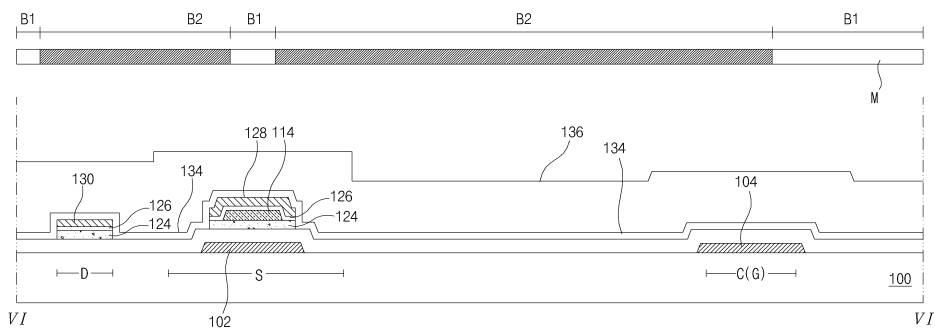
도면9d



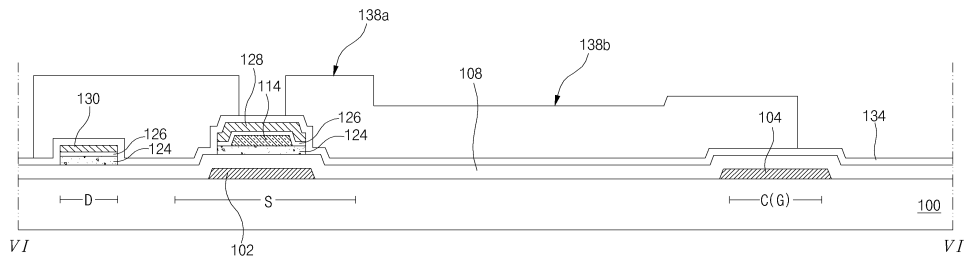
도면9e



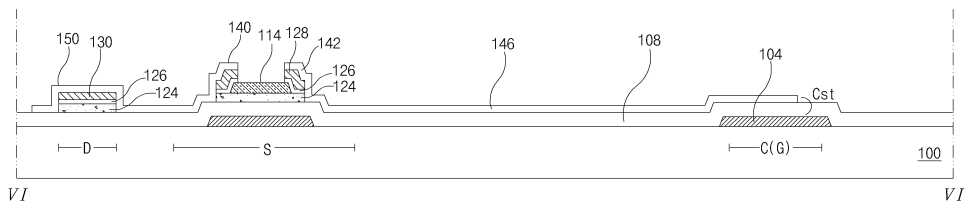
도면9f



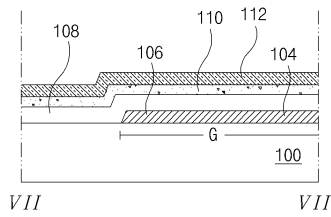
도면9g



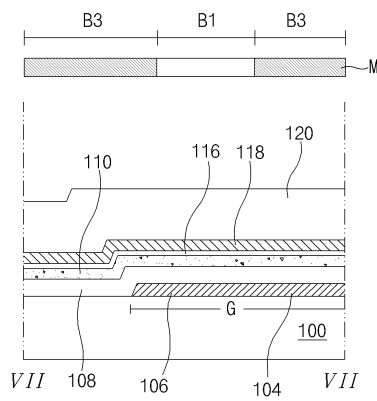
도면9h



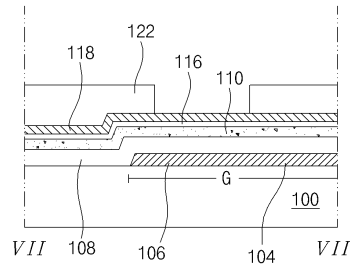
도면10a



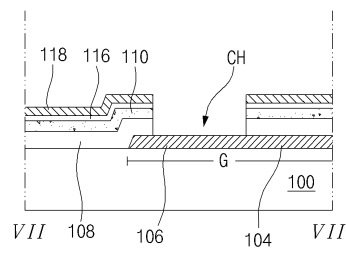
도면10b



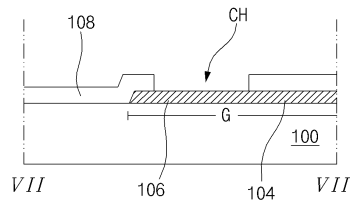
도면10c



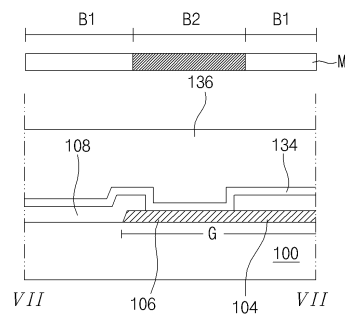
도면10d



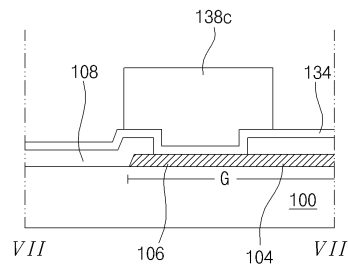
도면10e



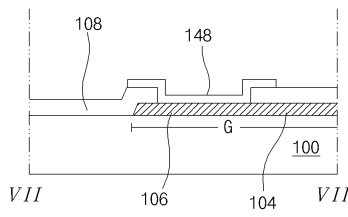
도면10f



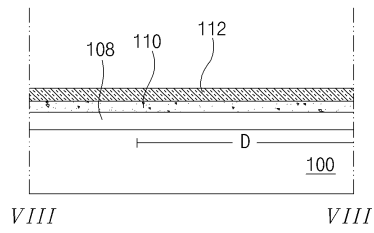
도면10g



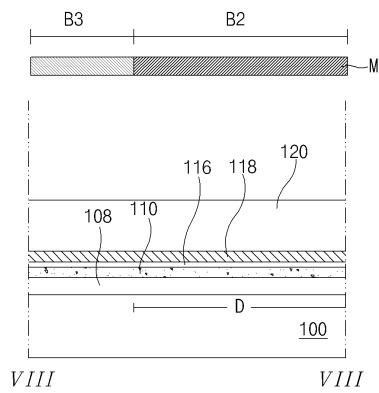
도면10h



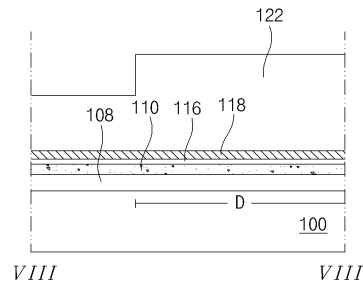
도면11a



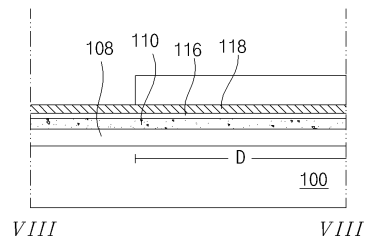
도면11b



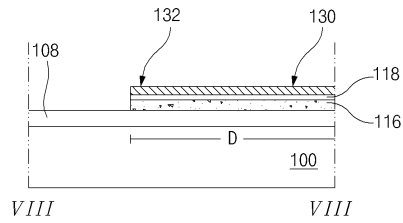
도면11c



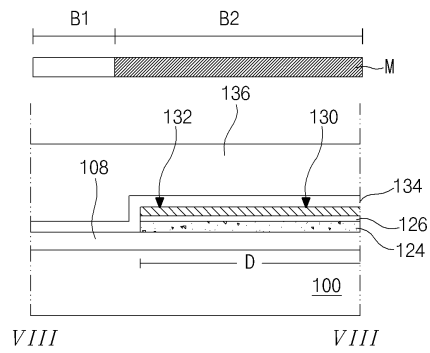
도면11d



도면11e

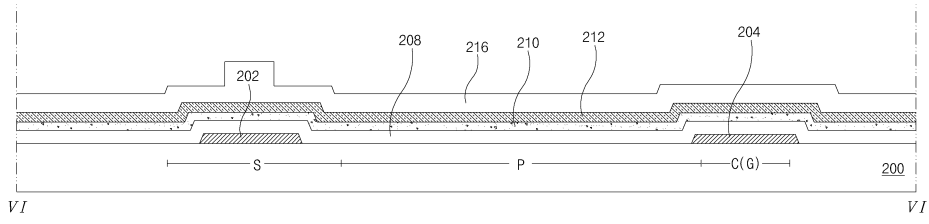


도면11f

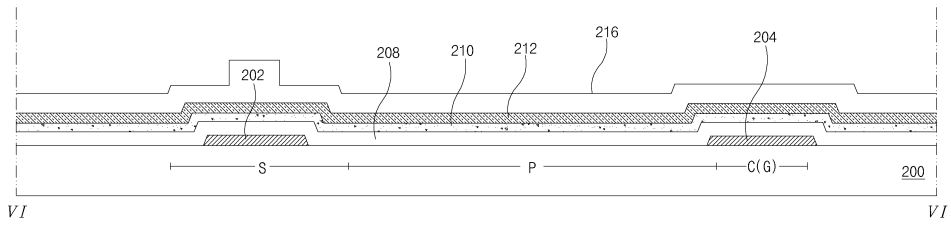




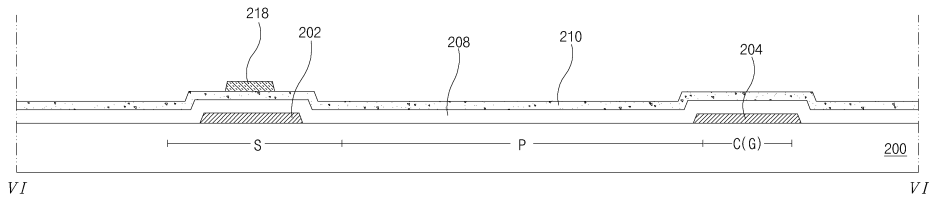
도면12c



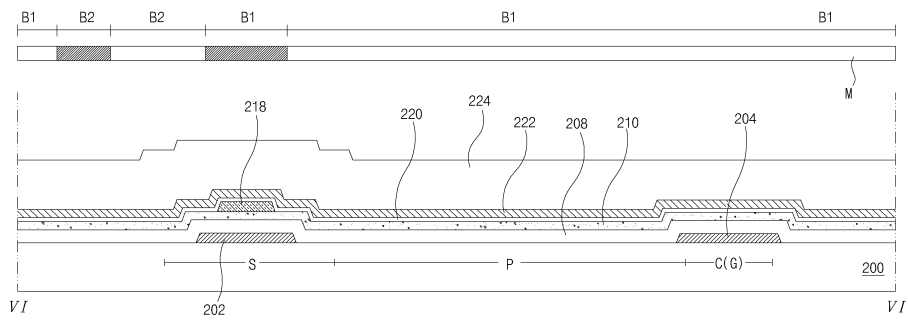
도면12d



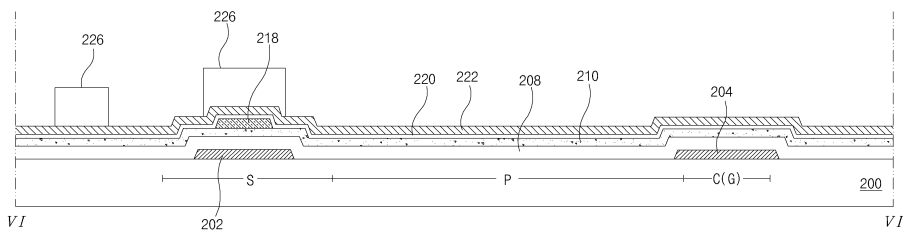
도면12e



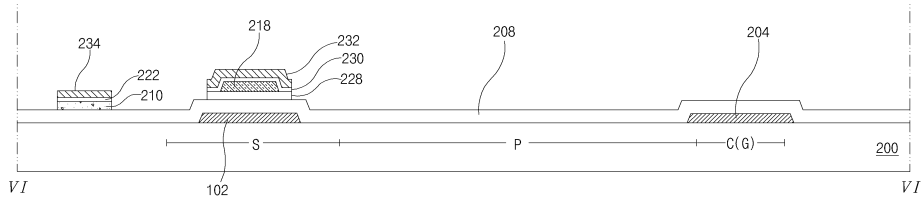
도면12f



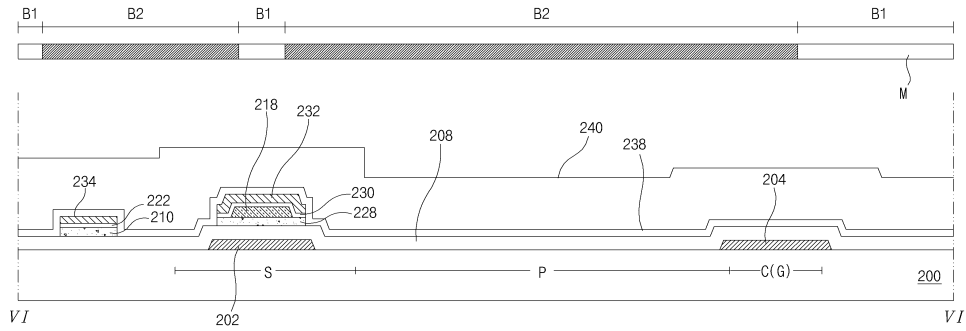
도면12g



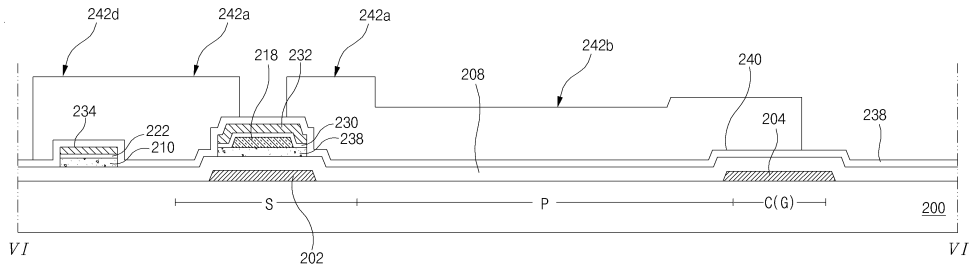
도면12h



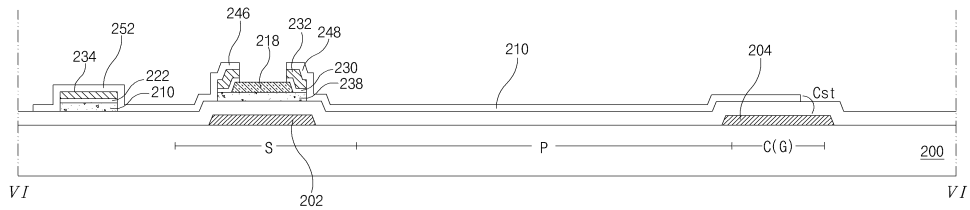
도면12i



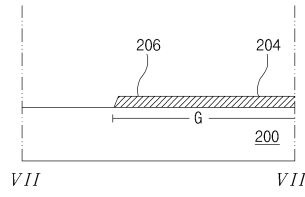
도면12j



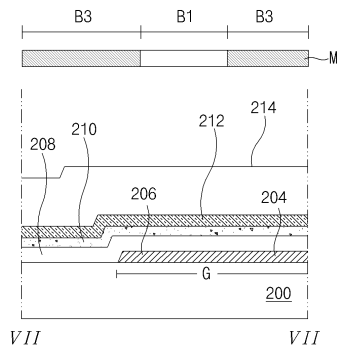
도면12k



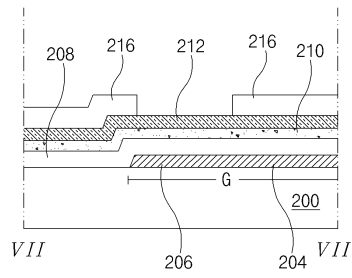
도면13a



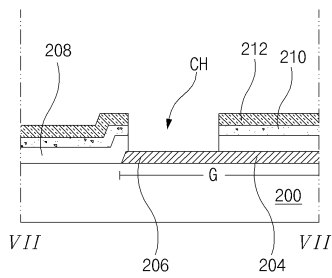
도면13b



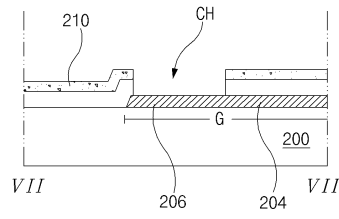
도면13c



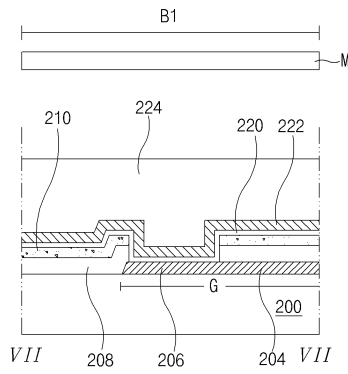
도면13d



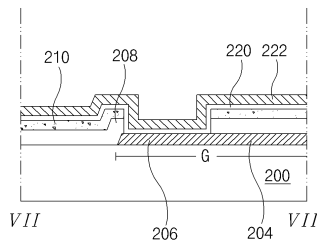
도면13e



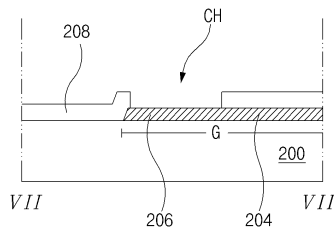
도면13f



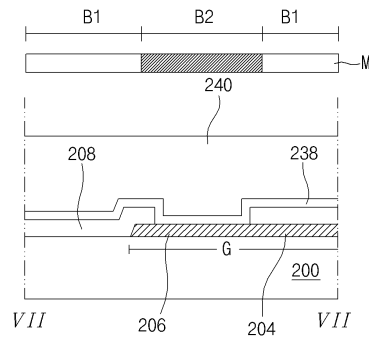
도면13g



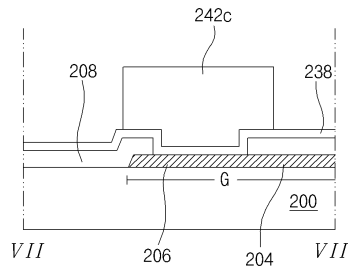
도면13h



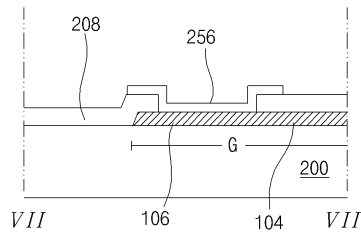
도면13i



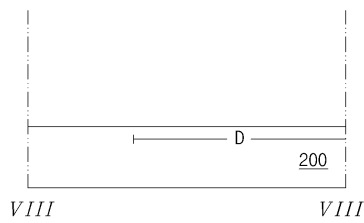
도면13j



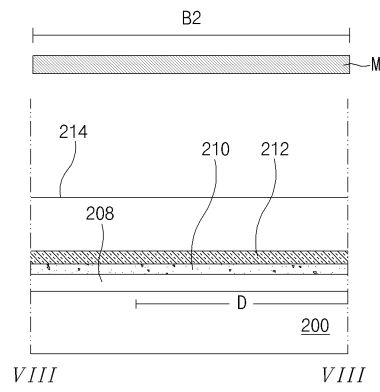
도면13k



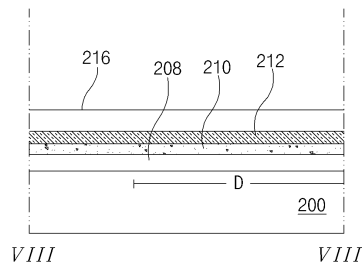
도면14a



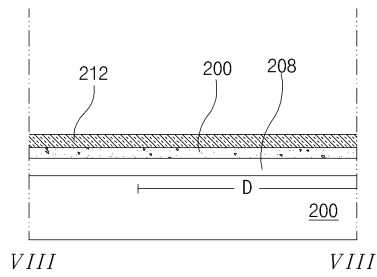
도면14b



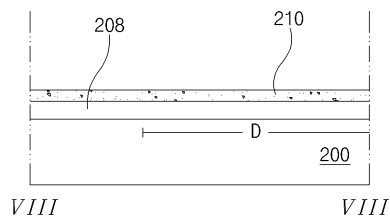
도면14c



도면14d



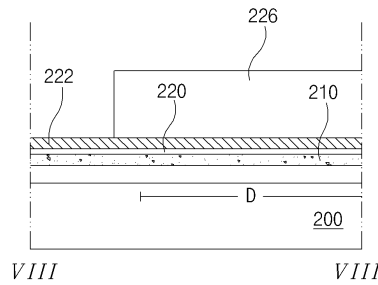
도면14e



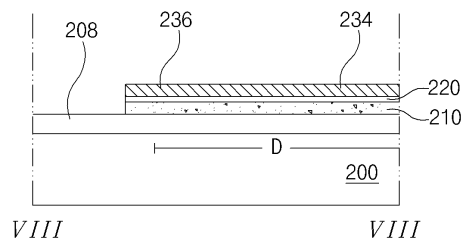
도면14f



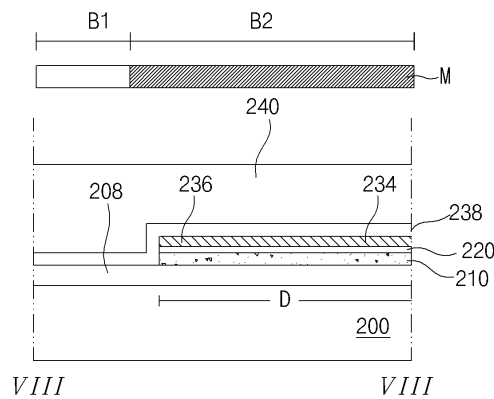
도면14g



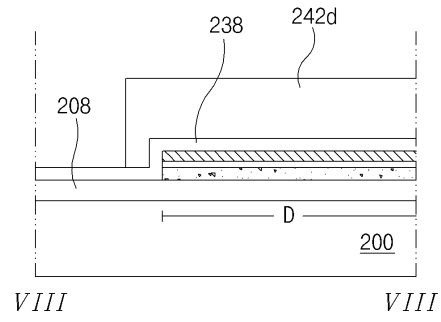
도면14h



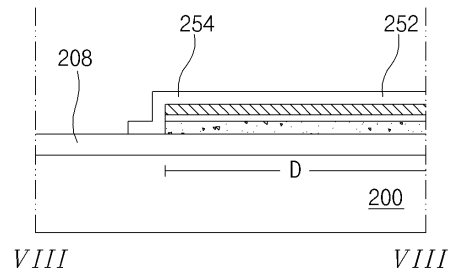
도면14i



도면14j



도면14k



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	<a href="#">KR1020080002222A</a>	公开(公告)日	2008-01-04
申请号	KR1020060060903	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE CHANG BIN		
发明人	LEE, CHANG BIN		
IPC分类号	G02F1/136		
CPC分类号	H01L29/78633 H01L27/1288 H01L29/42384 H01L27/1214		
其他公开文献	KR101282893B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种用于LCD (液晶显示器) 的阵列基板及其制造方法, 通过将源层配置在栅电极的上部上来防止有源层形成暴露于光, 从而防止产生光电流。该区域小于栅电极, 并且通过防止TFT (薄膜晶体管) 的操作错误实现高图像质量。在基板 (100) 上, 限定像素区域, 开关区域, 栅极区域和数据区域。数据线 (130) 设置在数据区中, 并且在其一端包括透明数据焊盘 (132)。TFT (薄膜晶体管) 设置在开关区域上。TFT 包括栅电极, 绝缘层, 欧姆接触层和与有源层隔开的缓冲金属 (128), 透明源电极 (140) 和漏电极 (142) 各自与缓冲金属接触并从数据线和用于覆盖有源层的防蚀刻膜。漏电极与源电极隔开。栅极线 (104) 设置在栅极区域中, 并且在其一端包括透明栅极焊盘。透明像素电极 (146) 设置在像素区域中。

