



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0110166  
(43) 공개일자 2007년11월16일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0043074

(22) 출원일자 2006년05월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김범준

서울 서초구 양재동 82-13 (16/2)

이중환

경기 안양시 동안구 달안동 셋별아파트 602동 1705호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

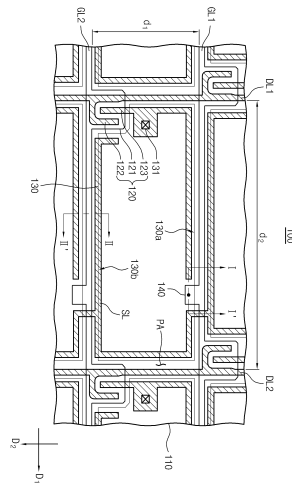
전체 청구항 수 : 총 18 항

(54) 어레이 기판 및 이를 갖는 액정표시장치

(57) 요약

어레이 기판 및 이를 갖는 액정표시장치에서, 다수의 게이트 라인은 서로 제1 간격으로 이격되고, 다수의 데이터 라인은 게이트 라인들과 절연되게 교차하고, 서로 제1 간격보다 큰 제2 간격으로 이격되어 다수의 화소영역을 정의한다. 다수의 화소는 스위칭 소자, 화소전극 및 리페어 전극으로 이루어져 다수의 화소영역에 대응하여 구비된다. 스위칭 소자는 해당 게이트 라인과 해당 데이터 라인에 전기적으로 연결되고, 화소전극은 스위칭 소자의 출력전극에 전기적으로 연결된다. 리페어 전극은 해당 게이트 라인으로부터 분기되어 화소전극과 오버랩된다. 따라서, 하이 픽셀 불량률이 발생된 화소를 리페어함으로써 액정표시장치의 표시품질을 개선할 수 있다.

대표도 - 도1



(72) 발명자

**전상진**

경기 수원시 영통구 영통동 황골마을1단지아파트  
138동 1705호

**김성만**

서울 송파구 신천동 장미아파트 30동 508호

**이봉준**

서울 종로구 소격동 37번지 지층

**이홍우**

충남 천안시 봉명동 청솔3차아파트 301동 906호

## 특허청구의 범위

### 청구항 1

베이스 기판;

상기 베이스 기판 상에 구비되고, 서로 제1 간격으로 이격된 다수의 게이트 라인;

상기 베이스 기판 상에 구비되어 상기 게이트 라인들과 절연되게 교차하고, 서로 상기 제1 간격보다 큰 제2 간격으로 이격되어 다수의 화소영역을 정의하는 다수의 데이터 라인; 및

상기 다수의 화소영역에 대응하여 구비된 다수의 화소를 포함하고,

각 화소는,

해당 게이트 라인과 해당 데이터 라인에 전기적으로 연결된 스위칭 소자;

상기 스위칭 소자의 출력전극에 전기적으로 연결된 화소전극; 및

상기 해당 게이트 라인으로부터 분기되어 상기 화소전극과 오버랩되는 리페어 전극을 포함하는 것을 특징으로 하는 어레이 기판.

### 청구항 2

제1항에 있어서, 상기 리페어 전극은 정사각형 형상으로 이루어지고,  $4\mu\text{m} \times 4\mu\text{m}$  이상의 면적을 갖는 것을 특징으로 하는 어레이 기판.

### 청구항 3

제1항에 있어서, 상기 베이스 기판 상에 구비되고, 공통전압이 인가되는 스토리지 라인을 더 포함하는 것을 특징으로 하는 어레이 기판.

### 청구항 4

제3항에 있어서, 상기 스토리지 라인은 상기 화소전극의 에지부분과 오버랩된 것을 특징으로 하는 어레이 기판.

### 청구항 5

제4항에 있어서, 상기 스위칭 소자의 출력전극은 상기 게이트 라인과 평행하도록 절곡되어 상기 화소전극의 에지부분을 따라 연장되고, 상기 화소전극과 오버랩된 것을 특징으로 하는 어레이 기판.

### 청구항 6

제5항에 있어서, 상기 출력전극의 일단부는 상기 에지부분에서 상기 스토리지 라인과 소정의 간격으로 이격되고,

상기 리페어 전극은 상기 에지부분에서 상기 출력전극의 일단부와 상기 스토리지 라인 사이에 개재된 것을 특징으로 하는 어레이 기판.

### 청구항 7

제3항에 있어서, 상기 스위칭 소자는 상기 게이트 라인으로부터 분기된 제어전극 및 상기 데이터 라인으로부터 분기된 입력전극을 더 포함하고,

상기 출력전극은 상기 입력전극과 동일한 층에 구비되며 상기 입력전극과 소정의 간격으로 이격된 것을 특징으로 하는 어레이 기판.

### 청구항 8

제7항에 있어서, 상기 스토리지 라인은 상기 스위칭 소자의 상기 입력전극 및 출력전극과 서로 동일한 층 상에 구비된 것을 특징으로 하는 어레이 기판.

### 청구항 9

제1항에 있어서, 상기 화소전극은 상기 게이트 라인들이 연장된 방향으로 연장되어 상기 게이트 라인들과 평행한 제1 및 제2 장변을 포함하는 것을 특징으로 하는 어레이 기판.

**청구항 10**

제9항에 있어서, 상기 제1 장변에 인접하는 제1 게이트 라인과 상기 스토리지 라인과의 이격거리는 상기 제1 게이트 라인과 상기 제1 장변과의 이격거리보다 작으며,

상기 제2 장변에 인접하는 제2 게이트 라인과 상기 출력전극의 이격거리는 상기 제2 게이트 라인과 상기 제2 장변과의 이격거리보다 작은 것을 특징으로 하는 어레이 기판.

**청구항 11**

제1항에 있어서, 박막 공정을 통해 상기 베이스 기판 상에 직접적으로 형성되고, 상기 다수의 게이트 라인의 제1 단부에 인접하여 구비되며, 상기 다수의 게이트 라인 중 홀수번째 게이트 라인에 제1 게이트 신호를 순차적으로 인가하는 제1 게이트 구동회로; 및

박막 공정을 통해 상기 어레이 기판 상에 직접적으로 형성되고, 상기 다수의 게이트 라인의 제2 단부에 인접하여 구비되며, 상기 다수의 게이트 라인 중 짝수번째 게이트 라인에 제2 게이트 신호를 순차적으로 인가하는 제2 게이트 구동회로를 더 포함하는 것을 특징으로 하는 어레이 기판.

**청구항 12**

어레이 기판, 상기 어레이 기판과 대향하여 결합하는 컬러필터기판 및 상기 어레이 기판과 상기 컬러필터기판과의 사이에 개재된 액정층으로 이루어져 영상을 표시하는 액정표시패널; 및

상기 액정표시패널을 구동하기 위한 구동부를 포함하고,

상기 어레이 기판은,

베이스 기판;

상기 베이스 기판 상에 구비되고, 서로 제1 간격으로 이격된 다수의 게이트 라인;

상기 베이스 기판 상에 구비되어 상기 게이트 라인들과 절연되게 교차하고, 서로 상기 제1 간격보다 큰 제2 간격으로 이격되어 다수의 화소영역을 정의하는 다수의 데이터 라인; 및

상기 다수의 화소영역에 대응하여 구비된 다수의 화소를 포함하고,

각 화소는,

해당 게이트 라인과 해당 데이터 라인에 전기적으로 연결된 스위칭 소자;

상기 스위칭 소자의 출력전극에 전기적으로 연결된 화소전극; 및

상기 해당 게이트 라인으로부터 분기되어 상기 화소전극과 오버랩되는 리페어 전극을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 13**

제12항에 있어서, 상기 구동부는,

박막 공정을 통해 상기 어레이 기판 상에 직접적으로 형성되고, 상기 다수의 게이트 라인의 제1 단부에 인접하여 구비되며, 상기 다수의 게이트 라인 중 홀수번째 게이트 라인에 제1 게이트 신호를 순차적으로 인가하는 제1 게이트 구동회로;

박막 공정을 통해 상기 어레이 기판 상에 직접적으로 형성되고, 상기 다수의 게이트 라인의 제2 단부에 인접하여 구비되며, 상기 다수의 게이트 라인 중 짝수번째 게이트 라인에 제2 게이트 신호를 순차적으로 인가하는 제2 게이트 구동회로; 및

칩 형태로 이루어져 상기 다수의 데이터 라인에 데이터 신호를 인가하는 데이터 구동칩을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 14**

제13항에 있어서, 상기 구동부는,

상기 데이터 구동칩, 제1 및 제2 게이트 구동회로에 제어신호를 제공하는 인쇄회로기판; 및

상기 인쇄회로기판과 상기 액정표시패널을 전기적으로 연결시키고, 상기 데이터 구동칩이 실장되는 테이프 캐리어 패키지를 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제12항에 있어서, 상기 리페어 전극은 정사각형 형상으로 이루어지고,  $4\mu\text{m} \times 4\mu\text{m}$  이상의 면적을 갖는 것을 특징으로 하는 액정표시장치.

**청구항 16**

제12항에 있어서, 상기 각 화소는 상기 베이스 기판 상에 구비되고, 공통전압이 인가되며, 상기 화소전극의 에지부분과 오버랩된 스토리지 라인을 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 17**

제16항에 있어서, 상기 스위칭 소자의 출력전극은 상기 게이트 라인과 평행하도록 절곡되어 상기 화소전극의 에지부분을 따라 연장되고, 상기 화소전극과 오버랩되며, 상기 스토리지 라인과 소정의 간격으로 이격된 것을 특징으로 하는 액정표시장치.

**청구항 18**

제17항에 있어서, 상기 리페어 전극은 상기 에지부분에서 상기 출력전극의 일단부와 상기 스토리지 라인 사이에 개재된 것을 특징으로 하는 액정표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <18> 본 발명은 어레이 기판 및 이를 갖는 표시패널에 관한 것으로, 더욱 상세하게는 표시품질을 개선할 수 있는 어레이 기판 및 이를 갖는 표시패널에 관한 것이다.
- <19> 일반적으로, 액정표시장치는 어레이 기판, 컬러필터기판, 어레이 기판과 컬러필터기판과의 사이에 개재된 액정층으로 이루어진다.
- <20> 어레이 기판은 박막 트랜지스터(Thin Film Transistor; 이하, TFT)와 전기적으로 연결된 화소 전극을 포함하고, 컬러필터기판은 광이 통과하면서 소정 색이 발현되는 레드, 그린 및 블루 색화소로 이루어진 컬러필터층, 블랙 매트릭스, 오버 코팅층 및 상기 화소전극과 마주하는 공통 전극을 포함한다.
- <21> 오버 코팅층은 컬러필터층과 블랙 매트릭스 사이에 형성된 단차를 감소시키는 역할을 수행한다. 공통전극은 오버 코팅층 상에 균일한 두께로 형성된다.
- <22> 그러나, 상기한 오버 코팅층 상에는 공정 환경 여건에 의해 미세 먼지 또는 물질 자체의 뭉침 등에 의해서 돌기가 형성된다. 이때, 오버 코팅층 상에 형성된 돌기는  $1.0\mu\text{m}$ 부터  $10\mu\text{m}$ 까지 다양한 크기를 갖는다.
- <23> 이와 같이, 오버 코팅층 상에 형성된 돌기는 컬러필터기판의 공통전극과 어레이 기판의 화소전극을 전기적으로 쇼트(Short)시키는 원인이 된다. 즉, 공통전극은 오버 코팅층 상에 균일한 두께로 형성되므로, 오버 코팅층 상에 형성된 돌기만큼 돌출된다. 따라서, 공통전극과 화소전극이 전기적으로 접속되는 쇼트 현상이 발생된다.
- <24> 그에 따라, 액정표시장치의 화면 상에는 쇼트가 발생된 화소가 상대적으로 하얗게 보이는 하이 픽셀(high pixel) 불량 발생하여 액정표시장치의 표시품질이 저하된다.

**발명이 이루고자 하는 기술적 과제**

- <25> 따라서, 본 발명의 목적은 하이 픽셀 불량률이 발생된 화소를 리페어함으로써 표시품질을 개선하기 위한 어레이 기판을 제공하는 것이다.
- <26> 또한 본 발명의 다른 목적은 상기한 어레이 기판을 구비하는 액정표시장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <27> 본 발명에 따른 어레이 기판은 베이스 기판, 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소를 포함한다. 상기 다수의 게이트 라인은 상기 베이스 기판 상에 구비되고, 서로 제1 간격으로 이격된다. 상기 다수의 데이터 라인은 상기 베이스 기판 상에 구비되어 상기 게이트 라인들과 절연되게 교차하고, 서로 상기 제1 간격보다 큰 제2 간격으로 이격되어 다수의 화소영역을 정의한다. 상기 다수의 화소는 상기 다수의 화소영역에 대응하여 구비된다.
- <28> 상기 각 화소는 스위칭 소자, 화소전극 및 리페어 전극을 포함한다. 상기 스위칭 소자는 해당 게이트 라인과 해당 데이터 라인에 전기적으로 연결되고, 상기 화소전극은 상기 스위칭 소자의 출력전극에 전기적으로 연결된다. 상기 리페어 전극은 상기 해당 게이트 라인으로부터 분기되어 상기 화소전극과 오버랩된다.
- <29> 본 발명에 따른 액정표시장치는 영상을 표시하는 액정표시패널 및 상기 액정표시패널을 구동하기 위한 구동부를 포함한다. 상기 액정표시패널은 어레이 기판, 상기 어레이 기판과 대향하여 결합하는 컬러필터기판 및 상기 어레이 기판과 상기 컬러필터기판과의 사이에 개재된 액정층으로 이루어진다.
- <30> 여기서, 상기 어레이 기판은 베이스 기판, 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소를 포함한다. 상기 다수의 게이트 라인은 상기 베이스 기판 상에 구비되고, 서로 제1 간격으로 이격된다. 상기 다수의 데이터 라인은 상기 베이스 기판 상에 구비되어 상기 게이트 라인들과 절연되게 교차하고, 서로 상기 제1 간격보다 큰 제2 간격으로 이격되어 다수의 화소영역을 정의한다. 상기 다수의 화소는 상기 다수의 화소영역에 대응하여 구비된다.
- <31> 상기 각 화소는 스위칭 소자, 화소전극 및 리페어 전극을 포함한다. 상기 스위칭 소자는 해당 게이트 라인과 해당 데이터 라인에 전기적으로 연결되고, 상기 화소전극은 상기 스위칭 소자의 출력전극에 전기적으로 연결된다. 상기 리페어 전극은 상기 해당 게이트 라인으로부터 분기되어 상기 화소전극과 오버랩된다.
- <32> 이러한 어레이 기판 및 이를 갖는 액정표시장치에 따르면, 각 화소에는 게이트 라인으로부터 분기되어 화소전극과 오버랩되는 리페어 전극이 구비됨으로써, 리페어 공정을 통해 하이 픽셀 불량률이 발생된 화소에 오프전압을 인가할 수 있고, 그 결과 하이 픽셀 불량을 제거하여 액정표시장치의 표시 품질을 개선할 수 있다.
- <33> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <34> 도 1은 본 발명의 일 실시예에 따른 어레이 기판의 레이아웃이다. 단, 어레이 기판에는 다수의 화소가 구비되지 만, 화소들 각각은 서로 동일한 구조를 가지므로, 이하에서는 한 화소를 구체적으로 설명하기로 한다.
- <35> 도 1을 참조하면, 본 발명의 일 실시예에 따른 어레이 기판(100)은 베이스 기판(110), 제1 및 제2 게이트 라인(GL1, GL2), 제1 및 제2 데이터 라인(DL1, DL2), 박막 트랜지스터(120), 화소전극(130), 스토리지 라인(SL) 및 리페어 전극(140)을 포함한다. 여기서, 상기 제1 게이트 라인(GL1)은 상기 제2 게이트 라인(GL2)의 이전단에 위치하고, 상기 제2 데이터 라인(DL2)은 상기 제1 데이터 라인(DL1)의 다음단에 위치한다.
- <36> 상기 제1 및 제2 게이트 라인(GL1, GL2)은 상기 베이스 기판(110) 상에 구비되고, 제1 방향(D1)으로 연장된다. 상기 제1 및 제2 게이트 라인(GL1, GL2)은 서로 제1 간격(d1)으로 이격된다. 상기 제1 및 제2 데이터 라인(DL1, DL2)은 상기 베이스 기판(110) 상에 구비되고, 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장되어 상기 제1 및 제2 게이트 라인(GL1, GL2)과 절연되게 교차한다. 상기 제1 및 제2 데이터 라인(DL1, DL2)은 상기 제1 간격(d1)보다 큰 제2 간격(d2)으로 서로 이격된다. 따라서, 상기 어레이 기판(100)에는 상기 제1 및 제2 게이트 라인(GL1, GL2), 제1 및 제2 데이터 라인(DL1, DL2)에 의해서 상기 제2 방향(D2)보다 상기 제1 방향(D1)으로 긴 직사각형 형상을 갖는 화소영역(PA)이 정의된다.
- <37> 상기 박막 트랜지스터(120)는 상기 화소영역(PA) 내에 구비되고, 상기 제2 게이트 라인(GL2)과 상기 제1 데이터 라인(DL1)에 전기적으로 연결된다. 구체적으로, 상기 박막 트랜지스터(120)는 상기 제2 게이트 라인(GL2)으로부터 분기된 제어전극(121), 상기 제1 데이터 라인(DL1)으로부터 분기된 입력전극(122) 및 상기 입력전극(122)과

소정의 간격으로 이격된 출력전극(123)을 포함한다. 따라서, 상기 박막 트랜지스터(120)는 상기 제2 게이트 라인(GL2)으로 인가되는 현재단 게이트 신호에 응답하여 상기 제1 데이터 라인(DL1)으로 인가된 현재단 데이터 신호를 상기 출력전극(123)으로 출력한다.

- <38> 상기 화소전극(130)은 상기 화소영역(PA) 내에 구비되고, 상기 박막 트랜지스터(120)의 출력전극(123)과 전기적으로 연결된다. 도면에 도시하지는 않았지만, 상기 어레이 기관(100)은 상기 박막 트랜지스터(120)를 커버하는 보호막을 더 포함하고, 상기 화소전극(130)은 상기 보호막 상에 구비된다. 상기 보호막에는 상기 출력전극(123)을 노출시키는 콘택홀(131)이 형성되고, 상기 화소전극(130)은 상기 콘택홀(131)을 통해 상기 출력전극(123)과 전기적으로 연결된다. 따라서, 상기 화소전극(130)에는 상기 박막 트랜지스터(120)의 출력전극(123)으로부터 출력된 데이터 신호가 인가될 수 있다.
- <39> 도 1에 도시된 바와 같이, 상기 박막 트랜지스터(120)의 출력전극(123)은 상기 제1 게이트 라인(GL1)에 인접하는 상기 화소전극(130)의 제1 장변(130a)을 따라 연장된다. 상기 제1 장변(130a)을 따라 연장된 상기 출력전극(123)은 상기 화소전극(130)에 의해서 풀 커버된다. 여기서, 상기 출력전극(123)은 상기 화소전극(130)의 에지부분에서 빛이 누설되지 않도록 차단하는 역할을 수행한다. 따라서, 상기 화소전극(130)의 에지부분에서의 빛샘 현상을 방지할 수 있다. 특히, 상기 출력전극(123)은 상기 제1 장변(130a)을 따라 연장되므로, 이와 같은 어레이 기관(100)을 채용하는 액정표시장치의 상/하 시야각을 향상시킬 수 있고, 그 결과 전체적인 표시품질을 개선할 수 있다.
- <40> 상기 스토리지 라인(SL)은 외부로부터 공통전압을 입력받고, 상기 화소전극(130)의 에지부분과 오버랩되도록 상기 베이스 기관(110) 상에 구비된다. 특히, 상기 스토리지 라인(SL)은 상기 화소전극(130)의 제2 장변(130b)과 인접하는 부분에서 상기 화소전극(130)과 부분적으로 오버랩된다. 따라서, 상기 스토리지 라인(SL)은 상기 화소전극(130)과 상기 제2 게이트 라인(GL2)과의 사이에서 생성된 기생 커패시턴스를 감소시킬 수 있고, 그 결과 상기 기생 커패시턴스에 의해서 상기 화소전극(130)으로 인가된 신호가 왜곡되는 것을 방지할 수 있다.
- <41> 한편, 상기 리페어 전극(140)은 상기 제1 게이트 라인(GL1)으로부터 분기되어 상기 화소전극(130)과 오버랩된다. 상기 제1 게이트 라인(GL1)으로 인가되는 이전단 게이트 신호는 상기 이전단 화소가 턴-온되는 1H 시간동안을 제외하고 나머지 시간동안에는 오프전압레벨을 유지한다. 따라서, 상기 리페어 전극(140)에는 한 프레임 중 1H 시간을 제외하고는 오프전압레벨(본 발명의 일 예로, -1V 이하)이 인가될 수 있다.
- <42> 상기 리페어 전극(140)은 상기 어레이 기관(100)에 형성된 하이 픽셀 불량이 발생된 화소를 오프 픽셀로 리페어 하는데 이용된다. 즉, 상기 리페어 전극(140)이 형성된 영역에 레이저를 조사하는 리페어 공정을 통해서 상기 리페어 전극(140)과 불량이 발생된 화소의 화소전극(130)은 전기적으로 연결된다. 따라서, 불량이 발생된 화소의 화소전극(130)에는 오프전압레벨을 갖는 상기 이전단 게이트 신호가 인가되고, 그 결과 불량이 발생된 화소는 오프 픽셀로 리페어될 수 있다. 이로써, 상기 어레이 기관(100)의 하이 픽셀 불량을 방지할 수 있다.
- <43> 본 발명의 일 예로, 상기 리페어 전극(140)은 상기 화소전극(130)의 에지부분에서 상기 출력전극(123)의 일단부와 상기 스토리지 라인(SL)과의 사이에 개재된다. 상기 리페어 전극(140)은 정사각형 형상으로 이루어지고,  $4\mu\text{m} \times 4\mu\text{m}$  이상의 면적을 갖는다.
- <44> 도 2는 도 1에 도시된 절단선 I-I'에 따라 절단한 단면도이다.
- <45> 도 1 및 도 2를 참조하면, 베이스 기관(110) 상에는 박막 트랜지스터의 제어전극을 형성하는 게이트 메탈로부터 패터닝된 리페어 전극(140)이 형성된다. 이후, 상기 리페어 전극(140)이 형성된 상기 베이스 기관(110) 상에는 게이트 절연막(125)이 형성된다. 다음, 상기 게이트 절연막(125) 상에는 박막 트랜지스터의 출력전극(123)과 스토리지 라인(SL)이 형성된다. 상기 출력전극(123)과 상기 스토리지 라인(SL)은 데이터 메탈로부터 패터닝되고, 상기 출력전극(123)의 일단부와 상기 스토리지 라인(SL)의 일단부는 서로 소정의 간격으로 이격된다. 여기서, 상기 출력전극(123)의 일단부와 상기 스토리지 라인(SL)의 이격거리(d3)는 상기 리페어 전극(140)의 폭(W1)보다 크다.
- <46> 이후, 보호막(135)은 상기 스토리지 라인(SL) 및 상기 박막 트랜지스터의 출력전극(123)을 커버한다. 상기 보호막(135) 상에는 상기 화소전극(130)이 균일한 두께로 형성된다. 상기 화소전극(130)은 에지부분에서 상기 스토리지 라인(SL)과 오버랩될 뿐만 아니라 상기 리페어 전극(140)과 오버랩된다.
- <47> 하이 픽셀 불량이 발생된 화소에서 화소전극(130)은 마주하는 리페어 전극(140)과 전기적으로 연결된다. 즉, 상기 리페어 전극(140)이 형성된 영역에 레이저를 조사하면 레이저가 조사된 영역에서 보호막(135) 및 게이트 절연막(125)에 홀이 형성되고, 그 결과 상기 화소전극(130)이 상기 홀을 매우면서 하부에 배치된 상기 리페어 전

극(140)과 전기적으로 연결된다. 따라서, 오프전압레벨을 갖는 이전단 게이트 신호가 상기 리페어 전극(140)을 경유하여 불량이 발생된 화소의 화소전극(130)으로 인가된다. 그 결과 불량이 발생된 화소를 오프 픽셀로 리페어할 수 있고, 어레이 기관(100)의 하이 픽셀 불량을 방지할 수 있다.

- <48> 도 3은 도 1에 도시된 절단선 II-II`에 따라 절단한 단면도이다.
- <49> 도 1 및 도 3을 참조하면, 현재단 화소에 구비된 스토리지 라인(SL)은 상기 현재단 화소에 구비된 화소전극(130)과 부분적으로 오버랩된다. 이때, 현재단 화소영역을 정의하는 제2 게이트 라인(GL2)과 상기 현재단 화소의 상기 스토리지 라인(SL)의 이격거리(d4)는 상기 제2 게이트 라인(GL2)과 상기 현재단 화소의 상기 화소전극(130)의 이격거리(d5)보다 작다.
- <50> 이처럼 상기 스토리지 라인(SL)을 상기 화소전극(130)보다 상기 제2 게이트 라인(GL2)에 근접시킴으로써, 상기 화소전극(130)과 상기 제2 게이트 라인(GL2) 사이에서 생성되는 기생 커패시턴스를 감소시킬 수 있다.
- <51> 한편, 다음단 화소에 구비된 박막 트랜지스터(120)의 출력전극(123)은 상기 다음단 화소에 구비된 화소전극(130)에 의해서 풀 커버된다. 즉, 상기 제2 게이트 라인(GL2)과 상기 박막 트랜지스터(120)의 상기 출력전극(123)의 이격거리(D6)는 상기 제2 게이트 라인(GL2)과 상기 다음단 화소의 상기 화소전극(130)의 이격거리(D7)보다 크다.
- <52> 이와 같이, 빔샘 방지를 위해 상기 출력전극(123)을 상기 화소전극(130)의 제1 장변(130a)을 따라 연장시키더라도, 상기 출력전극(123)은 상기 화소전극(130)과 동일한 전위를 가지므로, 상기 화소전극(130)에 인가된 신호는 상기 출력전극(123)에 의해서 왜곡되지 않는다.
- <53> 도 4는 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이고, 도 5는 도 4에 도시된 절단선 III-III`에 따라 절단한 액정표시패널의 단면도이다.
- <54> 도 4 및 도 5를 참조하면, 본 발명의 다른 실시예에 따른 액정표시장치(600)는 영상을 표시하는 액정표시패널(300), 상기 액정표시패널(300)에 인접한 인쇄회로기판(400) 및 상기 액정표시패널(300)과 상기 인쇄회로기판(400)을 전기적으로 연결시키는 테이프 캐리어 패키지(500)를 포함한다.
- <55> 상기 액정표시패널(300)은 어레이 기관(100), 상기 어레이 기관(100)과 마주하는 컬러필터기판(200) 및 상기 어레이 기관(100)과 상기 컬러필터기판(200)과의 사이에 개재된 액정층(250)으로 이루어진다. 상기 어레이 기관(100)은 영상을 표시하는 표시영역(DA) 및 상기 표시영역(DA)에 인접한 제1, 제2 및 제3 주변영역(PA1, PA2, PA3)으로 구분된다.
- <56> 상기 어레이 기관(100)의 표시영역(DA)에는 다수의 화소가 매트릭스 형태로 구비된다. 구체적으로, 상기 표시영역(DA)에는 다수의 게이트 라인(GL1 ~ GLn, 여기서, n은 2 이상의 짝수), 다수의 데이터 라인(DL1 ~ DLm), 다수의 박막 트랜지스터(120) 및 다수의 화소전극(130)이 구비된다.
- <57> 상기 제1 주변영역(PA1)은 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 인접하는 영역으로 상기 다수의 게이트 라인(GL1 ~ GLn) 중 홀수번째 게이트 라인(GL1, ..., GLn-1)에 제1 게이트 신호를 순차적으로 인가하는 제1 게이트 구동회로(351)가 구비된다. 상기 제2 주변영역(PA2)은 상기 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 인접하는 영역으로 상기 다수의 게이트 라인(GL1 ~ GLn) 중 짝수번째 게이트 라인(GL2, ..., GLn)에 제2 게이트 신호를 순차적으로 인가하는 제2 게이트 구동회로(352)가 구비된다.
- <58> 한편, 상기 제3 주변영역(PA3)은 상기 다수의 데이터 라인(DL1 ~ DLm)의 일단부에 인접하는 영역으로 상기 테이프 캐리어 패키지(500)의 제1 단부가 부착된다. 상기 테이프 캐리어 패키지(500)의 제2 단부는 상기 인쇄회로기판(400)에 부착된다. 상기 테이프 캐리어 패키지(500) 상에는 상기 다수의 데이터 라인(DL1 ~ DLm)에 데이터 신호를 제공하는 데이터 구동칩(550)이 실장된다. 따라서, 상기 데이터 구동칩(550)은 상기 인쇄회로기판(400)으로부터의 각종 제어신호에 응답하여 상기 다수의 데이터 라인(DL1 ~ DLm)에 상기 데이터 신호를 제공할 수 있다.
- <59> 또한, 상기 인쇄회로기판(400)으로부터 출력된 제1 및 제2 게이트 제어신호는 상기 테이프 캐리어 패키지(500)를 통해 상기 제1 및 제2 게이트 구동회로(351, 352)로 각각 제공된다. 따라서, 상기 제1 및 제2 게이트 구동회로(351, 352)는 상기 제1 및 제2 게이트 제어신호에 응답하여 상기 홀수번째 및 짝수번째 게이트 라인(GL1, ..., GLn-1, GL2, ..., GLn)에 제1 및 제2 게이트 신호를 각각 제공할 수 있다.
- <60> 도 5에 도시된 바와 같이, 상기 컬러필터기판(200)은 컬러필터층(210), 블랙 매트릭스(220), 오버 코팅층(230)

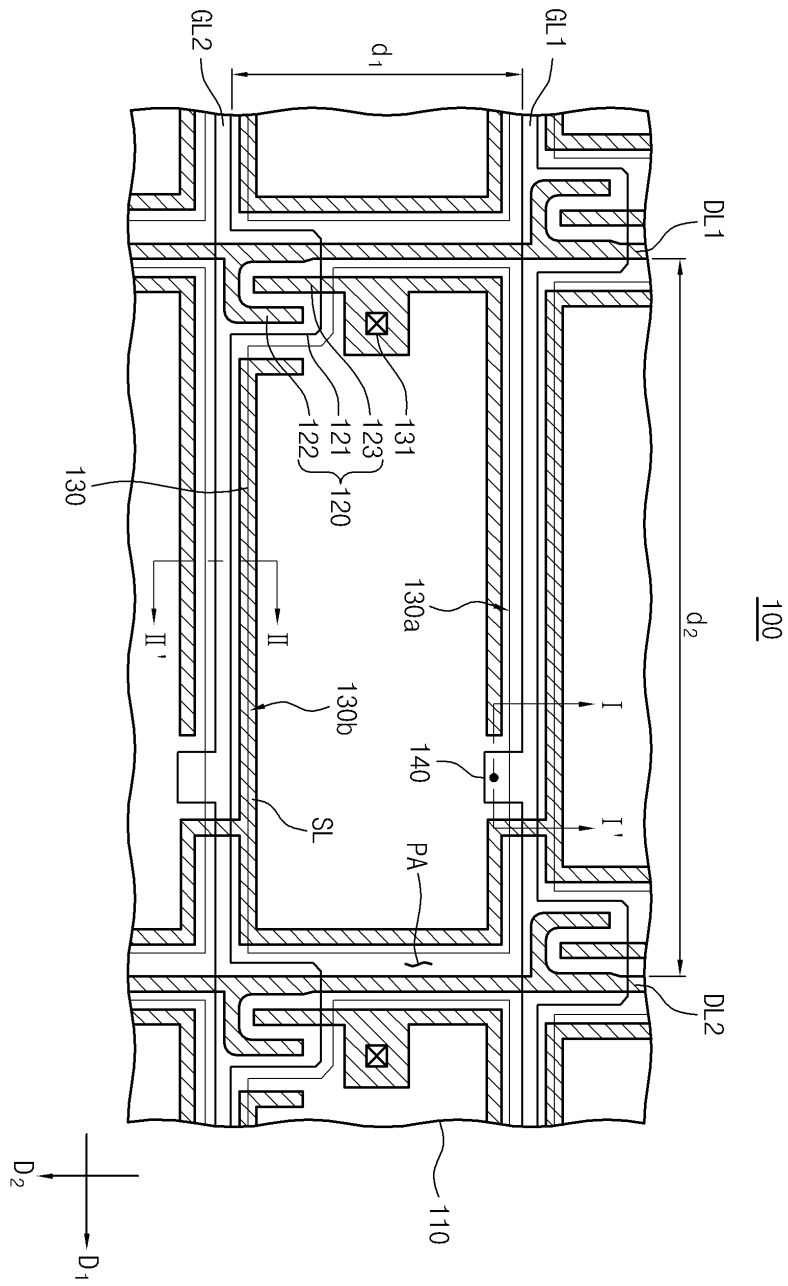
및 공통전극(240)을 포함한다. 상기 컬러필터층(210)은 상기 다수의 화소전극(130)에 각각 대응하여 형성된 다수의 색화소로 이루어진다. 본 발명의 일 예로, 상기 다수의 색화소는 레드, 그린 및 블루 색화소(R, G, B)를 포함한다.

- <61> 상기 블랙 매트릭스(220)는 상기 다수의 색화소 사이에 구비되어 상기 색화소들이 형성되는 영역을 구획한다. 또한, 상기 블랙 매트릭스(220)는 상기 어레이 기관(100)에 형성된 다수의 게이트 라인(GL1 ~ GLn), 다수의 데이터 라인(DL1 ~ DLm), 다수의 박막 트랜지스터(120) 및 스토리지 라인(SL)이 형성된 영역에 대응하여 형성된다. 따라서, 상기 표시영역(DA) 중 실질적으로 영상이 표시되지 않는 비유효 표시영역에서의 빛샘을 방지한다.
- <62> 상기 오버 코팅층(230)은 상기 컬러필터층(210)과 상기 블랙 매트릭스(220) 상에 형성된다. 따라서, 상기 오버 코팅층(230)은 상기 컬러필터층(110)과 상기 블랙 매트릭스(220) 사이의 단차를 감소시켜 상기 컬러필터기관(200)의 표면을 평탄화시킨다.
- <63> 상기 공통전극(240)은 상기 오버 코팅층(230) 상에 균일한 두께로 형성되어 상기 어레이 기관(100)에 구비된 다수의 화소전극(130)과 마주한다. 상기 공통전극(240)과 상기 다수의 화소전극(130)과의 사이에는 상기 액정층(250)이 개재되고, 상기 액정층(250)에 포함된 액정분자들은 상기 공통전극(240)과 상기 다수의 화소전극(130)과의 사이에 형성된 전계에 의해서 배향된다. 배향된 액정분자들에 의해서 상기 어레이 기관(100)의 후면으로부터 공급되는 광의 투과율을 제어함으로써, 상기 액정표시장치(600)의 화면 상에 영상을 표시할 수 있다.
- <64> 도 6는 도 4에 도시된 어레이 기관의 회로도이다.
- <65> 도 6을 참조하면, 어레이 기관(100)에는 다수의 게이트 라인(GL1, GL2, GL3, GL4)과 다수의 데이터 라인(DL1 ~ DLm)이 구비된다. 상기 다수의 게이트 라인(GL1 ~ GL4)과 상기 다수의 데이터 라인(DL1 ~ DLm)에 의해서 상기 어레이 기관(100)에는 매트릭스 형태로 다수의 화소영역이 정의된다. 각 화소영역은 직사각형 형상을 갖는다. 즉, 서로 인접하는 상기 게이트 라인들 사이의 제1 간격(d1)은 서로 인접하는 상기 데이터 라인들 사이의 제2 간격(d2)보다 짧고, 그 결과 제2 방향(D2)보다 제1 방향(D1)으로 긴 화소영역들이 정의된다.
- <66> 본 발명의 일 예로, 상기 제2 간격(d2)은 상기 제1 간격(d1)의 3배 정도 큰 크기를 갖는다. 따라서, 상기 어레이 기관(100)에 구비되는 상기 게이트 라인의 전체 개수는 상기 데이터 라인의 전체 개수보다 3배 정도가 많다. 이로써, 상기 화소영역이 상기 제1 방향(D1)보다 상기 제2 방향(D2)으로 긴 구조보다 상기 어레이 기관(100)에 구비되는 데이터 라인의 전체 개수가 1/3로 감소된다.
- <67> 따라서, 상기 다수의 데이터 라인(DL1 ~ DLm)에 데이터 신호를 제공하는 데이터 구동칩(550, 도 4에 도시됨)의 전체 개수가 감소되고, 그 결과 액정표시장치(600, 도 4에 도시됨)의 생산성을 향상시킬 수 있다.
- <68> 한편, 상기 홀수번째 게이트 라인(GL1, GL3)에 연결되는 홀수행의 박막 트랜지스터들(120)은 좌측에 구비된 데이터 라인에 전기적으로 연결되고, 상기 짝수번째 게이트 라인(GL2, GL4)에 연결된 짝수행의 박막 트랜지스터들(120)은 우측에 구비된 데이터 라인에 전기적으로 연결된다.
- <69> 또한, 상기 다수의 데이터 라인에는 교번적으로 극성이 다른 데이터 신호가 인가된다. 즉, 홀수번째 데이터 라인에 정극성(+)의 데이터 신호가 인가되면, 짝수번째 데이터 라인에는 부극성(-)의 데이터 신호가 인가된다. 이로써, 상기 액정표시장치는 도트반전구동 방식으로 동작할 수 있다.
- <70> 도 6에 도시된 바와 같이, 현재단 화소행에 구비된 화소전극들은 이전단 게이트 라인으로부터 분기된 리페어 전극들과 오버랩된다. 컬러필터기관(도 4에 도시됨)에 형성된 공통전극과 어레이 기관(100)에 형성된 특정 화소전극이 전기적으로 쇼트되어 특정 화소(본 발명의 일 예로, 3×3 화소)가 하얗게 보이는 하이 픽셀 불량량이 발생할 수 있다. 이때, 상기 특정 화소에 구비된 화소전극(130) 및 상기 화소전극(130)과 오버랩된 리페어 전극(140)을 전기적으로 연결시키는 리페어 공정을 수행함으로써, 상기 화소전극(130)에 오프전압이 인가된다. 그 결과, 상기 특정 화소를 오프 픽셀로 리페어할 수 있고, 그로 인해 상기 어레이 기관(100)의 하이 픽셀 불량을 방지할 수 있다.
- <71> 도 7은 도 3에 도시된 어레이 기관에 대응하는 액정표시패널의 단면도이다. 단, 도 7에 도시된 구성요소 중 도 3에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- <72> 도 7을 참조하면, 액정표시패널(300)에는 공통전극(240), 액정층(250) 및 화소전극(130)에 의해서 액정 커패시터(C1c)가 형성되고, 상기 화소전극(130), 보호막(135) 및 스토리지 라인(SL)에 의해서 스토리지 커패시터(Cs

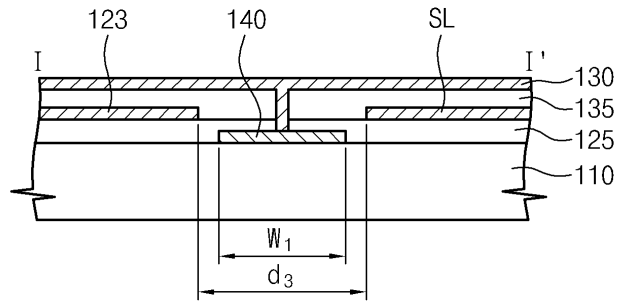


도면

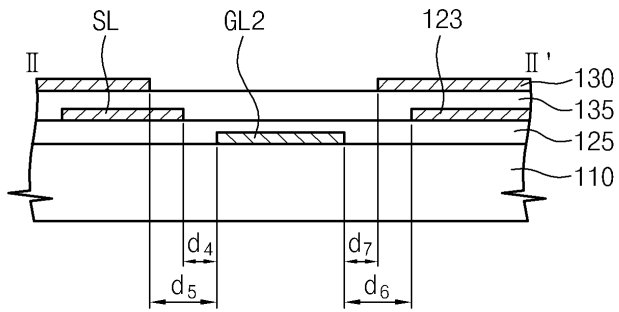
도면1



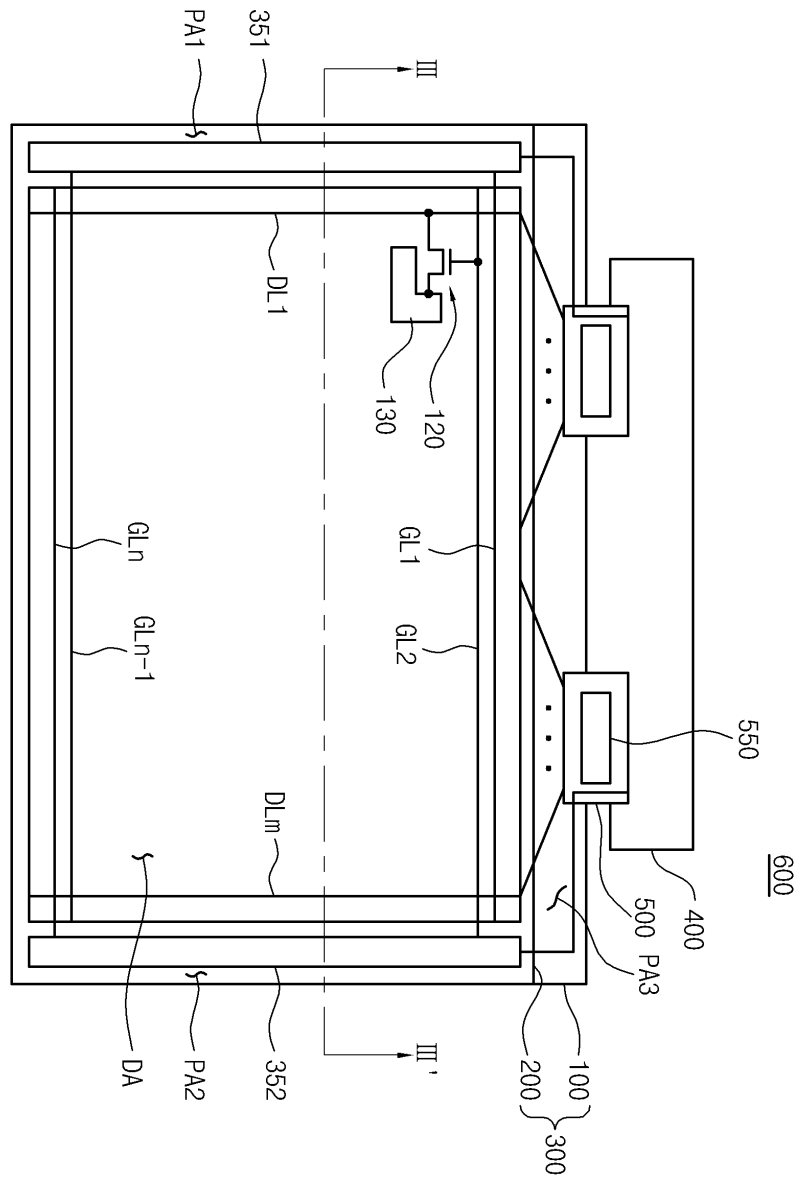
도면2



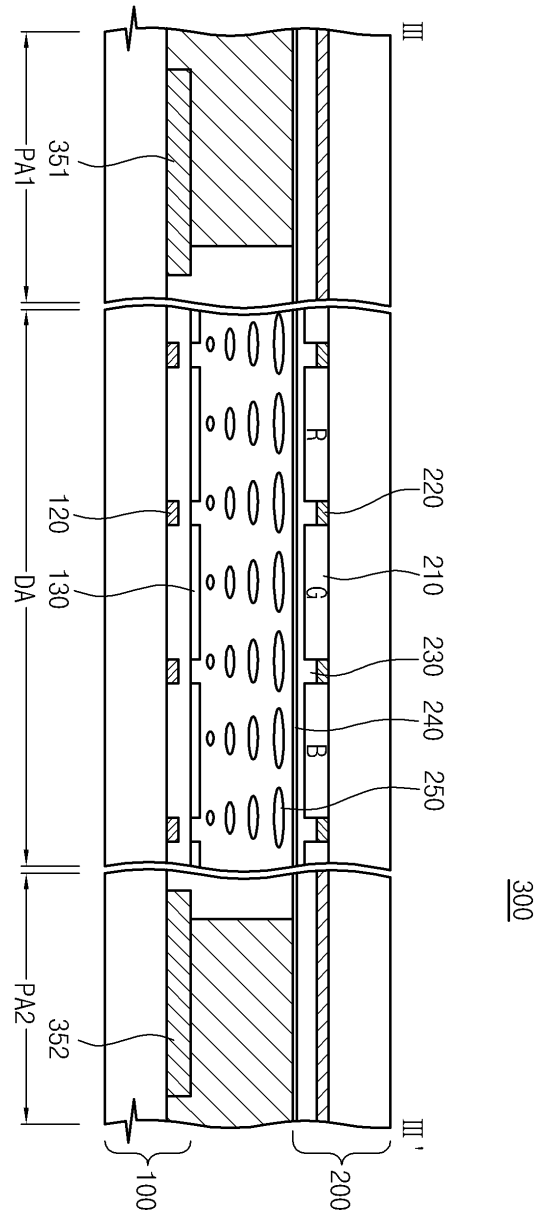
도면3



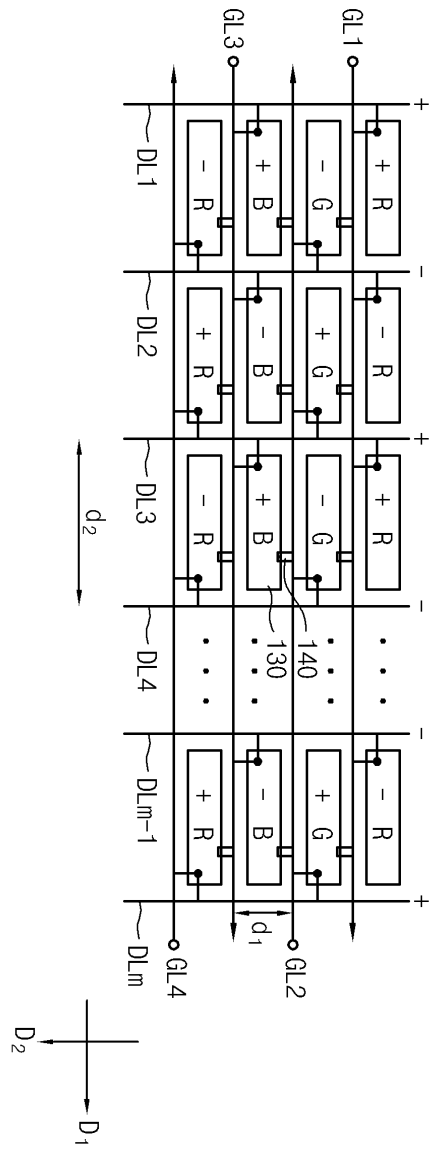
도면4



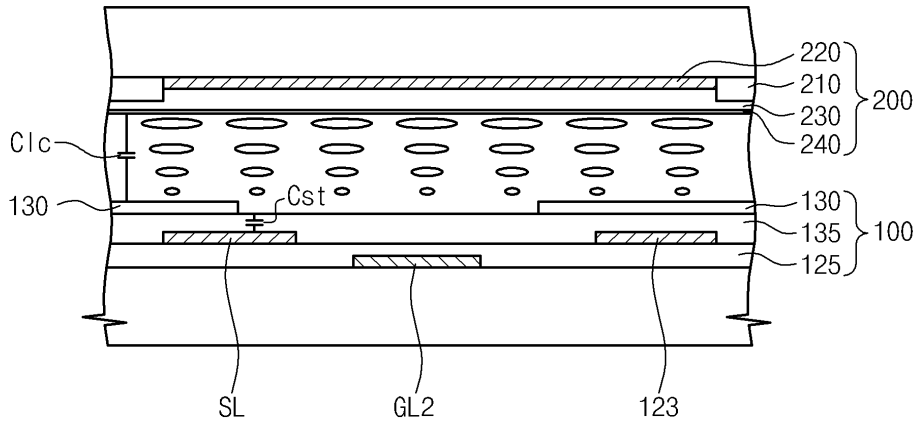
도면5



도면6



도면7



专利名称(译)	阵列基板和具有该阵列基板的液晶显示装置		
公开(公告)号	<a href="#">KR1020070110166A</a>	公开(公告)日	2007-11-16
申请号	KR1020060043074	申请日	2006-05-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM BEOM JUN 김범준 LEE JONG HWAN 이종환 JEON SANG JIN 전상진 KIM SUNG MAN 김성만 LEE BONG JUN 이봉준 LEE HONG WOO 이홍우		
发明人	김범준 이종환 전상진 김성만 이봉준 이홍우		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136259 G02F1/136286 G02F1/136213		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
其他公开文献	KR101238337B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

在阵列面板和具有该阵列面板的液晶显示器中，多条栅极线彼此以第一距离定位。它相交，以便多条数据线与栅极线绝缘。它位于彼此之间的第二距离大于第一距离的位置，并且定义了多个图像元素区域。多个像素包括开关元件，像素电极和修复电极，并且它对应于多个像素区域并且配备有多个像素区域。开关元件在相应的栅极线中电连接并且对应数据线。像素电极在开关元件的输出电极中电连接。修复电极从相应的栅极线分支并且与像素电极重叠。因此，通过修复产生高像素故障的像素，可以提高液晶显示器的显示质量。

