



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0099295
(43) 공개일자 2007년10월09일

(51) Int. Cl.

G02F 1/133(2006.01)

(21) 출원번호 10-2006-0030563

(22) 출원일자 2006년04월04일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이상엽

경기 의왕시 내손동 646 대우사원주택 57-302

유상희

경기 군포시 궁내동 금강1차아파트 911동 801호

(74) 대리인

허용록

전체 청구항 수 : 총 11 항

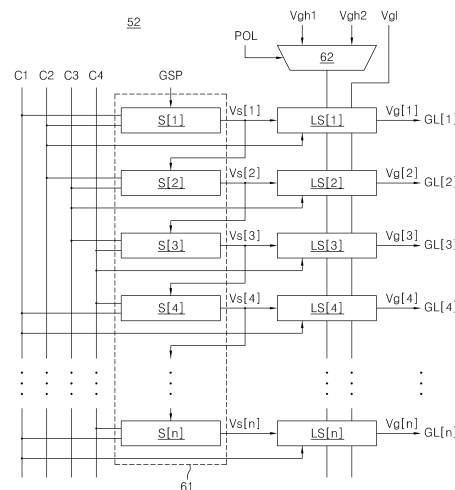
(54) 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 인버전 구동 방식에서 정극성 구동시의 킥백 전압과 부극성 구동시의 킥백 전압 차를 감소시켜 표시품질을 향상시킬 수 있는 액정표시장치와 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 서로 교차하는 데이터라인들 및 게이트라인들과; 상기 데이터라인들과 상기 게이트라인들의 교차로 정의되는 화소영역들에 형성되는 다수의 액정셀들과; 정극성의 데이터신호 및 부극성의 데이터신호를 발생하고 상기 데이터신호들을 상기 데이터라인들에 공급하는 데이터 구동부와; 상기 데이터신호의 극성에 따라 전압이 다른 스캔신호를 상기 게이트라인들에 공급하는 게이트 구동부와; 상기 게이트라인으로부터의 상기 스캔신호에 응답하여 상기 데이터라인으로부터의 상기 데이터신호를 상기 액정셀에 공급하는 다수의 박막트랜지스터들을 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

서로 교차하는 데이터라인들 및 게이트라인들과;

상기 데이터라인들과 상기 게이트라인들의 교차로 정의되는 화소영역들에 형성되는 다수의 액정셀들과;

정극성의 데이터신호 및 부극성의 데이터신호를 발생하고 상기 데이터신호들을 상기 데이터라인들에 공급하는 데이터 구동부와; 상기 데이터신호의 극성에 따라 전압이 다른 스캔신호를 상기 게이트라인들에 공급하는 게이트 구동부와;

상기 게이트라인으로부터의 상기 스캔신호에 응답하여 상기 데이터라인으로부터의 상기 데이터신호를 상기 액정셀에 공급하는 다수의 박막트랜지스터들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 스캔신호는,

상기 정극성의 데이터신호에서 제1 스윙폭으로 전압이 스윙하는 제1 스캔신호와;

상기 부극성의 데이터신호에서 상기 제1 스윙폭보다 작은 제2 스윙폭으로 전압이 스윙하는 제2 스캔신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 스캔신호는 상기 박막트랜지스터의 문턱전압 이상의 제1 게이트 하이전압과 상기 박막트랜지스터의 문턱전압 미만의 게이트 로우전압을 가지고,

상기 제2 스캔신호는 상기 박막트랜지스터의 문턱전압과 상기 제1 게이트 하이전압 사이의 제2 게이트 하이전압과 상기 게이트 로우전압을 가지는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 게이트 구동부는,

쉬프트펄스를 발생하고 상기 쉬프트펄스를 상기 게이트라인 단위로 순차적으로 쉬프트시키는 쉬프트 레지스터와;

상기 쉬프트펄스의 스윙폭을 상기 데이터신호의 극성에 따라 상기 제1 스캔신호의 스윙폭 및 상기 제2 스캔신호의 스윙폭 중 어느 하나로 조정하여 상기 게이트라인들에 공급하는 레벨 쉬프터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 게이트라인과 평행한 방향으로 이웃한 액정셀들에 동일한 극성의 데이터신호가 공급되고, 상기 데이터라인과 평행한 방향으로 이웃한 액정셀들에 서로 다른 극성의 데이터신호가 공급되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 데이터신호는 프레임 기간을 주기로 극성이 반전되는 것을 특징으로 하는 액정표시장치.

청구항 7

정극성의 데이터신호 및 부극성의 데이터신호를 발생하고 상기 데이터신호들을 액정표시패널의 데이터라인들에 공급하는 단계와;

상기 데이터신호의 극성에 따라 전압이 다른 스캔신호를 상기 액정표시패널의 게이트라인들에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 스캔신호는,

상기 정극성의 데이터신호에서 제1 스윙폭으로 전압이 스윙하는 제1 스캔신호와;

상기 부극성의 데이터신호에서 상기 제1 스윙폭보다 작은 제2 스윙폭으로 전압이 스윙하는 제2 스캔신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 제1 스캔신호는 상기 박막트랜지스터의 문턱전압 이상의 제1 게이트 하이전압과 상기 박막트랜지스터의 문턱전압 미만의 게이트 로우전압을 가지고,

상기 제2 스캔신호는 상기 박막트랜지스터의 문턱전압과 상기 제1 게이트 하이전압 사이의 제2 게이트 하이전압과 상기 게이트 로우전압을 가지는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 7 항에 있어서,

상기 게이트라인과 평행한 방향으로 이웃한 액정셀들에 동일한 극성의 데이터신호가 공급되고, 상기 데이터라인과 평행한 방향으로 이웃한 액정셀들에 서로 다른 극성의 데이터신호가 공급되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11

제 7 항에 있어서,

상기 데이터신호는 프레임 기간을 주기로 극성이 반전되는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 액정표시장치에 관한 것으로 특히, 인버전 구동 방식에서 정극성 구동시의 킥백 전압과 부극성 구동시의 킥백 전압 차를 감소시켜 표시품질을 향상시킬 수 있는 액정표시장치와 그 구동방법에 관한 것이다.
- <20> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과 이 액정표시패널을 구동하기 위한 구동회로를 구비한다.
- <21> 액정표시패널에는 도 1에서 보는 바와 같이 게이트라인(GL)과 데이터라인(DL)이 교차되고 그 게이트라인(GL)과 데이터라인(DL)의 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(Thin Film Transistor)(TFT)가 형성된다. 박막트랜지스터(TFT)는 게이트라인(GL)을 통해 공급되는 스캔신호에 응답하여 데이터라인을 통해 공급되는 데이터전압(Vd)을 액정셀(Clc)의 화소전극(Ep)에 공급한다. 이를 위하여 박막트랜지스터(TFT)의 게이트전극은

게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 액정셀(Clc)은 화소전극(Ep)에 공급되는 데이터전압(Vd)과 공통전극(Ec)에 공급되는 공통전압(Vcom)의 전위차로 충전되며, 이 전위차로 형성되는 전계에 의해 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다. 공통전극(Ec)은 액정셀(Clc)에 전계를 인가하는 방식에 따라 액정표시패널의 상부기관 또는 하부기관에 형성되며, 공통전극(Ec)과 액정셀(Clc) 화소전극(Ep) 사이에는 액정셀(Clc)의 충전전압을 유지시키기 위한 스토리지 커패시터(Storage Capacitor)(Cst)가 형성된다.

<22> 이러한 액정표시패널은 액정셀(Clc)의 열화를 방지하기 위하여 데이터전압(Vd)의 극성을 일정주기마다 반전시키는 인버전 방식으로 구동된다. 인버전 방식에는 도트 인버전(Dot Inversion) 방식, 라인 인버전(Line Inversion) 방식, 컬럼 인버전(Column Inversion) 방식 및 프레임 인버전(Frame Inversion) 방식이 있다.

<23> 도 2는 라인 인버전 방식으로 구동되는 액정표시패널에 공급되는 구동전압들을 나타낸다. 도 2에서 'Vg'는 게이트라인(GL)에 공급되는 스캔신호, 'Vd'는 데이터라인(DL)에 공급되는 데이터전압, 'Vcom'은 액정셀(Clc)들의 공통전극(Ec)에 공급되는 공통전압, 'Vlc'는 액정셀(Clc)에서 충전되는 데이터전압이다.

<24> 도 2를 참조하면, 라인 인버전 방식의 구동에서 공통전압(Vcom)은 일정한 직류전압으로 공급되고, 데이터전압(Vd)은 약 1 수평주기(1H)마다 공통전압(Vcom)을 기준으로 극성이 반전된다. 노말리 블랙(Normally Black) 모드를 가정하면, 데이터전압(Vd)과 공통전압(Vcom)의 전위차가 클수록 액정층을 투과하는 빛의 투과율이 증가하고, 데이터전압(Vd)과 공통전압(Vcom)의 전위차가 작을수록 액정층을 투과하는 빛의 투과율이 작아진다. 스캔신호(Vg)는 박막트랜지스터(TFT)를 턴-온(Turn-on)시키기 위한 전압으로 설정되는 게이트하이전압(Vgh)과 박막트랜지스터(TFT)를 턴-오프(Turn-off)시키기 위한 전압으로 설정되는 게이트로우전압(Vgl) 사이에서 스윙된다. 이 스캔신호(Vg)가 게이트하이전압(Vgh)을 유지하는 스캐닝기간 동안 액정셀(Clc)은 감마전압으로 공급되는 데이터전압(Vd)을 충전하고 충전된 전압을 일정시간 유지한다.

<25> 한편, 박막트랜지스터(TFT)의 턴-온 상태를 유지하는 스캐닝기간 동안 액정셀(Clc) 및 스토리지 커패시터(Cst)에 충전된 전압은 박막트랜지스터(TFT)가 턴-오프 상태로 전환된 후에도 지속되어야 하지만, 박막트랜지스터(TFT)의 게이트전극과 드레인전극 사이의 기생 커패시터(Cgd)로 인해 액정셀(Clc)의 충전전압은 ΔVp 만큼의 전압 쉬프트(Voltage Shift)가 발생하게 된다. 이러한 ΔVp 를 킥백 전압(Kickback Voltage) 또는 피드 스로우 전압(Feed Through Voltage)이라 하며, 킥백 전압(ΔVp)은 일반적으로 아래의 수학적 식 1에 나타난 공식으로 구해진다. 아래의 수학적 식 1에서 ' ΔVp '는 킥백 전압, ' Cgd '는 박막트랜지스터(TFT)의 게이트전극과 드레인전극 간 기생 커패시턴스, ' Clc '는 액정셀(Clc)에 등가적으로 형성된 커패시턴스, ' Cst '는 스토리지 커패시터(Cst)의 커패시턴스, ' ΔVg '는 게이트 하이전압(Vgh)과 게이트 로우전압(Vgl)의 차전압을 나타낸다.

$$\Delta Vp = \frac{Cgd}{Cgd + Clc + Cst} \Delta Vg$$

<26>

<27> 킥백 전압(ΔVp)으로 인해 액정셀(Clc)은 비디오 데이터에 대응하는 데이터전압(Vd)보다 ΔVp 만큼 낮아진 전압으로 충전되게 되는데 즉, 정극성(+) 구동시에는 공통전압(Vcom)에 대하여 데이터전압(Vd)보다 ΔVp 만큼 작은 전위차를 가지는 전압으로 충전되고, 부극성(-) 구동시에는 공통전압(Vcom)에 대하여 데이터전압(Vd)보다 ΔVp 만큼 큰 전위차를 가지는 전압으로 충전되게 되는데, 이같은 공통전압(Vcom)에 대한 전압 오프셋(Voltage Offset)으로 인해 액정표시패널의 화면에는 플리커(Flicker) 또는 잔상이 생기는 문제가 발생한다. 이러한 문제에 대하여 기존에는 킥백 전압(ΔVp)으로 인한 전압 오프셋만큼 공통전압(Vcom)을 조정함으로써 그 문제를 해결하고자 했다.

<28> 그런데, 동일 계조를 표현하는 정극성(+) 및 부극성(-)의 데이터전압(Vd)에 대하여 정극성(+) 구동시의 게이트하이전압(Vgh)과 데이터전압(Vd)의 차(Vgd)와 부극성(-) 구동시의 게이트하이전압(Vgh)과 데이터전압(Vd)의 차(Vgd)가 서로 다르기 때문에 박막트랜지스터(TFT)의 게이트전극과 드레인전극 간 기생 커패시터(Cgd)에 충전되는 전하량은 정극성(+) 구동시와 부극성(-) 구동시가 서로 달라지게 되며, 이로 인해 정극성(+) 구동시와 부극성(-) 구동시의 킥백 전압(ΔVp)도 서로 달라지게 된다. 예를 들어, -5V의 게이트로우전압(Vgl)과 25V의 게이트하이전압(Vgh) 사이를 스윙하는 스캔신호, 7V의 공통전압, 0V 내지 14V 사이를 스윙하는 14V 데이터전압(Vd)으로 구동되는 액정표시패널에서의 경우 정극성(+) 구동시 게이트하이전압(Vgh)과 데이터전압(Vd)의 차(Vgd)는 11V이지만, 부극성(-) 구동시 게이트하이전압(Vgh)과 데이터전압(Vd)의 차(Vgd)는 25V가 된다. 이 경우 정극성(+) 및 부극성(-) 구동에서 각각 화이트 화이트(white) 계조를 나타내는 14V와 0V에 대하여 킥백 전압(ΔVp)을

각각 모의실험(Simulation)한 결과 정극성(+) 구동에서의 킥백 전압(ΔV_p)은 1.121V인 반면, 부극성(-) 구동에서의 킥백 전압(ΔV_p)은 1.531V로 나타났다. 즉, 정극성(+) 구동시의 킥백 전압(ΔV_p)과 부극성(-) 구동시의 킥백 전압(ΔV_p)은 약 400mV 정도의 차이를 보였다. 이와 같이 정극성(+) 구동시의 킥백 전압(ΔV_p)과 부극성(-) 구동시의 킥백 전압(ΔV_p)이 다른 경우 그 차이가 클 수록 플리커와 잔상이 심해지게 되며, 이러한 문제에 대해서는 기존의 방안대로 공통전압(V_{com})을 조정하여 문제를 해결하는데는 한계가 있다.

발명이 이루고자 하는 기술적 과제

<29> 따라서, 본 발명의 목적은 인버전 구동 방식에서 정극성 구동시의 킥백 전압과 부극성 구동시의 킥백 전압 차를 감소시켜 표시품질을 향상시킬 수 있는 액정표시장치와 그 구동장치 및 방법을 제공하는데 있다.

발명의 구성 및 작용

<30> 상기 목적을 달성하기 위하여 서로 교차하는 데이터라인들 및 게이트라인들과; 상기 데이터라인들과 상기 게이트라인들의 교차로 정의되는 화소영역들에 형성되는 다수의 액정셀들과; 정극성의 데이터신호 및 부극성의 데이터신호를 발생하고 상기 데이터신호들을 상기 데이터라인들에 공급하는 데이터 구동부와; 상기 데이터신호의 극성에 따라 전압이 다른 스캔신호를 상기 게이트라인들에 공급하는 게이트 구동부와; 상기 게이트라인으로부터의 상기 스캔신호에 응답하여 상기 데이터라인으로부터의 상기 데이터신호를 상기 액정셀에 공급하는 다수의 박막 트랜지스터들을 구비한다.

<31> 상기 스캔신호는, 상기 정극성의 데이터신호에서 제1 스윙폭으로 전압이 스윙하는 제1 스캔신호와; 상기 부극성의 데이터신호에서 상기 제1 스윙폭보다 작은 제2 스윙폭으로 전압이 스윙하는 제2 스캔신호를 포함한다.

<32> 상기 제1 스캔신호는 상기 박막트랜지스터를 턴-온시키는 제1 하이전압과 상기 박막트랜지스터를 턴-오프시키는 로우전압 사이를 스윙하고, 상기 제2 스캔신호는 상기 박막트랜지스터를 턴-온시키며 상기 제1 하이전압보다 낮은 제2 하이전압과 상기 로우전압과 사이를 스윙한다.

<33> 상기 게이트 구동부는, 쉬프트펄스를 발생하고 상기 쉬프트펄스를 상기 게이트라인 단위로 순차적으로 쉬프트시키는 쉬프트 레지스터와; 상기 쉬프트펄스의 스윙폭을 상기 데이터신호의 극성에 따라 상기 제1 스캔신호의 스윙폭 및 상기 제2 스캔신호의 스윙폭 중 어느 하나로 조정하여 상기 게이트라인들에 공급하는 레벨 쉬프터를 구비한다.

<34> 상기 게이트라인과 평행한 방향으로 이웃한 액정셀들에 동일한 극성의 데이터신호가 공급되고, 상기 데이터라인과 평행한 방향으로 이웃한 액정셀들에 서로 다른 극성의 데이터신호가 공급된다.

<35> 상기 데이터신호는 프레임 기간을 주기로 극성이 반전된다.

<36> 본 발명에 따른 액정표시장치의 구동방법은 서로 교차하는 게이트라인들과 데이터라인들, 상기 데이터라인들과 상기 게이트라인들의 교차로 정의되는 화소영역들에 형성되는 다수의 액정셀들 및 상기 게이트라인들과 상기 데이터라인들의 교차부마다 형성되어 각각 액정셀을 구동하는 박막트랜지스터들을 포함하는 액정표시장치의 구동 방법에 있어서, 정극성의 데이터신호 및 부극성의 데이터신호를 발생하고 상기 데이터신호들을 상기 데이터라인들에 공급하는 단계와; 상기 데이터신호의 극성에 따라 전압이 다른 스캔신호를 상기 게이트라인들에 공급하는 단계를 포함한다.

<37> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

<38> 이하, 도 3 내지 도 10b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<39> 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인들(GL[1] 내지 GL[n] ; n은 양의 정수)과 다수의 데이터라인들(DL[1] 내지 DL[m] ; m은 양의 정수)이 서로 교차하고, 그 교차로 정의되는 화소영역들에 형성된 액정셀(C1c)들 및 게이트라인들(GL[1] 내지 GL[n])과 데이터라인들(DL[1] 내지 DL[m])의 교차부마다 형성되어 각각 액정셀(C1c)을 구동하는 박막트랜지스터(TFT)들을 포함하는 액정표시패널(53)과; 데이터라인들(DL[1] 내지 DL[m])에 비디오신호를 공급하는 데이터 구동부(51)와; 게이트라인들(GL[1] 내지 GL[n])에 스캔신호를 공급하는 게이트 구동부(52)와; 데이터 구동부(51) 및 게이트 구동부(52)를 제어하는 타이밍 컨트롤러(54)를 구비한다.

<40> 액정표시패널(53)은 상부기판과 하부기판이 합착된 구조로 형성된다. 액정표시패널(53)의 하부기판에는 게이트

라인들(GL[1] 내지 GL[n])과 데이터라인들(DL[1] 내지 DL[m])이 서로 교차하도록 형성된다. 게이트라인들(GL[1] 내지 GL[n])과 데이터라인들(DL[1] 내지 DL[m])의 교차부마다 형성된 박막트랜지스터(TFT)들은 각각 제k 게이트 라인(GL[k] ; $1 \leq k \leq n$)으로부터의 스캔신호(Vg[k])에 응답하여 제j 데이터라인(DL[j] ; $1 \leq j \leq m$)으로부터의 데이터전압(Vd)을 액정셀(Clc)의 화소전극(Ep)에 공급한다. 이를 위하여 박막트랜지스터(TFT)들의 게이트 전극들은 각각 게이트라인들(GL[1] 내지 GL[n])에 접속되고, 드레인전극들은 각각 데이터라인들(DL[1] 내지 DL[m])에 접속되며, 소스전극들은 각각 액정셀(Clc)들의 화소전극(Ep)들에 접속된다. 액정셀(Clc)은 화소전극(Ep)에 공급되는 데이터전압(Vd)과 공통전극(Ec)에 공급되는 공통전압(Vcom)의 전위차로 충전되며, 이 전위차로 형성되는 전계에 의해 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다. 공통전극(Ec)은 액정셀(Clc)에 전계를 인가하는 방식에 따라 상부기관 또는 하부기관에 형성된다. 액정셀(Clc)의 화소전극(Ep)과 공통전극(Ec) 사이에는 액정셀(Clc)의 충전 전압을 유지시키기 위한 스토리지 커패시터(Cst)가 형성된다. 스토리지 커패시터(Cst)는 액정셀(Clc)의 화소전극(Ep)과 전단 게이트라인(GL[k-1]) 사이에 형성되기도 한다. 액정표시패널(53)의 상부기관에는 색상을 구현하기 위한 컬러필터, 인접한 화소들간의 공간섭을 줄이기 위한 블랙매트릭스 등이 형성된다. 또한, 상부기관 및 하부기관에는 서로 광축이 직교하는 편광판이 각각 부착되고, 기관들의 내면에는 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

<41> 타이밍 컨트롤러(54)는 도시하지 않은 시스템 인터페이스회로로부터 디지털 비디오 데이터(RGB), 수직/수평 동기신호 및 클럭신호 등을 공급받아 게이트 구동부(52)를 제어하기 위한 게이트 제어신호(GDC) 및 데이터 구동부(51)를 제어하기 위한 데이터 제어신호(DDC)를 발생함과 아울러 디지털 비디오 데이터를 클럭신호에 맞춰 재정렬하여 데이터 구동부(51)에 공급한다. 여기서, 게이트 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력신호(GOE) 등을 포함하며, 데이터 제어신호(DDC)는 소스스타트펄스(SSP), 소스쉬프트클럭(SSC), 소스출력신호(SOE), 극성제어신호(POL) 등을 포함한다.

<42> 데이터 구동부(51)는 타이밍 컨트롤러(54)로부터 공급되는 디지털 비디오 데이터를 아날로그 감마보상전압, 즉 데이터전압(Vd)으로 변환하여 데이터라인들(DL[1] 내지 DL[m])에 공급한다. 이러한 데이터 구동부(51)는 클럭신호를 샘플링하기 위한 쉬프트레지스터, 디지털 비디오 데이터를 일시저장하기 위한 레지스터, 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 래치, 래치로부터의 디지털 데이터값에 대응하여 정극성/부극성의 감마전압을 선택하기 위한 디지털/아날로그 변환기, 정극성/부극성 감마전압에 의해 변환된 아날로그 데이터가 공급되는 데이터라인(DL[j])을 선택하기 위한 멀티플렉서 및 멀티플렉서와 데이터라인(DL[j]) 사이에 접속된 출력버퍼 등을 포함한다.

<43> 게이트 구동부(52)는 데이터전압(Vd)이 공급될 액정표시패널(53)의 수평라인을 선택하는 스캔신호(Vg[1] 내지 Vg[n])를 게이트라인들(GL[1] 내지 GL[n])에 순차적으로 공급한다. 이러한 게이트 구동부(52)는 도 4에서 보는 바와 같이 게이트스타트펄스(GSP)를 순차적으로 쉬프트시켜 쉬프트출력신호(Vs[1] 내지 Vs[n])를 발생하는 쉬프트 레지스터(61)와, 쉬프트 레지스터(61)로부터의 쉬프트출력신호(Vs[1] 내지 Vs[n])를 박막트랜지스터(TFT) 구동에 적합한 전압레벨의 스캔신호(Vg[1] 내지 Vg[n])로 변환하여 게이트라인들(GL[1] 내지 GL[n])에 공급하는 레벨쉬프터들(LS[1] 내지 LS[n])과, 레벨쉬프터(LS[1] 내지 LS[n])들의 전압레벨 변환에 필요한 참조전압을 공급하는 전압선택기(62)를 구비한다.

<44> 쉬프트레지스터(61)는 종속적으로 접속된 다수의 스테이지들(S[1] 내지 S[n])을 포함한다. 각 스테이지들(S[1] 내지 S[n])은 쉬프트될 입력신호로써 게이트 스타트 펄스(GSP) 또는 이전 스테이지(S[1] 내지 S[n-1])의 쉬프트 출력신호(Vs[1] 내지 Vs[n-1])를 공급받아 1 클럭만큼 즉, 1 수평 기간만큼 쉬프트된 쉬프트출력신호(Vs[1] 내지 Vs[n])를 출력한다. 즉, 제1 스테이지(S[1])에는 쉬프트될 입력신호로써 게이트 스타트 펄스(GSP)가 공급되며, 제2 내지 제n 스테이지(S[2] 내지 S[n])에는 쉬프트될 입력신호로써 이전 스테이지(S[1] 내지 S[n-1])의 쉬프트출력신호(Vs[1] 내지 Vs[n-1])가 각각 공급된다. 이를 위하여 제1 스테이지(S[1])를 제외한 제k 스테이지(S[k])의 쉬프트될 입력신호 입력단은 제k-1 스테이지(S[k-1])의 쉬프트출력신호(Vs[k-1]) 출력단에 접속된다.

<45> 레벨쉬프터들(LS[1] 내지 LS[n])은 각각 쉬프트레지스터(61)의 각 스테이지들(S[1] 내지 S[n])로부터 출력되는 쉬프트출력신호(Vs[1] 내지 Vs[n])를 게이트로우전압(Vgl)과 전압선택기(62)에 의해 선택된 제1 및 제2 게이트 하이전압(Vgh1, Vgh2) 중 어느 하나 사이를 스위칭하는 스캔신호(Vg[1] 내지 Vg[n])로 변환하여 게이트라인들(GL[1] 내지 GL[n])에 공급한다. 여기서, 제1 및 제2 게이트하이전압(Vgh1, Vgh2)은 액정표시패널(53)의 박막트랜지스터(TFT)들의 문턱전압 이상의 전압 즉, 게이트-온 전압이고, 게이트로우전압(Vgl)은 박막트랜지스터(TFT)들의 문턱전압 미만의 전압 즉, 게이트-오프 전압이다. 한편, 게이트로우전압(Vgl)은 외부 전압원으로부터 공급된다.

<46> 전압선택기(62)는 외부 전압원로부터 제1 및 제2 게이트하이전압(Vgh1, Vgh2)을 공급받아 타이밍 콘트롤러(51)로부터의 극성신호(POL)에 따라 제1 게이트하이전압(Vgh1) 또는 제2 게이트하이전압(Vgh2) 중 어느 하나를 선택하여 레벨슈프터들(LS[1] 내지 LS[n])에 공급한다. 여기서, 제1 게이트하이전압(Vgh1)과 제2 게이트하이전압(Vgh2)은 서로 다른 전압레벨을 가진다. 제1 게이트하이전압(Vgh1)이 제2 게이트하이전압(Vgh2)보다 높은 전압레벨을 가지는 경우를 가정하면, 전압선택기(62)는 정극성(+)의 극성신호(POL)에 응답하여 제1 게이트하이전압(Vgh1)을 선택하고, 부극성(-)의 극성신호(POL)에 응답하여 제2 게이트하이전압(Vgh2)을 선택한다.

<47> 아래의 표 2는 제1 게이트하이전압(Vgh1)의 전압레벨을 고정하고 제2 게이트하이전압(Vgh2)의 전압레벨을 변경하며 킥백전압(ΔV_p)을 모의실험한 결과이다. 표 2를 참조하면, 제1 및 제2 게이트하이전압(Vgh1, Vgh2)을 25V로 동일하게 설정한 경우 정극성(+) 구동시와 부극성(-) 구동시의 킥백전압(ΔV_p) 차가 410mV인 반면, 제1 게이트하이전압(Vgh1)을 25V로 제2 게이트하이전압(Vgh2)을 17.7V로 설정한 경우 정극성(+) 구동시와 부극성(-) 구동시의 킥백전압(ΔV_p) 차는 6mV로써 그 차이가 현저히 줄어든 것을 알 수 있다. 이와 같이 본 발명에 따른 액정 표시장치와 그 구동방법은 정극성(+) 구동시의 게이트-온 전압과 부극성(-) 구동시의 게이트-온 전압을 다르게 함으로써 즉, 부극성(-) 구동시의 게이트-온 전압을 정극성(+) 구동시의 게이트-온 전압에 비해 낮게 설정함으로써 정극성(+) 구동시와 부극성(-) 구동시의 킥백전압(ΔV_p) 차를 줄일 수 있다. 한편, 액정표시장치는 종류별, 크기별로 그 구동에 필요한 전압레벨들이 다르므로 제2 게이트하이전압(Vgh2)은 그 대상에 맞게 실험적으로 최적화된 값으로 설정되어야 한다.

【표 1】

극성신호(POL)	Vg[k]		Vd	Vgd(Vgh - Vd)	ΔV_p	정극성(+)구동시 ΔV_p 와 부극성(-)구동시 ΔV_p 의 차
	Vgl	Vgh				
정극성(+)	-5V	25V	14V	11V	1.121V	-
부극성(-)	-5V	25V	0V	25V	1.531V	410mV
	-5V	22V	0V	22V	1.3697V	248mV
	-5V	20V	0V	20V	1.2525V	131mV
	-5V	18V	0V	18V	1.1443V	23mV
	-5V	17.7V	0V	17.7V	1.1275V	6mV

<49> 도 5는 도 4에 도시된 게이트 구동부(52)에서 쉬프트 레지스터(61)의 제1 및 제2 스테이지(S[1], S[2])와 제1 및 제2 레벨슈프터(LS[1], LS[2])의 회로 구성을 나타내며, 도 6은 그 구동신호들의 파형을 나타낸다. 이하, 도 5 및 도 6을 참조하여 게이트 구동부(52)의 동작을 설명하기로 한다. 한편, 쉬프트 레지스터(61)의 제2 내지 제n 스테이지(S[2] 내지 S[n])는 쉬프트입력신호로써 게이트스타트펄스(GSP) 대신 이전 스테이지(S[1] 내지 S[n-1])의 쉬프트출력신호(Vs[1] 내지 Vs[n-1])를 공급받는 것 외에는 제1 스테이지(S[1])와 동일한 회로 구성을 가지며, 제2 내지 제n 레벨슈프터(LS[2] 내지 LS[n])도 제1 레벨슈프터(LS[1])와 동일한 회로 구성을 가지므로, 동작 설명은 쉬프트 레지스터(61)의 제1 스테이지(S[1]) 및 제1 레벨슈프터(LS[1])를 기준으로 하며 그 이하 구성에 대해서는 생략하기로 한다.

<50> 도 5 및 도 6을 참조하면, 제1 및 제2 클럭신호(C1, C2)가 로우논리전압을 유지하는 t1 기간 동안 게이트스타트펄스(GSP)가 하이논리전압으로 제1 및 제4 트랜지스터(T1, T4)의 게이트전극에 공급되어 제1 및 제4 트랜지스터(T1, T4)를 턴-온시킨다. 이 때 제1 노드(N1)상의 전압(V_{N1})이 중간전압(V_m)으로 상승하면서 제5 트랜지스터(T5)를 턴-온시키지만 제1 클럭신호(C1)가 로우논리전압으로 유지되고 있으므로 제3 노드(N3)상의 전압 즉, 제1 쉬프트출력신호(Vs[1])는 로우논리전압을 유지한다. 그리고, 제4 트랜지스터(T4)의 턴-온에 의해 제2 노드(N2)상의 전압(V_{N2})이 낮아지면서 제2 트랜지스터(T2)와 제6 트랜지스터(T6)가 턴-오프되어 제1 및 제3 노드(N1, N3)의 방전 경로를 차단한다.

<51> t2 기간 동안, 게이트스타트펄스(GSP)가 로우논리전압으로 반전되는 반면 제1 클럭신호(C1)는 하이논리전압으로 반전된다. 이 때 제1 트랜지스터(T1)와 제4 트랜지스터(T4)가 턴-오프되며, 제1 노드(N1)상의 전압(V_{N1})은 제1 클럭신호(C1)의 하이논리전압이 공급되는 제5 트랜지스터(T5)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제5 트랜지스터(T5)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(N1) 상의 전압(V_{N1})은 부트스트래핑(Bootstrapping)에 의해 t1 기간보다 더 높은 전압(V_h)으로 상승한다. 따라서, t2 기간

동안 제5 트랜지스터(T5)는 턴-온되고, 제1 쉬프트출력신호($V_s[1]$)는 제5 트랜지스터(T5)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리전압으로 반전된다. 제1 스테이지(S1)의 쉬프트출력신호($V_s[1]$)가 하이논리전압으로 반전되면, 제1 레벨쉬프터(LS[1])의 제7 트랜지스터(T7)가 턴-온되어 제1 게이트라인(GL[1])에 제1 게이트하이전압(V_{gh1}) 또는 제2 게이트하이전압(V_{gh2})이 공급된다. 이렇게 제1 게이트라인(GL[1])에 공급되는 제1 게이트하이전압(V_{gh1}) 또는 제2 게이트하이전압(V_{gh2})은 제1 게이트라인(GL[1])에 게이트전극이 접속된 박막트랜지스터(TFT)들을 턴-온시켜 액정셀(C1c)에 데이터전압(V_d)이 공급되도록 한다. 여기서, 제1 게이트라인(GL[1])에 공급되는 게이트-온 전압은 상술한 바와 같이 극성신호(POL)에 따라 전압선택기(62)에 의해 선택되는데, 극성신호(POL)는 인버전 방식에 따라 그 반전주기가 다르게 된다. 라인 인버전 방식에서는 도 7a 및 도 7b에서와 같이 극성신호(POL)의 극성이 수평 기간마다 반전되며, 또한 프레임 기간마다 반전된다. 이같이 극성이 반전되는 극성신호(POL)에 따라 전압선택기(62)는 제1 게이트하이전압(V_{gh1}) 또는 제2 게이트하이전압(V_{gh2})을 선택하며, 이렇게 선택된 게이트-온 전압으로 도 8a 및 도 8b에서 보는 바와 같은 스캔신호($V_g[1]$ 내지 $V_g[n]$)들이 게이트라인들(GL[1] 내지 GL[n])에 순차적으로 공급된다. 프레임 인버전 방식에서는 도 9a 및 도 9b에서와 같이 극성신호(POL)의 극성이 프레임 기간마다 반전된다. 이같이 극성이 반전되는 극성신호(POL)에 따라 전압선택기(62)는 제1 게이트하이전압(V_{gh1}) 또는 제2 게이트하이전압(V_{gh2})을 선택하며, 이렇게 선택된 게이트-온 전압으로 도 10a 및 도 10b에서 보는 바와 같은 스캔신호($V_g[1]$ 내지 $V_g[n]$)들이 게이트라인들(GL[1] 내지 GL[n])에 순차적으로 공급된다. 한편, 프레임 기간이란 필드 기간(Field Period)이라고도 하며, 한 화면의 모든 픽셀들에 데이터가 인가되는 한 화면의 표시기간을 말하며, 이 프레임 기간은 NTSC 방식의 경우 1/60 초이고 PAL 방식의 경우 1/50 초로 표준화되어 있다.

<52> t3 기간 동안 제1 클럭신호(C1)는 로우논리전압으로 반전되고, 제2 클럭신호(C2)는 하이논리전압으로 반전된다. 이 때 제2 클럭신호(C2)에 응답하여 턴-온되는 제3 트랜지스터(T3)를 경유하여 고전위 전원전압(V_{dd})이 제2 노드(N2)에 공급되어 제2 노드(N2)상의 전압(V_{N2})을 상승시킨다. 이렇게 상승하는 제2 노드(N2)상의 전압(V_{N2})은 제2 트랜지스터(T2)를 턴-온시켜 제1 노드(N1) 상의 전압(V_{N1})을 기저전압(V_{ss})까지 방전시킴과 동시에 제6 트랜지스터(T6)를 턴-온시켜 제3 노드(N3)상의 전압을 기저전압(V_{ss})까지 방전시킨다. 제3 노드(N3)상의 전압이 기저전압(V_{ss})으로 방전되면 즉, 제1 스테이지(S1)의 쉬프트출력신호($V_s[1]$)가 로우논리전압으로 반전되면, 제1 레벨쉬프터(LS[1])의 제7 트랜지스터(T7)가 턴-오프된다. 이 때 제2 클럭신호(C2)에 의해 제1 레벨쉬프터(LS[1])의 제8 트랜지스터(T8)가 턴-온되어 제1 게이트라인(GL)에는 게이트로우전압(V_{gl})이 공급된다. 이렇게 제1 게이트라인(GL[1])에 공급되는 게이트로우전압(V_{gl})은 제1 게이트라인(GL[1])에 게이트전극이 접속된 박막트랜지스터(TFT)들을 턴-오프시킨다.

<53> t4 기간 동안 제2 클럭신호(C2)가 로우논리전압으로 반전되면, 제3 트랜지스터(T3)가 턴-오프된다. 이 때 제2 노드(N2)상에는 하이논리전압이 플로팅(Floating) 된다. 제2 노드(N2)상에 플로팅 된 하이논리전압은 다음 프레임 기간에 게이트스타트펄스(GSP)에 의해 제4 트랜지스터(T4)가 턴-온되어 제2 노드(N2)의 전압이 방전될 때까지 유지된다.

<54> 한편, 도 4에 도시된 게이트 구동부(52)에서 쉬프트 레지스터(61) 및 레벨 쉬프터들(LS[1] 내지 LS[n])은 도 5에 도시된 회로 외에도 본 출원인에 의한 발명에 개시된 다른 쉬프트 레지스터 및 레벨 쉬프터들로 대체가 가능하다.

발명의 효과

<55> 상술한 바와 같이 본 발명에 따른 액정표시장치와 그 구동방법은 부극성(-) 구동시의 게이트-온 전압을 정극성(+) 구동시의 게이트-온 전압에 비해 낮게 설정하여 정극성(+) 구동시와 부극성(-) 구동시의 킥백전압(ΔV_p) 차를 감소시킴으로써 플리커와 잔상을 예방하여 표시품질을 향상시킬 수 있다.

<56> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 종래의 액정표시패널에 포함된 화소셀을 나타내는 도면.

<2> 도 2는 도 1의 화소셀에 대한 구동전압들을 나타내는 도면.

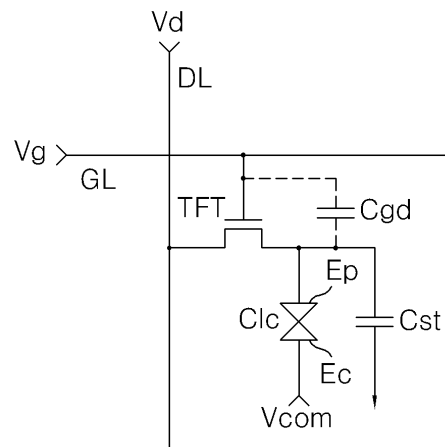
- <3> 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.
- <4> 도 4는 도 3에 도시된 게이트 구동부의 상세 구성을 나타내는 도면.
- <5> 도 5 및 도 6은 도 4에 도시된 게이트 구동부의 상세 회로 및 구동신호 파형을 나타내는 도면.
- <6> 도 7a 및 도 7b는 라인 인버전 구동을 설명하기 위한 도면.
- <7> 도 8a 및 도 8b는 본 발명의 실시예에 따른 액정표시장치의 라인 인버전시 구동신호 파형을 나타내는 도면.
- <8> 도 9a 및 도 9b는 프레임 인버전 구동을 설명하기 위한 도면.
- <9> 도 10a 및 도 10b는 본 발명의 실시예에 따른 액정표시장치의 프레임 인버전시 구동신호 파형을 나타내는 도면.

<10> <도면의 주요 부호에 대한 설명>

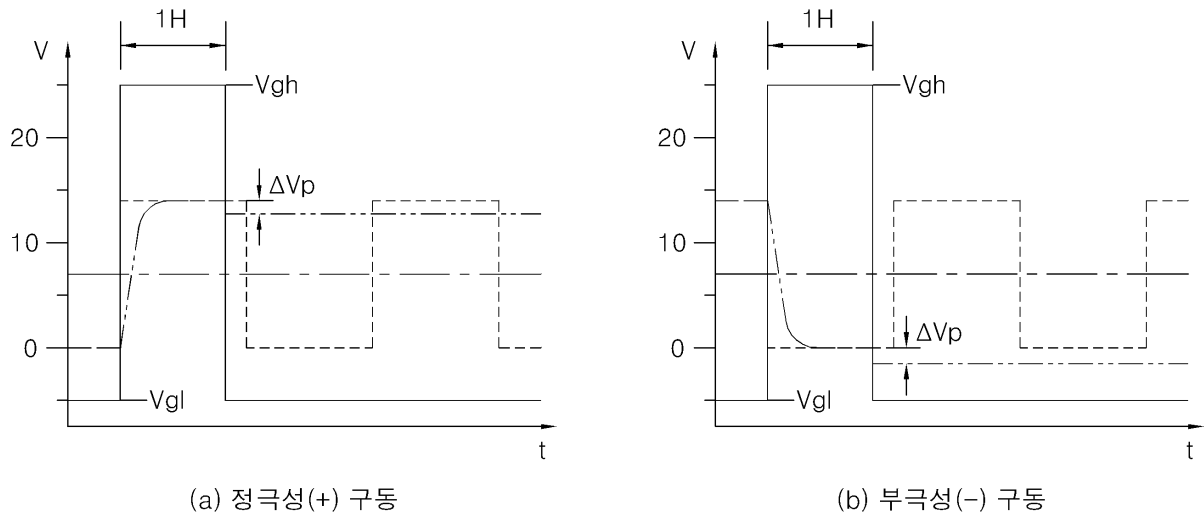
- <11> 51 : 데이터 구동부 52 : 게이트 구동부
- <12> 53 : 액정표시패널 54 : 타이밍 컨트롤러
- <13> 61 : 쉬프트 레지스터 62 : 전압선택기
- <14> Cgd : 게이트-드레인 기생 커패시터 Clc : 액정셀
- <15> Cst : 스토리지 커패시터 Ec : 공통전극
- <16> Ep : 화소전극 TFT : 박막트랜지스터
- <17> GL[1] : 내지 GL[n] : 게이트라인 DL[1] : 내지 DL[m] : 데이터라인
- <18> S[1] 내지 S[n] : 스테이지 LS[1] 내지 LS[n] : 레벨쉬프터

도면

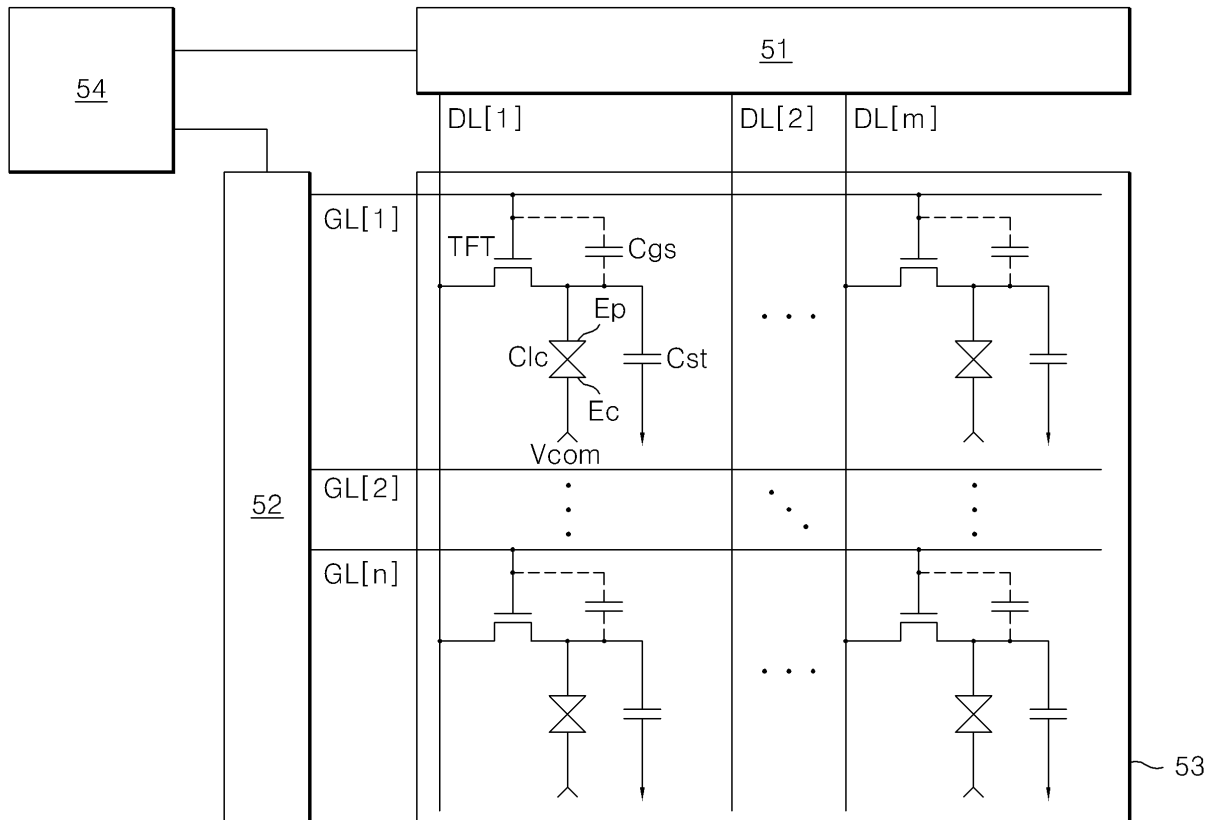
도면1



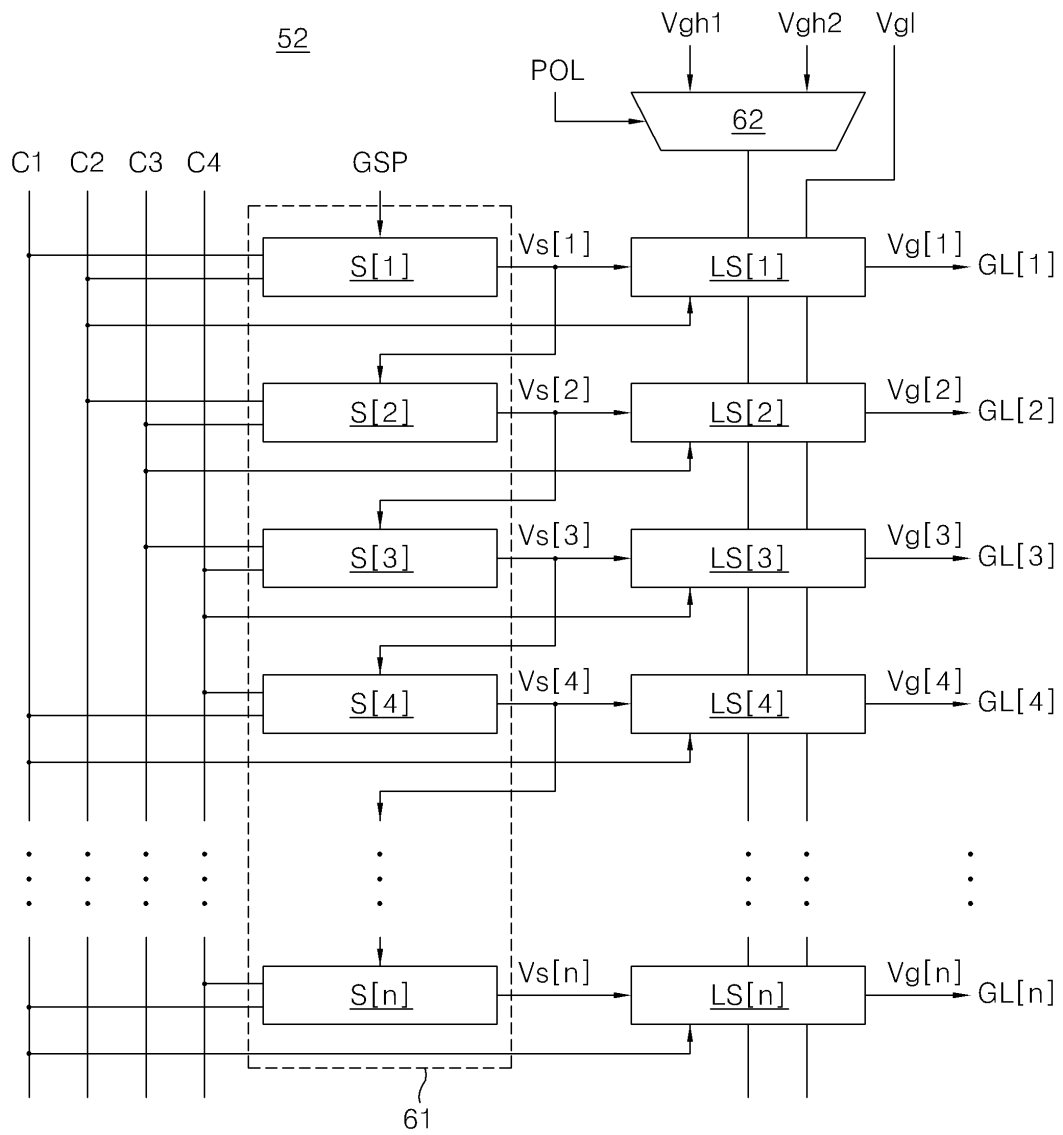
도면2



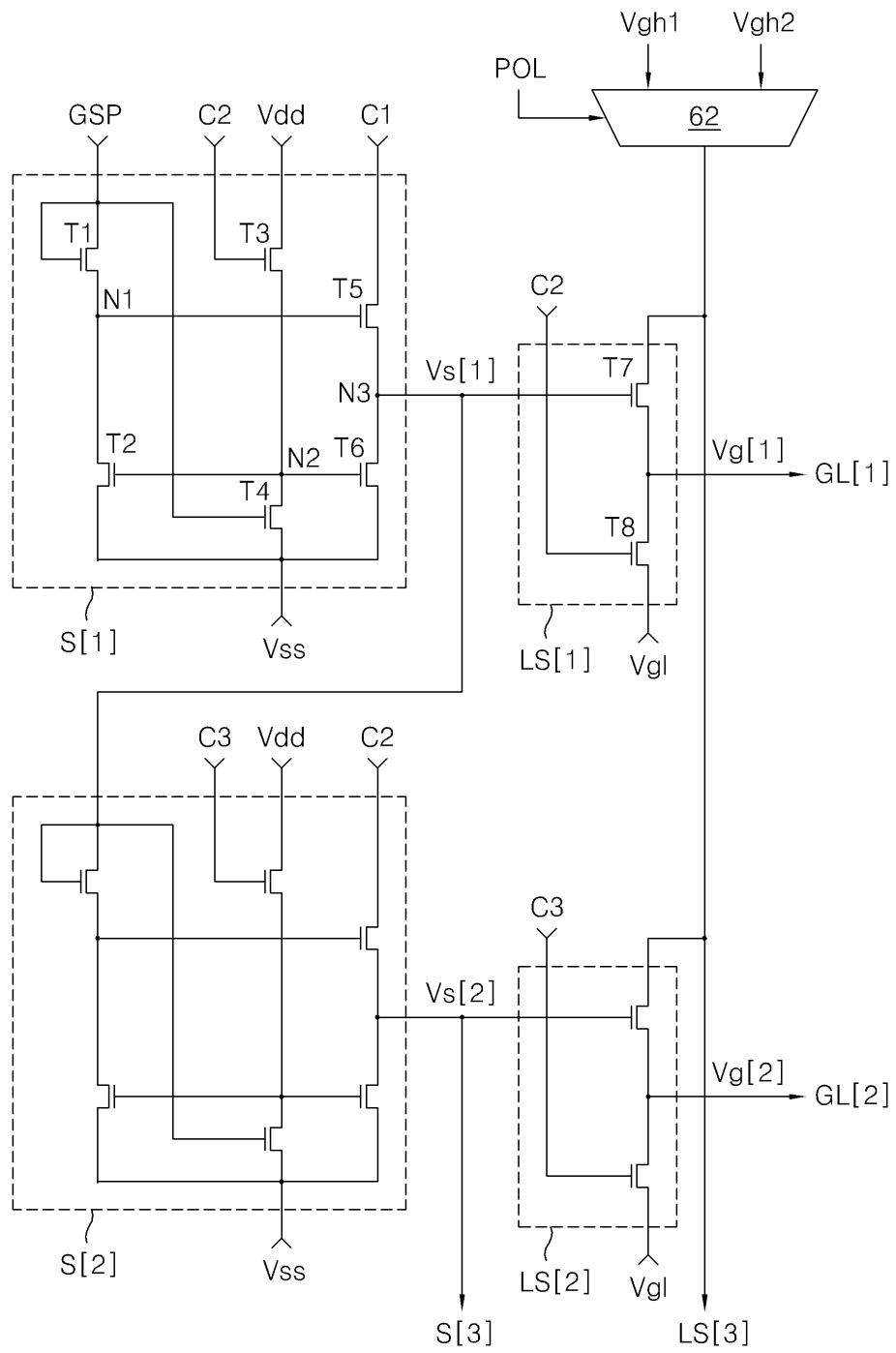
도면3



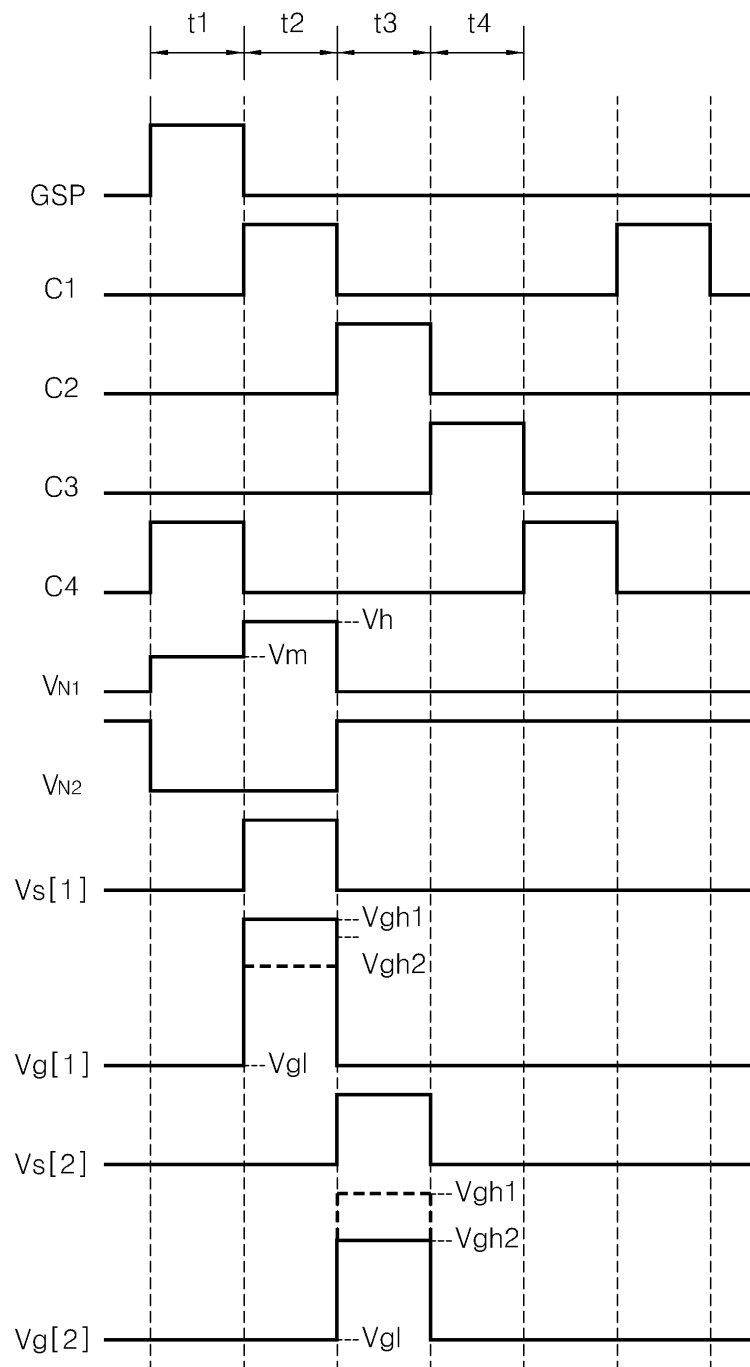
도면4



도면5



도면6



도면7a

1st Frame

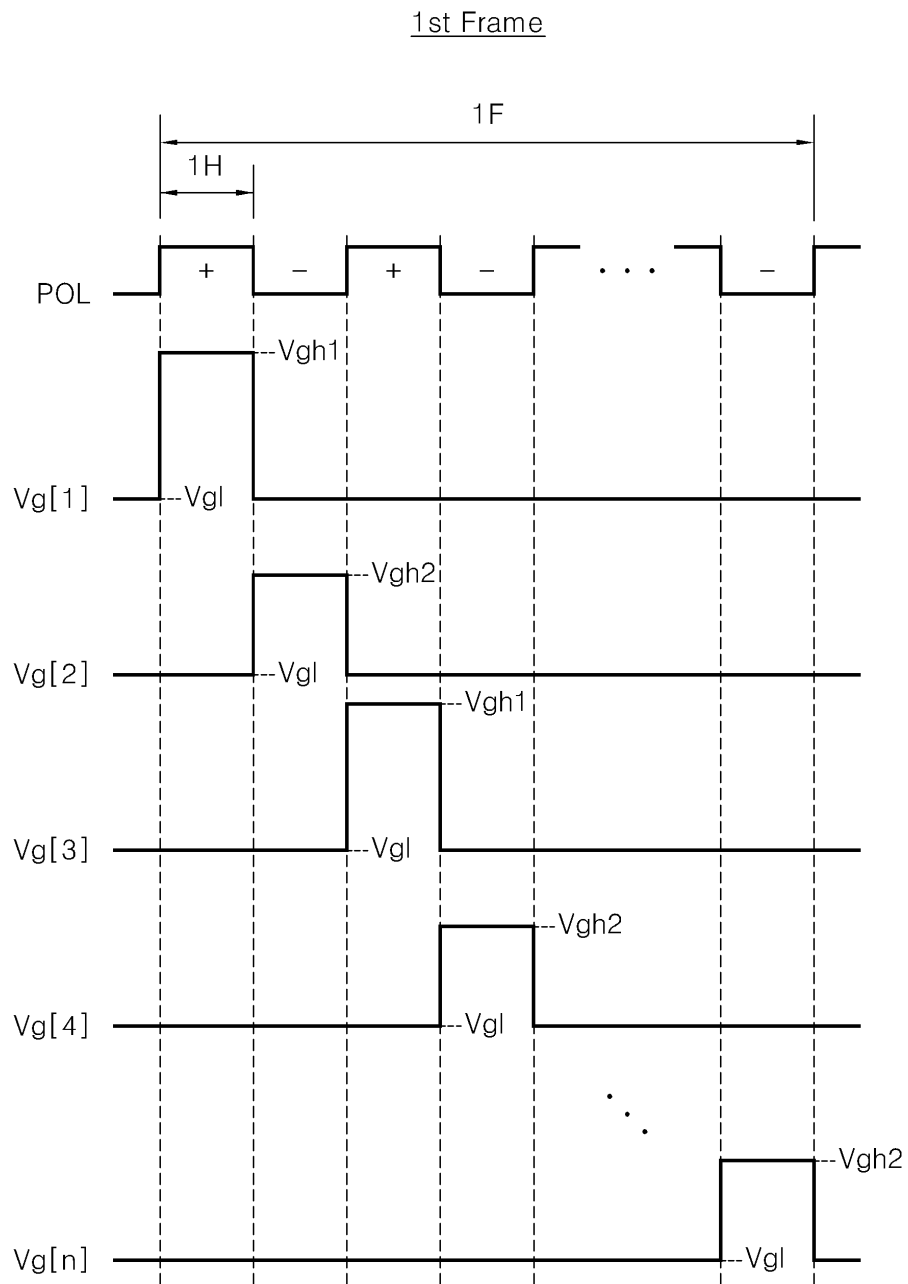
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-

도면7b

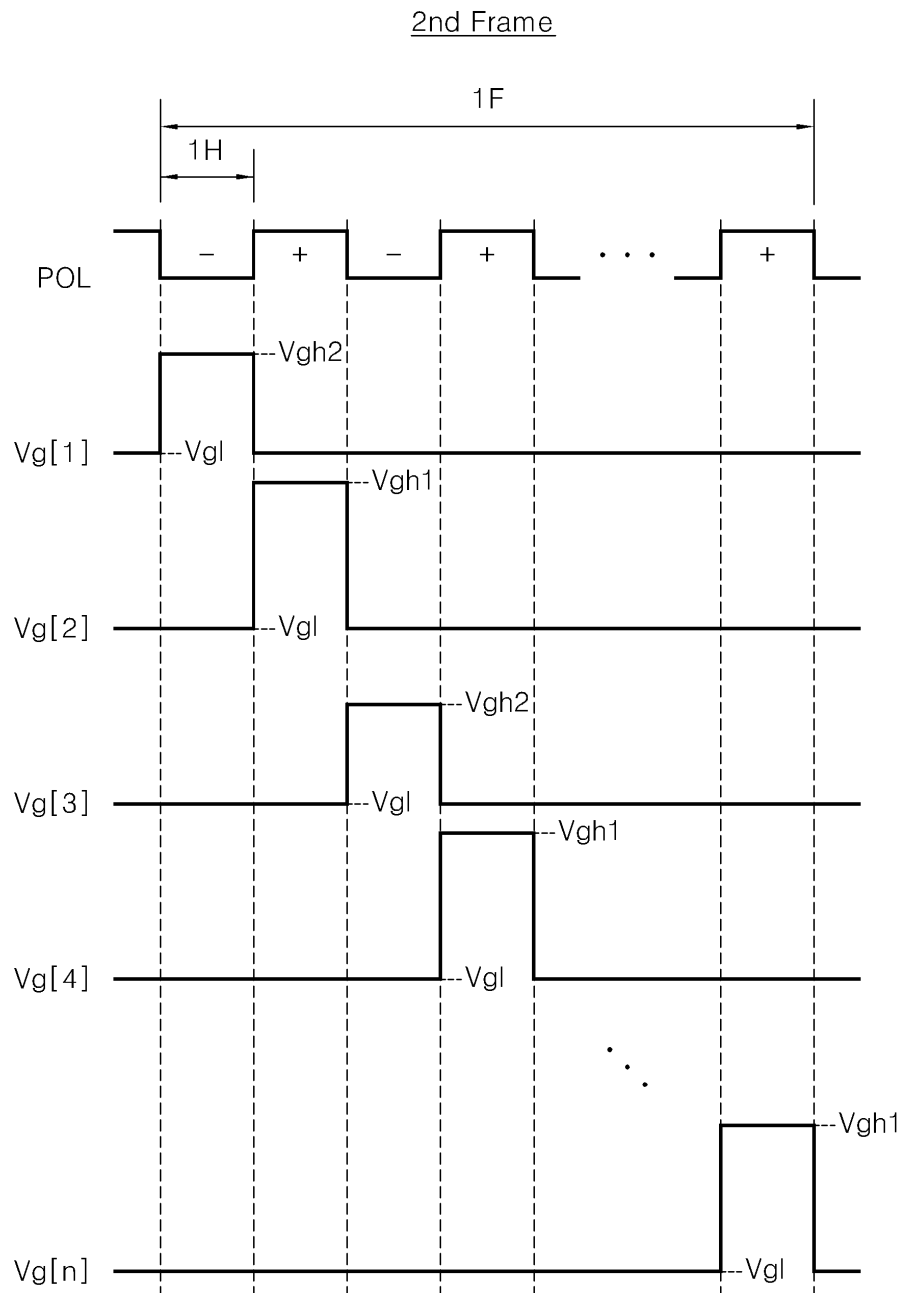
2nd Frame

-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+	+	+	+	+

도면8a



도면8b



도면9a

1st Frame

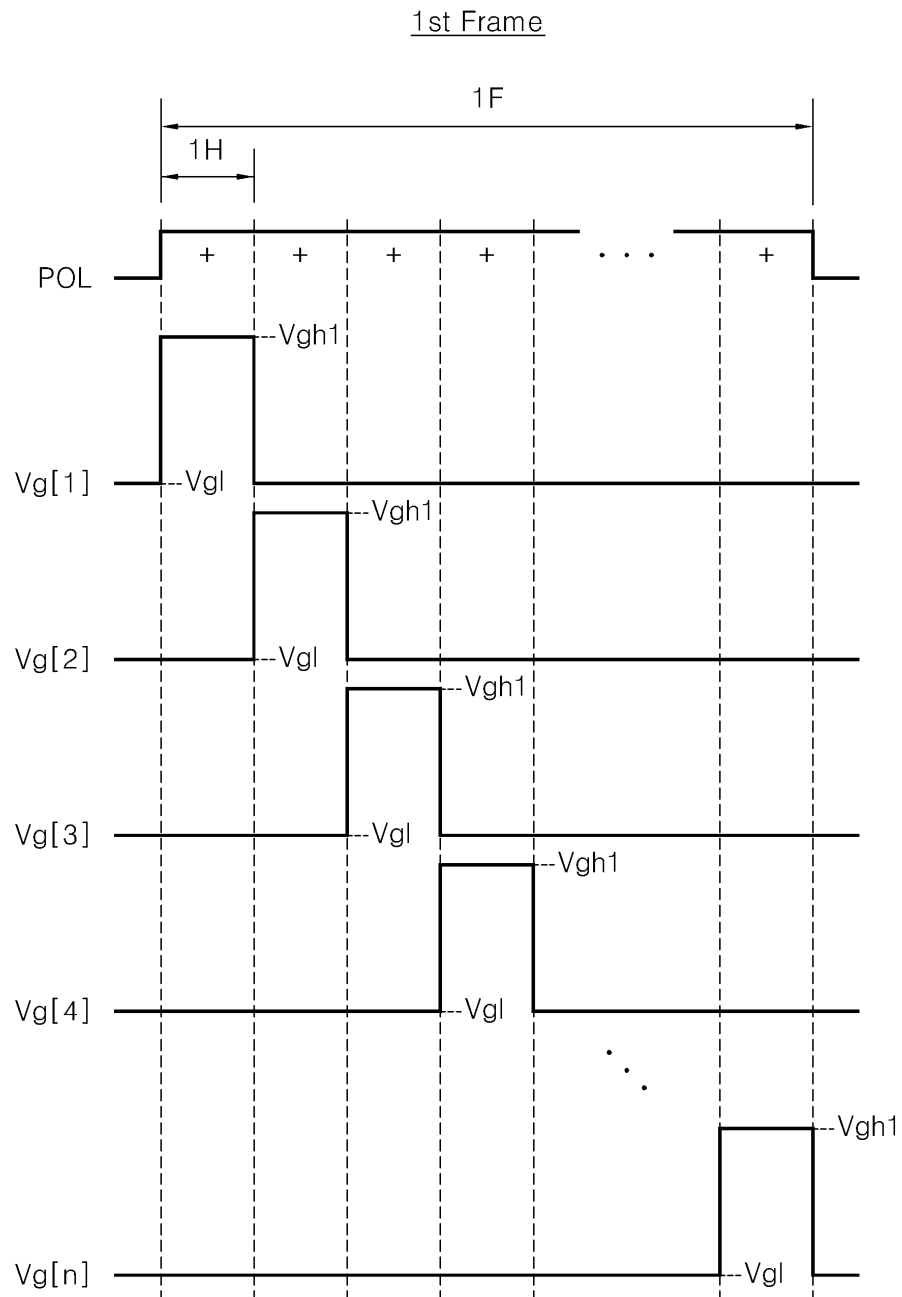
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+
+	+	+	+	+	+	+	+	+	+	+	+

도면9b

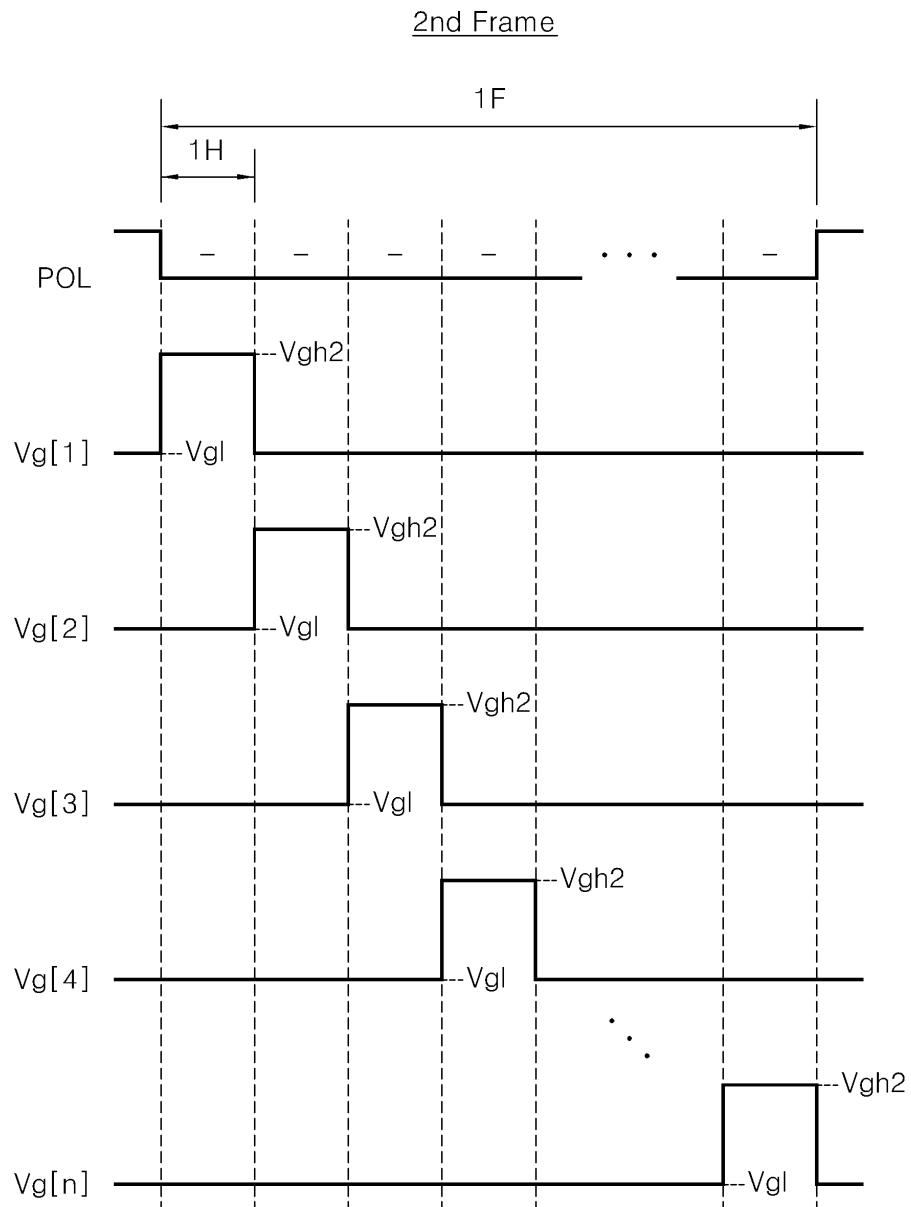
2nd Frame

-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-

도면10a



도면10b



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020070099295A	公开(公告)日	2007-10-09
申请号	KR1020060030563	申请日	2006-04-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SANG YEUP 이상엽 YU SANG HEE 유상희		
发明人	이상엽 유상희		
IPC分类号	G02F1/133		
CPC分类号	G09G2320/0247 G09G2320/0219 G09G3/3614 G09G2310/08 G09G3/3677		
其他公开文献	KR101308188B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其驱动方法，提高了显示质量，在反转驱动方法中减少了直极驱动和负极驱动中的反冲电压的反冲电压差。根据本发明的液晶显示器包括数据线和相交的栅极线；多个液晶单元形成在被定义为栅极线和数据线的交叉点的像素区域；直极数据信号；多个薄膜晶体管响应于来自栅极驱动单元的扫描信号从数据线向液晶单元提供数据信号，根据数据驱动器的极性提供具有不同电压的扫描信号，产生负极性数据信号并向数据线提供数据信号，向栅极线和栅极线提供数据信号。

