



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.  
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0056182  
(43) 공개일자 2007년06월04일

(21) 출원번호 10-2005-0114495  
(22) 출원일자 2005년11월29일  
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 채기성  
인천 연수구 동춘동 한양1차APT 111-607

(74) 대리인 허용록

전체 청구항 수 : 총 23 항

(54) 나노 패턴 형성 방법과 그를 이용한 박막트랜지스터 및액정표시장치의 제조 방법

(57) 요약

본 발명은 나노 패턴 형성 방법과 그를 이용한 박막트랜지스터 및 액정표시장치의 제조 방법에 관한 것으로, 특히 기판 상에 일정 간격 이격되는 두 개의 금속패턴을 형성하는 단계, 상기 두 개의 금속패턴의 소정 영역에 나노 물질이 분산된 용액을 도포하는 단계, 상기 두 개의 금속패턴 중 적어도 어느 하나에 전압을 인가하는 단계, 및 상기 도포된 나노 물질 분산 용액을 건조시켜 나노 패턴을 형성하는 단계를 포함하는 나노 패턴 형성 방법과 이를 나노 패턴 활성층 제조에 이용한 박막트랜지스터 및 액정표시장치의 제조 방법에 관한 것이다.

여기서, 본 발명에 의하면 상기 두 개의 금속패턴 중 적어도 어느 하나에 전압을 인가하여 상기 두 개의 금속패턴 사이에 수평 방향으로 전계를 형성함으로써 나노 물질의 전기적인 분극에 의하여 상기 두 개의 금속패턴 사이에 장방향으로 배열된 나노 물질을 형성하고, 상기 나노 물질 분산 용액을 건조하여 나노 패턴을 형성하는 점에 그 특징이 있다.

대표도

도 3d

특허청구의 범위

청구항 1.

기판 상에 일정 간격 이격되는 두 개의 금속패턴을 형성하는 단계;

상기 두 개의 금속패턴의 소정 영역에 나노 물질이 분산된 용액을 도포하는 단계;

상기 두 개의 금속패턴 중 적어도 어느 하나에 전압을 인가하는 단계; 및

상기 도포된 나노 물질 분산 용액을 건조시켜 나노 패턴을 형성하는 단계;를 포함하는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 2.

제 1 항에 있어서,

상기 나노 물질은 자성체인 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 3.

제 1 항에 있어서,

상기 나노 물질은 나노 선 또는 나노 튜브인 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 4.

제 1 항에 있어서,

상기 나노 물질은 실리콘(Si), 질화갈륨(GaN), 산화아연(ZnO), 실리카(Silica), 알루미나(Alumina) 중 선택되는 1종인 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 5.

제 1 항에 있어서,

상기 나노 패턴은 상기 두 개의 금속패턴 사이에 나노 물질이 장방향으로 배열되어 형성되는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 6.

제 1 항에 있어서,

상기 나노 패턴은 상기 나노 물질의 전기적인 분극을 이용하여 형성하는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 7.

제 1 항에 있어서,

상기 금속패턴은 알루미늄(Al), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti), 알루미늄합금(AlNd)으로 이루어진 군에서 선택되는 1종으로 형성하는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 8.

제 1 항에 있어서,

상기 나노 물질 분산 용액은 잉크젯 프린팅, 스핀 코팅, 딥 코팅 또는 닥터 블레이드 방법 중 선택되는 어느 하나의 방식을 수행하여 도포하는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 9.

제 1 항에 있어서,

상기 나노 물질 분산 용액은 물, 에탄올, 메탄올 또는 이소프로필알콜 중 선택되는 1종의 용매를 포함하는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 10.

제 1 항에 있어서,

상기 건조는 빛이나 열을 이용하여 수행하는 것을 특징으로 하는 나노 패턴 형성 방법.

## 청구항 11.

기관 상에 소스 전극을 포함한 데이터 라인 및 상기 데이터 라인과 소정 간격 이격된 드레인 라인을 형성하는 단계;

상기 소스 전극 및 상기 드레인 라인의 소정 영역에 나노 물질 분산 용액을 도포하는 단계;

상기 데이터 라인 및 드레인 라인 중 적어도 어느 하나에 전압을 인가하는 단계;

상기 도포된 나노 물질 분산 용액을 건조시켜 나노 패턴 활성층을 형성하는 단계;

상기 드레인 라인을 패터닝하여 드레인 전극을 형성하는 단계;

상기 나노 패턴 활성층을 포함한 기관 전면에 걸쳐 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막 상에 상기 데이터 라인과 교차하는 게이트 라인 및 상기 게이트 라인과 연결되며 상기 나노 패턴 활성층과 대응되는 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

## 청구항 12.

제 11 항에 있어서,

상기 나노 물질은 자성체인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

## 청구항 13.

제 11 항에 있어서,

상기 나노 물질은 나노 선 또는 나노 튜브인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 14.

제 11 항에 있어서,

상기 나노 물질은 실리콘(Si)인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 15.

제 11 항에 있어서,

상기 나노 패턴 활성층은 실리콘(Si)인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 16.

제 11 항에 있어서,

상기 나노 패턴 활성층은 상기 소스전극 및 드레인 전극 사이에 나노 물질이 장방향으로 배열되어 형성되는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 17.

제 11 항에 있어서,

상기 나노 패턴 활성층은 상기 나노 물질의 전기적인 분극을 이용하여 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 18.

제 11 항에 있어서,

상기 소스 전극, 데이터 라인 및 드레인 라인은 크롬(Cr), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 텅스텐 몰리브덴(MoW), 니켈(Ni), 알루미늄(Al), 구리(Cu), 알루미늄합금(AlNd)으로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 19.

제 11 항에 있어서,

상기 데이터 라인 및 드레인 라인은 전기 단자 기능을 하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

#### 청구항 20.

제 11 항에 있어서,

상기 나노 물질 분산 용액은 잉크젯 프린팅, 스핀 코팅, 딥 코팅 또는 닥터 블레이드 방법 중 선택되는 어느 하나의 방식을 수행하여 도포하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

## 청구항 21.

제 11 항에 있어서,

상기 나노 물질 분산 용액은 물, 에탄올, 메탄올 또는 이소프로필알콜 중 선택되는 1종의 용매를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

## 청구항 22.

제 11 항에 있어서,

상기 건조는 빛이나 열을 이용하여 수행하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

## 청구항 23.

기관 상에 소스 전극, 나노 패턴 활성층, 드레인 전극, 게이트 전극 및 화소 전극을 형성하는 것을 포함하는 액정표시장치의 제조 방법에 있어서,

상기 나노 패턴 활성층은 제 11 항 내지 제 22 항 중 적어도 어느 한 항에 의한 박막트랜지스터의 제조 방법에 의해 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 나노 패턴 형성 방법과 그를 이용한 박막트랜지스터 및 액정표시장치의 제조 방법에 관한 것으로, 특히 나노 물질의 전기적인 분극에 의해 나노 패턴을 형성하는 나노 패턴 형성 방법과 그를 이용한 박막트랜지스터 및 액정표시장치의 제조 방법에 관한 것이다.

반도체 제품들이 소형화, 고집적화됨에 따라 소자의 새로운 기능을 향상시키기 위해 패턴(Pattern)을 형성하는 패턴닝(Patterning) 기술에 대한 관심이 높아지고 있다.

특히, 마이크로전자회로, 디지털 기억 장치, 디스플레이, 센서 등에 100 nm 이하의 구조 사이즈를 갖는 나노 디바이스(nano device)가 극소량의 나노 재료를 이용하여 소자의 우수한 특성을 얻을 수 있기 때문에 첨단 산업계의 요구에 부응할 수 있는 신소재로 산업 여러 분야에서 각광받고 있다. 그러한 나노 디바이스의 개발에서 우선 가장 중요한 핵심기술 중 하나가 나노 패턴닝 기술이다.

그러나 현재의 높은 집적도를 갖는 패턴닝 기술은 반도체 제조의 핵심 기술로 발전해 왔으며, 일반적으로 광(optics) 또는 빔(Beam)을 이용한 리소그래피(lithography) 기술로서, 포토 리소그래피(Photo lithography), 전자-빔 리소그래피(electron-beam lithography) 및 X-선 리소그래피(X-ray lithography) 등이 여기에 해당한다. 이러한 리소그래피 공정은 빛의 조사 여부에 따라 감응하는 화학 물질인 포토레지스트(Photoresist)를 이용하고 에칭(Etching) 기술을 동반하여 패턴을 형성시킨다.

따라서, 종래의 리소그래피 기술들은 장치나 공정에서 기술 비용이 크고, 복잡한 공정을 포함하므로 시간 소모가 많다. 또한, 종래의 포토레지스트로 이용하는 고분자 소재의 물리적 한계에 도달했으며, 패터닝 속도 및 해상도, 곡면에서의 적용하기 힘든 문제점을 가지고 있다.

이러한 문제점을 개선하기 위해 최근에는 이전의 광 리소그래피 기법과는 다른 새로운 개념의 패터닝 기술이 제안되고 있다.

특히 나노 물질을 일정한 방향으로 배열하는 랑뮤어 블라젯(Langmuir Blodgett) 기법을 이용한다. 여기서, 상기 랑뮤어 블라젯 기법은 나노 물질을 분산시킨 용액에 일정한 패턴을 갖는 자기조립 단층막(SAM; Self-Assembly Monolayer)이 형성된 기판을 넣어주어, 상기 기판 상에 상기 나노 물질을 흡착시키는 방법이다.

도 1a 내지 도 1c는 종래의 랑뮤어 블라젯 기법을 이용한 나노 박막 패턴 형성 방법을 설명하기 위한 공정단면도이다.

도시된 바와 같이, 종래의 랑뮤어 블라젯(LB; Langmuir-Blodgett) 기법을 이용한 나노 박막 패턴 형성 방법은, 용기(10) 안에 담겨진 용매(11)(예, 물( $H_2O$ ))에 한 쪽은 끝은 소수성(hydrophobic), 다른 한 쪽은 친수성(hydrophilic)을 갖는 양친매성(amphiphilic) 분자인 나노 와이어 또는 나노 튜브(12)가 불균일하게 부유되어 있다. 이때, 상기 분자(12)의 머리(12a)인 기능기(예,  $-OH$ ,  $-COOH$ )를 갖는 친수성 부분이 물(11) 안에 부유되어 있고, 긴 탄화수소( $C-H$ ) 사슬을 갖는 소수성 부분의 꼬리(12b)는 공기(air) 중에 노출되어 있다.

상기 용기(10)의 양 가장자리 부분에는 후속 공정에서 상기 나노 와이어 또는 나노 튜브(12)를 정렬시키기 위한 바(bar)(13a, 13b)가 부유되어 있다(도 1a).

상기 바(13) 중 어느 하나의 바(13b)가 나머지 바(13a) 쪽으로 이동되어 상기 나노 와이어 또는 나노 튜브(12)를 밀어줌으로써 상기 나노 와이어 또는 나노 튜브(12)가 일렬로 정렬된다(도 1b).

상기 정렬된 나노 와이어 또는 나노 튜브(12) 사이에 물질의 자기-조립(Self-assembly)을 이용해 자기조립 단층막(SAM) 처리된 기판(14)이 삽입된다. 상기 기판(14)의 삽입 시 기판(14)에 부착된 바(15)를 이용한다. 이 후 상기 SAM 처리된 기판(14)에 상기 나노 와이어 또는 나노 튜브(12)가 배열된 나노 박막 패턴(15)이 형성된다(도 1c). 상기 나노 박막 패턴(15)은 소수성으로 형성되어 있다.

그러나, 종래의 나노 박막 패턴을 형성하기 위한 랑뮤어 블라젯 기법은 대량 생산이 용이하지 않고 나노 박막 패턴의 안정성이 떨어진다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 생산 적용이 용이하고 공정 단순화 및 원가 절감이 가능한 나노 패턴 형성 방법을 제공하는데 그 목적이 있다.

본 발명은 상기 나노 패턴 형성 방법을 통해 생산 적용이 용이하고 공정단순화 및 원가절감이 가능한 박막트랜지스터 및 액정표시장치의 제조 방법을 제공하는데 다른 목적이 있다.

### 발명의 구성

상기한 목적을 달성하기 위한, 본 발명의 나노 패턴 형성 방법은, 기판 상에 일정 간격 이격되는 두 개의 금속패턴을 형성하는 단계, 상기 두 개의 금속패턴의 소정 영역에 나노 물질이 분산된 용액을 도포하는 단계, 상기 두 개의 금속패턴 중 적어도 어느 하나에 전압을 인가하는 단계, 및 상기 도포된 나노 물질 분산 용액을 건조시켜 나노 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 상기한 다른 목적을 달성하기 위한, 본 발명의 박막트랜지스터의 제조 방법은, 기판 상에 소스 전극을 포함한 데이터 라인 및 상기 데이터 라인과 소정 간격 이격된 드레인 라인을 형성하는 단계, 상기 소스 전극 및 상기 드레인 라인의 소정 영역에 나노 물질 분산 용액을 도포하는 단계, 상기 데이터 라인 및 드레인 라인 중 적어도 어느 하나에 전압을 인가하는 단계, 상기 도포된 나노 물질 분산 용액을 건조시켜 나노 패턴 활성층을 형성하는 단계, 상기 드레인 라인을 패터닝하여 드

레인 전극을 형성하는 단계, 상기 나노 패턴 활성화층을 포함한 기관 전면에 걸쳐 게이트 절연막을 형성하는 단계 및 상기 게이트 절연막 상에 상기 데이터 라인과 교차하는 게이트 라인 및 상기 게이트 라인과 연결되며 상기 나노 패턴 활성화층과 대응되는 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 상기한 다른 목적을 달성하기 위한, 본 발명의 액정표시장치의 제조 방법은, 기관 상에 소스 전극, 드레인 전극, 나노 패턴 활성화층, 게이트 전극 및 화소 전극을 형성하는 것을 포함하는 액정표시장치의 제조 방법에 있어서,

상기 나노 패턴 활성화층은 기관 상에 소스 전극을 포함한 데이터 라인 및 상기 데이터 라인과 소정 간격 이격된 드레인 라인을 형성하는 단계, 상기 소스 전극 및 상기 드레인 라인의 소정 영역에 나노 물질 분산 용액을 도포하는 단계, 상기 데이터 라인 및 드레인 라인 중 적어도 어느 하나에 전압을 인가하는 단계, 및 상기 도포된 나노 물질 분산 용액을 건조시켜 나노 패턴 활성화층을 형성하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명한다.

도 2는 본 발명에 따른 나노 패턴의 평면도이고, 도 3a 내지 도 3d는 도 2를 I-I'로 절취한 나노 패턴 형성 방법을 설명하기 위한 공정단면도이다.

도 2를 참조하면, 본 발명에 따른 나노 패턴은 기관(210) 상에 일정 간격 이격된 두 개의 금속패턴(220)이 형성되며, 상기 두 개의 금속패턴(220) 사이의 소정 영역에 나노 물질이 장방향으로 배열되어 형성된 나노 패턴(250)이 형성된다.

상기 금속패턴(220)은 도전성 금속을 적층 후 포토 공정에 의해 형성된 마스크를 이용하여 패터닝함으로써 형성된다. 상기 도전성 금속은 알루미늄(Al), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti), 몰리브덴(Mo) 및 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 나노 패턴(250)은 상기 두 개의 금속패턴(220) 중 적어도 어느 하나에 전압을 인가하여 전위차를 형성함으로써 쌍극자(dipole)인 나노 물질의 전기적인 분극에 의해 두 개의 금속패턴(220) 사이에 나노 물질이 장방향으로 배열되어 형성된다. 여기서, 상기 나노 패턴(250)은 원하는 위치에 형성이 가능하다.

상기 나노 물질은 나노 선(nano wire) 또는 나노 튜브(nano tube)일 수 있다. 또한, 상기 나노 물질은 자성체로서, 실리콘(Si), 질화갈륨(GaN), 산화아연(ZnO), 실리카(Silica) 및 알루미나(Alumina) 등으로 이루어진 군에서 선택되는 적어도 하나의 물질로 형성된다. 또한, 상기 나노 물질은 크기가 같고 극성이 반대인  $+q$ ,  $-q$ 의 1쌍의 전하를 가지는 원자로 이루어진 쌍극자이다.

따라서, 상기 나노 패턴(250)은 실리콘(Si), 질화갈륨(GaN), 산화아연(ZnO), 실리카(Silica) 또는 알루미나(Alumina) 중 선택되는 적어도 하나의 물질로 형성된다.

여기서, 상기 나노 패턴(250)은 두 개의 금속패턴(220) 사이에 수평 방향으로 형성된 전계 방향(미도시)과 평행하게 배열된다.

도 3a 내지 도 3d를 참조하여 본 발명에 따른 나노 패턴 형성 방법을 상세하게 설명한다.

도 3a를 참조하면, 기관(210) 상에 도전성 금속을 스퍼터링법(Sputtering) 또는 진공증착법(Evaporation) 등의 방법을 수행하여 적층 후 마스크를 이용하여 패터닝하여 일정 간격 이격된 두 개의 금속패턴(220)을 형성한다.

도 3b를 참조하면, 상기 두 개의 금속패턴(220)의 소정 영역, 즉, 나노 패턴을 형성하고자 하는 위치에 나노 물질(230)이 분산된 용액(240)을 잉크젯 프린팅(ink-jet printing), 스핀 코팅(Spin Coating), 딥 코팅(Dip Coating) 또는 닥터 블레이드(Doctor Blade) 방법 중 선택되는 어느 하나의 방식을 수행하여 도포한다. 본 발명의 실시예에서는 잉크젯 프린팅 방법으로 도포한다.

상기 잉크젯 프린팅 방식은 상온에서 도포 가능하며, 일반적으로 공지된 기술을 사용하므로 본 발명에서는 이에 대한 자세한 설명은 생략하기로 한다.

상기 나노 물질(230) 분산 용액(240)은 친수성의 용매를 포함할 수 있으며, 더 나아가 폴리머 및 분산제를 더 포함할 수 있다. 여기서, 상기 친수성 용매는 상기 나노 물질(230)을 분산하여 상기 금속패턴(220)에 균일하게 도포하는 역할을 한다. 상기 용매는 물( $H_2O$ ), 에탄올(ethanol), 메탄올(methanol) 또는 이소프로필알콜(IPA; isopropyl alcohol) 중 선택되는 1종일 수 있다.

상기 분산제는 상기 나노 물질(230)을 안정적으로 분산시켜, 상기 나노 물질(230)이 응집하는 것을 방지하는 역할을 한다. 따라서, 상기 나노 물질(230) 분산 용액(240)에 분산된 나노 물질(230)은 용매에 랜덤한 방향으로 분산된다.

또한, 상기 폴리머는 상기 나노 물질(230)이 상기 금속층(220) 상에 부착하는 역할을 한다.

도 3c를 참조하면, 상기 두 개의 금속패턴(220) 중 적어도 어느 하나의 금속패턴(220)에 외부 전압(245)을 인가하여 두 개의 금속패턴(220)에 전위차에 의한 전계를 형성시킨다. 일반적으로 상대적으로 양(+)전하와 음(-)전하의 극성의 전압이 인가된다. 보다 자세하게, 전압차를 두고 두 개의 금속패턴(220) 모두에 외부 전압(245)을 인가하여 전위차에 의한 전계를 형성할 수도 있고, 어느 한 개의 금속패턴(220)에 외부 전압(245)을 인가하여 전위차에 의한 전계를 형성할 수도 있다.

본 발명에서는 선택되는 어느 하나의 금속패턴(220)에 외부 전압(245)을 인가하여 전위차에 의해 수평 방향으로 전계를 형성시키는 것으로 설명한다.

상기 두 개의 금속패턴(220) 간에 수평 방향으로 형성된 전계에 의해 자성체이자 쌍극자인 상기 나노 선 또는 나노 튜브(230)는 +q와 -q 간에 전기적으로 분극이 진행된다. 따라서, 상기 나노 물질(230)은 전계 방향에 장방향으로 평행하게 배열된다. 즉, 상기 두 개의 금속패턴(220) 사이에 장방향으로 배열된다.

도 3d를 참조하면, 상기 나노 물질(230)이 배열된 상태에서 상기 나노 물질(230)이 분산된 용액(240)을 자외선(UV) 또는 열을 이용하여 용매를 건조함으로써 두 개의 금속패턴(220) 사이에 나노 물질이 장방향으로 정렬되어 형성된 나노 패턴(250)을 완성한다.

상기한 바와 같이 나노 패턴을 나노 물질의 전기적 분극에 의해 일정한 방향으로 배열할 수 있어, 전기전도도가 뛰어나며, 균일한 특성을 가지는 배선, 트랜지스터, 다이오드, 나노 센서 및 반도체 소자 등 여러 분야에 적용할 수 있다.

또한, 상기 나노 패턴은 생산적용이 쉽고 간단한 공정을 통해 형성할 수 있으므로 대량 생산에 적용 가능하며, 제조 시간 단축 및 비용을 절감할 수 있는 잇점이 있다.

한편, 이와 같은 나노 패턴 형성 방법은 박막트랜지스터 및 액정표시장치를 제조하는데 있어 매우 유용하게 이용될 수 있다.

그러면, 이와 같은 나노 패턴 형성 방법을 이용하여 박막트랜지스터 및 액정표시장치를 제조하는 과정에 대하여 간략하게 설명해 보기로 한다. 알려진 바와 같이, 액정표시장치의 TFT 기판을 제조하는 공정 중에는 박막트랜지스터를 제조하는 공정이 포함되어 있으므로, 여기서는 액정표시장치의 TFT 기판을 제조하는 공정을 기준으로 하여 통합하여 설명하기로 한다.

즉, 본 발명에 의하면, 기판 상에 소스 전극, 드레인 전극, 나노 패턴 활성층, 게이트 절연막, 게이트 전극 및 화소 전극을 형성하는 액정표시장치의 TFT 기판을 제조함에 있어, 나노 물질이 도포되고 일정 간격 이격된 두 개의 금속패턴 중 적어도 어느 하나에 전압을 인가하여 나노 물질의 전기적인 분극에 의한 배열을 통해 나노 패턴 활성층을 형성하는 것을 포함한다.

도 4a 내지 도 4e는 본 발명의 나노 패턴 형성 방법을 이용한 액정표시장치의 제조 방법을 설명하기 위한 평면도이다.

먼저, 도 4a를 참조하면, 본 발명의 나노 패턴 형성 방법을 이용한 액정표시장치의 제조 방법은, 기판(410) 상의 각각의 단위 화소(470)에 소스 전극(420)을 포함하는 데이터 라인(430) 및 상기 데이터 라인(430)과 소정 간격 이격된 드레인 라인(440)이 형성된다.

상기 데이터 라인(430) 및 드레인 라인(440)은 도전성 금속으로 형성되며, 크롬(Cr), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 텅스텐 몰리브덴(MoW), 니켈(Ni), 알루미늄(Al), 구리(Cu) 및 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 소스 전극(420)은 형성 물질은 상기 데이터 라인(430) 형성 물질과 동일하며, 상기 데이터 라인(430)과 동일층에 동시에 형성된다. 특히, 상기 소스 전극(420)은 후속 공정에서 드레인 전극과의 도통을 위한 활성층이 형성될 위치로 정의된다.

또한, 상기 데이터 라인(430) 및 드레인 라인(440)은 후속 공정의 나노 물질 배열을 위한 전기 단자의 기능도 수행한다.

도 4b를 참조하면, 상기 소스 전극(420) 및 드레인 라인(440) 사이에 나노 물질(450)이 장방향으로 배열된 나노 패턴 활성층(460)이 형성된다. 상기 나노 패턴 활성층(460)은 외부 전압(455) 인가 후 상기 소스 전극(420) 및 드레인 라인(440)에 형성된 전계에 기인한 나노 물질(450)의 전기적 분극에 의해 형성된다.

상기 나노 패턴 활성층(460)은 액정표시장치의 단위 화소(470)의 데이터 라인(430)과 후속 공정에서 형성되는 게이트 라인(미도시)과의 교차부에 형성된다.

상기 나노 물질(450)은 나노 선 또는 나노 튜브일 수 있다. 또한, 상기 나노 물질(450)은 자성체로서, 실리콘(Si)으로 형성된다. 상기 나노 물질(450)은 크기가 같고 극성이 반대인  $+q$ ,  $-q$ 의 1쌍의 전하를 가지는 원자로 이루어진 쌍극자이다. 따라서, 상기 나노 패턴 활성층(460)은 실리콘(Si)으로 형성된다.

도 4c를 참조하면, 상기 나노 패턴 활성층(460)이 형성된 영역 하부에 상기 드레인 라인(440)이 패터닝되어 형성된 드레인 전극(480)이 형성된다.

도 4d를 참조하면, 상기 나노 패턴 활성층(460)을 포함한 기관(410) 전면에 걸쳐 형성된 게이트 절연막(미도시) 상에 상기 데이터 라인(430)과 교차하는 게이트 라인(490) 및 상기 게이트 라인(490)과 연결되며 상기 나노 패턴 활성층(460)과 대응되는 게이트 전극(500)이 형성된다.

상기 게이트 절연막은 실리콘 산화막( $\text{SiO}_2$ ), 실리콘 질화막( $\text{SiN}_x$ ) 또는 이들의 이중층으로 형성된다.

상기 게이트 라인(490) 및 게이트 전극(500)은 동일한 물질로 형성되고, 동일층에 동시에 형성된다. 상기 게이트 라인(490) 및 게이트 전극(500)은 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti) 및 몰리브덴(Mo) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

이로써, 상기 소스 전극(420), 드레인 전극(480), 나노 패턴 활성층(460) 및 게이트 전극(500)을 구비한 나노 박막트랜지스터가 완성되며, 상기 나노 박막트랜지스터는 상기 데이터 라인(430)과 게이트 라인(490)의 교차부에 형성된다.

따라서, 상기 게이트 전극(500)에 하이 레벨의 전압이 인가되고, 상기 소스 전극(420)에 데이터 전압이 인가되는 경우, 상기 게이트 전극(500)으로 인가된 하이 레벨의 전압에 의해 상기 나노 패턴 활성층(460)이 도통되게 되므로 상기 소스 전극(420)으로 인가된 데이터 전압이 상기 나노 패턴 활성층(460)을 경유하여 상기 드레인 전극(480)으로 공급되게 된다.

상기 나노 박막트랜지스터는 본 발명에 따른 나노 패턴 형성 방법을 이용하여 간단한 공정으로 나노 패턴 활성층을 형성할 수 있으며, 비정질실리콘 트랜지스터나 폴리실리콘 트랜지스터에 비해 전하이동도가 우수하므로 소자의 성능을 향상시킬 수 있다.

도 4e를 참조하면, 상기 박막트랜지스터의 게이트 전극(500)을 포함한 기관(410)의 전면에 걸쳐 형성된 보호층(미도시)의 일부분이 식각되어 상기 드레인 전극(480)의 표면 일부를 노출시키는 콘택홀(510)이 형성되며, 상기 콘택홀(510)을 통해 상기 드레인 전극(480)과 연결된 화소 전극(520)이 형성된다.

상기 보호층은 상기 박막트랜지스터를 후속 공정에서 발생하는 오염원으로부터 보호하기 위해 형성되며, 실리콘 산화막( $\text{SiO}_2$ ), 실리콘 질화막( $\text{SiN}_x$ ) 또는 이들의 이중층으로 형성된다.

상기 화소 전극(520)은 투명 도전성 물질로 형성되며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 중 선택된 어느 하나일 수 있다.

이로써, 액정표시장치의 TFT 기판이 완성되며, 상기 소스 전극(420)에서 채널(Channel) 역할을 하는 나노 패턴 활성층(460)을 통해 드레인 전극(480)으로 전압이 공급되며, 상기 드레인 전극(480)으로부터 콘택홀(510)을 통해 화소 전극(520)에 전압이 공급되어 액정표시장치의 영상을 표시할 수 있다.

도 5a 내지 도 5f는 도 4을 II-II', III-III'로 절취한 나노 패턴 형성 방법을 이용한 액정표시장치의 제조 방법을 설명하기 위한 공정단면도이다.

우선, 도 5a를 참조하면, 기판(410) 상에 도전성 금속을 스퍼터링법 또는 진공증착법 등의 방법을 수행하여 적층 후 마스크를 이용하여 패터닝하여 소스 전극(420)을 포함한 데이터 라인(미도시) 및 상기 소스 전극(420)과 일정 간격 이격된 드레인 라인(440)을 형성한다.

도 5b를 참조하면, 상기 소스 전극(420)과 드레인 라인(440)의 소정 영역에 나노 물질(450)이 분산된 용액(452)을 잉크젯 프린팅(ink-jet printing) 방식을 수행하여 도포한다.

상기 나노 물질(450) 분산 용액(452)은 물(H<sub>2</sub>O), 에탄올, 메탄올 또는 이소프로필알콜(IPA) 중 선택되는 1종의 용매를 포함한다. 또한, 상기 나노 물질(450) 분산 용액(452)은 폴리머 및 분산제를 더 포함할 수 있다.

도 5c를 참조하면, 상기 데이터 라인(430) 및 드레인 라인(440)의 적어도 어느 하나에 외부 전압(455)을 인가한다. 이때, 상기 데이터 라인(430) 및 드레인 라인(440) 사이의 전위차에 의해 수평 방향으로 전계가 형성된다.

도 5d를 참조하면, 상기 전계에 의한 상기 나노 물질(450)의 전기적인 분극으로 인해 나노 물질(450) 상기 소스 전극(420) 및 드레인 라인(440) 사이에 장방향으로 배열된다. 즉, 상기 나노 물질(450)은 상기 소스 전극(420) 및 드레인 라인(440) 사이에 수평 방향으로 형성된 전계 방향과 평행하게 배열된다.

이 후, 상기 소스 전극(420) 및 드레인 라인(440) 사이에 장방향으로 배열된 나노 물질(450)을 포함한 용액(452)을 자외선(UV) 또는 열로 건조시켜 나노 패턴 활성층(460)을 형성한다.

또한, 상기 데이터 라인(440)을 패터닝하여 상기 나노 패턴 활성층(460)이 형성된 영역에 드레인 전극(480)을 형성한다.

도 5e를 참조하면, 상기 나노 패턴 활성층(460)을 포함한 기판(410) 전면에 걸쳐 실리콘 산화막 또는 실리콘 질화막을 플라즈마화학기상증착(PECVD; Plasma Enhanced Chemical Vapor Deposition) 또는 저압화학기상증착(LPCVD; Low Pressure Enhanced Chemical Vapor Deposition) 등의 방법을 수행하여 게이트 절연막(485)을 적층한다.

상기 게이트 절연막(485) 상에 도전성 금속을 스퍼터링법 또는 진공증착법 등의 방법을 수행하여 적층 후 마스크를 이용하여 패터닝하여 상기 나노 패턴 활성층(460)과 대응되는 게이트 전극(500)을 형성한다.

이로써, 소스 전극(420), 드레인 전극(480), 나노 패턴 활성층(460) 및 게이트 전극(500)을 구비하는 나노 박막트랜지스터를 완성한다.

도 5f를 참조하면, 상기 게이트 전극(500)을 포함한 기판(410) 전면에 걸쳐 실리콘 산화막 또는 실리콘 질화막을 PECVD 또는 LPCVD 방법을 수행하여 보호층(505)을 형성한다. 이 후, 상기 드레인 전극(480) 상에 있는 보호층(505)을 건식 식각(Dry Etching) 또는 습식 식각(Wet Etching)을 통해 식각하여 상기 드레인 전극(480)의 표면 일부를 노출시키는 콘택홀(510)을 형성하고, 상기 콘택홀(510)을 포함한 기판(410) 전면에 투명 도전성 물질을 스퍼터링법 또는 진공증착법으로 증착 후 패터닝하여 화소 전극(520)을 형성한다.

이로써, 본 발명에 따른 나노 패턴 형성 방법을 이용한 액정표시장치의 TFT 기판을 완성한다.

상기 액정표시장치는 제조가 간단하고 생산성을 증대시킬 수 있는 나노 패턴 형성 방법을 제공함으로써, 박막트랜지스터 및 액정표시장치를 보다 간단하게 제조할 수 있으며, 생산량을 향상시키고 제조 비용을 절감할 수 있는 장점이 있다.

도면으로 도시하지는 않았지만, 상기 액정표시장치의 TFT 기판 상부에는 블랙매트릭스, 컬러필터층 및 공통전극 등을 구비한 컬러필터 기판이 셀재(Sealant)에 의해 합착되며, 상기 어레이 기판과 컬러필터 기판 사이에는 액정이 주입되어 액정층을 형성함으로써 액정표시장치가 완성된다.

이상을 통해 본 발명의 바람직한 실시예들에 대하여 설명하였지만, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자라면 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

### 발명의 효과

이상의 설명에서와 같이 본 발명에 따른 나노 패턴 형성 방법과 이를 이용한 박막트랜지스터 및 액정표시장치의 제조방법에 의하면, 나노 패턴을 형성함에 있어, 간단하고 생산성을 증대시킬 수 있는 패턴 형성 방법을 제공함으로써, 박막트랜지스터 및 액정표시장치를 보다 간단하게 제조할 수 있으며, 생산량을 향상시키고 제조 비용을 절감할 수 있는 장점이 있다.

### 도면의 간단한 설명

도 1a 내지 도 1c는 종래의 랑뮤어 블라젯 기법을 이용한 나노 박막 패턴 형성 방법을 설명하기 위한 공정단면도.

도 2는 본 발명에 따른 나노 패턴의 평면도.

도 3a 내지 도 3d는 도 2를 I-I'로 절취한 나노 패턴 형성 방법을 설명하기 위한 공정단면도.

도 4a 내지 도 4e는 본 발명의 나노 패턴 형성 방법을 이용한 액정표시장치의 제조 방법을 설명하기 위한 평면도.

도 5a 내지 도 5f는 도 4을 II-II', III-III'로 절취한 나노 패턴 형성 방법을 이용한 액정표시장치의 제조 방법을 설명하기 위한 공정단면도.

<도면의 주요부분에 대한 부호의 설명>

210, 410 : 기판 220 : 금속패턴

230, 450 : 나노 물질 240, 452 : 나노 물질 분산 용액

245, 455 : 외부 전압 250 : 나노 패턴

420 : 소스 전극 430 : 데이터 라인

440 : 드레인 라인 460 : 나노 패턴 활성층

470 : 단위 화소 480 : 드레인 전극

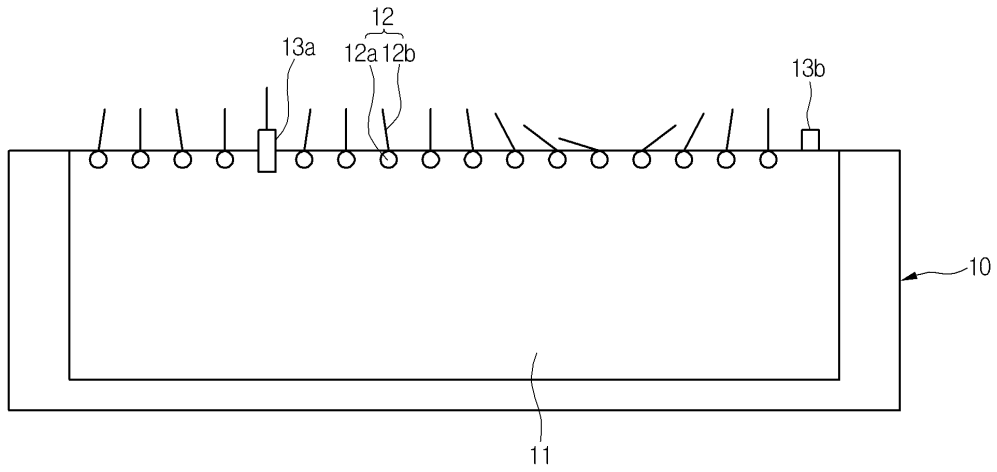
485 : 게이트 절연막 490 : 게이트 라인

500 : 게이트 전극 505 : 보호층

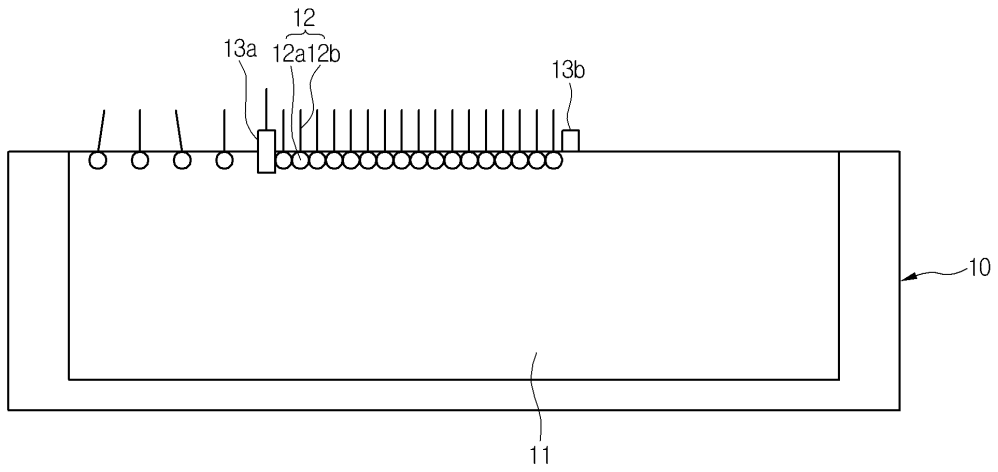
510 : 콘택홀 520 : 화소 전극

### 도면

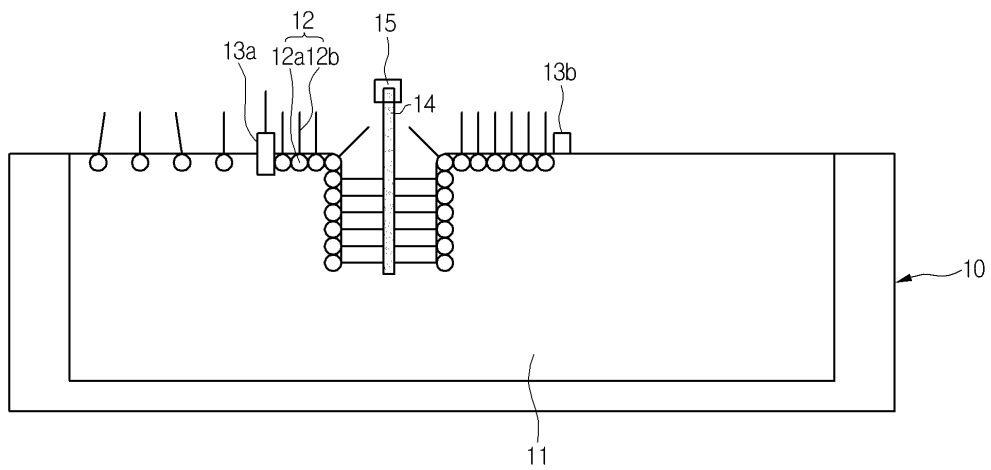
도면1a



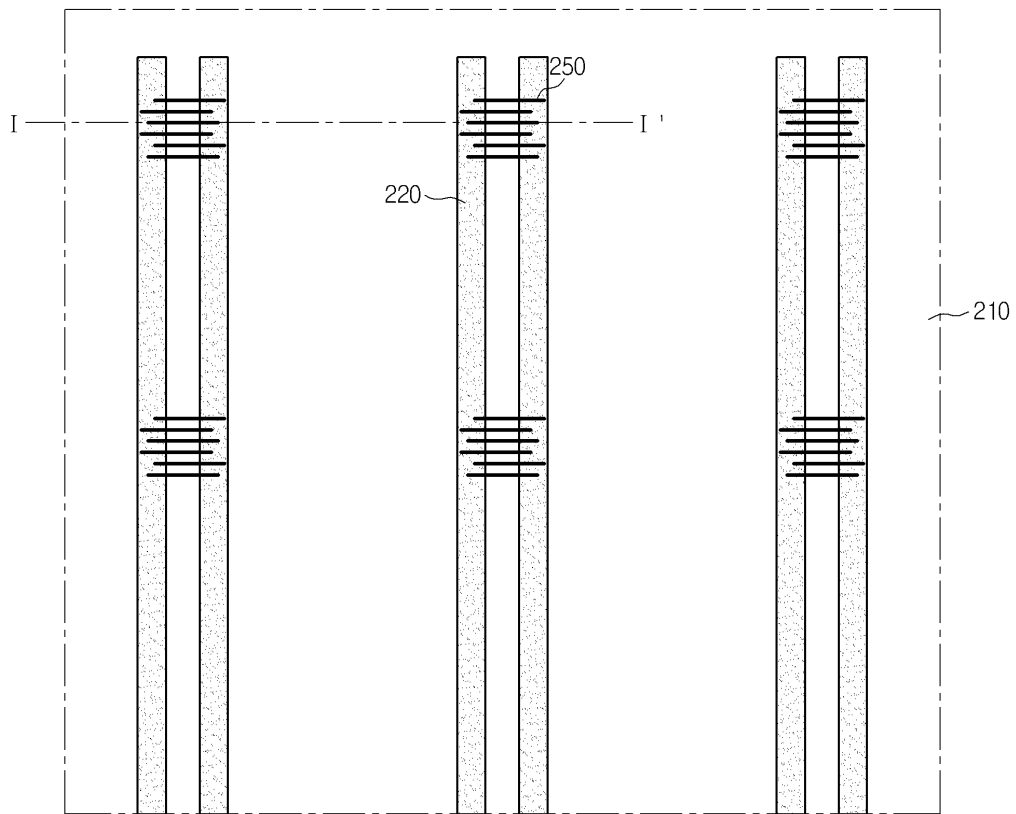
도면1b



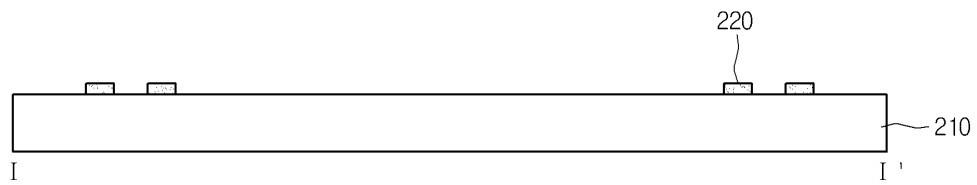
도면1c



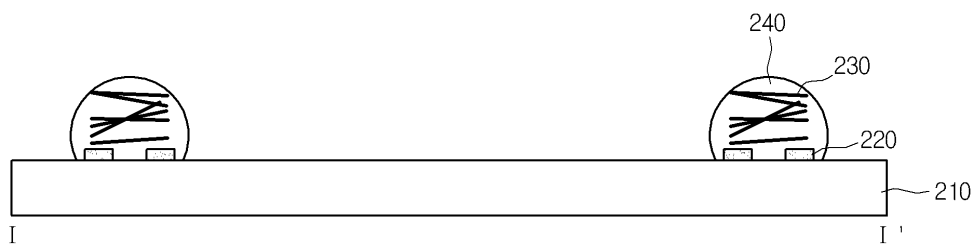
도면2



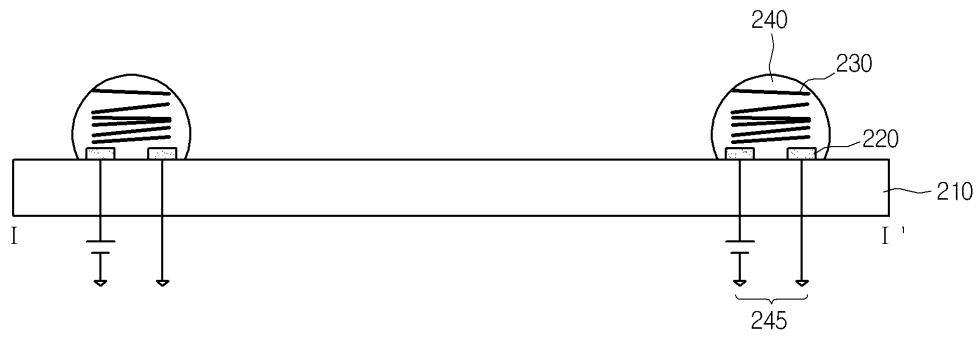
도면3a



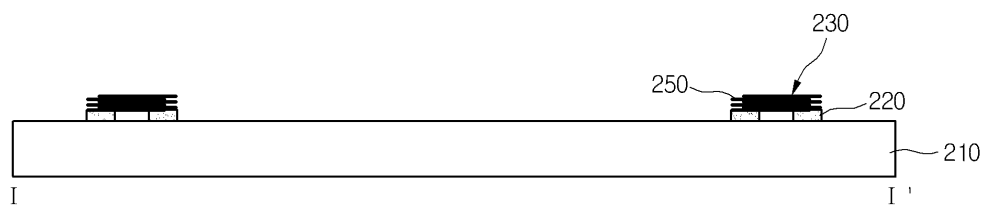
도면3b



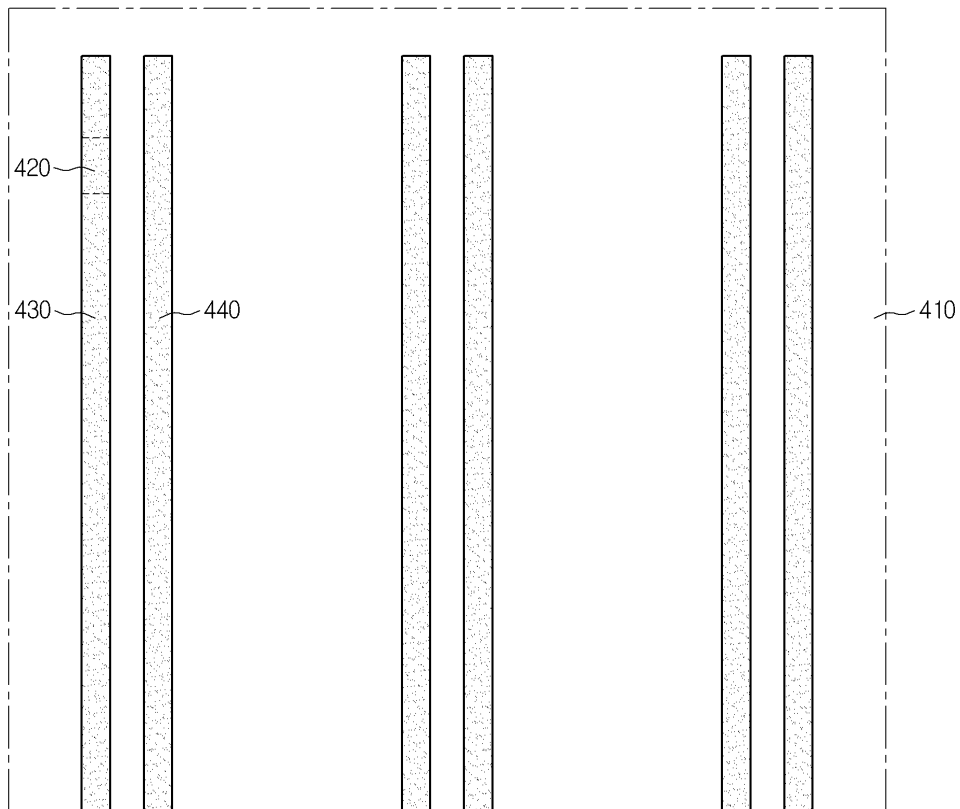
도면3c



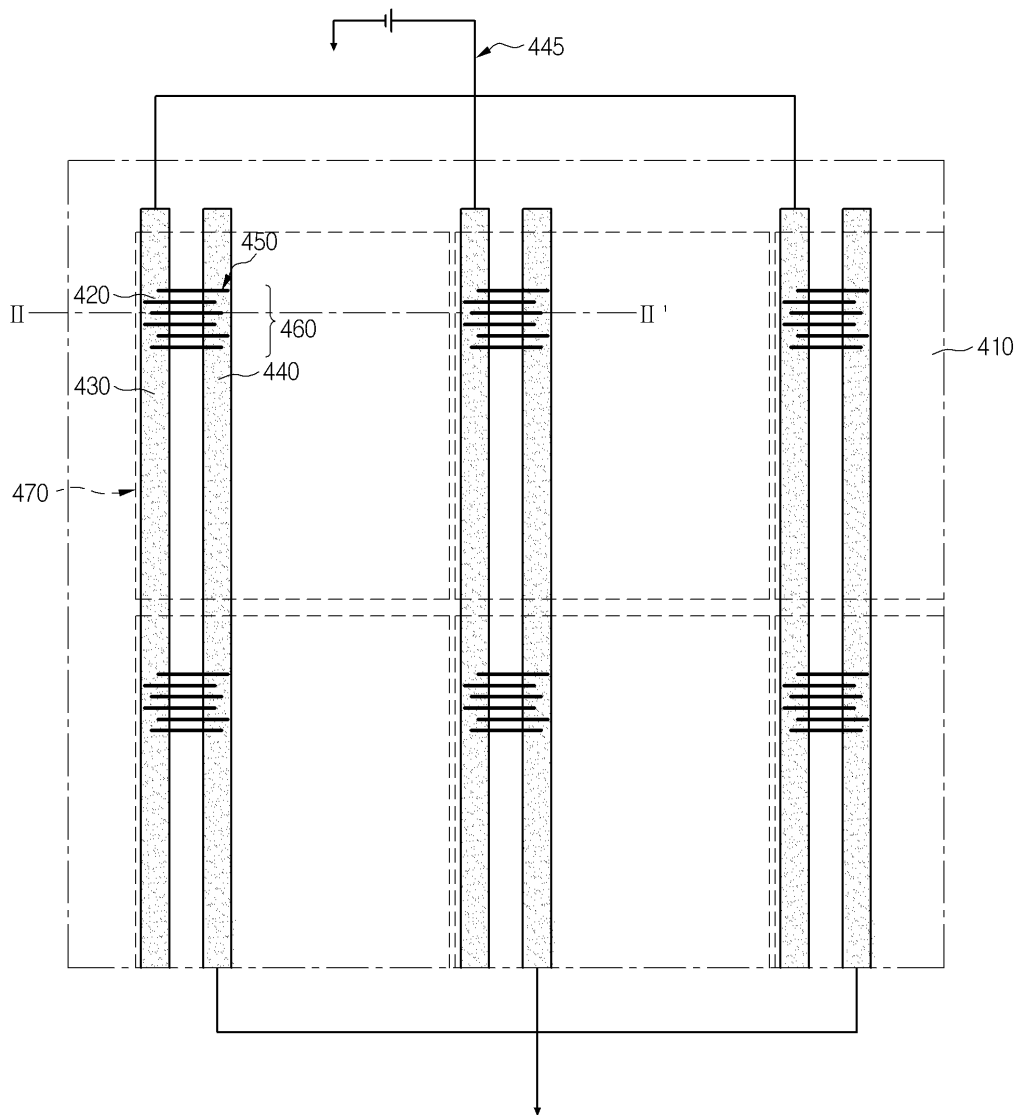
도면3d



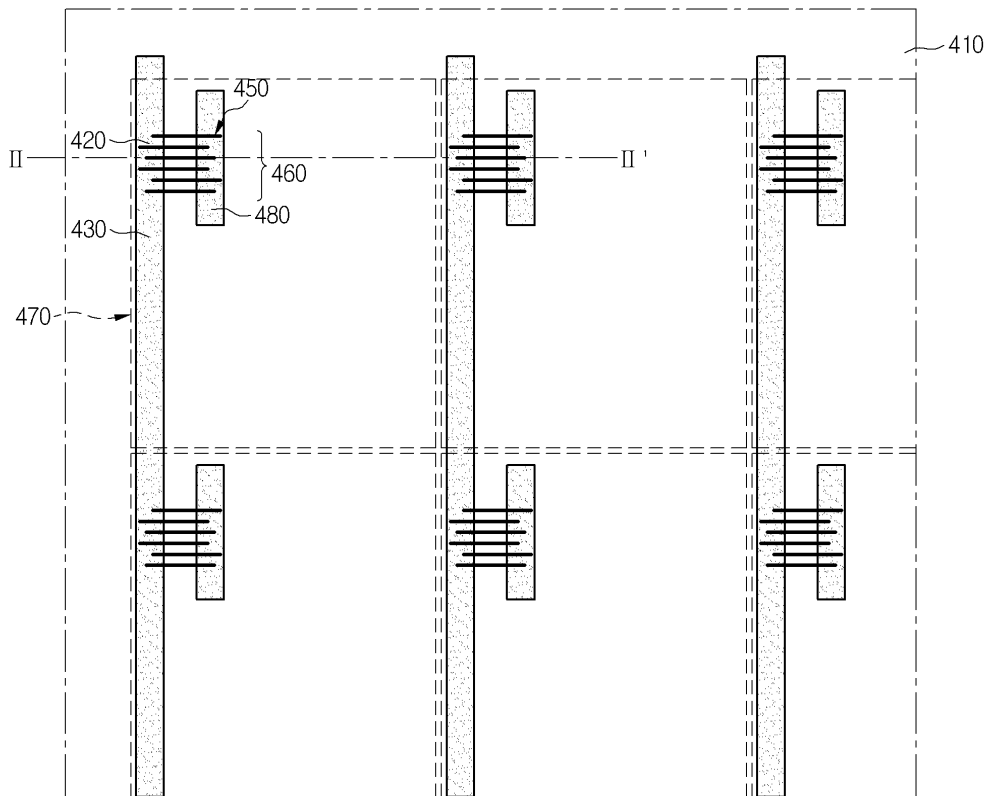
도면4a



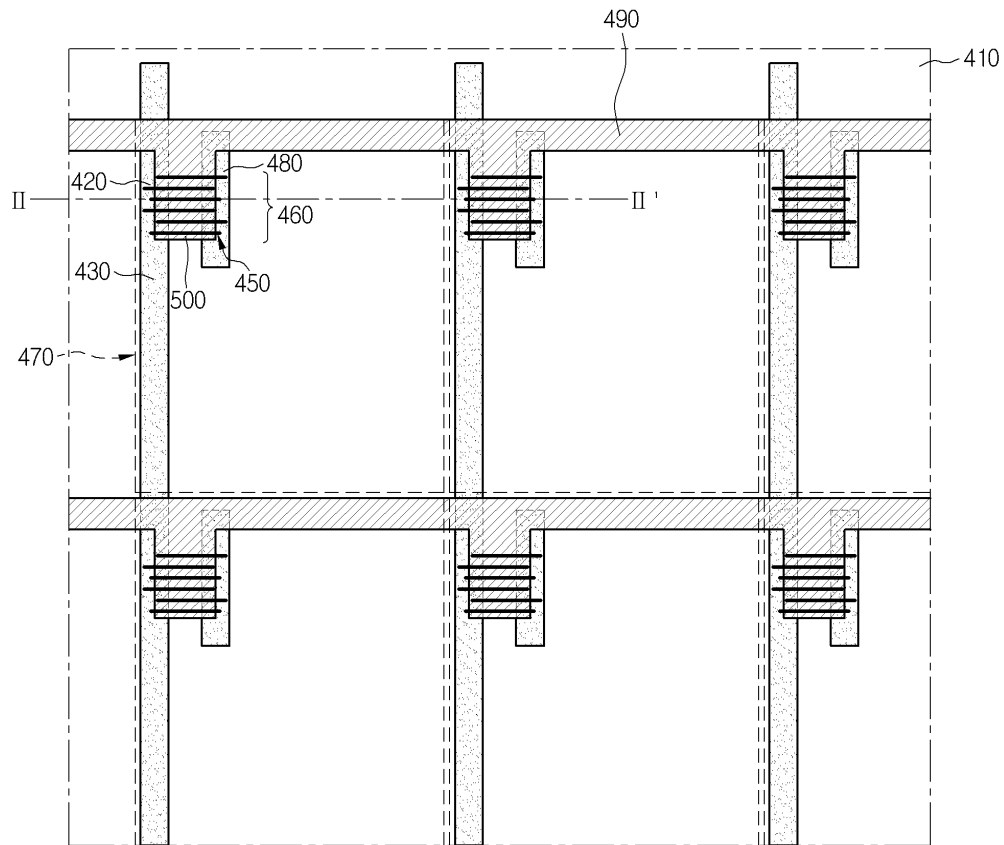
도면4b



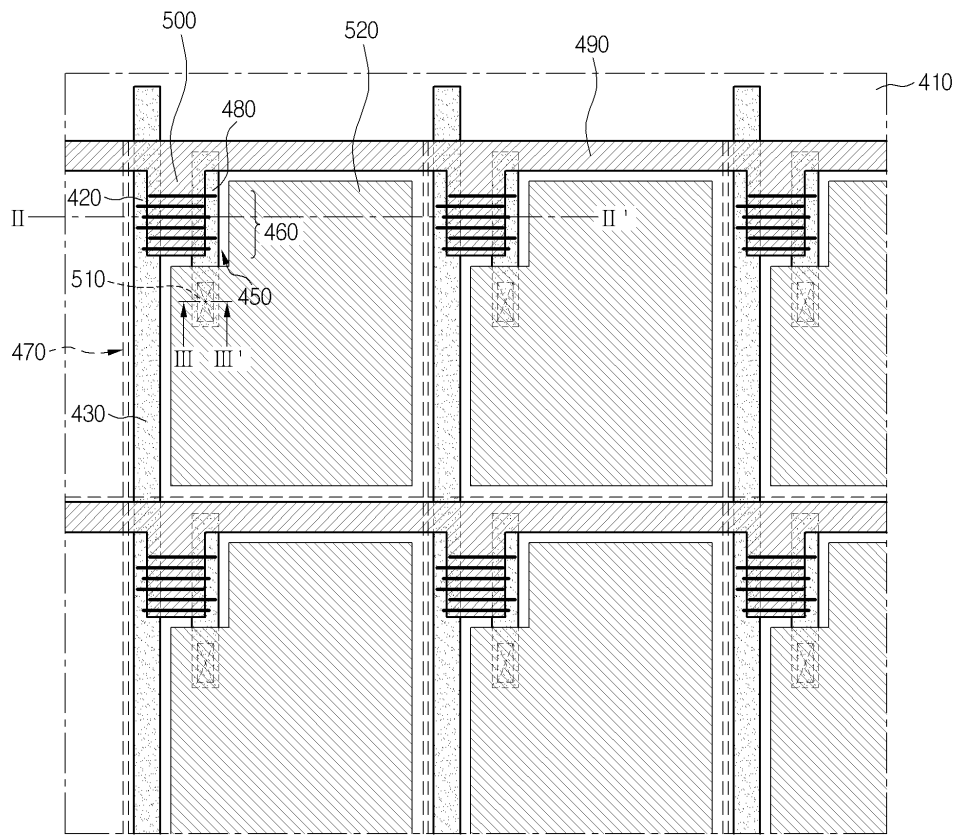
도면4c



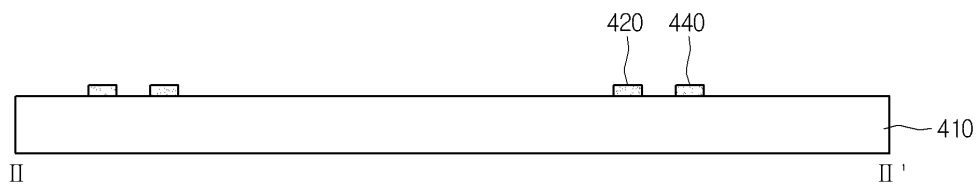
도면4d



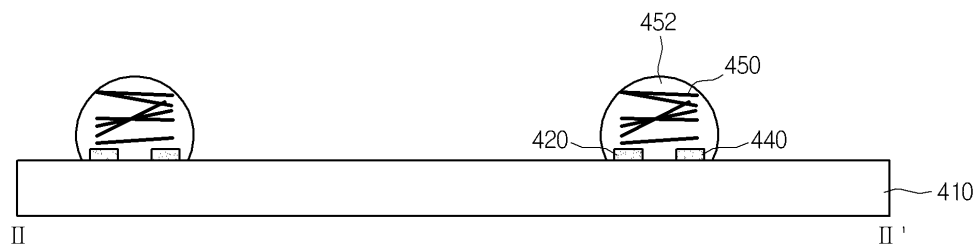
도면4e



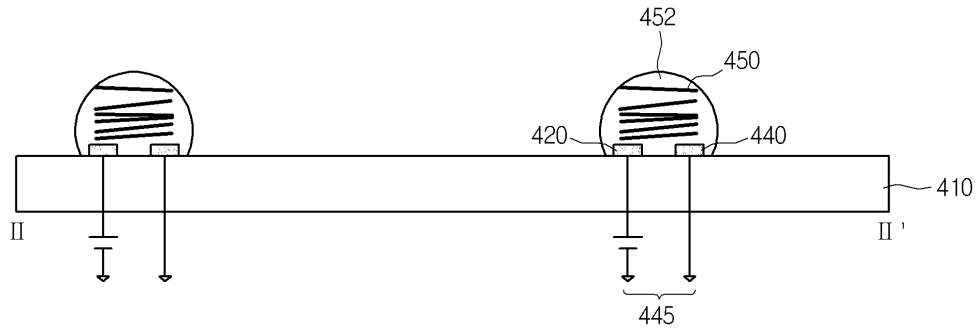
도면5a



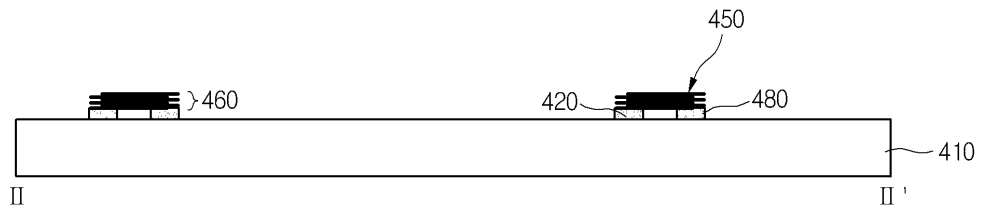
도면5b



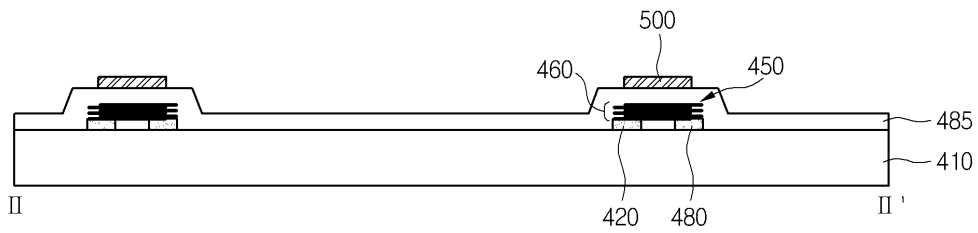
도면5c



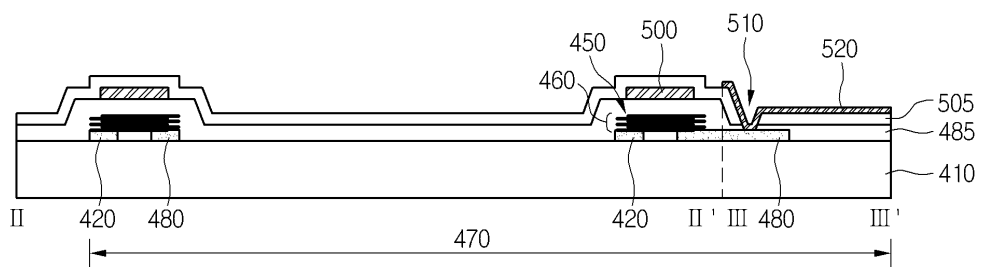
도면5d



도면5e



도면5f



|                |                                                  |         |            |
|----------------|--------------------------------------------------|---------|------------|
| 专利名称(译)        | 纳米图案形成方法以及薄膜晶体管的制造方法和使用该方法的液晶显示装置                |         |            |
| 公开(公告)号        | <a href="#">KR1020070056182A</a>                 | 公开(公告)日 | 2007-06-04 |
| 申请号            | KR1020050114495                                  | 申请日     | 2005-11-29 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                         |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                        |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                        |         |            |
| [标]发明人         | CHAE GEE SUNG                                    |         |            |
| 发明人            | CHAE, GEE SUNG                                   |         |            |
| IPC分类号         | G02F1/136 B82Y30/00                              |         |            |
| CPC分类号         | G02F1/136 G02F2001/136295 G02F2202/36 H01L29/786 |         |            |
| 其他公开文献         | KR101182522B1                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                        |         |            |

#### 摘要(译)

目的：提供一种形成纳米图案的方法，使用该方法制造薄膜晶体管的方法，以及使用该方法制造LCD（液晶显示器）的方法，以简化制造工艺并降低制造成本，当形成纳米图案时，在两个金属图案之间形成水平场以产生纳米材料的电极性。

