



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1339 (2006.01)

(11) 공개번호 10-2007-0052502
(43) 공개일자 2007년05월22일

(21) 출원번호 10-2005-0110207
(22) 출원일자 2005년11월17일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이영학
경북 구미시 진평동 주공미래아파트 108동 201호
정훈
경북 칠곡군 석적면 우방신천지아파트 106동 1903호

(74) 대리인 김영호

전체 청구항 수 : 총 13 항

(54) 액정 표시 패널 및 그 제조방법

(57) 요약

본 발명은 은 도트의 높은 두께로 인하여 발생하는 은 도트 저항을 최소화하여 공통전압의 왜곡을 방지할 수 있는 액정 표시 패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정 표시 패널은 제1 기판 상에 형성된 공통 패드와; 상기 제1 기판과 대향하는 제2 기판 상에 상기 공통 패드를 통해 공통전압이 공급되는 공통 전극과; 상기 공통 전극과 상기 공통 패드 사이에 형성되어 이들을 접속시키는 도전성 도트와; 상기 도전성 도트의 높이를 최소화하도록 상기 공통 패드와 대응되는 영역의 상기 제1 기판 상에 형성되는 유기 보호막을 구비하는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

청구항 1.

제1 기판 상에 형성된 공통 패드와;

상기 제1 기판과 대향하는 제2 기판 상에 상기 공통 패드를 통해 공통전압이 공급되는 공통 전극과;

상기 공통 전극과 상기 공통 패드 사이에 형성되어 이들을 접속시키는 도전성 도트와;

상기 도전성 도트의 높이를 최소화하도록 상기 공통 패드와 대응되는 영역의 상기 제1 기관 상에 형성되는 유기 보호막을 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 2.

제 1 항에 있어서,

상기 공통 패드는,

상기 제1 기관 상에 형성된 제1 패드 전극과;

상기 제1 패드 전극을 덮도록 형성된 상기 유기 보호막을 관통하여 상기 제1 패드 전극을 노출시키는 제1 패드 콘택홀과;

상기 제1 패드 콘택홀을 통해 상기 제1 패드 전극과 접속되며 상기 유기 보호막 상에 형성된 제2 패드 전극을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 3.

제 2 항에 있어서,

상기 제1 패드 콘택홀은 상기 도전성 도트와 중첩되는 영역 또는 상기 도전성 도트와 비중첩되는 영역에 적어도 하나 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 4.

제 2 항에 있어서,

상기 제1 패드 콘택홀은 상기 제1 패드 전극의 가장자리를 노출시키는 것을 특징으로 하는 액정 표시 패널.

청구항 5.

제 2 항에 있어서,

상기 공통 패드는,

상기 제1 기관과 상기 제1 패드 전극 사이에 형성되는 제3 패드 전극과;

상기 제1 패드 전극과 제3 패드 전극이 접속되도록 상기 제3 패드 전극을 덮도록 형성된 적어도 한 층의 절연막을 관통하여 상기 제3 공통 패드 전극을 노출시키는 제3 공통 콘택홀을 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 6.

제 5 항에 있어서,

상기 공통 전극과 수직 전계를 이루도록 상기 제1 기관 상에 형성된 화소 전극과;

상기 화소 전극과 접속되며 상기 유기 보호막에 의해 보호되는 박막 트랜지스터와;

상기 박막 트랜지스터의 게이트 전극과 접속된 게이트라인과;

상기 박막 트랜지스터의 소스 전극과 접속된 데이터라인을 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 7.

제 6 항에 있어서,

상기 적어도 한 층의 절연막은 상기 게이트라인과 데이터라인 사이에 형성되어 이들을 절연시키는 절연막인 것을 특징으로 하는 액정 표시 패널.

청구항 8.

제 1 항에 있어서,

상기 제1 기판과 제2 기판을 합착시키기 위한 합착제를 추가로 구비하며,

상기 유기 보호막은 상기 합착제를 제외한 나머지 영역의 상기 제1 기판 상에 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 9.

상부기판 상에 형성된 공통 전극을 포함하는 칼라필터 기판을 마련하는 단계와;

상기 상부기판과 대향하는 하부기판 상에 상기 상부기판과 상기 하부기판이 합착되는 합착 영역을 제외한 나머지 영역에 형성된 유기 보호막, 상기 유기 보호막 상에 상기 공통 전극과 대향하는 화소 전극, 상기 유기 보호막 상에 형성되며 상기 공통 전극에 공통전압을 공급하기 위한 공통 패드를 포함하는 박막 트랜지스터 기판을 마련하는 단계와;

상기 유기 보호막에 의해 간격이 줄어든 상기 박막 트랜지스터 기판과 칼라필터 기판 사이에 상기 공통 전극과 공통 패드를 접속시키는 도전성 도트를 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 박막 트랜지스터 기판을 마련하는 단계는,

상기 하부기판 상에 제1 패드 전극을 형성하는 단계와;

상기 제1 패드 전극을 덮도록 형성된 상기 유기 보호막을 관통하여 상기 제1 패드 전극을 노출시키는 제1 패드 콘택홀을 형성하는 단계와;

상기 유기 보호막 상에 상기 제1 패드 콘택홀을 통해 상기 제1 패드 전극과 접속되며 상기 도전성 도트와 접속되는 제2 패드 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 제1 패드 콘택홀은 상기 도전성 도트와 중첩되는 영역 또는 상기 도전성 도트와 비중첩되는 영역에 적어도 하나 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 12.

제 10 항에 있어서,

상기 제1 패드 콘택홀은 상기 제1 패드 전극의 가장자리를 노출시키는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 13.

제 9 항에 있어서,

상기 유기 보호막과 비중첩되는 영역에 형성되는 합착제를 이용하여 상기 박막 트랜지스터기관과 칼라필터 기관을 합착하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 패널 및 그 제조방법에 관한 것으로, 특히 은 도트의 높은 두께로 인하여 발생하는 은 도트 저항을 최소화하여 공통전압의 왜곡을 방지할 수 있는 액정 표시 패널 및 그 제조방법에 관한 것이다.

통상, 액정 표시 장치(Liquid Crystal Display; LCD)는 액정 표시 패널에 매트릭스 형태로 배열된 액정셀들 각각이 비디오 신호에 따라 광투과율을 조절하게 함으로써 화상을 표시하게 된다.

이러한 액정 표시 장치는 액정을 사이에 두고 합착제에 의해 합착되는 박막 트랜지스터 기관 및 칼라 필터 기관을 구비한다.

칼라 필터 기관은 빛샘 방지를 위한 블랙 매트릭스와, 칼라 구현을 위한 칼라 필터, 화소 전극과 수직전계를 이루는 공통 전극과, 그들 위에 액정 배향을 위해 도포된 상부 배향막을 포함한다.

박막 트랜지스터 기관은 하부기관 상에 서로 교차되게 형성된 게이트라인 및 데이터라인과, 그들의 교차부에 형성된 박막 트랜지스터(Thin Film Transistor : TFT)와, 박막 트랜지스터와 접속된 화소 전극과, 그들 위에 액정 배향을 위해 도포된 하부 배향막을 포함한다.

한편, 종래 액정 표시 장치는 액정셀들이 위치하는 화상 표시 영역의 개구율을 높이기 위해 포토아크릴, BCB 등으로 이루어진 유기 보호막을 구비한다. 그러나, 유기 보호막은 합착제와 접착력이 좋지 않아 유기 보호막과 합착제가 분리되는 문제점이 있다. 이러한 문제점을 해결하기 위해, 유기 보호막은 은 도트와 대응되는 도트 영역 및 합착 영역을 제외한 화상 표시 영역에 형성된다. 이에 따라, 도트 영역에서는 은 도트와 접속되어 상부기관 상에 형성된 공통 전극에 공통전압을 공급하기 위한 공통 패드는 도 1과 같은 구조로 형성된다.

도 1에 도시된 공통 패드(50)는 기관(41) 상에 형성된 패드 하부 전극(51)과, 중간 절연막(45)을 관통하여 패드 하부 전극(51)을 노출시키는 패드 콘택홀(52)과, 패드 콘택홀(52)을 통해 패드 하부 전극(51)과 접속된 패드 중간 전극(46)과, 패드 중간 전극(46)과 직접 접속된 패드 상부 전극(42)을 구비한다.

이와 같이, 도트 영역에 유기 보호막이 형성되지 않으므로 패드 상부 전극(42)과 상부기관(1) 상에 형성된 공통 전극(32) 간의 거리가 멀어져 은 도트(21)의 높이가 높아진다. 예를 들어, 유기 보호막이 2.3um, 스페이서가 4.75um 및 칼라필터가 1.7um의 두께를 가지며 형성되는 경우, 은 도트(21)의 높이는 대략적으로 9.0um의 높은 수치를 유지해야 한다. 이러한 은 도트(21)의 높은 두께로 인하여 저항이 커지게 되며, 이 저항으로 인한 공통전압의 신호 왜곡이 발생하여 결과적으로 신호 왜곡에 따른 화질불량이 발생하게 된다. 특히, 라인 인버전 구동방식인 경우, 공통전압 신호가 교류신호로 인가되기 때문에 공통 전극에 공통전압 인가시 저항에 따른 공통전압의 왜곡이 큰 문제로 발전하게 되어 고질적인 화질불량을 일으키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 은 도트의 높은 두께로 인하여 발생하는 은 도트 저항을 최소화하여 공통전압의 왜곡을 방지할 수 있는 액정 표시 패널 및 그 제조방법을 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 제1 기관 상에 형성된 공통 패드와; 상기 제1 기관과 대향하는 제2 기관 상에 상기 공통 패드를 통해 공통전압이 공급되는 공통 전극과; 상기 공통 전극과 상기 공통 패드 사이에 형성되어 이들을 접속시키는 도전성 도트와; 상기 도전성 도트의 높이를 최소화하도록 상기 공통 패드와 대응되는 영역의 상기 제1 기관 상에 형성되는 유기 보호막을 구비한다.

상기 공통 패드는, 상기 제1 기관 상에 형성된 제1 패드 전극과; 상기 제1 패드 전극을 덮도록 형성된 상기 유기 보호막을 관통하여 상기 제1 패드 전극을 노출시키는 제1 패드 콘택홀과; 상기 제1 패드 콘택홀을 통해 상기 제1 패드 전극과 접속되며 상기 유기 보호막 상에 형성된 제2 패드 전극을 포함한다.

상기 제1 패드 콘택홀은 상기 도전성 도트와 중첩되는 영역 또는 상기 도전성 도트와 비중첩되는 영역에 적어도 하나 형성된다.

상기 제1 패드 콘택홀은 상기 제1 패드 전극의 가장자리를 노출시킨다.

상기 공통 패드는, 상기 제1 기관과 상기 제1 패드 전극 사이에 형성되는 제3 패드 전극과; 상기 제1 패드 전극과 제3 패드 전극이 접속되도록 상기 제3 패드 전극을 덮도록 형성된 적어도 한 층의 절연막을 관통하여 상기 제3 공통 패드 전극을 노출시키는 제3 공통 콘택홀을 추가로 구비한다.

상기 액정 표시 패널은 상기 공통 전극과 수직 전계를 이루도록 상기 제1 기관 상에 형성된 화소 전극과; 상기 화소 전극과 접속되며 상기 유기 보호막에 의해 보호되는 박막 트랜지스터와; 상기 박막 트랜지스터의 게이트 전극과 접속된 게이트라인과; 상기 박막 트랜지스터의 소스 전극과 접속된 데이터라인을 추가로 구비한다.

상기 적어도 한 층의 절연막은 상기 게이트라인과 데이터라인 사이에 형성되어 이들을 절연시키는 절연막이다.

상기 액정 표시 패널은 상기 제1 기관과 제2 기관을 합착시키기 위한 합착제를 추가로 구비하며, 상기 유기 보호막은 상기 합착제를 제외한 나머지 영역의 상기 제1 기관 상에 형성된다.

본 발명의 액정 표시 패널의 제조방법은 상부기관 상에 형성된 공통 전극을 포함하는 칼라필터 기관을 마련하는 단계와; 상기 상부기관과 대향하는 하부기관 상에 상기 상부기관과 상기 하부기관이 합착되는 합착 영역을 제외한 나머지 영역에 형성된 유기 보호막, 상기 유기 보호막 상에 상기 공통 전극과 대향하는 화소 전극, 상기 유기 보호막 상에 형성되며 상기 공통 전극에 공통전압을 공급하기 위한 공통 패드를 포함하는 박막 트랜지스터 기관을 마련하는 단계와; 상기 유기 보호막에 의해 간격이 줄어든 상기 박막 트랜지스터 기관과 칼라필터 기관 사이에 상기 공통 전극과 공통 패드를 접속시키는 도전성 도트를 형성하는 단계를 포함한다.

상기 박막 트랜지스터 기판을 마련하는 단계는, 상기 하부기판 상에 제1 패드 전극을 형성하는 단계와; 상기 제1 패드 전극을 덮도록 형성된 상기 유기 보호막을 관통하여 상기 제1 패드 전극을 노출시키는 제1 패드 콘택홀을 형성하는 단계와; 상기 유기 보호막 상에 상기 제1 패드 콘택홀을 통해 상기 제1 패드 전극과 접속되며 상기 도전성 도트와 접속되는 제2 패드 전극을 형성하는 단계를 포함한다.

상기 제1 패드 콘택홀은 상기 도전성 도트와 중첩되는 영역 또는 상기 도전성 도트와 비중첩되는 영역에 적어도 하나 형성된다.

상기 제1 패드 콘택홀은 상기 제1 패드 전극의 가장자리를 노출시킨다.

상기 액정 표시 패널의 제조방법은 상기 유기 보호막과 비중첩되는 영역에 형성되는 합착제를 이용하여 상기 박막 트랜지스터기판과 칼라필터 기판을 합착하는 단계를 추가로 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 2 내지 도 5를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 2는 본 발명의 제1 실시 예에 따른 액정 표시 패널을 나타내는 단면도이다.

도 2를 참조하면, 본 발명의 제1 실시 예에 따른 액정 표시 패널은 칼라필터 기판(130)과, 칼라필터 기판(130)과 합착제(129)에 의해 합착되는 박막 트랜지스터 기판(140)과, 칼라필터 기판(130)의 공통 전극(132)에 공통전압을 공급하기 위한 은 도트(121)를 구비한다.

칼라필터 기판(130)에는 빛샘 방지를 위한 블랙 매트릭스(126)와, 칼러 구현을 위한 칼러 필터(128)와, 화소 전극(114)과 수직전계를 이루는 공통 전극(132)이 상부기판(111) 상에 형성된다. 또한, 칼라필터 기판(130)에는 블랙매트릭스(126)와 중첩되는 영역에 칼라필터 기판(130)과 박막 트랜지스터 기판(140) 사이의 셀갭을 유지하기 위한 컬럼 스페이서(127)가 형성된다,

박막 트랜지스터 기판(140)에는 하부기판(141) 상에 형성되며 게이트 라인 및 데이터 라인과 접속된 TFT(125)와, TFT(125)와 접속된 화소 전극(114)이 형성된다. TFT(125)는 N형 또는 P형으로 형성되지만, 이하에서는 N형으로 형성된 경우만을 설명하기로 한다.

TFT(125)는 화소 전극(114)에 비디오 신호를 충전한다. 이를 위하여, TFT(125)는 게이트 라인과 접속된 게이트 전극(144), 데이터 라인에 포함된 소스 전극(174), 화소 전극(114)과 유기 보호막(147)을 관통하는 화소 콘택홀(158)을 통해 접속된 드레인 전극(176)을 구비한다. 게이트 전극(144)은 버퍼막(143) 상에 형성된 액티브층(154)의 채널 영역(154C)과 게이트 절연막(149)을 사이에 두고 중첩되게 형성된다. 소스 전극(174) 및 드레인 전극(176)은 게이트 전극(144)과 층간 절연막(145)을 사이에 두고 절연되게 형성된다. 그리고, 소스 전극(174) 및 드레인 전극(176)은 층간 절연막(145) 및 게이트 절연막(149)을 관통하는 소스 콘택홀(156S) 및 드레인 콘택홀(156D) 각각을 통해 n^+ 불순물이 주입된 액티브층(154)의 소스 영역(154S) 및 드레인 영역(154D) 각각과 접속된다. 또한, 액티브층(154)은 오프 전류를 감소시키기 위하여 채널 영역(154C)과 소스 및 드레인 영역(154S, 154D) 사이에 n^- 불순물이 주입된 엘디디(Lightly Doped Drain; LDD) 영역(미도시)을 더 구비하기도 한다.

화소 전극(114)은 데이터라인과 게이트라인의 교차로 마련된 화소영역에 위치하며 투과율이 높은 투명전도성물질로 이루어진다. 화소 전극(114)은 유기 보호막(147) 위에 형성되며, 드레인 전극(176)과 화소콘택홀(158)을 통해 전기적으로 접속된다. 화소 전극(114)은 박막 트랜지스터(125)를 통해 공급된 데이터 신호에 의해 공통 전극(132)과 전위차를 발생시킨다. 이 전위차에 의해 액정이 회전하게 되며 액정의 회전 정도에 따라서 광투과량이 결정된다.

유기 보호막(147)은 아크릴(Acryl) BCB 등의 유기 절연물질로 형성되어 개구율을 높임과 아울러 박막 트랜지스터(125)를 보호하는 역할을 한다. 이러한 유기 보호막(147)은 합착영역에 형성된 합착제(129)와의 접착력이 좋지 않으므로 합착제(129)를 제외한 나머지 영역에 형성된다. 또한, 유기 보호막(147)은 도트 영역에서 패드 상부 전극(142)과 공통 전극(132) 사이의 간격을 줄여 패드 상부 전극(142)과 공통 전극(132) 사이에 형성되는 은 도트(121)의 표면적을 줄이는 역할을 한다. 즉, 도트 영역에 형성되는 유기 보호막(147)의 높이 및 폭 만큼 은 도트(121)의 높이 및 폭이 감소된다.

은 도트(121)는 상부기관(111) 상에 형성된 공통 전극(132)과 하부기관(141) 상에 형성된 공통 패드(150)를 접속시킨다. 이 은 도트(121)는 유기 보호막(147) 상에 형성된 패드 상부 전극(142)과 접속되도록 형성된다.

공통 패드(150)는 게이트 절연막(149) 상에 형성된 패드 하부 전극(151)과, 층간 절연막(145)을 관통하여 패드 하부 전극(151)을 노출시키는 제1 패드 콘택홀(152)과, 제1 패드 콘택홀(152)을 통해 패드 하부 전극(151)과 접속된 패드 중간 전극(146)과, 유기 보호막(147)을 관통하여 패드 중간 전극(146)을 노출시키는 제2 패드 콘택홀(148)과, 제2 패드 콘택홀(148)을 통해 패드 중간 전극(146)과 접속된 패드 상부 전극(142)을 구비한다.

패드 하부 전극(151) 및 패드 중간 전극(146)은 저항 성분이 큰 ITO등의 투명 도전막으로 형성된 패드 상부 전극(142)의 저항 성분을 보상하도록 도전율이 높은 금속으로 형성된다. 예를 들어, 패드 하부 전극(151)은 게이트라인과 동일 금속으로 동일 평면 상에 형성되며, 패드 중간 전극(146)은 데이터라인과 동일 금속으로 동일 평면 상에 형성된다.

패드 상부 전극(142)은 은 도트(121)와 접속되도록 형성되어 공통 전압 발생부로부터의 공통전압을 공통 전극(132)에 공급한다.

이와 같이, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 은 도트(121)와 중첩되는 영역에 유기 보호막(147)이 형성된다. 이 유기 보호막(147)에 의해 패드 상부 전극(142)과 공통 전극(132) 사이의 간격이 좁아져 은 도트(121)의 표면적이 줄어든다. 이에 따른 은 도트(121) 자체 저항의 크기가 최소화되어 공통전압의 왜곡현상이 줄어든다.

이와 같은 구조를 가지는 본 발명의 제1 실시 예에 따른 액정 표시 패널의 제조방법에 대하여 도 3a 내지 도 3g를 참조하여 상세히 살펴보기로 하자.

도 3a를 참조하면, 하부기관(141) 상에 버퍼막(143)이 형성되며, 그 버퍼막(143) 상에 액티브층(154)층이 형성된다.

버퍼막(143)은 하부 기관(101) 상에 SiO_2 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

액티브층(154)은 버퍼막(143) 상에 아몰퍼스-실리콘을 증착한 후 그 아몰퍼스-실리콘을 레이저로 결정화하여 폴리-실리콘이 되게 한 다음, 그 폴리-실리콘을 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 형성된다.

도 3b를 참조하면, 액티브층(154)이 형성된 버퍼막(143) 상에 게이트 절연막(149)이 형성되고, 그 위에 게이트 전극(144), 게이트 라인 및 패드 하부 전극(151)을 포함하는 제1 도전 패터닝이 형성된다.

게이트 절연막(149)은 액티브층(154)이 형성된 버퍼막(143) 상에 SiO_2 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

게이트 전극(144), 게이트 라인 및 패드 하부 전극(151)을 포함하는 제1 도전 패터닝은 게이트 절연막(149) 상에 게이트 금속층을 형성한 후, 그 게이트 금속층을 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다.

그리고, 게이트 전극(144)을 마스크로 이용하여 액티브층(154)에 n^+ 불순물을 주입하여 게이트 전극(144)과 비중첩된 액티브층(154)의 소스 영역(154S) 및 드레인 영역(154D)이 형성된다. 이러한 액티브층(154)의 소스 및 드레인 영역(154S, 154D)은 게이트 전극(144)과 중첩되는 채널 영역(154C)을 사이에 두고 마주하게 된다.

도 3c를 참조하면, 제1 도전패터닝이 형성된 게이트 절연막(149) 상에 층간 절연막(145)이 형성되고, 층간 절연막(145) 및 게이트 절연막(149)을 관통하는 소스 및 드레인 콘택홀(156S, 156D)과 층간 절연막(145)을 관통하는 제1 패드 콘택홀(152)이 형성된다.

층간 절연막(145)은 제1 도전패터닝이 형성된 게이트 절연막(149) 상에 SiO_2 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

이어서, 포토리소그래피 공정 및 식각 공정으로 층간 절연막(145) 및/또는 게이트 절연막(149)을 관통하는 소스 및 드레인 콘택홀(156S, 156D)과 제1 패드 콘택홀(152)이 형성된다. 소스 및 드레인 콘택홀(156S, 156D)은 층간 절연막(145) 및 게이트 절연막(149)을 관통하여 액티브층(154)의 소스 및 드레인 영역(154S, 154D)을 각각 노출시킨다. 제1 패드 콘택홀(152)은 층간 절연막(145)을 관통하여 패드 하부 전극(151)을 노출시킨다.

도 3d를 참조하면, 층간 절연막(145) 상에 데이터 라인, 소스 전극(174), 드레인 전극(176) 및 패드 중간 전극(146)을 포함하는 제2 도전패턴군이 형성된다.

데이터 라인, 소스 전극(174), 드레인 전극(176) 및 패드 중간 전극(146)을 포함하는 제2 도전 패턴군은 층간 절연막(145) 상에 소스/드레인 금속층을 형성한 후, 그 소스/드레인 금속층을 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다.

소스 전극(174) 및 드레인 전극(176)은 소스 및 드레인 콘택홀(156S, 156D) 각각을 통해 액티브층(154)의 소스 영역(154S) 및 드레인 영역(154D) 각각과 접속된다. 그리고, 패드 중간 전극(146)은 제1 패드 콘택홀(152)을 통해 패드 하부 전극(151)과 접속된다.

도 3e를 참조하면, 제2 도전 패턴군이 형성된 층간 절연막(145) 상에 유기 보호막(147)이 형성되고, 그 유기 보호막(147)을 관통하는 화소 콘택홀(158) 및 제2 패드 콘택홀(148)이 형성된다.

유기 보호막(147)은 제2 도전 패턴군이 형성된 층간 절연막(145) 상에 포토 아크릴 등과 같은 유기 절연 물질이 전면 증착된다.

이어서, 포토리소그래피 공정 및 식각 공정으로 유기 보호막(147)을 관통하는 화소 콘택홀(158) 및 제2 패드 콘택홀(148)이 형성된다.

화소 콘택홀(158)은 유기 보호막(147)을 관통하여 드레인 전극(176)을 노출시킨다. 제2 패드 콘택홀(148)은 유기 보호막(147)을 관통하여 패드 중간 전극(146)을 노출시킨다.

도 3f를 참조하면, 유기 보호막(147) 상에 화소 전극(114) 및 패드 상부 전극(142)을 포함하는 제3 도전패턴군이 형성된다.

화소 전극(114) 및 패드 상부 전극(142)을 포함하는 제3 도전패턴군은 유기 보호막(147) 상에 ITO 등의 투명 도전막을 증착한 후, 그 투명 도전막을 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다.

유기 보호막(147) 상에 화소 전극(114) 및 패드 상부 전극(142)을 포함하는 제3 도전패턴군이 형성된다.

도 3g를 참조하면, 별도로 마련된 칼라필터 기관(130)과 도 3a 내지 도 3f에 도시된 제조방법에 의해 형성된 박막 트랜지스터 기관(140)이 합착됨으로써 액정 표시 패널이 완성된다. 이 때, 칼라필터 기관(130)에 포함된 공통 전극(132)과 박막 트랜지스터 기관(140)에 포함된 공통 패드(150)는 은 도트(121)를 통해 접속된다.

도 4는 본 발명의 제2 실시 예에 따른 액정 표시 패널을 나타내는 단면도이다.

도 4를 참조하면, 본 발명의 제2 실시 예에 따른 액정 표시 패널은 도 3에 도시된 액정 표시 패널과 대비하여 제2 패드 콘택홀이 2개 이상 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

도 4에 도시된 제2 패드 콘택홀(148)은 패드 중간 전극(146)의 적어도 두 영역이 노출되도록 유기 보호막(147)을 관통하여 형성된다. 이러한 제2 패드 콘택홀(148)들 사이의 패드 상부 전극(142)에는 은 도트(121)가 위치하게 된다. 이 경우, 제2 패드 콘택홀(148)과 중첩되도록 형성된 은 도트[도 3 구조](121)에 비해 은 도트(121)와 패드 상부 전극(142)과의 접촉면적이 넓어져 이들 간의 접촉저항이 감소하게 된다. 또한, 제2 패드 콘택홀(148)을 통해 접속되는 패드 중간 전극(146)과 패드 상부 전극(142) 간의 접촉면적이 넓어져 이들 간의 접촉저항이 감소하게 된다. 이와 같이, 감소된 접촉 저항에 의해 공통전압을 안정적으로 공통 전극에 공급할 수 있다.

이와 같이, 본 발명의 제2 실시 예에 따른 액정 표시 패널은 은 도트(121)와 중첩되는 영역에 유기 보호막(147)이 형성된다. 이 유기 보호막(147)에 의해 패드 상부 전극(142)과 공통 전극(132) 사이의 간격이 좁아져 은 도트(121)의 표면적이 줄어든다. 이에 따른 은 도트(121) 자체 저항의 크기가 최소화되어 공통전압의 왜곡현상이 줄어든다. 또한, 본 발명의 제2 실시 예에 따른 액정 표시 패널은 제2 콘택홀이 적어도 두 개 형성된다. 이에 따라, 은 도트와 패드 상부 전극 간의 접촉저항과, 패드 상부 전극과 패드 중간 전극 간의 접촉저항이 감소되어 공통전압을 안정적으로 공통 전극에 공급할 수 있다.

도 5는 본 발명의 제3 실시 예에 따른 액정 표시 패널을 나타내는 단면도이다.

도 5를 참조하면, 본 발명의 제3 실시 예에 따른 액정 표시 패널은 도 3에 도시된 액정 표시 패널과 대비하여 제2 패드 콘택홀이 패드 중간 전극의 가장자리 영역을 노출시키는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

도 5에 도시된 제2 패드 콘택홀(148)은 패드 중간 전극(146)의 가장자리 영역을 노출시키도록 유기 보호막(147)을 관통하여 형성된다. 구체적으로, 제2 패드 콘택홀(148)은 은 도트(121)가 형성될 영역의 유기 보호막(147)을 제외한 나머지 도트 영역의 유기 보호막(147)을 제거한다. 이 경우, 제2 패드 콘택홀(148)과 중첩되도록 형성된 은 도트[도 3 구조] (121)에 비해 은 도트(121)와 패드 상부 전극(142)과의 접촉면적이 넓어져 이들 간의 접촉저항이 감소하게 된다. 이와 같이, 감소된 접촉 저항에 의해 공통전압을 안정적으로 공통 전극에 공급할 수 있다.

이와 같이, 본 발명의 제3 실시 예에 따른 액정 표시 패널은 은 도트(121)와 중첩되는 영역에 유기 보호막(147)이 형성된다. 이 유기 보호막(147)에 의해 패드 상부 전극(142)과 공통 전극(132) 사이의 간격이 좁아져 은 도트(121)의 표면적이 줄어든다. 이에 따른 은 도트(121) 자체 저항의 크기가 최소화되어 공통전압의 왜곡현상이 줄어든다. 또한, 본 발명의 제2 실시 예에 따른 액정 표시 패널은 제2 콘택홀이 적어도 두 개 형성된다. 이에 따라, 은 도트와 패드 상부 전극 간의 접촉저항이 감소되어 공통전압을 안정적으로 공통 전극에 공급할 수 있다.

한편, 본 발명에 따른 액정 표시 패널의 공통 패드는 패드 하부 전극, 패드 중간 전극 및 패드 상부 전극으로 이루어진 것으로 설명하였지만, 패드 하부 전극 없이 패드 중간 전극 및 패드 상부 전극으로 이루어지거나 패드 중간 전극 없이 패드 하부 전극과 패드 상부 전극으로 이루어지거나 패드 상부 전극으로만 이루어질 수도 있다.

또한, 본 발명에 따른 액정 표시 패널은 폴리 실리콘형 박막 트랜지스터의 구조를 예로 들어 설명하였지만 아몰퍼스 실리콘형 박막 트랜지스터에도 적용가능하다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 액정 표시 패널 및 그 제조방법은 도트 영역에 유기 보호막이 형성됨으로써 유기 보호막의 높이만큼 은 도트의 높이를 보상받을 수 있다. 따라서, 본 발명의 실시 예에 따른 액정 표시 패널 및 그 제조방법은 은 도트의 크기 및 폭이 작아지게 되어, 은 도트 자체 저항의 크기를 최소화시킬 수 있게 된다. 이러한 본 발명의 실시 예에 따른 액정 표시 패널 및 그 제조방법은 은 도트의 자체 저항의 크기를 감소시킴으로써 저항에 따른 공통전압의 왜곡현상을 줄일 수 있고, 결과적으로 화질을 개선할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

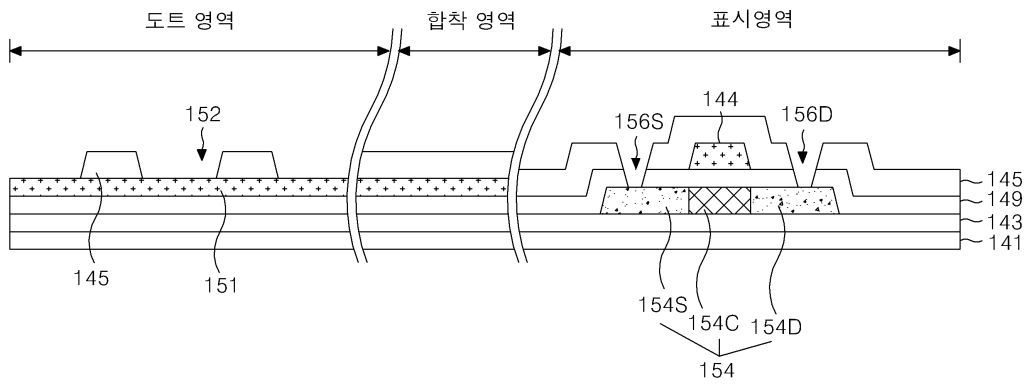
도 1은 종래의 액정 표시 패널의 도트 영역을 나타내는 단면도.

도 2는 본 발명의 제1 실시 예에 따른 액정 표시 패널을 나타내는 단면도.

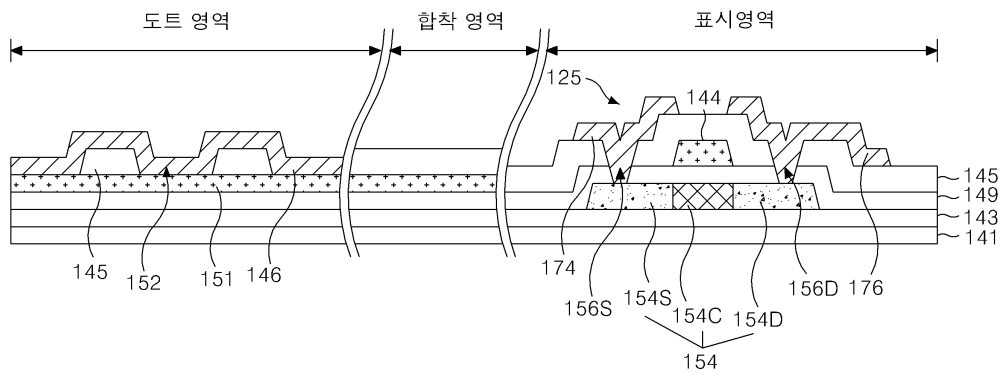
도 3a 내지 도 3g는 도 2에 도시된 액정 표시 패널의 제조방법을 나타내는 단면도.

도 4는 본 발명의 제2 실시 예에 따른 액정 표시 패널의 도트 영역을 나타내는 단면도.

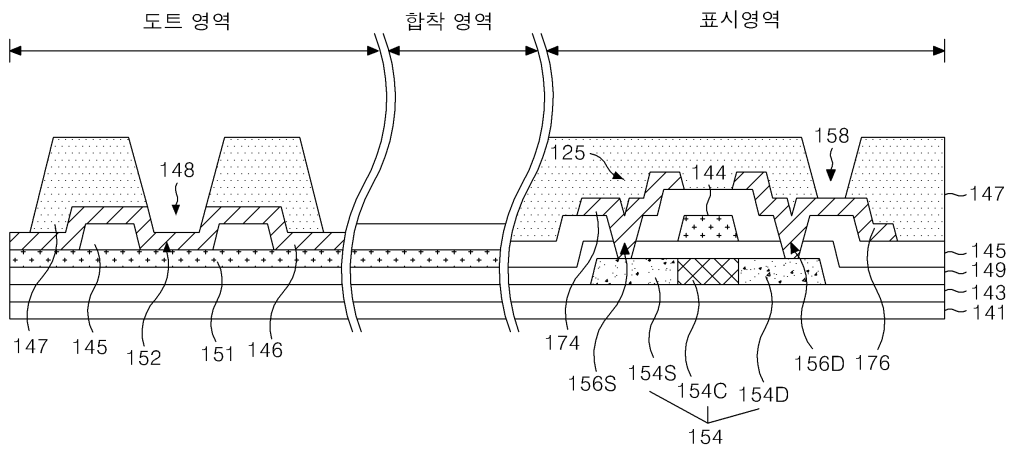
도면3c



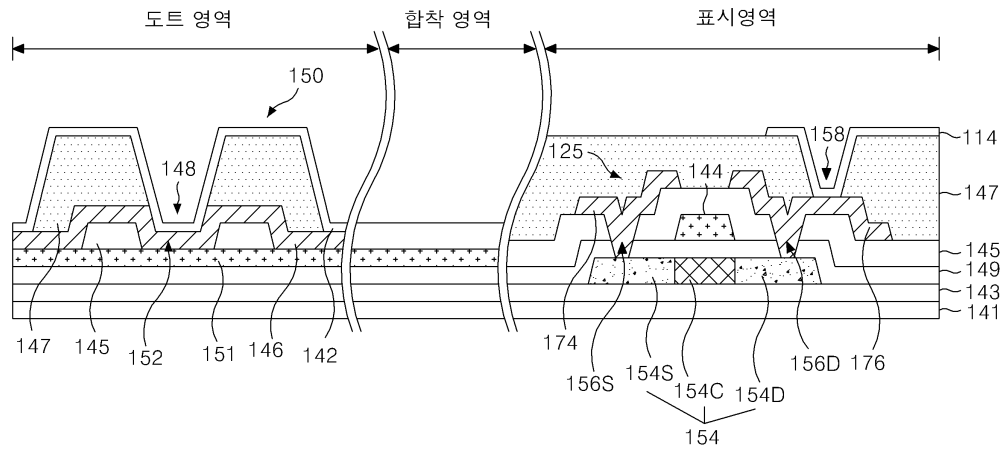
도면3d



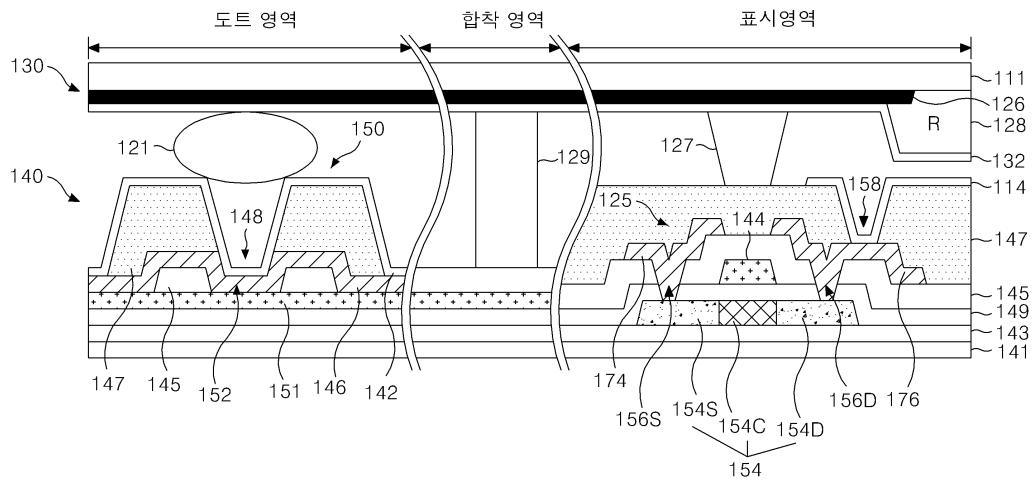
도면3e



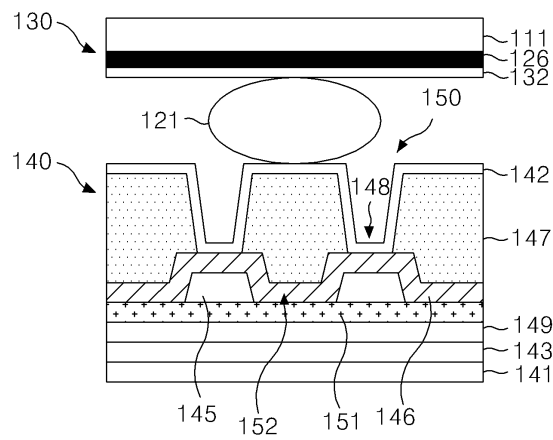
도면3f



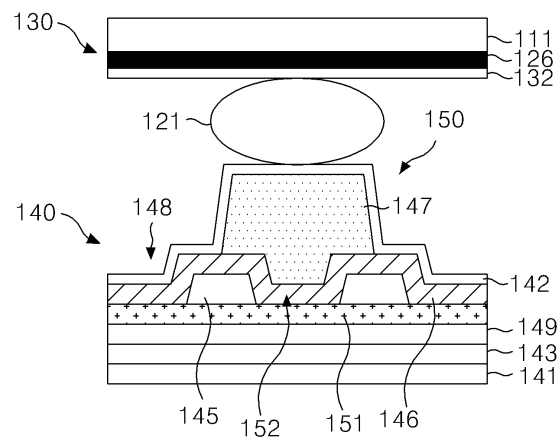
도면3g



도면4



도면5



本发明涉及一种能够防止公共电压失真的LCD面板，其由于Ag点的高厚度而使所产生的Ag点电阻最小化及其制造方法。根据本发明的LCD面板包括在第一基板上形成的有机钝化层，该有机钝化层对应于形成在公共电极之间的导电点，其中公共电压通过公共PAD，公共电极和公共PAD供给。将公共电极和公共PAD以及公共PAD连接在第二基板上，该第二基板面对形成在第一基板和第一基板上的公共PAD。并且有机钝化可以形成在除了第一基板和第二基板附着的密封区域之外的其余区域。

